

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-521963

(P2017-521963A)

(43) 公表日 平成29年8月3日(2017.8.3)

(51) Int.Cl. F I テーマコード (参考)  
**H03B 5/32 (2006.01)** H03B 5/32 J 5J079

審査請求 未請求 予備審査請求 有 (全 19 頁)

(21) 出願番号	特願2017-503510 (P2017-503510)	(71) 出願人	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92 121-1714、サン・ディエゴ、モア ハウス・ドライブ 5775
(86) (22) 出願日	平成27年6月16日 (2015.6.16)		
(85) 翻訳文提出日	平成29年3月15日 (2017.3.15)		
(86) 国際出願番号	PCT/US2015/036055		
(87) 国際公開番号	W02016/014176		
(87) 国際公開日	平成28年1月28日 (2016.1.28)		
(31) 優先権主張番号	14/338, 241	(74) 代理人	100108855 弁理士 蔵田 昌俊
(32) 優先日	平成26年7月22日 (2014.7.22)	(74) 代理人	100109830 弁理士 福原 淑弘
(33) 優先権主張国	米国 (US)	(74) 代理人	100158805 弁理士 井関 守三
		(74) 代理人	100112807 弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 差動水晶発振回路

## (57) 【要約】

差動水晶発振回路は、第1及び第2の出力端子と、第1及び第2の出力端子に交差結合された第1及び第2のトランジスタを含む交差結合発振ユニットと、第1及び第2の金属酸化半導体電界効果トランジスタ(MOSFET)ダイオードと、各MOSFETダイオードはゲートとドレイン端子の間に接続される抵抗を含み、ここにおいて第1のMOSFETダイオードは、低周波数で低インピーダンス負荷を、及びより高い周波数で高インピーダンス負荷を前記第1のトランジスタに提供するために前記第1のトランジスタに結合し、第2のMOSFETダイオードは、低周波数で低インピーダンス負荷を、及びより高い周波数で高インピーダンス負荷を第2のトランジスタに提供するために第2のトランジスタに結合し、発振周波数を確定するために第1及び第2の出力端子の間に結合された参照共振器と、を含む。

【選択図】 図3

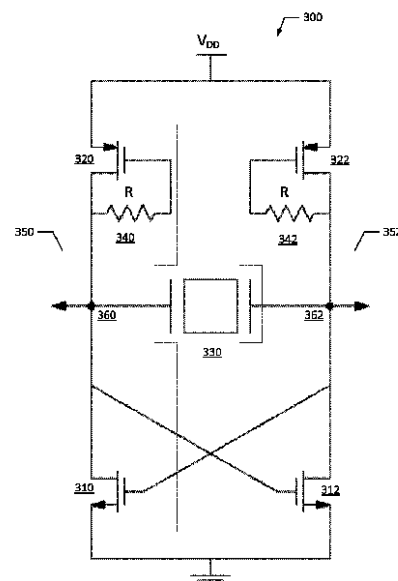


FIG. 3

**【特許請求の範囲】****【請求項 1】**

差動水晶発振回路であって、  
第 1 及び第 2 の出力端子と、  
前記第 1 及び第 2 の出力端子に交差結合される第 1 及び第 2 のトランジスタを含む交差結合発振ユニットと、

第 1 及び第 2 の金属酸化物半導体電界効果トランジスタ (M O S F E T) ダイオードと、各 M O S F E T ダイオードはゲートとドレイン端子の間に接続される抵抗を含み、ここにおいて前記第 1 の M O S F E T ダイオードは、低周波数で低インピーダンス負荷を、及びより高い周波数で高インピーダンス負荷を前記第 1 のトランジスタに提供するために前記第 1 のトランジスタに結合し、前記第 2 の M O S F E T ダイオードは、低周波数で低インピーダンス負荷を、及びより高い周波数で高インピーダンス負荷を前記第 2 のトランジスタに提供するために前記第 2 のトランジスタに結合し、

発振周波数を確定するために前記第 1 及び第 2 の出力端子の間に結合された参照共振器と、

を備える、差動水晶発振回路。

**【請求項 2】**

前記第 1 及び第 2 の M O S F E T ダイオードが第 1 及び第 2 の p チャネル M O S F E T (P M O S) ダイオードとしてそれぞれ構成される、請求項 1 に記載の回路。

**【請求項 3】**

前記第 1 及び第 2 の P M O S ダイオードのソース端子に、及び供給電圧に結合された電流源を更に備える、請求項 2 に記載の回路。

**【請求項 4】**

前記第 1 及び第 2 の M O S F E T ダイオードのソース端子が、供給電圧に結合される、請求項 1 に記載の回路。

**【請求項 5】**

前記第 1 及び第 2 のトランジスタが、n チャネル M O S F E T (N M O S) トランジスタとして構成される、請求項 1 に記載の回路。

**【請求項 6】**

前記 N M O S トランジスタのソース端子が、接地電圧に結合される、請求項 5 に記載の回路。

**【請求項 7】**

前記第 1 及び第 2 の M O S F E T ダイオードのドレイン端子が、前記第 1 及び第 2 のトランジスタのドレイン端子に結合される、請求項 1 に記載の回路。

**【請求項 8】**

前記第 1 及び第 2 の M O S F E T ダイオードが、第 1 及び第 2 の n チャネル M O S F E T (N M O S) ダイオードとしてそれぞれ構成される、請求項 1 に記載の回路。

**【請求項 9】**

前記第 1 及び第 2 の N M O S ダイオードのソース端子が、前記第 1 及び第 2 のトランジスタのソース端子に及び接地電圧に結合される、請求項 8 に記載の回路。

**【請求項 10】**

前記第 1 及び第 2 の N M O S ダイオードのドレイン端子並びに前記第 1 及び第 2 のトランジスタのドレイン端子に結合される第 1 及び第 2 の電流源を更に備え、前記第 1 及び第 2 の電流源がまた、供給電圧に結合される、請求項 9 に記載の回路。

**【請求項 11】**

差動発振回路の出力端子に発振周波数を発生するための方法であって、前記方法は、トランジスタの交差結合対及び出力端子の間に結合された参照共振器を使用して発振周波数を発生すること、

前記トランジスタの交差結合対に結合される M O S F E T ダイオードを使用して低周波数で低インピーダンス負荷を、及びより高い周波数で高インピーダンス負荷を生成するこ

10

20

30

40

50

とと、を備え、

前記 MOSFET ダイオードの各々が、ゲートとドレイン端子の間に接続される抵抗を含む、方法。

【請求項 12】

前記 MOSFET ダイオードと供給電圧の間に電流源を結合することを更に備える、請求項 11 の方法。

【請求項 13】

接地電圧にトランジスタの交差結合対を結合することを更に備える、請求項 11 の方法。

【請求項 14】

供給電圧と、前記 MOSFET ダイオードとトランジスタの前記交差結合対との並列組み合わせとの間に一対の電流源を結合することを更に備える、請求項 11 の方法。

【請求項 15】

差動発振回路の出力端子に発振周波数を発生するための装置であって、前記装置は、前記出力端子の間に結合される参照共振器を駆動することによって発振周波数を発生するための手段と、

低周波数で低インピーダンス負荷を、より高い周波数で高インピーダンス負荷を生成するための手段と、

を備え、生成するための手段は、発生するための手段に結合される、装置。

【請求項 16】

生成するための前記手段に電流を供給するための手段を更に備える、請求項 11 の装置。

【請求項 17】

発生するための手段を接地電圧に結合するための手段を更に備える、請求項 11 に記載の装置。

【請求項 18】

発生するための前記手段及び生成するための前記手段に電流を供給するための手段を更に備える、請求項 11 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

[0001] 本発明は、水晶発振回路に関し、更に具体的には、差動水晶発振器に関する。

【背景技術】

【0002】

[0002] 水晶発振器 (XO) 回路は、RF システムの重要な要素であり、トランシーバにおいて基準周波数発生のために使用される。これらのトランシーバのために、トランシーバが同調 (スプリアス応答) される周波数とは異なる周波数に対する応答が、難しい問題のうちの 1 つである。XO 高調波が複数の経路を介して他の RF 回路に容易に結合でき、受信機及び送信機出力に出現できる。シングルエンド構造と比較して、差動 XO 回路は、干渉及びスプリアス応答により良い耐性のために望ましい。しかし、XO 回路における低インピーダンス DC 経路の欠如が、回路を発振させるよりむしろラッチアップさせる。従来の差動 XO 回路設計は、トランジスタの変形交差結合対の負のコンダクタンス ( $-g_m$ ) を能動デバイスとして使用しており、低周波数でのラッチングを避けるために高域フィルタリングを追加していた。

【発明の概要】

【0003】

[0003] 本発明は、差動発振回路の出力端子で発振周波数を発生するために提供する。

【0004】

[0004] 一実施形態においては、差動水晶発振回路が開示される。回路は、第 1 及び第 2 の出力端子と、第 1 及び第 2 の出力端子に交差結合される第 1 及び第 2 のトランジスタを

10

20

30

40

50

含む交差結合発振ユニット (cross-coupled oscillation unit) と、第 1 及び第 2 の金属酸化物半導体電界効果トランジスタ (M O S F E T) ダイオードと、各々の M O S F E T ダイオードはゲート及びドレイン端子の間に接続される抵抗を含み、第 1 の M O S F E T ダイオードは、低周波数で低インピーダンスを、高周波数で高インピーダンスを第 1 のトランジスタに提供するために第 1 のトランジスタに結合しており、第 2 の M O S F E T ダイオードは、低周波数で低インピーダンスを、高周波数で高インピーダンスを第 2 のトランジスタに提供するために第 2 のトランジスタに結合しており、発振周波数を確立するために第 1 及び第 2 の出力端子の間に結合された参照共振器 (reference resonator) と、を含む。

【 0 0 0 5 】

10

[ 0005 ] 他の実施形態では、差動発振回路の出力端子で発振周波数を発生するための方法が、開示されている。方法は、トランジスタの交差結合対 (cross-coupled pair of transistors) と出力端子の間に結合された参照共振器とを用いて発振周波数を発生することと、トランジスタの交差結合対に結合された M O S F E T ダイオードを用いて、低周波数で低インピーダンス負荷を、より高い周波数で高インピーダンス負荷を生成することと、含み、ここにおいて、M O S F E T ダイオードの各々は、ゲートとドレイン端子の間に接続された抵抗を含む。

【 0 0 0 6 】

[ 0006 ] 更にもう一つの実施形態では、差動発振回路の出力端子に発振周波数を生成するための装置が開示されている。装置は、出力端子の間に結合された参照共振器を駆動することによって発振周波数を発生するための手段と、低周波数で低インピーダンス負荷及びより高い周波数で高インピーダンス負荷を生成するための手段と、を含み、生成するための手段は、発生するための手段に結合される。

20

【 0 0 0 7 】

[ 0007 ] 本発明の他の特徴及び利点は、例えば、本発明の態様を例示する現在の説明から明らかでなければならない。

【 図面の簡単な説明 】

【 0 0 0 8 】

[ 0008 ] 本発明の詳細は、その構造および動作の両方に関して、同様の参照符号は同様の部分を指している添付の図面を検討することによって部分において見つけれ得る。

30

【 図 1 】 [ 0009 ] 図 1 は、従来の差動 X O 回路のブロック線図である、

【 図 2 A 】 [ 0010 ] 図 2 A は、本発明の一実施形態に従ったチップ及び共振器に構成される差動 X O 回路の機能的なブロック図である、

【 図 2 B 】 [ 0011 ] 図 2 B は、フィードバックループの抵抗 ( R ) を有する P M O S ダイオードとして構成される負荷を示す、

【 図 2 C 】 [ 0012 ] 図 2 C は、M O S F E T ダイオードの I D - V G S 特性曲線である、

【 図 2 D 】 [ 0013 ] 図 2 D は、交差結合された対の N M O S トランジスタとして構成される主発振装置である、

【 図 3 】 [ 0014 ] 図 3 は、本発明の一実施形態に従った 2 つの分岐によって構成される差動 X O 回路のブロック線図である、

40

【 図 4 】 [ 0015 ] 図 4 は、本発明の他の実施形態に従った差動 X O 回路のブロック線図である、

【 図 5 】 [ 0016 ] 図 5 は、本発明の更にもう一つの実施形態に従った差動 X O 回路のブロック線図である、

【 図 6 】 [ 0017 ] 図 6 は、本発明の一実施形態に従った差動発振回路の出力端子で発振周波数を発生する方法を例示している機能的なフロー線図である。

【 発明を実施するための形態 】

【 0 0 0 9 】

[ 0018 ] 上述したように、従来の作動 X O 回路設計は、トランジスタの修正された交差結合対の負のコンダクタンス ( - g m ) アクティブデバイスとして用いていたし、低周波

50

数でのラッチングを避けるためにハイパスフィルタを追加していた。例えば、図 1 は従来の差動 X O 回路 1 0 0 の回路図である。図 1 において、差動発振は、電界効果トランジスタ ( F E T ) 1 2 0 , 1 2 2 の交差結合対と抵抗を使用して達成される。電源電圧 ( V D D ) が抵抗 1 4 0 、 1 4 2 を介して交差結合 F E T のドレイン端子に結合する。2 つの結合キャパシタ 1 3 0 , 1 3 2 がハイパスフィルタリング、故に、ゼロ近似 D C 利得 ( c l o s e - t o - z e r o D C g a i n ) を提供するために追加される。しかし、この構成は、特定の条件下で発振を提供するよりもラッチアップさせることができた。

#### 【 0 0 1 0 】

[ 0019 ]ここに説明されている複数の実施形態は、差動 X O 回路を提供するために異なる構成を使用する。一実施形態において、トランジスタの交差結合対が、主発振デバイスとして使われる。低周波数でのラッチングを避けるために、フィードバックループに抵抗を有する金属酸化物半導体電界効果トランジスタ ( M O S F E T ) ダイオードが、トランジスタの交差結合対の各分岐に追加される。低周波数では、M O S F E T ダイオードは低インピーダンス負荷 ( 1 / g m ) として作用し、それはループ利得を減じ、ラッチングを防止する。より高い周波数では、回路のインピーダンスは、M O S F E T ダイオードのフィードバックループの抵抗の値まで上昇し、ループ利得を増加する。抵抗の値は、より高い周波数で高インピーダンスを提供するように適正に調整されることができる。従って、新規な構成は、X O 回路がより少ない付加回路及びより高い振幅 ( h i g h e r s w i n g s ) で発振を開始し、持続することを可能にする。この説明を読んだ後に、さまざまな実施態様及びアプリケーションで本発明を実施する実視方法が明らかになる。本発明のさまざまな実施態様が本願明細書において記載されているけれども、これらの実施態様が、例えば、一例だけとして提示されており、限定しないことは理解される。このように、さまざまな実施態様のこの詳細な説明は、本発明の範囲又は幅を制限するために解釈されるべきでない。

#### 【 0 0 1 1 】

[ 0020 ]図 2 A は、本発明の一実施形態に従った ( 差動発振器ドライバ回路 2 5 0 を含む ) チップ上に構成される差動 X O 回路 2 0 0 及び参照共振器 2 3 0 の機能ブロック図である。共振器 2 3 0 は、水晶及び電気石 ( t o u r m a l i n e ) を含む、様々な共振する結晶物質から形成されることができる。例えば、共振器 2 3 0 は、特定の周波数で共振するように正確にカットされ、寸法づけられ、形成されることができる。一実施形態において、共振器 2 3 0 は水晶共振器である。

#### 【 0 0 1 2 】

[ 0021 ]図 2 A の例示の実施形態において、共振器 2 3 0 は、発振器ドライバ回路 2 5 0 の出力端子である一对の端末 2 6 0 、 2 6 2 を介して発振器ドライバ回路 2 5 0 に接続する。共振器 2 3 0 は、差動発振器ドライバ回路 2 5 0 からの好ましくはオフチップに取り付けられる。発振器ドライバ回路 2 5 0 は、第 1 の部品 ( p a r t ) 2 2 2 及び第 2 部品 2 2 4 を含む交差結合発振ユニット 2 2 0 及び一对の負荷 2 1 0 、 2 1 2 を含む。第 1 の部品 2 2 2 は負荷 2 1 0 に結合され、第 2 の部品 2 2 4 は負荷 2 1 2 に結合される。更に、負荷 2 1 0 、 2 1 2 の対は印加電圧 ( V D D ) に結合され、発振デバイス 2 2 0 は接地電圧に接続される。動作において、差動発振器ドライバ回路 2 5 0 は、差動 X O 回路 2 0 0 の 2 つの対称出力端子 2 6 0 、 2 6 2 間に正弦波及び差動出力信号を規定するために特定の周波数で発振するように共振器 2 3 0 を駆動する。正弦波及び差動出力信号は、さまざまなアプリケーション、例えばフェーズロックループ、周波数可変同調型デジタルフィルタ、直接デジタル周波数合成器及び同様に機能しているデバイスでの使用に適している。

#### 【 0 0 1 3 】

[ 0022 ]図 2 B に示す実施形態において、対の負荷 2 1 0 、 2 1 2 の各々は、フィードバックループに抵抗 ( R ) を有する M O S F E T ダイオードとして構成される。抵抗 R のための標準値は、数 K の範囲内にある。図 2 B において、M O S F E T ダイオード 2 1 0 、 2 1 2 は p チャネル M O S F E T ( P M O S ) ダイオードとして構成され、それらは

、PMOSダイオードのゲート端子の電圧が閾値 ( $V_{Th}$ ) を超えると、一方向だけに電流を導通する。図2Cに示すように、閾値 ( $V_{Th}$ ) を超えて、( $I_D - V_{GS}$ カーブで反映される) MOSFETダイオードの特性は、二次IV特性を有するダイオードと非常に類似しているように見える。ドレイン電流  $I_D$  は、次のように表されることができる：

【0014】

【数1】

$$I_D = \frac{W}{2L} * \mu_n * C_{ox} * (V_{GS} - V_{Th})^2 \quad (1)$$

【0015】

10

但し、 $I_D$  = ドレイン電流；

$W/L$  = 幅対長さの比率；

$\mu_n$  = 電子移動度；

$C_{ox}$  = 単位面積当たりのゲート容量；

$V_{GS}$  = ゲート - ソース間電圧；

$V_{Th}$  = 閾値電圧。

【0016】

[0023] 図2Bへ戻って、抵抗 ( $R$ ) は、PMOSダイオードのゲート端子とドレイン端子の間に接続される。PMOSダイオードのソース端子は供給電圧 ( $V_{DD}$ ) に接続される。従って、MOSFETダイオード負荷210、212のインピーダンスは低周波数で低い ( $1/g_m$ )。その理由は、帰還抵抗 ( $R$ ) が切り離され、高周波でのMOSFETダイオード負荷210、212のインピーダンスが、帰還抵抗 ( $R$ ) の値で高いからである。上記したように、低周波数での負荷の低インピーダンスは、ループ利得を減らし、ラッチングを防止する。更に、より高い周波数での負荷の高インピーダンスは、回路のインピーダンスをフィードバックループの中の抵抗の値まで増加し、かつループ利得を増加する。他の実施形態では、負荷210、212は、NMOSダイオードのソース端子が接地電圧に接続される状態でNMOSダイオードの各々のゲート端子とドレイン端子との間に接続された抵抗 ( $R$ ) を有するn - チャンネルMOSFET (NMOS) として構成されることができる。

20

【0017】

30

[0024] 図2Dに示された実施形態において、主発振デバイス220が、トランジスタ222、224の交差結合対として構成される。この実施形態では、第1のトランジスタのゲート端子244が第2のトランジスタ224のドレイン端子242に接続されるが、第2のトランジスタ224のゲート端子は第1のトランジスタ222のドレイン端子240に接続される。図2Dの例示の実施形態において、トランジスタ222、224の交差結合対は、NMOSTランジスタで構成される。

【0018】

[0025] 図3は、本発明の一実施形態に従った2つの分岐350、352によって構成される差動XO回路300のブロック線図である。図3の例示の実施形態において、NMOSTランジスタ310、312の交差結合対は、第1の分岐350の第1のトランジスタ310及び第2の分岐352の第2トランジスタ312によって差動構成に配置される。第1のトランジスタ310のゲート端子は第2トランジスタ312のドレイン端子に接続されるが、第2のトランジスタ312のゲート端子は第1のトランジスタ310のドレイン端子に接続される。オフチップ参照共振器330は第1及び第2のトランジスタ310、312のドレイン端子に接続される。更に、第1の分岐350では、第1のトランジスタ310のドレイン端子が、第1のPMOSダイオード320のドレイン端子に接続され、それはゲート端子とドレイン端子間のフィードバックループ内に値  $R$  を有する抵抗340を含む。対応して、第2の分岐352において、第2のトランジスタ312のドレイン端子が、第2のPMOSダイオード322のドレイン端子に接続され、それはゲート端子とドレイン端子間のフィードバックループ内に値  $R$  を有するレジスタ342を含む。

40

50

## 【 0 0 1 9 】

[ 0026 ] 図 3 において、第 1 の分岐に対して、第 1 の P M O S ダイオード 3 2 0 は、低周波数では低インピーダンス負荷 (  $1 / g m$  ) として作用し、より高い周波数では高インピーダンス負荷 (  $R$  ) として作用する。第 2 の分岐に対して、第 2 の P M O S ダイオード 3 2 2 は、低周波数では低インピーダンス負荷 (  $1 / g m$  ) として作用し、より高い周波数では高インピーダンス負荷 (  $R$  ) として作用する。動作において、P M O S ダイオード 3 2 0 のゲート端子の電圧が閾値電圧を上回ると、電源が電流を P M O S ダイオード 3 2 0 のソース端子に及びドレイン端子までに供給する。更に、P M O S ダイオード 3 2 2 のゲート端子の電圧が閾値電圧を上回ると、電源が P M O S ダイオード 3 2 2 のソース端子に及びドレイン端子まで電流を供給する。P M O S ダイオード 3 2 0、3 2 2 のゲート端子の電圧は、参照共振器 3 3 0 の発振電圧によって決定される。図 3 に示される実施形態において、トランジスタ 3 1 0、3 1 2 は N M O S トランジスタによって構成されるけれども、トランジスタ 3 1 0、3 1 2 は P M O S トランジスタによって構成されることが

10

20

30

40

50

## 【 0 0 2 0 】

[ 0027 ] ノード 3 6 0 は、参照共振器 3 3 0 の 1 つの端子、第 1 の N M O S トランジスタ 3 1 0 のドレイン端子及び第 1 の P M O S ダイオード 3 2 0 のドレイン端子を接続する。更に、ノード 3 6 2 は参照共振器 3 3 0 の他の端子、第 2 の N M O S トランジスタ 3 1 2 のドレイン端子及び第 2 の P M O S ダイオード 3 2 2 のドレイン端子を接続する。第 1 及び第 2 の P M O S ダイオード 3 2 0、3 2 2 のソース端子は、供給電圧 (  $V D D$  ) に共に接続されているが、第 1 及び第 2 の N M O S トランジスタ 3 1 0、3 1 2 のソース端子は接地電圧に共に接続されている。

## 【 0 0 2 1 】

[ 0028 ] 図 4 は、本発明の他の実施形態に従った差動 X O 回路 4 0 0 の概略図である。図 4 の図示実施形態において、電流源 4 5 0 は P M O S ダイオード 4 2 0、4 2 2 に適量の電流を供給するために追加される。従って、P M O S ダイオード 4 2 0 のゲート端子の電圧が閾値電圧を上回ると、電流源 4 5 0 が P M O S ダイオード 4 2 0 のソース端子に及びドレイン端子まで電流を供給する。更に、P M O S ダイオード 4 2 2 のゲート端子の電圧が閾値電圧を上回ると、電流源 4 5 0 が P M O S ダイオード 4 2 2 のソース端子に及びドレイン端子まで電流を供給する。P M O S ダイオード 4 2 0、4 2 2 のゲート端子の電圧は、共振器 4 3 0 の発振電圧によって決定される。

## 【 0 0 2 2 】

[ 0029 ] 図 3 ですでに述べたように、N M O S トランジスタ 4 1 0、4 1 2 の交差結合対は、差動構成に配置され、ここにおいて、第 1 のトランジスタ 4 1 0 のゲート端子は第 2 のトランジスタ 4 1 2 のドレイン端子に接続されるが、第 2 のトランジスタ 4 1 2 のゲート端子は第 1 のトランジスタ 4 1 0 のドレイン端子に接続される。共振器 4 3 0 は、第 1 及び第 2 のトランジスタ 4 1 0、4 1 2 のドレイン端子に接続される。ノード 4 6 0 は、参照共振器 4 3 0 の 1 つの端子、第 1 のトランジスタ 4 1 0 のドレイン端子及び第 1 の P M O S ダイオード 4 2 0 のドレイン端子を接続する。更に、ノード 4 6 2 は参照共振器 4 3 0 の他の端子、第 2 のトランジスタ 4 1 2 のドレイン端子及び第 2 の P M O S ダイオード 4 2 2 のドレイン端子を接続する。第 1 及び第 2 の P M O S ダイオード 4 2 0、4 2 2 のソース端子は、電流源 4 5 0 に接続される。

## 【 0 0 2 3 】

[ 0030 ] 図 5 は、本発明の更にもう一つの実施形態に従った差動 X O 回路 5 0 0 の概略図である。図 5 の図示実施形態において、一対の電流源 5 7 0、5 7 2 の各電流源は各分岐 5 5 0、5 5 2 に追加されるが、M O S ダイオード 5 2 0、5 2 2 のインピーダンス負荷はトランジスタ 5 1 0、5 1 2 の交差結合対と並列に接続させられた。図 5 において、M O S ダイオード 5 2 0、5 2 2 のインピーダンス負荷は、N M O S トランジスタ 5 1 0、5 1 2 の交差結合対と並列に接続された N M O S ダイオードとして構成される。

## 【 0 0 2 4 】

[0031] NMOSトランジスタの交差結合対510、512は、第2の分岐において第1の分岐550の第1のトランジスタ510及び第2の分岐552の第2のトランジスタ512と差動構成に配置される。第1のトランジスタ510のゲート端子は第2のトランジスタ512のドレイン端子に接続されるが、第2のトランジスタ512のゲート端子は第1のトランジスタ510のドレイン端子に接続される。参照共振器530は、第1及び第2のトランジスタ510、512のドレイン端子に接続される。更に、第1の分岐550において、第1のトランジスタ510のドレイン端子は、第1のNMOSダイオード520のドレイン端子に接続されるが、第1のトランジスタ510のソース端子は第1のNMOSダイオード520のソース端子に接続され、これは、ゲートとドレイン端子の間のフィードバックループの中に値Rを有する抵抗540を含む。このように、第1のトランジスタ510及び第1のNMOSダイオード520は、並列に接続される。上記したように、第1の分岐550に対しては、第1のNMOSダイオード520は、低周波数で低インピーダンス負荷( $1/g_m$ )として作用し、及びより高い周波数で高インピーダンス負荷(R)として作用する。対応して、第2の分岐552において、第2のトランジスタ512のドレイン端子は、第2のNMOSダイオード522のドレイン端子に接続されているが、第2のトランジスタ512のソース端子が第2のNMOSダイオード522のソース端子に接続され、それは、ゲートとドレイン端子の間のフィードバックループの中に値Rを有する抵抗器542を含む。このように、第2のトランジスタ512及び第2のNMOSダイオード522は、並列に接続される。第2のNMOSダイオード522は、第2の分岐552に対して、低周波数で低インピーダンス負荷( $1/g_m$ )として作用し、より高い周波数で高インピーダンス負荷(R)として作用する。

【0025】

[0032] ノード560は、参照共振器530の1つの端子、第1のトランジスタ510のドレイン端子及び第1のNMOSダイオード520のドレイン端子を接続する。更に、ノード562は、参照共振器530の他の端子、第1のトランジスタ512のドレイン端子及び第2のNMOSダイオード522のドレイン端子を接続する。第1及び第2のNMOSダイオード520、522のソース端子は、第1及び第2のトランジスタ510、512のソース端子に、及び接地電圧に接続される。

【0026】

[0033] 動作において、NMOSダイオード520のゲート端子の電圧が閾値電圧を上回ると、電流源570がNMOSダイオード520のドレイン端子に及びソース端子まで電流を供給する。更に、NMOSダイオード522のゲート端子の電圧が閾値電圧を上回ると、電流源572がNMOSダイオード522のドレイン端子に、及びソース端子まで電流を供給する。NMOSダイオード520、522のゲート端子の電圧は、参照共振器530の発振電圧によって決定される。

【0027】

[0034] 図3、4及び5の差動構成は、低周波数でループ利得を減少し、ラッチングを防止することによって、及びより高い周波数で回路のインピーダンスを(Rまで)及びループ利得を増やすことによって差動XO回路の従来の設計に勝る相当な利点を提供する。

【0028】

図6は、本発明の一実施形態に従った差動発振回路の出力端子で発振周波数を発生するための方法600を例示している機能的なフロー図である。一実施形態において、ステップ610では、トランジスタ310、312の交差結合対及び差動発振回路300の出力端子360、362の間に結合した参照共振器330を用いて、差動発振周波数が発生される。トランジスタ310、312の差動結合対が、差動構成に配置され、ここにおいて、第1のトランジスタ310のゲート端子は、第2のトランジスタ312のドレイン端子に接続されるが、第2のトランジスタ312のゲート端子が第1のトランジスタ310のドレイン端子に接続される。一実施形態において、参照共振器330は、通常、差動発振回路からオフチップに配置されるように構成される。ステップ620では、低インピーダンス負荷が、トランジスタ310、312の交差結合対に結合される一対のMOSFET

10

20

30

40

50



ダイオード 3 2 0、3 2 2 によって低周波数で生成される。低周波数での低インピーダンス負荷は、非常に小さい値である相互コンダクタンス ( $1 / g_m$ ) の逆数 (inverse) である。ステップ 6 3 0 では、高インピーダンス負荷が、トランジスタ 3 1 0、3 1 2 の交差結合対に結合される MOSFET ダイオード 3 2 0、3 2 2 の同じ対によってより高い周波数で生成される。より高い周波数での高インピーダンス負荷は、ゲートとドレイン端子との間における、MOSFET ダイオードのフィードバックの中の抵抗 ( $R$ ) の値である。抵抗の値  $R$  は、高インピーダンス負荷を提供するように調整されなければならない。

【 0 0 2 9 】

[ 0035] 本発明の幾つかの実施形態が上記に説明されているが、本発明の多くのバリエーションが可能である。例えば、図示の実施形態は、低及び高周波数負荷の両方を提供するとして MOSFET ダイオードを示しているが、2 つの差動周波数に対して適正な負荷を提供する回路の幾つかの構成が使用されることができる。更に、さまざまな実施形態の特徴は、上述したものとは異なる組合せで組み合わせることができる。更に、明白で簡単な説明のために、システム及び方法の多くの記述が簡略化されている。多くの説明は、特定の標準の用語及び構造を使用する。しかし、開示されたシステム及び方法は、広くより適用できる。

10

【 0 0 3 0 】

[ 0036] 当業者は、ここに開示された実施形態に関連して説明された様々な例示的なブロック及びモジュールは、様々な形態で実施され得ることを認識するだろう。幾つかのブロック及びモジュールは、一般にそれらの機能の観点から上述された。そのような機能が、如何に実施されるかは、システム全体に課せられる設計制約に依存する。当業者は、説明された機能性を、各特定のアプリケーションに関して様々な方法で実施できるが、そのような実施の決定は本発明の範囲から逸脱を生じさせるものと解釈されるべきでない。加えて、モジュール、ブロック、又はステップ内の機能のグループ分けは、説明を容易にするためのものである。特定の機能又はステップは、本発明から逸脱することなく 1 つのモジュール又はブロックから移動され得る。

20

【 0 0 3 1 】

[ 0037] ここに開示された例に関連して説明された様々な例示的な論理ブロック、モジュール、及び回路は、汎用プロセッサ、デジタルシグナルプロセッサ (DSP)、特定用途向け集積回路 (ASIC)、フィールド・プログラマブル・ゲート・アレイ (FPGA) 又はその他のプログラマブル論理デバイス、ディスクリートゲート又はトランジスタロジック、ディスクリート・ハードウェア・コンポーネント、あるいはここに説明された機能を実行するように設計されたこれらの任意の組み合わせで、インプリメント又は実行されうる。汎用プロセッサは、マイクロプロセッサであることができるが、別の方法では、プロセッサは、任意のプロセッサ、コントローラ、マイクロコントローラ、又はステートマシンであることができる。プロセッサはまた、コンピューティングデバイスの組み合わせ、例えば、DSP と 1 つのマイクロプロセッサ、複数のマイクロプロセッサ、DSP コアと連携した 1 つ以上のマイクロプロセッサ、又は任意の他のそのような構成との組み合わせとして実施され得る。更に、本願明細書において記載されている、実施形態を実施する回路及び機能ブロック並びにモジュールは、さまざまなトランジスタ・タイプ、ロジック系統及び設計方法論を用いて実現されることができる。

30

40

【 0 0 3 2 】

[ 0038] 開示された実施形態の上記説明は、当業者が本発明を製造又は使用することができるように提供されている。これらの実施形態への様々な修正は、当業者には容易に明らかであるだろうし、ここに説明された一般的な原理は、本発明の精神又は範囲から逸脱しない限り他の実施形態にも適用可能であることができる。従って、ここに提示された説明及び図面は、本発明の現在好ましい実施形態を表し、よって、本発明により広く熟慮される主題事項を代表するものであることは理解されるべきである。更に、本発明の範囲は、当業者に自明になり得る他の実施形態を完全に包含すること、及び、本発明の範囲は従って、添付の特許請求の範囲以外の何によっても限定されないことは理解されるべきで

50

ある。

【 図 1 】

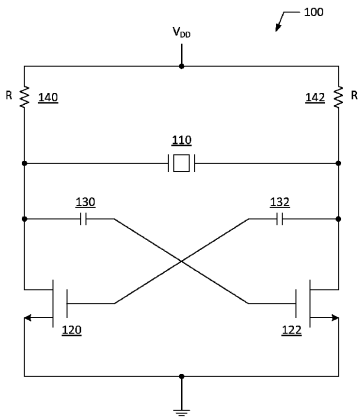


FIG. 1

【 図 2 A 】

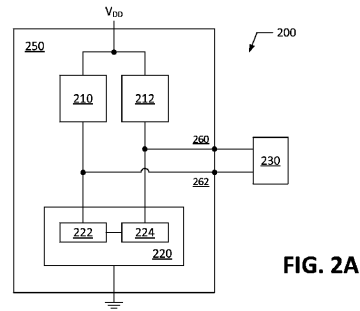


FIG. 2A

【 図 2 B 】

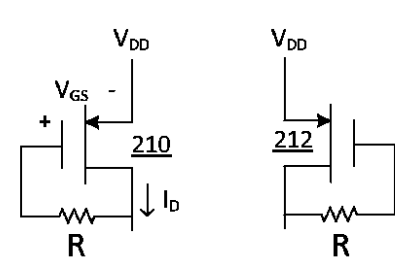


FIG. 2B

【 図 2 C 】

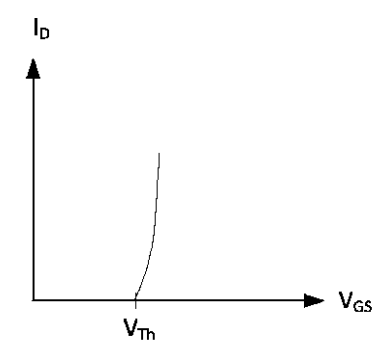


FIG. 2C

【図 2 D】

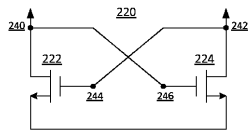


FIG. 2D

【図 3】

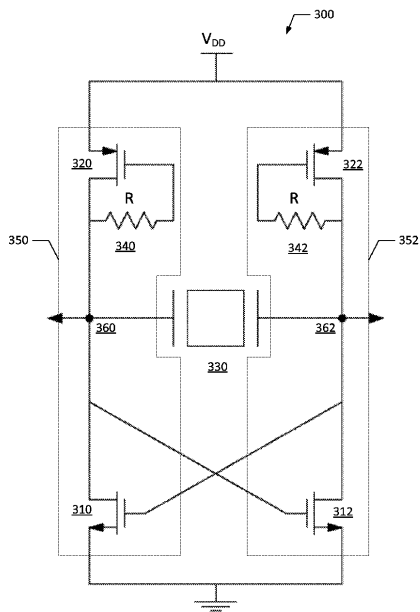


FIG. 3

【図 5】

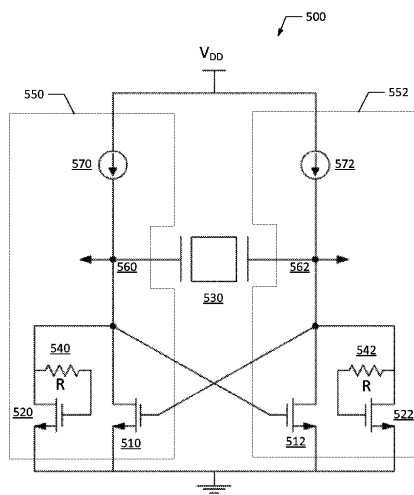


FIG. 5

【図 4】

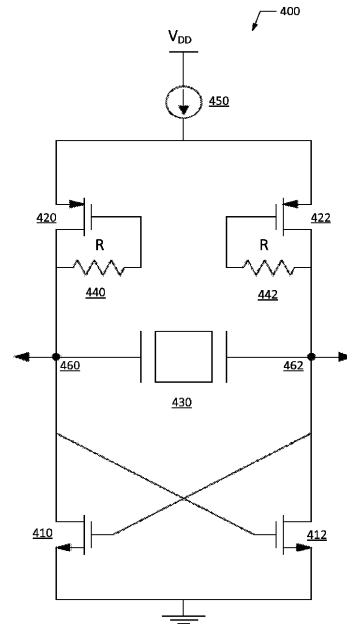


FIG. 4

【図 6】

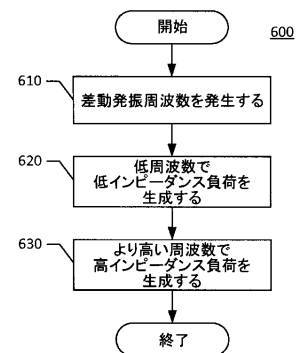


FIG. 6

## 【手続補正書】

【提出日】平成29年4月3日(2017.4.3)

## 【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

差動水晶発振回路であって、

第 1 及び第 2 の出力端子と、

前記第 1 及び第 2 の出力端子に交差結合される第 1 及び第 2 のトランジスタを含む交差結合発振ユニットと、

第 1 及び第 2 の金属酸化物半導体電界効果トランジスタ (MOSFET) ダイオードと、前記第 1 の MOSFET ダイオードは第 3 のトランジスタと前記第 3 のトランジスタのゲートとドレイン端子だけの間に接続される第 1 の抵抗を含み、前記第 2 の MOSFET ダイオードは第 4 のトランジスタと前記第 4 のトランジスタのゲートとドレイン端子だけとの間に接続される第 2 の抵抗とを含み、

ここにおいて、前記第 1 の MOSFET ダイオードは、低周波数で低インピーダンス負荷を、及びより高い周波数でより高いインピーダンス負荷を前記第 1 のトランジスタに提供するために前記第 1 のトランジスタに結合し、

前記第 2 の MOSFET ダイオードは、低周波数で低インピーダンス負荷を、及びより高い周波数でより高いインピーダンス負荷を前記第 2 のトランジスタに提供するために前記第 2 のトランジスタに結合し、

発振周波数を確定するために前記第 1 及び第 2 の出力端子の間に結合された参照共振器と、

を備える、差動水晶発振回路。

【請求項 2】

前記第 1 及び第 2 の MOSFET ダイオードが第 1 及び第 2 の p チャネル MOSFET (PMOS) ダイオードとしてそれぞれ構成される、請求項 1 に記載の回路。

【請求項 3】

前記第 1 及び第 2 の PMOS ダイオードのソース端子に、及び供給電圧に結合された電流源を更に備える、請求項 2 に記載の回路。

【請求項 4】

前記第 1 及び第 2 の MOSFET ダイオードのソース端子が、供給電圧に結合される、請求項 1 に記載の回路。

【請求項 5】

前記第 1 及び第 2 のトランジスタが、n チャネル MOSFET (NMOS) トランジスタとして構成される、請求項 1 に記載の回路。

【請求項 6】

前記 NMOS トランジスタのソース端子が、接地電圧に結合される、請求項 5 に記載の回路。

【請求項 7】

前記第 1 及び第 2 の MOSFET ダイオードのドレイン端子が、前記第 1 及び第 2 のトランジスタのドレイン端子に結合される、請求項 1 に記載の回路。

【請求項 8】

前記第 1 及び第 2 の MOSFET ダイオードが、第 1 及び第 2 の n チャネル MOSFET (NMOS) ダイオードとしてそれぞれ構成される、請求項 1 に記載の回路。

【請求項 9】

前記第 1 及び第 2 の NMOS ダイオードのソース端子が、前記第 1 及び第 2 のトランジ

スタのソース端子に及び接地電圧に結合される、請求項 8 に記載の回路。

【請求項 10】

前記第 1 及び第 2 の N M O S ダイオードのドレイン端子並びに前記第 1 及び第 2 のトランジスタのドレイン端子に結合される第 1 及び第 2 の電流源を更に備え、前記第 1 及び第 2 の電流源がまた、供給電圧に結合される、請求項 9 に記載の回路。

【請求項 11】

差動発振回路の出力端子に発振周波数を発生するための方法であって、前記方法は、  
第 1 及び第 2 のトランジスタを含むトランジスタの交差結合対及び出力端子の間に結合された参照共振器を使用して前記発振周波数を発生すること、

前記トランジスタの交差結合対に結合される第 1 及び第 2 の M O S F E T ダイオードを使用して低周波数で低インピーダンス負荷を、及びより高い周波数でより高いインピーダンス負荷を生成することと、を備え、

前記第 1 の M O S F E T ダイオードが、第 3 のトランジスタと前記第 3 のトランジスタのゲートとドレイン端子だけの間に接続される抵抗を含み、

前記第 2 の M O S F E T ダイオードが第 4 のトランジスタ及び前記第 4 のトランジスタのゲートとドレイン端子だけの間に接続された第 2 の抵抗を含む、  
方法。

【請求項 12】

前記第 1 及び第 2 の M O S F E T ダイオードと供給電圧の間に電流源を結合することを更に備える、請求項 11 の方法。

【請求項 13】

接地電圧にトランジスタの交差結合対を結合することを更に備える、請求項 11 の方法。

【請求項 14】

前記第 1 の M O S F E T ダイオードをトランジスタ前記交差結合対に並列に結合することと、

前記第 2 の M O S F E T ダイオードをトランジスタの前記交差結合対の前記第 2 のトランジスタに並列に結合することと、  
を更に備える、請求項 11 の方法。

【請求項 15】

差動発振回路の出力端子に発振周波数を発生するための装置であって、前記装置は、  
前記出力端子の間に結合される参照共振器を駆動することによって発振周波数を発生するための交差結合手段と、

低周波数で低インピーダンス負荷を、より高い周波数でより高いインピーダンス負荷を生成するための第 1 及び第 2 の M O S F E T ダイオード手段と、  
を備え、

ここにおいて、生成するための前記第 1 及び第 2 の M O S F E T ダイオード手段のドレイン端子は、発生するための前記交差結合手段のドレイン端子に結合され、

生成するための前記第 1 の M O S F E T ダイオード手段は、第 3 のトランジスタ及び前記第 3 のトランジスタのゲートとドレイン端子だけの間に接続される第 1 の抵抗とを含み  
、

生成するための前記第 2 の M O S F E T ダイオード手段は、第 4 のトランジスタ及び前記第 4 のトランジスタのゲートとドレイン端子だけの間に接続される第 2 の抵抗とを含む  
、  
装置。

【請求項 16】

生成するための前記第 1 及び第 2 の M O S F E T ダイオード手段に電流を供給するための手段を更に備える、請求項 15 の装置。

【請求項 17】

発生するための前記交差結合手段を接地電圧に結合するための手段を更に備える、請求

項 1 5 に記載の装置。

【請求項 1 8】

発生するための前記交差結合手段及び生成するための前記第 1 及び第 2 の MOSFET ダイオード手段に電流を供給するための手段を更に備える、請求項 1 5 に記載の装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 2

【補正方法】変更

【補正の内容】

【0 0 3 2】

[ 0038 ] 開示された実施形態の上記説明は、当業者が本発明を製造又は使用することができるように提供されている。これらの実施形態への様々な修正は、当業者には容易に明らかであるだろうし、ここに説明された一般的な原理は、本発明の精神又は範囲から逸脱しない限り他の実施形態にも適用可能であることができる。従って、ここに提示された説明及び図面は、本発明の現在好ましい実施形態を表し、よって、本発明により広く熟慮される主題事項を代表するものであることは理解されるべきである。更に、本発明の範囲は、当業者に自明になり得る他の実施形態を完全に包含すること、及び、本発明の範囲は従って、添付の特許請求の範囲以外の何によっても限定されないことは理解されるべきである。

以下に本件出願当初の特許請求の範囲に記載された発明を付記する。

[ 1 ] 差動水晶発振回路であって、

第 1 及び第 2 の出力端子と、

前記第 1 及び第 2 の出力端子に交差結合される第 1 及び第 2 のトランジスタを含む交差結合発振ユニットと、

第 1 及び第 2 の金属酸化物半導体電界効果トランジスタ ( MOSFET ) ダイオードと、各 MOSFET ダイオードはゲートとドレイン端子の間に接続される抵抗を含み、ここにおいて前記第 1 の MOSFET ダイオードは、低周波数で低インピーダンス負荷を、及びより高い周波数で高インピーダンス負荷を前記第 1 のトランジスタに提供するために前記第 1 のトランジスタに結合し、前記第 2 の MOSFET ダイオードは、低周波数で低インピーダンス負荷を、及びより高い周波数で高インピーダンス負荷を前記第 2 のトランジスタに提供するために前記第 2 のトランジスタに結合し、

発振周波数を確定するために前記第 1 及び第 2 の出力端子の間に結合された参照共振器と、

を備える、差動水晶発振回路。

[ 2 ] 前記第 1 及び第 2 の MOSFET ダイオードが第 1 及び第 2 の p チャネル MOSFET ( PMOS ) ダイオードとしてそれぞれ構成される、[ 1 ] に記載の回路。

[ 3 ] 前記第 1 及び第 2 の PMOS ダイオードのソース端子に、及び供給電圧に結合された電流源を更に備える、[ 2 ] に記載の回路。

[ 4 ] 前記第 1 及び第 2 の MOSFET ダイオードのソース端子が、供給電圧に結合される、[ 1 ] に記載の回路。

[ 5 ] 前記第 1 及び第 2 のトランジスタが、n チャネル MOSFET ( NMOS ) トランジスタとして構成される、[ 1 ] に記載の回路。

[ 6 ] 前記 NMOS トランジスタのソース端子が、接地電圧に結合される、[ 5 ] に記載の回路。

[ 7 ] 前記第 1 及び第 2 の MOSFET ダイオードのドレイン端子が、前記第 1 及び第 2 のトランジスタのドレイン端子に結合される、[ 1 ] に記載の回路。

[ 8 ] 前記第 1 及び第 2 の MOSFET ダイオードが、第 1 及び第 2 の n チャネル MOSFET ( NMOS ) ダイオードとしてそれぞれ構成される、[ 1 ] に記載の回路。

[ 9 ] 前記第 1 及び第 2 の NMOS ダイオードのソース端子が、前記第 1 及び第 2 のトランジスタのソース端子に及び接地電圧に結合される、[ 8 ] に記載の回路。

[ 1 0 ] 前記第 1 及び第 2 の N M O S ダイオードのドレイン端子並びに前記第 1 及び第 2 のトランジスタのドレイン端子に結合される第 1 及び第 2 の電流源を更に備え、前記第 1 及び第 2 の電流源がまた、供給電圧に結合される、[ 9 ] に記載の回路。

[ 1 1 ] 差動発振回路の出力端子に発振周波数を発生するための方法であって、前記方法は、

トランジスタの交差結合対及び出力端子の間に結合された参照共振器を使用して発振周波数を発生すること、

前記トランジスタの交差結合対に結合される M O S F E T ダイオードを使用して低周波数で低インピーダンス負荷を、及びより高い周波数で高インピーダンス負荷を生成することと、を備え、

前記 M O S F E T ダイオードの各々が、ゲートとドレイン端子の間に接続される抵抗を含む、方法。

[ 1 2 ] 前記 M O S F E T ダイオードと供給電圧の間に電流源を結合することを更に備える、[ 1 1 の方法。

[ 1 3 ] 接地電圧にトランジスタの交差結合対を結合することを更に備える、[ 1 1 の方法。

[ 1 4 ] 供給電圧と、前記 M O S F E T ダイオードとトランジスタの前記交差結合対との並列組み合わせとの間に一対の電流源を結合することを更に備える、[ 1 1 の方法。

[ 1 5 ] 差動発振回路の出力端子に発振周波数を発生するための装置であって、前記装置は、

前記出力端子の間に結合される参照共振器を駆動することによって発振周波数を発生するための手段と、

低周波数で低インピーダンス負荷を、より高い周波数で高インピーダンス負荷を生成するための手段と、

を備え、生成するための手段は、発生するための手段に結合される、装置。

[ 1 6 ] 生成するための前記手段に電流を供給するための手段を更に備える、[ 1 1 の装置。

[ 1 7 ] 発生するための手段を接地電圧に結合するための手段を更に備える、[ 1 1 ] に記載の装置。

[ 1 8 ] 発生するための前記手段及び生成するための前記手段に電流を供給するための手段を更に備える、[ 1 1 ] に記載の装置。

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No

PCT/US2015/036055

## A. CLASSIFICATION OF SUBJECT MATTER

INV. H03B5/36 H03B5/06  
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 265 352 A1 (SUISSE ELECTRONIQUE MICROTECH [CH]) 11 December 2002 (2002-12-11) figure 6a -----	1-6,8, 11-18
X	US 2011/074513 A1 (BAO MINGQUAN [SE]) 31 March 2011 (2011-03-31) figure 5 -----	15-18
X	US 2007/262825 A1 (KITAMURA TOMOMITSU [JP] ET AL) 15 November 2007 (2007-11-15) figure 2 -----	15-18
A	US 2008/238561 A1 (OTSUKA TAKASHI [JP] ET AL) 2 October 2008 (2008-10-02) figure 1 ----- -/-	1-14

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

## \* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

12 August 2015

Date of mailing of the international search report

20/08/2015

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040,  
Fax: (+31-70) 340-3016

Authorized officer

Schnabel, Florian



**INTERNATIONAL SEARCH REPORT**

International application No

PCT/US2015/036055

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 7 391 278 B2 (BERENS MICHAEL [US]) 24 June 2008 (2008-06-24) figure 3 -----	1-14

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/US2015/036055

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
EP 1265352	A1	11-12-2002	EP	1265352 A1	11-12-2002
			US	2002190802 A1	19-12-2002
-----					
US 2011074513	A1	31-03-2011	EP	2289164 A1	02-03-2011
			US	2011074513 A1	31-03-2011
			WO	2009145686 A1	03-12-2009
-----					
US 2007262825	A1	15-11-2007	JP	2007300623 A	15-11-2007
			US	2007262825 A1	15-11-2007
-----					
US 2008238561	A1	02-10-2008	JP	2008252783 A	16-10-2008
			US	2008238561 A1	02-10-2008
-----					
US 7391278	B2	24-06-2008	NONE		
-----					

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 ラジャビ、ヤシャー

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 カボウシアン、アミルポウヤ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 カーリリ、アリレザ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 バヒド・ファー、モハンマド・バグハー

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 コミジャニ、アッバス

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

Fターム(参考) 5J079 AA04 BA21 BA44 FA05 FA21 GA05