(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 117769613 A
(43)申请公布日 2024.03.26

(21)申请号 202280050905.2
(22)申请日 2022.07.08
(30)优先权数据
2021-120981 2021.07.21 JP
(85)PCT国际申请进入国家阶段日
2024.01.18
(86)PCT国际申请的申请数据
PCT/JP2022/027064 2022.07.08
(87)PCT国际申请的公布数据
WO2023/002865 JA 2023.01.26
(71)申请人 京瓷株式会社
地址 日本京都府
(72)发明人 神川刚 青木优太 小林敏洋
(74)专利代理机构 中科专利商标代理有限责任公司 11021
专利代理师 张远
(51)Int.Cl.
C30B 29/38(2006.01)
H01L 21/205(2006.01)
H01L 21/20(2006.01)
C30B 25/18(2006.01)

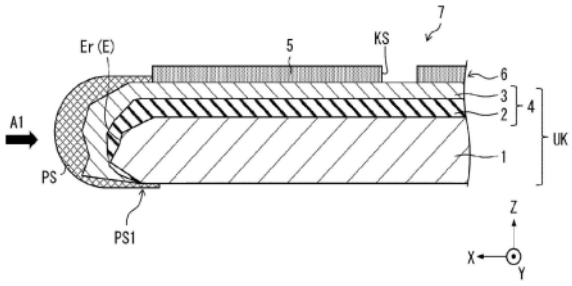
权利要求书2页 说明书18页 附图23页

(54)发明名称

模板基板和其制造方法以及制造装置、半导体基板和其制造方法以及制造装置、半导体器件、电子设备

(57)摘要

模板基板具备:主基板,其包含硅,具有边缘;掩模,其位于比主基板更上方,具有开口部;晶种部,其在比主基板更上方位于开口部;和保护部,其在侧视观察下与边缘重叠,包含与镓不同的材料。



CN 117769613 A

1.一种模板基板,具备:

主基板,其包含硅,具有侧面;

掩模,其位于比所述主基板更上方,具有开口部;

晶种部,其在比所述主基板更上方位于所述开口部;和

保护部,其在侧视观察下与所述侧面重叠,包含与镓不同的材料。

2.根据权利要求1所述的模板基板,其中,

所述保护部包含含硅的氮化物膜、含硅的氧化物膜或含硅的氮氧化物膜。

3.根据权利要求2所述的模板基板,其中,

所述晶种部包含GaN系半导体。

4.根据权利要求1~3中任一项所述的模板基板,其中,

所述掩模具有:包含所述保护部的掩模部。

5.根据权利要求1~3中任一项所述的模板基板,其中,

所述掩模具有掩模部,

所述保护部具有与所述掩模部不同的材料。

6.根据权利要求1~3中任一项所述的模板基板,其中,

所述掩模具有:在侧视观察下与所述侧面重叠的掩模部。

7.根据权利要求5或6所述的模板基板,其中,

所述保护部的厚度比所述掩模部的厚度大。

8.根据权利要求4~7中任一项所述的模板基板,其中,

所述掩模部由所述主基板的加工膜构成。

9.根据权利要求1~8中任一项所述的模板基板,其中,

所述开口部是长条形状,

在所述主基板的法线方向上进行观察的俯视观察下,在所述开口部的前端与所述主基板的侧面之间具有间隔。

10.根据权利要求1~9中任一项所述的模板基板,其中,

在所述主基板的法线方向上进行观察的俯视观察下,在所述晶种部的边缘与所述主基板的侧面之间具有间隔。

11.根据权利要求1~3中任一项所述的模板基板,其中,

所述掩模具有掩模部,

在所述主基板的法线方向上进行观察的俯视观察下,在所述掩模部的边缘与所述主基板的侧面之间具有间隔,

所述保护部覆盖所述掩模部的边缘的至少一部分。

12.根据权利要求1~3中任一项所述的模板基板,其中,

所述模板基板具备:缓冲部,其位于比所述主基板更上方且比所述晶种部更下方的位置。

13.根据权利要求12所述的模板基板,其中,

所述保护部含在所述缓冲部中。

14.根据权利要求13所述的模板基板,其中,

所述缓冲部包含氮化铝膜以及碳化硅膜的至少一方。

15.根据权利要求1～14中任一项所述的模板基板,其中,

所述保护部在侧视观察下与所述侧面整体重叠。

16.根据权利要求1～15中任一项所述的模板基板,其中,

在所述侧面中包含曲面。

17.根据权利要求1～16中任一项所述的模板基板,其中,

所述保护部与所述主基板的下表面接触。

18.根据权利要求1～17中任一项所述的模板基板,其中,

所述模板基板用在基于ELO法的GaN系半导体部的形成中。

19.一种半导体基板,具有:

权利要求1～18中任一项所述的模板基板;和

位于比所述掩模更上方的半导体部。

20.根据权利要求19所述的半导体基板,其中,

在所述主基板的法线方向上进行观察的俯视观察下,所述开口部和所述半导体部重叠。

21.根据权利要求19或20所述的半导体基板,其中,

所述半导体部包含GaN系半导体。

22.根据权利要求19～21中任一项所述的半导体基板,其中,

所述半导体基板包含:位于比所述半导体部更上方的功能部。

23.一种半导体器件,包含:权利要求19～22中任一项所述的所述半导体部。

24.一种电子设备,包含:权利要求19～22中任一项所述的所述半导体部。

25.一种模板基板的制造方法,所述模板基板具备:

主基板,其包含硅,具有侧面;

掩模,其位于比所述主基板更上方,具有开口部;和

晶种部,其在比所述主基板更上方位于所述开口部,

所述模板基板的制造方法包含如下工序:形成保护部,所述保护部在侧视观察下与所述侧面重叠,包含与镓不同的材料。

26.一种模板基板的制造装置,进行权利要求25所述的工序。

27.一种半导体基板的制造方法,是权利要求19所述的半导体基板的制造方法,包含:

准备所述模板基板的工序;和

用ELO法形成所述半导体部的工序。

28.一种半导体基板的制造装置,进行权利要求27所述的各工序。

模板基板和其制造方法以及制造装置、半导体基板和其制造方法以及制造装置、半导体器件、电子设备

技术领域

[0001] 本公开涉及模板基板等。

背景技术

[0002] 以往,为了制造利用了GaN(氮化镓)的半导体装置,进行与形成GaN系半导体元件的技术相关的研究。例如,在专利文献1中,公开了使用ELO(Epitaxial Lateral Overgrowth,横向外延过生长)法来在GaN系基板或异种基板(例如硅基板或蓝宝石基板)上形成GaN系半导体层的方法。

[0003] 在先技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2012-114263号公报

发明内容

[0006] 本公开的一方式中的模板基板具备:主基板,其包含硅,具有侧面;掩模,其位于比所述主基板更上方,具有开口部;晶种部,其在比所述主基板更上方位于所述开口部;和保护部,其在侧视观察下与所述侧面重叠,包含与镓不同的材料。

附图说明

[0007] 图1是表示本公开的一实施方式中的模板基板的结构的俯视图。

[0008] 图2是图1所示的II-II线的向视剖视图。

[0009] 图3是图1所示的III-III线的向视剖视图。

[0010] 图4是用于说明本公开的一实施方式中的半导体基板的剖视图。

[0011] 图5A是表示本公开的一实施方式中的半导体基板的结构的俯视图的部分放大图。

[0012] 图5B是图5A所示的B-V线的向视剖视图。

[0013] 图6是表示本公开的一实施方式中的模板基板以及半导体基板的制造方法的一例的流程图。

[0014] 图7是表示本公开的一实施方式中的制造装置的一例的框图。

[0015] 图8是表示本公开的一实施方式中的半导体器件的制造方法的一例的流程图。

[0016] 图9是表示元件部的分离的一例的俯视图。

[0017] 图10是表示元件部的分离以及隔离的一例的剖视图。

[0018] 图11是表示本公开的一实施方式中的电子设备的结构的示意图。

[0019] 图12是表示本公开的一实施方式中的电子设备的其他结构的示意图。

[0020] 图13A是表示本公开的其他实施方式中的模板基板的结构的剖视图。

[0021] 图13B是表示本公开的其他实施方式中的模板基板的结构的剖视图。

[0022] 图14是表示实施例1中的模板基板的结构的俯视图。

[0023] 图15A是图14所示的A-XV线的向视剖视图。

[0024] 图15B是图14所示的B-XV线的向视剖视图。

[0025] 图16是表示实施例2中的模板基板的结构的俯视图。

[0026] 图17A是图16所示的A-XVII线的向视剖视图。

[0027] 图17B是图16所示的B-XVII线的向视剖视图。

[0028] 图18是表示实施例3中的模板基板的结构的俯视图。

[0029] 图19是图18所示的XIX-XIX线的向视剖视图。

[0030] 图20是表示实施例4中的模板基板的结构的剖视图。

[0031] 图21是表示实施例4中的模板基板的其他结构的剖视图。

[0032] 图22是表示实施例5中的模板基板的结构的俯视图。

[0033] 图23是表示图22所示的XXIII-XXIII线的向视剖视图。

[0034] 图24是用于说明实施例5中的模板基板的制造方法的剖视图。

[0035] 图25是表示实施例6中的模板基板的结构的俯视图。

[0036] 图26是图25所示的XXVI-XXVI线的向视剖视图。

[0037] 图27是表示实施例7中的模板基板的结构的俯视图。

[0038] 图28是图27所示的XXVIII-XXVIII线的向视剖视图。

[0039] 图29是表示实施例8中的模板基板的结构的剖视图。

[0040] 图30是表示实施例9中的模板基板的结构的剖视图。

[0041] 图31是表示实施例10中的模板基板的结构的剖视图。

[0042] 图32是表示实施例11中的模板基板的结构的剖视图。

[0043] 图33是表示实施例11中的模板基板的其他结构的剖视图。

[0044] 图34是表示实施例12中的模板基板的结构的剖视图。

具体实施方式

[0045] 以下,参照附图来说明实施方式。另外,以下的记载用于更良好地理解发明的主旨,只要没有特别指定,则并非限定本公开。本说明书中只要没有特别记载,表征数值范围的“A～B”则是指“A以上且B以下”。此外,本申请中的记载于各附图的结构的形状以及尺寸(长度、宽度等)不一定反应了实际的形状以及尺寸,为了附图的清晰化以及简化而适宜变更。

[0046] 在以下的说明中,为了使关于本公开的一方式中的模板基板的理解容易,最初概略地说明本公开的见解。

[0047] (本公开的见解的概要)

[0048] 过去,例如已知在硅基板上使用ELO法来使GaN系半导体层生长。一般而言,市售的晶片(以下称作市售晶片CW)并非作为使用ELO法来形成GaN系半导体层的用途的产品而销售的。但通过将市售晶片CW用作基板,在基板上形成掩模,能在基板上使用ELO法来形成GaN系半导体。

[0049] 本发明的发明者们在对通过ELO法制作GaN系半导体层的技术进行研讨中,得到以下的见解。即,可知,若使用上述那样的基板来形成GaN系半导体层,则存在在基板的端面(侧面)部分产生回熔蚀刻、在基板的一部分产生破损部的可能性。以下,在本说明书中,为

了说明的方便,将在基底基板或模板基板的端面(侧面)部分产生的回熔蚀刻称作回熔蚀刻SMB。若因产生回熔蚀刻SMB而基板的一部分破损,能在器件形成中使用的GaN系半导体层的有效面积则有可能减少(即,器件的成品率降低)。

[0050] 本发明的发明者们对能减少ELO法的GaN系半导体层的成膜条件下的回熔蚀刻SMB的产生的技术进行深入研究,想到本公开的一方式中的模板基板。

[0051] 〔模板基板〕

[0052] 使用图1、图2、以及图3,在以下说明本公开的一实施方式中的模板基板7。图1是表示模板基板7的结构的俯视图。图2是图1所示的II-II线的向视剖视图。图3是图1所示的III-III线的向视剖视图。

[0053] 如图1、图2、以及图3所示那样,本实施方式中的模板基板7包含:包含硅且具有边缘E(端面、侧面)的主基板1;位于比主基板1更上方的基底部4;位于比主基板1更上方且具有开口部KS的掩模6;在侧视观察下与边缘E重叠的保护部PS。模板基板7可以从主基板1侧依次设有缓冲部2以及晶种部3,作为基底部4。晶种部3可以在比主基板1更上方位于开口部KS。保护部PS可以包含与镓(Ga)不同的材料。

[0054] 基底部4、缓冲部2、晶种部3以及掩模6典型地是层状。为此,基底部4也能说是基底层4。此外,缓冲部2也能说是缓冲层2,晶种部3也能说是晶种层3,掩模6也能说是掩模层6。以下,称作基底层4、缓冲层2、晶种层3、掩模层6来进行说明,但这些不一定限定于层状。

[0055] 主基板1在剖面观察下具有不均匀形状(带棱角的形状)的边缘E(侧面、端面)。这样的边缘E能通过主基板1的制造工序中的倒角处理形成。在本实施方式中的模板基板7中,主基板1的边缘E包含曲面部Er以及平面部Ef,但并不限定于此,边缘E也可以仅由曲面或平面构成。主基板1也可以具有未进行倒角处理的边缘E。

[0056] 将主基板1中的2个板面当中的一方的板面(上表面)称作主面1a,将另一方的板面称作下表面1b。模板基板7可以具有层叠于主面1a上的多个层。在本说明书中,有时将在主面1a上层叠多个层的层叠方向称作“上方向”,有时将对模板基板7等基板状的对象物以例如与主面1a的法线平行的视线观察称作“俯视观察”。此外,关于模板基板7等基板状的对象物,虚拟地,主面1a是平面,该对象物的侧面是在面内方向包含主面1a的法线方向的平面,有时将在该对象物的侧面(虚拟的平面)的法线方向上进行观察称作“侧视观察”。例如,所谓侧视观察模板基板7,是指在图2以及图3所示的箭头A1的方向上观察模板基板7。在侧视观察下2个构成要素重叠可以是在与模板基板7的基板法线垂直的方向的视觉辨识(包含透视上的视觉辨识)中一方的构成要素的至少一部分与另一方的构成要素重叠。2个构成要素可以接触,也可以不接触而隔离。此外,所谓俯视观察下2个构成要素重叠,是指在主基板1的法线方向的视觉辨识(包含透视上的视觉辨识)下一方的构成要素的至少一部分与另一方的构成要素重叠。2个构成要素也可以(例如在上下方向上)分离地重叠。

[0057] 模板基板7可以具有俯视观察下与主基板1的主面1a的整面重叠的缓冲层2以及晶种层3。以下,有时将主基板1和基底层4包括在内称作基底基板UK。形成于基底基板UK上的掩模层6具有多个掩模部5以及多个开口部KS。掩模部5以及开口部KS均是将第1方向(X方向)设为宽度方向、将第2方向(Y方向)设为长边方向的长条形状。开口部KS可以是锥形形状(向下方而宽度变窄的形状)。掩模层6开是开口部KS的长边方向的两端开放的形状、即在长边方向的两端不存在掩模部5的形状,可以以所谓的边到边形状形成于基底基板UK上。掩模

层6可以是包含掩模部5以及开口部KS的掩模图案。开口部KS是不存在掩模部5的区域,开口部KS也可以不被掩模部5包围。

[0058] 例如,在主基板1使用硅基板、晶种层3使用GaN系半导体的情况下,有时两者(主基板和晶种层)相互熔融。为此,例如,通过设置包含AlN层以及SiC(碳化硅)层的至少一方的缓冲层2,能减少主基板1和晶种层3相互熔融的可能性。在使用不与晶种层3相互熔融的主基板1的情况下,也能是不设缓冲层2的结构。此外,在使用与主基板1的反应性小的晶种层3的情况下,也能是不设缓冲层2的结构。另外,如图2、3那样,并不限定于晶种层3与掩模部5的整体重叠的结构。由于晶种层3从开口部KS露出即可,因此,也可以局部地形成晶种层3,以使其不与掩模部5的一部分或全部重叠。

[0059] 掩模层6例如可以如以下那样形成。即,在使用溅射法在基底基板UK上的整面形成SiO_2膜后,通过抗蚀剂部分地进行保护的同时进行湿式蚀刻。通过除去SiO_2膜的一部分来形成掩模部5以及开口部KS。一般而言,基底基板UK的侧面不被SiO_2膜被覆。这是因为如下等理由:(i)溅射法中的SiO_2膜向基底基板UK的侧面的包绕不足;以及(ii)由于只要未刻意进行涂布,则抗蚀剂不会充分涂布于基底基板UK的侧面,因此,会因蚀刻将SiO_2膜除去。

[0060] 模板基板7能用在半导体部的形成、例如ELO法的GaN系半导体部的成膜中。所谓GaN系半导体,是包含镓原子(Ga)以及氮原子(N)的半导体,例如能举出GaN、AlGaN、AlGaInN、InGaN。在ELO法中,例如能使用包含GaN系半导体的晶种层3,掩模层6使用SiO_2膜等无机化合物膜,在掩模部5上使GaN系半导体部横向生长。能将GaN系半导体部的厚度方向(Z方向)设为GaN系结晶的<0001>方向(c轴方向),将开口部KS的宽度方向(X方向)设为GaN系结晶的<11-20>方向(a轴方向),将开口部KS的长边方向(Y方向)设为GaN系结晶的<1-100>方向(m轴方向)。GaN系半导体部典型地是层状。为此,GaN系半导体部也能称作GaN系半导体层。以下,称作GaN系半导体层进行说明,但GaN系半导体层不一定非要限定于层状。有时将用ELO法形成的层称作ELO半导体层。

[0061] 在形成ELO半导体层时,有时如前述那样产生回熔蚀刻SMB。其理由虽然确定,但认为如以下那样。

[0062] 即,缓冲层2在不妨碍成膜原料包绕到主基板1的侧面(将侧面被覆)的条件下形成,但是,是层厚100nm程度的薄的层,并且,作为原本性质,难以形成为被覆主基板1的侧面。为此,认为在模板基板7的侧面部分,出于主基板1的侧面形状的不均匀、缓冲层2的薄化等理由,缓冲层2的层厚变得不均匀。并且,其结果,认为会因缓冲层2而存在不能将主基板1和晶种层3充分分离的部位。换言之,认为在模板基板7的侧面部分,会存在缓冲层2的层厚过薄、裂纹进入缓冲层2、或因缓冲层2而不能完全(有效)保护主基板1的微小区域。以下,在本说明书中,将会成为回熔蚀刻SMB的产生起点的部位(上述微小区域)称作“异常部位DP”。

[0063] 在此,若增厚模板基板7的侧面部处的缓冲层2的层厚,则同时主基板1的主面1a上的缓冲层2的层厚也变厚,在该情况下,会损害缓冲层2的本来的功能。具体地,通过缓冲层2的内部应力、和由缓冲层2与主基板1的热膨胀系数以及晶格常数的差异引起的应力,会在缓冲层2产生裂纹。其结果,会经由该裂纹而产生主基板1与晶种层3的回熔蚀刻。因而,不能自由地增厚缓冲层2的层厚。

[0064] 此外,形成ELO半导体层时的成膜条件会给回熔蚀刻SMB的产生状态带来影响。例如,在为了确保横向成膜速度而设为超过1050℃的成膜温度的情况下,易于产生回熔蚀刻

SMB。此外,若使成膜时间比较长,回熔蚀刻SMB的产生区域的面积则扩大。

[0065] 为此,本公开的一方式中的模板基板7能设为包含沿着基底基板UK的外周形成的保护部PS的结构。保护部PS覆盖基底基板UK的侧面(端面),在侧视观察下与主基板1的边缘E重叠。保护部PS例如包含:含硅的氮化物膜、含硅的氧化物膜、或含硅的氮氧化物膜。保护部PS典型地可以包含氮化硅(SiN)膜或SiO_2膜。

[0066] 此外,保护部PS可以包含与镓(Ga)不同的材料,更详细地,可以包含与Ga单体以及Ga化合物不同的材料(以下,为了说明的方便,称作非Ga系材料)。作为保护部PS中所含的非Ga系材料,例如能举出硅氮化物、硅氧化物、硅的氮氧化物、铝硅氧化物等。保护部PS可以包含多种上述非Ga系材料。

[0067] 此外,保护部PS可以比Ga更多包含上述非Ga系材料,更详细地,可以与Ga单体的含有量以及Ga化合物的含有量的合计相比而上述非Ga系材料的含有量更多。所谓保护部PS中的上述非Ga系材料的含有量,在包含多种的非Ga系材料的情况下,是指保护部PS中所含的全部种类的非Ga系材料的含有量的合计。

[0068] 此外,保护部PS可以是不含Ga或实质不含Ga的无机绝缘膜或无机绝缘层。所谓“实质不含Ga”,可以在保护部PS混入Ga作为不可避的杂质,是指可以包含通过来自晶种层3的原子的扩散而混入保护部PS的Ga。保护部PS具有减少模板基板7的侧面部分中的回熔蚀刻SMB的产生的功能即可,可以在能容许的浓度范围包含Ga。例如,保护部PS可以在成分组成中以摩尔比包含1%以下的Ga。

[0069] 保护部PS例如可以使用CVD(Chemical Vapor Deposition,化学气相沉积)法、等离子CVD法、等来形成,也可以通过其他方法形成。以下,说明使用等离子CVD法来形成保护部PS的模板基板7。

[0070] 如图2所示那样,将模板基板7的厚度方向(Z方向)上的从保护部PS的最低的位置到最高的位置的距离设为高度H,将主基板1的板厚设为t1,将基底层4的层厚设为t2。保护部PS可以具有比板厚t1大的高度H,可以具有比板厚t1以及层厚t2的合计大的高度H。高度H例如可以为200μm以上且1200μm以下,可以为300μm以上且1100μm以下。

[0071] 在本说明书中,将主基板1的边缘E与主面1a相交的棱线(剖面观察下的交点)设为RH,将主基板1的边缘E与下表面1b相交的棱线(剖面观察下的交点)称作RL。并且,将基底基板UK中的位于比棱线RH更外周侧的(位于距中心部远的一侧)侧面部分称作基底基板UK的侧面部SP。换言之,所谓基底基板UK的侧面部SP,是在XY平面(俯视观察)中位于比主面1a更外侧的包含主基板1、缓冲层2以及晶种层3的部分。

[0072] 保护部PS可以在基底基板UK的侧面部SP与晶种层3接触,也可以将晶种层3的表面全部覆盖。保护部PS可以从Z方向上的从下表面1b的位置(换言之棱线RL的位置)起遍及主面1a的位置(换言之棱线RH的位置)覆盖基底基板UK的侧面部SP,在该情况下,保护部PS在侧视观察下与边缘E整体重叠。保护部PS可以从Z方向上的下表面1b的位置起越过晶种层3的主面1a的位置(换言之棱线RH的位置)地覆盖基底基板UK的侧面部SP,在该情况下,可以覆盖侧面部SP,以使得在侧面部SP晶种层3不露出。此外,侧面部SP的一部分和掩模部5可以相互接触。另外,在本说明书中,所谓不同的2个构件“接触”,不仅是指相互直接接触,还指使什么其他的薄厚的层(例如厚度2μm以下,可以单层也可以多层)介于其间而间接地接触。

[0073] 模板基板7具有保护部PS。通过使用模板基板7,在利用ELO法形成ELO半导体层时,

妨碍源自Ga原料而供给的Ga到达主基板1。为此,能减少源自Ga原料而供给的Ga经由异常部位DP与主基板1反应的可能性。

[0074] 例如,在异常部位DP,因不存在缓冲层2、或缓冲层2的层厚薄而存在晶种层3与主基板1反应的可能性。在缓冲层2的层厚薄的情况下,Ga能透过缓冲层2。在模板基板7中,即使假设产生异常部位DP中的反应,也由于没有对反应部位的Ga的新的供给而止于异常部位DP处的晶种层3与主基板1的局部的反应。

[0075] 或者,在模板基板7中,通过不从外部对异常部位DP供给Ga,能减少产生上述反应的可能性本身。其结果,能减少产生回熔蚀刻SMB的可能性,即使假设产生回熔蚀刻SMB,也能减少回熔蚀刻SMB的产生区域的面积。

[0076] 保护部PS可以使保护部PS的表面与晶种层3的表面的距离最小的部分、换言之保护部PS中的最靠近晶种层3的表面的部分(最薄的部分)的厚度为100nm以上。由此,能有效果地减少对异常部位DP供给Ga的可能性。

[0077] 此外,保护部PS可以使Z方向上的保护部PS的最低的位置成为比下表面1b的位置(换言之棱线RL的位置)更下方,在该情况下,可以与主基板1的下表面1b接触。此外,保护部PS可以包括棱线RL在内覆盖下表面1b的至少一部分。换言之,保护部PS可以在以与下表面1b的法线平行的视线观察时,与下表面1b的一部分重叠。以下,有时将保护部PS中的覆盖模板基板7的下侧(下表面1b侧)的部分称作下侧保护部PS1。下侧保护部PS1可以是保护部PS的一部分。

[0078] 在模板基板7,缓冲层2以及晶种层3会若干包绕到下表面1b。例如,在图2所示那样的剖面观察下,缓冲层2以及晶种层3可以覆盖下表面1b的一部分,缓冲层2以及晶种层3的外周侧的端部也可以位于在Y方向上距上述棱线RL数μm程度的位置。

[0079] 在图2所示那样的剖面观察下,将下侧保护部PS1的、模板基板7的中央侧的端部称作PSE。此外,在图2所示那样的剖面观察下,将模板基板7的下侧处的上述棱线RL的位置、缓冲层2的端部的位置以及晶种层3的端部的位置当中的Y方向上最靠近模板基板7的中央侧的位置、与端部PSE的位置的相互的距离设为W1。模板基板7中,下侧保护部PS1中的距离W1例如可以为1μm以上,在该情况下,能有效果地减少起因于包绕到下表面1b侧的Ga原料气体而产生回熔蚀刻SMB的可能性。其结果,能更进一步减少产生回熔蚀刻SMB的可能性。下侧保护部PS1可以使距离W1例如为1μm以上5000μm以下。这样的下侧保护部PS1例如能通过使用等离子CVD法形成保护部PS来形成。

[0080] 此外,能在主基板1的侧面的外侧设置保护部PS,以使得主基板1不在模板基板7的侧面露出。保护部PS的材料可以是AlN、SiC等不含镓的半导体,可以是SiNx等无定形材料。氮化物半导体(例如GaN系半导体)可以位于主基板1的侧面与保护部PS之间。主基板1的侧面和保护部PS可以相接。保护部PS可以是从主基板1的上方向侧方包绕的形状。保护部PS可以形成在与掩模部5同层或比掩模部5更上层。可以将主基板1(例如Si基板)的热氧化膜设为保护部PS。可以使长条形状的开口部KS与模板基板7的侧面的间隔比开口部KS的宽度大。可以使晶种层3与模板基板7的侧面的间隔比开口部K的宽度大。

[0081] 〔半导体基板〕

[0082] 使用图4、图5A、图5B来说明本公开的一实施方式中的半导体基板10。图4是用于说明本实施方式的半导体基板10的剖视图。在图4中,示出与图3对应的剖面,并且示出横向生

长的一例。

[0083] 如图4所示那样,在利用ELO法在模板基板7上形成ELO半导体层的工序中,首先,以在开口部KS露出的晶种层3为起点形成初始生长层SL。然后,使初始生长层SL进一步生长并横向生长,来形成ELO半导体部8。ELO半导体部8例如包含GaN系半导体。进而,半导体基板10可以在比ELO半导体部8更上层形成功能部9。功能部9可以是单层体,也可以是多层体。功能部9可以具有作为半导体器件的构成要素的功能、发光功能、从外力的保护功能、从静电的保护功能、抑制水、氧等异物侵入的保护功能、从蚀刻剂等的保护功能、光学功能以及感测功能的至少1者。

[0084] ELO半导体部8以及功能部9典型地是层状。为此,ELO半导体部8也能说是ELO半导体层8,功能部9也能说是功能层9。以下,称作ELO半导体层8以及功能层9进行说明,但ELO半导体层8以及功能层9不一定限定于层状。

[0085] ELO半导体层8包含:在俯视观察下与掩模部5重叠、贯穿位错相对少的有效部EK;和俯视观察下与开口部KS重叠、贯穿位错相对多的非有效部NS。在功能层9在比ELO半导体层8更上层包含活性层(例如电子与空穴进行耦合的层)的情况下,有效部EK上(换言之,俯视观察下与有效部EK重叠的位置)的功能层9能形成为包含缺陷少且结晶性的高的活性层。能形成在该有效部EK形成电流注入区域、上述活性层发挥功能的器件。由此,例如能制作发光效率高的器件。

[0086] 有效部EK能设为与<0001>方向平行的剖面中的非贯穿位错密度比上表面中的贯穿位错密度大的结构。贯穿位错是沿着ELO半导体层8的厚度方向(Z方向)从ELO半导体层8的下表面或内部向其表面或表层延伸的位错(缺陷)。贯穿位错能通过对ELO半导体层8的表面(与c面平行)进行CL(Cathode luminescence,阴极发光)测定来观察。非贯穿位错是在与厚度方向平行的面的剖面CL测定的位错,主要是基底面(c面)位错。

[0087] 图5A是表示半导体基板10的结构的俯视图的部分放大图。图5B是图5A所示的B-V线的向视剖视图。在图5A以及图5B中示出形成功能层9前的半导体基板10。

[0088] 如图5A以及图5B所示那样,半导体基板10在使用边到边形状的模板基板7的情况下,利用ELO法以开口部KS为起点而生长的ELO半导体层8能形成为包绕至半导体基板10的侧方。这是因为,ELO半导体层8以比X方向慢的生长速度还在Y方向(GaN系结晶的m轴方向)上生长。特别是,通过在使有效部EK的宽度大这样的条件下成膜的话,ELO半导体层8则已与包绕至半导体基板10的侧方。在这样的情况下,半导体基板10也能通过具备保护部PS,来有效果地减少在ELO半导体层8的成膜条件下产生回熔蚀刻SMB的可能性。为此,能增大半导体基板10中的有效部EK的有效面积。其结果,能提升使用半导体基板10制作的器件的成品率。

[0089] 并且,半导体基板10可以具备包含下侧保护部PS1的保护部PS,在该情况下,假设在形成ELO半导体层8或同级Ga原料气体,以使得包绕至半导体基板10的下侧的情况下,也能减少Ga与主基板1接触的可能性。为此,能有效果地减少产生回熔蚀刻SMB的可能性。

[0090] 另外,虽然省略图示,但半导体基板10也可以通过从相邻的开口部KS向相反方向横生长的半导体膜彼此会合来形成ELO半导体层8,也可以是ELO半导体层8在掩模部5上没有边缘的结构(会合型)。半导体基板10可以在会合型的ELO半导体层8的上层具有功能层9。

[0091] 〔模板基板以及半导体基板的制造〕

[0092] 图6是表示本实施方式中的半导体基板10的制造方法的一例的流程图。在图6所示

的流程图中能还包含模板基板7的制造方法。

[0093] 如图6所示那样,在模板基板7以及半导体基板10的制造方法的一例中,首先,准备基底基板UK。该基底基板UK可以通过在主基板1上形成基底层4来制作。接着,通过在基底基板UK上形成掩模层6的工序之后,进一步进行形成保护部PS的工序,由此来制作模板基板7。另外,也可以在形成保护部PS后形成掩模层6。或者,例如在掩模层6包含保护部PS的情况下(参照后述的实施例1等),可以在形成掩模层6的工序中包含形成保护部PS的工序。接着,进行在模板基板7上使用ELO法形成ELO半导体层8的工序。在形成ELO半导体层8的工序后,能根据需要进行形成功能层9的工序。

[0094] 图7是表示本实施方式中的制造装置70的一例的框图。如图7所示那样,制造装置70具备:在基底基板UK上形成掩模层6的掩模层形成部71;形成保护部PS的保护部形成部72;和在模板基板7上形成ELO半导体层8的半导体层形成部73。此外,制造装置70具备掩模层形成部71、保护部形成部72、以及控制半导体层形成部73的控制部74。

[0095] 掩模层形成部71可以包含执行用于在基底基板UK上形成掩模层6的各种处理的1个或多个装置,作为该装置,能运用公知的装置。保护部形成部72可以是将公知的装置组合多个以使得能形成保护部PS的结构。保护部形成部72可以包含等离子CVD装置。半导体层形成部73能利用ELO法将包含GaN系半导体的ELO半导体层8(参照图4等)形成为与晶种层3和掩模部5相接。半导体层形成部73可以包含MOCVD(metal-organic(金属有机物)CVD)装置。制造装置70可以是形成功能层9的结构,也可以是在主基板1上形成基底层4的结构。

[0096] 控制部74可以包含处理器以及存储器。控制部74例如可以是通过执行存放于内置存储器、能通信的通信装置、或能访问的网络上的程序来控制掩模层形成部71、保护部形成部72以及半导体层形成部73的结构。存放上述程序以及上述程序的记录介质等也包含在本实施方式中。

[0097] 〔半导体器件的制造〕

[0098] 图8是表示本实施方式中的半导体器件的制造方法的一例的流程图。图9是表示元件部的分离的一例的俯视图。图10是表示元件部的分离以及隔离的一例的剖视图。

[0099] 如图8所示那样,在半导体器件的制造方法的一例中,在准备半导体基板10的工序之后,根据需要,进行在ELO半导体层8上形成功能层9的工序。之后,如图9以及图10所示那样,进行在半导体基板10形成多个沟槽TR(分离槽)来将元件部DS(包含ELO半导体层8的有效部EK以及功能层9)分离的工序。元件部DS在开口部KS与基板(基底基板UK)连接,在有效部EK,元件部DS的背面和掩模部5相互通过范德华力而弱地耦合。为此,在开口部KS上形成沟槽TR(分离槽),将沟槽TR形成为该沟槽底部比掩模部5的表面高度低,此外,沟槽TR的开口宽度为开口部KS的宽度以上,由此,能将元件部DS容易地从基板剥离。沟槽TR将功能层9以及ELO半导体层8贯通。掩模部5以及主基板1可以在沟槽TR内露出。之后,进行将元件部DS从模板基板7隔离而做出半导体器件的工序。可以在准备图8的半导体基板10的工序中包含图6所示的模板基板7以及半导体基板10的制造方法的各工序。

[0100] 模板基板7可以包含基底基板UK以及基底基板UK上的掩模图案。模板基板7可以具有与掩模部5对应的生长抑制区域(例如抑制Z方向的结晶生长的区域)和与开口部KS对应的晶种区域。例如,还能在基底基板UK上形成生长抑制区域以及晶种区域,在生长抑制区域以及晶种区域上使用ELO法形成ELO半导体层8。

[0101] 〔半导体器件〕

[0102] 如图10所示那样,通过将元件部DS从模板基板7隔离,能形成半导体器件20(包含ELO半导体层8)。例如,也可以在将元件部DS从模板基板7隔离后,在隔离的元件部DS的背面形成n电极等。作为半导体器件20的具体例,能举出发光二极管(LED)、半导体激光器、肖特基二极管、光电二极管、晶体管(包含功率晶体管、高电子迁移率晶体管)等。

[0103] 〔电子设备〕

[0104] 图11是表示本实施方式所涉及的电子设备的结构的示意图。图11的电子设备30包含:半导体基板10(在包含模板基板7的状态下作为半导体器件发挥功能的结构、例如模板基板7透光性的情况);安装半导体基板10的驱动基板23;控制驱动基板23的控制电路25。

[0105] 图12是表示本实施方式所涉及的电子设备的其他结构的示意图。图12的电子设备30包含:至少包含有效部EK的半导体器件20;安装半导体器件20的驱动基板23;和控制驱动基板23的控制电路25。

[0106] 作为电子设备30,能举出显示装置、激光出射装置(包含法布里-珀罗型、面发光型)、照明装置、通信装置、信息处理装置、感测装置以及电力控制装置等。

[0107] 〔其他结构〕

[0108] [1]图13A以及图13B是表示本公开的其他实施方式中的模板基板7的结构的剖视图。图13A表示与图2对应的剖面,图13B表示与图3对应的剖面。

[0109] 如图13A以及图13B所示那样,模板基板7也可以在基底基板UK的侧面部SP没有缓冲层2。在该情况下,也与前述同样地,模板基板7通过具有保护部PS,在利用ELO法形成ELO半导体层8时,能减少源自Ga原料而供给的Ga到达主基板1的可能性。其结果,能减少产生回熔蚀刻SMB的可能性,并且及时产生回熔蚀刻SMB也能减少回熔蚀刻SMB的产生区域的面积。

[0110] [2]本公开的其他实施方式中的模板基板7如前述所示那样,可以是不设缓冲层2的结构,例如可以使用与主基板1的反应性小的晶种层3。关于一实施方式中的不设缓冲层2的模板基板7,能说是以下。即,关于对异常部位DP前述的方案,能适宜将缓冲层2将说法改换成晶种层3来理解。例如,晶种层3的材质可以使用用作缓冲层2的材质,可以在晶种层3产生异常部位DP。在该情况下,也与前述同样地,模板基板7通过具有保护部PS,在利用ELO法形成ELO半导体层8时,能减少源自Ga原料而供给的Ga到达主基板1的可能性。其结果,能减少产生回熔蚀刻SMB的可能性,即使假设产生回熔蚀刻SMB,也能减少回熔蚀刻SMB的产生区域的面积。

[0111] 以下,例示在基底基板UK的侧面部SP具有缓冲层2的模板基板7来进行说明。但如上述那样,模板基板7可以是在基底基板UK的侧面部SP没有缓冲层2的结构。以下未重复说明,但各实施例中的模板基板7只要没有特别的记载,则也可以在基底基板UK的侧面部SP没有缓冲层2,希望理解这样的模板基板7也进入本公开的范畴。

[0112] 〔实施例1〕

[0113] 以下,举出实施例来进一步详细说明本公开的模板基板等,但本公开并不限定于以下说明的各结构,能在权利要求书所示的范围内进行各种变更。此外,以下,关于本公开的多个实施例的各结构,对图中相同或相当部分标注相同附图标记进行说明,但只要没有特别的记载,则关于适宜组合上述的实施方式以及后述的不同的实施例中公开的技术手段而得到的方式,也包含在本公开的技术的范围中。

[0114] (整体结构)

[0115] 图14是表示实施例1中的模板基板7的结构的俯视图。图15A是图14所示的A-XV线的向视剖视图。图15B是图14所示的B-XV线的向视剖视图。

[0116] 如图14、图15A、以及图15B所示那样,实施例1中的模板基板7具有主基板1、基底层4和掩模层6,掩模层6具有包含保护部PS的掩模部5。在实施例1中的模板基板7中,保护部PS和掩模部5可以相互同体。

[0117] (主基板)

[0118] 主基板1是包含硅的基板,能使用与GaN系半导体不同的材质的基板(异种基板)。主基板1典型地可以是硅基板,可以是包含硅为主成分的硅系基板。主基板1例如可以是以摩尔比包含90%以上的硅的硅系基板,也可以是包含95%以上的硅系基板。主基板1可以是单晶基板,也可以是无定形基板。主基板1的面方位例如可以是硅基板的(111)面、(100)面。

[0119] 主基板1可以是能利用ELO法使ELO半导体层8生长的含硅的材质以及面方位。主基板1虽然也可以是碳化硅(SiC;硅碳化物)基板,但SiC基板与Ga的反应性比较小。为此,SiC基板作为原本的性质而具有难以产生回熔蚀刻SMB这样的性质。因而,主基板1可以是含硅的SiC基板以外的基板。

[0120] 在实施例1中,主基板1的边缘E设为具有曲面部Er、和与曲面部Er相连且具有与X方向平行的法线的平面部Ef的结构,但并不限定于此。主基板1可以是圆盘状。平面部Ef以应具有作为面方位标识(定向平面)的功能。还能由槽口(缺口)构成面方位标识。

[0121] (基底层)

[0122] 模板基板7可以从主基板1侧起依次设有缓冲层2以及晶种层3,作为基底层4。在实施例1中,具有俯视观察下形成为与主基板1的主面1a的整面重叠的缓冲层2以及晶种层3。

[0123] 缓冲层2例如具有减少主基板1与晶种层3接触并相互熔融的情况的功能。例如,在主基板1使用硅基板、晶种层3使用GaN系半导体的情况下,通过在硅基板与GaN系半导体之间设置缓冲层2,能减少硅基板与GaN系半导体相互熔融的情况。此外,缓冲层2可以具有提高晶种层3的结晶性的效果以及缓和晶种层3的内部应力的效果的至少一方。

[0124] 缓冲层2典型地可以是AlN层,也可以是SiC层。缓冲层2中所用的SiC可以是六方晶系(6H-SiC、4H-SiC),也可以是立方晶系(3C-SiC)。缓冲层2也可以是包含AlN膜以及SiC膜当中的至少任一者的多层膜。缓冲层2也可以包含应变缓和层。作为应变缓和层,例如能举出AlGaN的超晶格构造、使AlGaN的Al组成阶段性变化的渐变构造。能通过应变缓和层缓和ELO半导体层8的长边方向的应力。缓冲层2的一例的AlN层例如能使用MOCVD装置形成为厚度10nm程度~5μm程度。另外,缓冲层2可以包含1%以下的Ga组成。会因Ga的原子扩散而对缓冲层2不可避免地导入Ga。

[0125] 晶种层3是在成膜ELO半导体层8时成为ELO半导体层8的生长起点的层。晶种层3能使用GaN系半导体、氮化铝(AlN)、碳化硅(SiC)、石墨烯等。晶种层3中所用的碳化硅可以是六方晶系的6H-SiC、4H-SiC。

[0126] 晶种层3例如可以是AlGaN层,也可以是Al组成接近于GaN的渐变层。渐变层例如是从AlN层侧起依次设置作为第1层的$Al_{0.7}Ga_{0.3}N$层、以及作为第2层的$Al_{0.3}Ga_{0.7}N$层的层叠体。在该情况下,第2层(Al:Ga:N=0.3:0.7:1)中的Ga的组成比(0.7/2=0.35)比第1层(Al:Ga:N=0.7:0.3:1)中的Ga的组成比(0.3/2=0.15)大。渐变层能利用MOCVD法容易地形成,可以

由3层以上构成。通过晶种层3使用渐变层,能缓和来自作为异种基板的主基板1的应力。晶种层3能设为包含GaN层的结构。在该情况下,可以将晶种层3设为GaN的单层,也可以将晶种层3即渐变层的最上层设为GaN层。

[0127] 例如,能使用溅射装置(脉冲溅射沉积(PSD:pulse sputter deposition)、脉冲激光沉积(PLD:pulse laser deposition)等)来成膜缓冲层2(例如氮化铝)以及晶种层3(例如GaN系半导体)的至少一方。

[0128] 能使用MOCVD装置或溅射装置等,在主基板1上层叠各种层来形成基底层4。但如前述那样,一般而言,在主基板1的边缘E未充分形成缓冲层2。为此,会在基底基板UK的侧面部SP存在前述的异常部位DP。

[0129] (掩模层)

[0130] 作为掩模层6,例如能使用包含硅氧化膜(SiOx)、氮化钛膜(TiN等)、硅氮化膜(SiNx)、硅氮氧化膜(SiON)、铝-硅的氧化膜(AlSiO)以及包含具有高熔点(例如1000℃以上)的金属膜的任1者的单层膜、或包含这些的至少2者的层叠膜。

[0131] 开口部KS是长条形状,多个开口部KS可以在ELO半导体层8的a轴方向(X方向)上具有第1周期地周期性排列。开口部KS的宽度可以是0.1μm～20μm程度。开口部KS的宽度越小,从开口部KS传播到ELO半导体层8的贯穿位错的数量越减少。此外,在后工序中,ELO半导体层8的剥离也变得容易。进而,能增大表面缺陷少的有效部EK的面积。

[0132] 在实施例1中,例如可以如以下那样形成具有包含保护部PS的掩模部5的掩模层6。首先,在基底层4上使用溅射法整面形成厚度100nm程度～4μm程度(优选150nm程度～2μm程度)的硅氧化膜。这时,在实施例1中,在基底基板UK的侧面部SP也形成硅氧化膜。并且,在实施例1中,在将形成于基底基板UK的侧面部SP的硅氧化膜越包括在内的硅氧化膜的整面涂布抗蚀剂。之后,使用光刻法将抗蚀剂图案形成,形成具有条带状的多个开口部的抗蚀剂。这时,在实施例1中,不除去覆盖形成于基底基板UK的侧面部SP的硅氧化膜的抗蚀剂。之后,通过用氢氟酸(HF)、缓冲氢氟酸(BHF)等湿式蚀刻剂将硅氧化膜的一部分除去,来形成包含多个开口部KS以及保护部PS的掩模部5。接着,通过将抗蚀剂用有机清洗除去,来形成掩模层6。

[0133] 此外,掩模部5可以包含具有下侧保护部PS1的保护部PS。例如,通过使用等离子CVD法的话,则易于将掩模部5形成为包绕到基底基板UK的下侧。

[0134] (模板基板的具体例)

[0135] 主基板1使用具有(111)面的硅基板,基底层4的缓冲层2设为AlN层(例如180nm)。基底层4的晶种层3设为将作为第1层的$Al_{0.6}Ga_{0.4}N$层(例如300nm)和作为第2层的GaN层(例如1～2μm)按该顺序形成的渐变层。即,第2层(Ga:N=1:1)中的Ga的组成比(1/2=0.5)比第1层(Al:Ga:N=0.6:0.4:1)中的Ga的组成比(0.6/2=0.3)大。

[0136] 掩模层6使用将氧化硅膜(SiO_2)和氮化硅膜(SiN)按该顺序形成的层叠体。氧化硅膜的厚度例如为0.3μm,氮化硅膜的厚度例如为70nm。形成掩模层6,以使得具有包含保护部PS的掩模部5。氧化硅膜以及氮化硅膜各自的成膜使用等离子CVD法。

[0137] (ELO半导体层的成膜)

[0138] 虽省略图示,半导体基板10具备:模板基板7;和位于比掩模层6更上层的ELO半导体层8。所谓半导体基板,是指包含半导体层的基板。ELO半导体层8可以是掺杂型(例如包含

施主的n型或包含受主的p型),也可以是无掺杂型。作为上述施主,例如能举出硅、锗,作为上述受主,例如能举出镁。ELO半导体层8在是掺杂型的情况下,可以包含施主以及受主两方。

[0139] ELO半导体层8例如包含氮化物半导体。氮化物半导体例如能表征为AlxGayInzN(0≤x≤1;0≤y≤1;0≤z≤1;x+y+z=1),作为具体例,能举出GaN系半导体、AlN(氮化铝)、InAlN(氮化铟铝)、InN(氮化铟)。

[0140] 将ELO半导体层8设为GaN层,使用MOCVD装置来在实施例1的模板基板7上进行ELO成膜。作为ELO成膜条件的一例,能采用基板温度:1120℃、生长压力:50kPa、TMG(三甲基镓):22sccm、NH_3:15slm、V/III=6000(V族原料的供给量相对于III族原料的供给量之比)。在露出于开口部KS的晶种层3(晶种层3的最上层即GaN层)上,ELO半导体层8选择生长,接着在掩模部5上横向生长。然后,在掩模部5上从其两侧横向生长的ELO半导体层8会合之前,使它们的横生长停止。

[0141] 掩模部5的宽度为50μm,开口部KS的宽度为5μm,ELO半导体层8的横宽为53μm,有效部EK的宽度(X方向的尺寸)为24μm,ELO半导体层8的层厚为5μm。ELO半导体层8的纵横比成为53μm/5μm=10.6,实现了非常高的纵横比。

[0142] 在实施例1中的ELO半导体层8的形成在和,提高了横向成膜速率。提高横向成膜速率的方法例如如以下那样。首先,在从开口部KS露出的晶种层3上形成在Z方向(c轴方向)上生长的纵生长层(初始生长层SL),之后,形成在X方向(a轴方向)上生长的横生长层。这是,通过将纵生长层的厚度设为10μm以下、优选地设为5μm以下、进一步优选地设为3μm以下,能将横生长层的厚度抑制得低,能提高横向成膜速率。

[0143] 如上述那样,在通过使用ELO法在模板基板7上成膜ELO半导体层8而制造的半导体基板10中,比较减少了产生回熔蚀刻SMB的区域的面积。通过使用实施例1的模板基板7的话,与使用没有保护部PS的现有的模板基板的情况相比,能减少在半导体基板10产生回熔蚀刻SMB的可能性。

[0144] 〔实施例2〕

[0145] 图16是表示实施例2中的模板基板7的结构的俯视图。图17A是图16所示的A-XVII线的向视剖视图。图17B是图16所示的B-XVII线的向视剖视图。

[0146] 在实施例1中,具有包含保护部PS的掩模部5的掩模层6形成于基底基板UK上,但在实施例2中,保护部PS可以与掩模部5分体设置。如图16、图17A、以及图17B所示那样,实施例2中的模板基板7具有主基板1、基底层4、掩模层6和保护部PS。

[0147] 在实施例2中,保护部PS可以具有与掩模部5不同的材料。保护部PS也可以包含不含Ga或实质不含Ga的无机绝缘膜或无机绝缘层。此外,保护部PS例如也可以是不含Ga或实质不含Ga的树脂构件、金属构件或陶瓷构件。保护部PS是能减少产生回熔蚀刻SMB的可能性的合适的材质即可,具体的材质并没有特别限定。

[0148] 此外,在实施例2中,保护部PS可以具有与基底基板UK的侧面嵌合这样的形状,在该情况下,可以通过组合多个保护部PS来覆盖基底基板UK的外周整体。保护部PS可以在基底基板UK的上表面覆盖掩模部5的至少一部分,也可以进入开口部KS的至少一部分。即,保护部PS可以在侧视观察下与边缘E重叠,并且在俯视观察下与主面1a的至少一部分重叠。保护部PS可以覆盖下表面1b的至少一部分,即,具有下侧保护部PS1。

[0149] 在实施例2中,在比主面1a更上层,保护部PS的厚度t3可以比掩模部5的厚度大。厚度t3例如可以为0.05μm以上且3μm以下。由此,具有比较大的厚度的保护部PS从基底基板UK的上表面起遍及基底基板UK的侧面部SP而存在。为此,易于增大覆盖基底基板UK的侧面部SP的保护部PS的厚度。其结果,能易于保护基底基板UK的侧面部SP。因此,能减少产生回熔蚀刻SMB的可能性。

[0150] 在实施例2中,例如能在基底基板UK上形成掩模层6之后,在基底基板UK的周缘部分追加地形成保护部PS。或者,可以在基底基板UK的周缘部分形成保护部PS后,形成掩模层6。此外,也可以通过将预先形成的保护部PS盖住基底基板UK的周缘部分地装备来形成模板基板7。在实施例2中,能比较容易地调整保护部PS的材质、形状、厚度等,并且还能做出具有下侧保护部PS1的保护部PS。

[0151] 〔实施例3〕

[0152] 图18是表示实施例3中的模板基板7的结构的俯视图。图19是图18所示的XIX-XIX线的向视剖视图。

[0153] 在实施例1、2中,具有边到边形状的掩模层6,但并不限定于此。在实施例3中,可以具有在开口部KS的长边方向的两端存在掩模部5的形状的掩模层6。

[0154] 如图18以及图19所示那样,实施例3中的模板基板7具有主基板1、基底层4和掩模层6,掩模层6具有包含保护部PS的掩模部5。掩模层6中,开口部KS为长条形状,在俯视观察下,可以在开口部KS的前端KE与主基板1的边缘E(换言之,前述的棱线RH的位置)之间具有间隔D1。

[0155] 在实施例3中,在与前述的实施例1同样的方法中,在使用光刻法来图案形成抗蚀剂时,稍微变更开口部的形状来蚀刻抗蚀剂,形成掩模层6即可。

[0156] 在实施例3中,在模板基板7上成膜了ELO半导体层8的情况下,例如在图19所示那样的剖面的部分能说是以下。即,由于在具有上述间隔D1的位置有开口部KS的前端KE,因此,能将ELO半导体层8的生长起点设为距主基板1的边缘E比较远离的位置。为此,能减少形成为ELO半导体层8包绕至半导体基板10的侧方的可能性。间隔D1可以为1μm以上,可以为1μm以上且6000μm以下。通过间隔D1设为1μm以上,能更进一步减少形成为ELO半导体层8包绕至半导体基板10的侧方的可能性。其结果,能使得在ELO半导体层8的成膜中,源自Ga原料的Ga难以追加供给到基底基板UK的侧面部SP。由此,即使假设产生前述的异常部位DP处的反应,也能止于异常部位DP处的晶种层3与主基板1的局部的反应。因此,能减少产生回熔蚀刻SMB的可能性。

[0157] 〔实施例4〕

[0158] 图20是表示实施例4中的模板基板7的结构的剖视图。

[0159] 在实施例3那样形成掩模层6后,在实施例4中,可以进一步形成保护部PS,在该情况下,可以具备在侧视观察下与主基板1的边缘E重叠的、第1保护部FPS以及第2保护部SPS。

[0160] 如图20所示那样,在实施例4中,掩模层6可以具有包含第1保护部FPS的掩模部5。即,可以第1保护部FPS和掩模部5成为同体。第1保护部FPS可以形成为覆盖基底基板UK的侧面部SP。此外,在实施例4中,可以具备覆盖第1保护部FPS的第2保护部SPS。第2保护部SPS可以具有与掩模部5不同的材料。

[0161] 第1保护部FPS例如可以与前述的实施例1同样地形成。第2保护部SPS例如可以与

前述的实施例2的保护部PS同样地形成。第1保护部FPS可以覆盖主基板1中的下表面1b的至少一部分,即,可以具有下侧保护部PS1。此外,在其他示例中,可以第2保护部SPS具有下侧保护部PS1。在实施例4中,可以第1保护部FPS以及第2保护部SPS的至少一方具有下侧保护部PS1。

[0162] 在实施例4中,在模板基板7上成膜了ELO半导体层8的情况下,例如在图20所示那样的剖面的部分能说是以下。即,在实施例4中,基底基板UK的侧面部SP被第1保护部FPS以及第2保护部SPS两方保护。由此,即使产生前述的异常部位DP处的反应,也能通过第1保护部FPS以及第2保护部SPS来有效果地减少对反应部位的Ga的新的供给。为此,能止于异常部位DP处的晶种层3与主基板1的局部的反应。其结果,能高度减少产生回熔蚀刻SMB的可能性。此外,即使假设局部地产生回熔蚀刻SMB,也能有效果地减少回熔蚀刻SMB的产生区域的面积扩大的可能性。

[0163] 图21是表示实施例4中的模板基板7的其他结构的剖视图。在实施例4的其他结构中,可以没有第1保护部FPS,并且掩模层6具有间隔D1。即,在实施例4的其他结构中,如图21所示那样,实施例4中的第2保护部SPS成为保护部PS。在实施例4的其他结构中,在俯视观察下,可以在掩模部5中的模板基板7的外周侧的端部5E与主基板1的边缘E(换言之,前述的棱线RH的位置)之间具有间隔D2。间隔D2可以比间隔D1小。间隔D2可以为1μm以上且3000μm以下。

[0164] 掩模部5的端部5E可以被保护部PS覆盖,在该情况下,SP晶种层3不在基底基板UK的侧面部,并且晶种层3不在侧面部SP与端部5E之间露出。由此,能减少对异常部位DP供给Ga的可能性。其结果,能减少产生回熔蚀刻SMB的可能性。

[0165] 〔实施例5〕

[0166] 图22是表示实施例5中的模板基板7的结构的俯视图。图23是图22所示的XXIII-XXIII线的向视剖视图。

[0167] 在实施例3中,包含保护部PS的掩模部5具有间隔D1而形成,在侧视观察下晶种层3与边缘E重叠,但并不限定于此。在实施例5中,可以是在基底基板UK的侧面部SP不存在晶种层3的结构。通过在晶片侧面不存在晶种层3,能抑制晶片侧面形状的不均匀性导致的回熔蚀刻SMB的产生。

[0168] 如图22以及图23所示那样,在实施例5中,可以在晶种层3的端部3E与主基板1的边缘E之间具有间隔D3。间隔D3可以比间隔D1小。间隔D3例如可以为1μm以上且6000μm以下。

[0169] 图24是用于说明实施例5中的模板基板7的制造方法的剖视图。如图24所示那样,在实施例5中,例如,首先准备基底基板UK。在基底基板UK的缓冲层2的整面形成晶种层3的情况下,具有间隔D3那样,利用蚀刻等除去晶种层3的一部分。或者,也可以在主基板1上形成缓冲层2后,将晶片周边部利用光刻胶或SiO_2等电介质膜进行掩模,之后通过使用剥离等方法来具有间隔D3地形成晶种层3。如此地,能得到将晶种层3除去一部分的基底基板UK。

[0170] 接着,与前述的实施例3同样,具有间隔D1地形成掩模层6即可。这时,通过将掩模层6形成为使得间隔D1比间隔D3大的话,能使得不产生缓冲层2露出的部分。

[0171] 在实施例5中,在上述基底基板UK的侧面部SP不存在晶种层3。为此,由于即使假设在上述基底基板UK的侧面部SP存在裂纹或薄化部等异常部位DP,晶种层3也不与异常部位DP接触,因此,没有在异常部位DP产生晶种层3与主基板1的反应的要因。并且,在上述基底

基板UK的侧面部SP,通过保护部PS覆盖缓冲层2。为此,在将ELO半导体层8成膜中,能使得源自Ga原料的Ga难以供给到基底基板UK的侧面部SP中的异常部位DP。因此,能更进一步有效果地减少产生回熔蚀刻SMB的可能性。

[0172] 〔实施例6〕

[0173] 图25是表示实施例6中的模板基板7的结构的俯视图。图26是图25所示的XXVI-XXVI线的向视剖视图。

[0174] 在实施例5中,在将晶种层3的一部分除去后形成掩模层6,但并不限定于此。在实施例6中,可以在基底基板UK上形成掩模层6后,将晶种层3以及掩模部5的一部分除去,也可以具有覆盖掩模部5的端部5E以及晶种层3的端部3E的保护部PS。

[0175] 如图25以及图26所示那样,在实施例6中,在掩模部5中的模板基板7的外周侧的端部5E与主基板1的边缘E之间具有间隔D2,并且在晶种层3的端部3E与主基板1的边缘E之间具有间隔D3。间隔D2和间隔D3也可以相互相同或大致相同。间隔D2和间隔D3也可以相互不同。

[0176] 在实施例6中,例如,首先准备基底基板UK。在基底基板UK的缓冲层2的整面形成晶种层3的情况下,也可以具有间隔D3地利用蚀刻等除去晶种层3的一部分后,具有间隔D2地形成掩模层6。或者,也可以在主基板1上形成缓冲层2后,具有间隔D3地形成晶种层3,接着,具有间隔D2地形成掩模层6。或者,主也可以在基板1上形成缓冲层2、晶种层3以及掩模层6后,将晶种层3以及掩模部5的一部分除去。

[0177] 在实施例6中,具有与前述的实施例5同样的效果,并且在模板基板7上成膜了ELO半导体层8的情况下,在Y方向上横向生长的ELO半导体层8能形成在保护部PS上。即,ELO半导体层8不与缓冲层2接触。为此,在实施例6中,能更进一步减少产生回熔蚀刻SMB的可能性。

[0178] 〔实施例7〕

[0179] 图27是表示实施例7中的模板基板7的结构的俯视图。图28是图27所示的XXVIII-XXVIII线的向视剖视图。

[0180] 在实施例6中,在模板基板7的外周形成与基底基板UK的各层不同构件的保护部PS,但并不限定于此。在实施例7中,保护部PS也可以含在缓冲层2中。

[0181] 如图27以及图28所示那样,在实施例7中,可以具有与前述的实施例6同样的掩模层6以及晶种层3,将缓冲层2用作保护部PS。即,可以缓冲层2包含保护部PS,可以缓冲层2和保护部PS相互成为同体。缓冲层2例如可以包含氮化铝膜以及碳化硅膜的至少一方,可以是多层膜。

[0182] 在实施例7中,也与前述的实施例5同样地,在基底基板UK的侧面部SP不存在晶种层3。并且,在基底基板UK的侧面部SP,通过缓冲层2覆盖主基板1的边缘E。即使假设在缓冲层2存在裂纹或薄化部等异常部位DP,也能说是以下。即,由于晶种层3不与异常部位DP接触,因此,没有在异常部位DP产生晶种层3与主基板1的反应的要因。此外,在模板基板7上成膜了ELO半导体层8的情况下,由于缓冲层2含有缺乏与Ga的反应性的材质,因此,源自Ga原料的Ga选择性地供给到晶种层3的部分。为此,能减少对异常部位DP供给Ga而产生回熔蚀刻SMB的可能性。

[0183] 〔实施例8〕

[0184] 图29是表示实施例8中的模板基板7的结构的剖视图。

[0185] 如图29所示那样,在实施例8中,可以对通过主基板1的热氧化处理或主基板1的氮化处理而形成的表面处理膜利用蚀刻等来形成开口部KS以及掩模部5。由此,能形成包含保护部PS的掩模部5。即,掩模部5可以由主基板1的加工膜构成。

[0186] 在实施例8中,例如,首先,对主基板1实施热氧化处理或氮化处理,来形成基板加工膜(热氧化膜或氮化处理膜)作为掩模层6的掩模部5。燃油,在基板加工膜上涂布抗蚀剂后,利用光刻法图案形成抗蚀剂,来在抗蚀剂形成开口部。然后,通过利用氢氟酸等蚀刻剂蚀刻基板加工膜来形成开口部KS。接着,保持留下抗蚀剂不变,使用溅射法等来在开口部KS的内部成膜基底层4。由此,能制造实施例8的模板基板7。

[0187] 在实施例8中,在主基板1的边缘E部分不存在晶种层3,并且主基板1的边缘E被掩模部5覆盖。为此,能有效果地减少产生回熔蚀刻SMB的可能性。

[0188] 〔实施例9〕

[0189] 图30是表示实施例9中的模板基板7的结构的剖视图。

[0190] 在实施例8中,具有覆盖主基板1的边缘E的作为基板加工膜的掩模部5,但并不限定于此。在实施例9中,可以具有利用等离子CVD法等形成的掩模部5,并且基底层4形成于主基板1的主面1a的整面。

[0191] 在实施例9中,例如,在主基板1的主面1a的整面形成硅氧化膜,之后,与前述的实施例8同样地,在形成开口部KS后,在开口部KS的内部形成基底层4即可。在实施例9中,在主基板1的边缘E的部分不存在晶种层3,并且主基板1的边缘E被掩模部5覆盖。为此,能有效果地减少产生回熔蚀刻SMB的可能性。

[0192] 〔实施例10〕

[0193] 图31是表示实施例10中的模板基板7的结构的剖视图。

[0194] 在实施例5中,是在基底基板UK的侧面部SP不存在晶种层3的结构,但并不限定于此。在实施例10中,也可以是在基底基板UK的侧面部SP不存在缓冲层2以及晶种层3的两方、并且在开口部KS的长边方向的两端存在掩模部5的形状的掩模层6的结构。

[0195] 如图31所示那样,实施例10中的模板基板7具有主基板1、基底层4和掩模层6,掩模层6具有包含保护部PS的掩模部5。掩模层6中,可以开口部KS为长条形状,在俯视观察下,在开口部KS的前端KE与主基板1的边缘E(换言之,前述的棱线RH的位置)之间具有间隔D1。

[0196] 在实施例10中,可以在晶种层3的端部3E与主基板1的边缘E之间具有间隔D3(参照实施例5)。此外,可以在缓冲层2的端部2E与主基板1的边缘E之间具有间隔D4。间隔D4可以比间隔D1小。间隔D4例如可以为1μm以上6000μm以下。间隔D3和间隔D4可以相互相同或大致相同。间隔D3和间隔D4也可以相互不同。

[0197] 在实施例10中,例如,首先准备基底基板UK。在基底基板UK的缓冲层2的整面形成晶种层3的情况下,可以具有间隔D3地将晶种层3的一部分利用蚀刻等除去。此外,也可以具有间隔D4地将缓冲层2的一部分利用蚀刻等除去。能得到晶种层3以及缓冲层2被除去一部分的基底基板UK即可,具体的方法并没有特别限定。

[0198] 接着,与前述的实施例3同样,具有间隔D1地形成掩模层6即可。这时,若间隔D1比间隔D3大且间隔D1比间隔D4大地形成掩模层6,则不会产生主基板1露出的部分。

[0199] 在实施例10中,在基底基板UK的侧面部SP,不存在晶种层3以及缓冲层2,通过掩模

部5的一部分即保护部PS来覆盖主基板1的边缘E。为此,能减少在基底基板UK的侧面部SP存在异常部位DP的可能性,并且,能在ELO半导体层8的成膜中减少气氛的Ga到达主基板1并进行反应的可能性。其结果,能减少产生回熔蚀刻SMB的可能性。

[0200] 〔实施例11〕

[0201] 图32是表示实施例11中的模板基板7的结构的剖视图。

[0202] 在前述的实施例1等中,基底基板UK是从主基板1侧起依次设有缓冲层2以及晶种层3作为基底层4的结构,但并不限定于此。在本公开的一实施例中,可以在主基板1与晶种层3之间不设缓冲层2。

[0203] 如图32所示那样,在实施例11中,没有缓冲层2且具有晶种层3,基底基板UK具有主基板1和晶种层3。在基底基板UK上形成掩模层6。掩模层6具有包含保护部PS的掩模部5。在实施例11中,保护部PS和掩模部5相互成为同体。

[0204] 晶种层3可以含有与主基板1的反应性小的材质、并且能成为ELO半导体层8的生长起点的材质。晶种层3例如可以是AlN层或SiC层,也可以是包含AlN以及SiC的至少一方的层。晶种层3可以是单层膜或多层膜。晶种层3例如可以是将靠近主基板1一侧设为AlN膜、将距主基板1远侧一侧设为GaN膜或AlGaN膜这样的Al组成阶段性变化的渐变构造。

[0205] 在实施例11中,假设在主基板1的边缘E未充分形成晶种层3的情况下,在基底基板UK的侧面部SP,会在晶种层3形成异常部位DP。但晶种层3能设为不含Ga或实质不含Ga的层,并且,在基底基板UK的侧面部SP,晶种层3被保护部PS覆盖。为此,在异常部位DP,能减少产生含硅的主基板1与Ga的反应的可能性。此外,即使假设在晶种层3中的异常部位DP产生反应,也能通过保护部PS减少对反应部位的Ga的新的供给。其结果,能有效果地减少产生回熔蚀刻SMB的可能性。

[0206] 另外,关于前述的各种实施例,也可以是没有缓冲层2的结构,即,是在主基板1与晶种层3之间不设缓冲层2的结构,这样的实施例也包含在本公开中。

[0207] 图33是表示实施例11中的模板基板7的其他结构的剖视图。如图33所示那样,可以是晶种层3位于主基板1上、晶种层3的端部(覆盖主基板1的侧面的部分)作为保护部PS发挥功能的结构。作为该情况的晶种层3,能使用具有AlN以及SiC的至少一方的单层膜或多层膜。关于晶种层3,可以将覆盖主基板1的侧面的部分(保护部PS)的厚度设为覆盖主基板1的上表面的部分的厚度以上,可以包绕到主基板1的下表面。

[0208] 〔实施例12〕

[0209] 图34是表示实施例12中的模板基板7的结构的剖视图。如图34所示那样,可以是如下结构:缓冲层2位于主基板1上,在缓冲层2上局部地设置晶种层3,以使得与掩模6的开口部KS重叠,缓冲层2的端部(覆盖主基板1的侧面的部分)作为保护部PS发挥功能。作为该情况的缓冲层2,能使用具有AlN以及SiC的至少一方的单层膜或多层膜。关于缓冲层2,可以将覆盖主基板1的侧面的部分(保护部PS)的厚度设为覆盖主基板1的上表面的部分的厚度以上,可以包绕到主基板1的下表面。

[0210] 〔附记事项〕

[0211] 以上,基于诸附图以及实施例说明了本公开所涉及的发明。但本公开所涉及的发明并不限定于上述的各实施方式。例如,在上述的示例中,记载了使用含硅的主基板的示例,本公开在采用有半导体层的形成时产生回熔蚀刻的可能性的主基板时是有效的,本公

开的适用对象并不限定于含硅的主基板。如此,本公开所涉及的发明能在本公开所示的范围内进行各种变更,关于将在不同的实施方式分别公开的技术手段适宜组合而得到的实施方式,也包含在本公开所涉及的发明的技术的范围内。即,希望留意的是,只要是本领域技术人员,则容易基于本公开来进行各种变形或修正。此外,希望留意的是,这些变形或修正也包含在本公开的范围中。

[0212] -符号说明-

[0213]	1	主基板
[0214]	1a	主面
[0215]	1b	下表面
[0216]	2	缓冲层(缓冲部)
[0217]	3	晶种层(晶种部)
[0218]	3E、5E	端部
[0219]	4	基底层(基底部)
[0220]	5	掩模部
[0221]	6	掩模层(掩模)
[0222]	7	模板基板
[0223]	8	ELO半导体层(ELO半导体部)
[0224]	9	功能层(功能部)
[0225]	10	半导体基板
[0226]	20	半导体器件
[0227]	23	驱动基板
[0228]	25	控制电路
[0229]	30	电子设备
[0230]	70	制造装置
[0231]	71	掩模层形成部
[0232]	72	保护部形成部
[0233]	73	半导体层形成部
[0234]	74	控制部
[0235]	D1、D2、D3、D4	间隔
[0236]	E	边缘(侧面)
[0237]	Ef	平面部
[0238]	Er	曲面部
[0239]	KS	开口部
[0240]	PS	保护部
[0241]	PS1	下侧保护部。

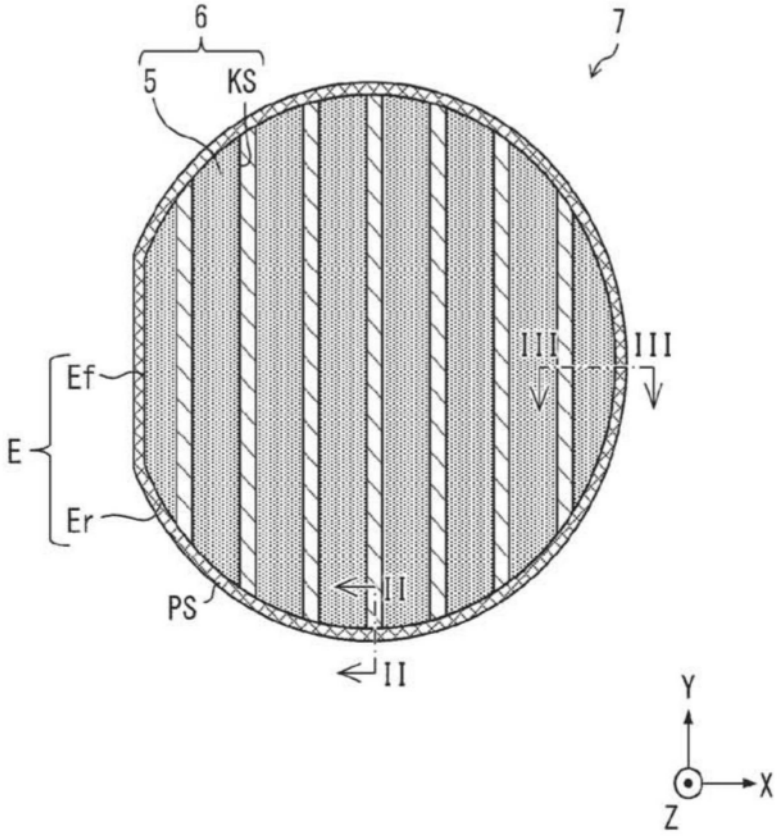


图1

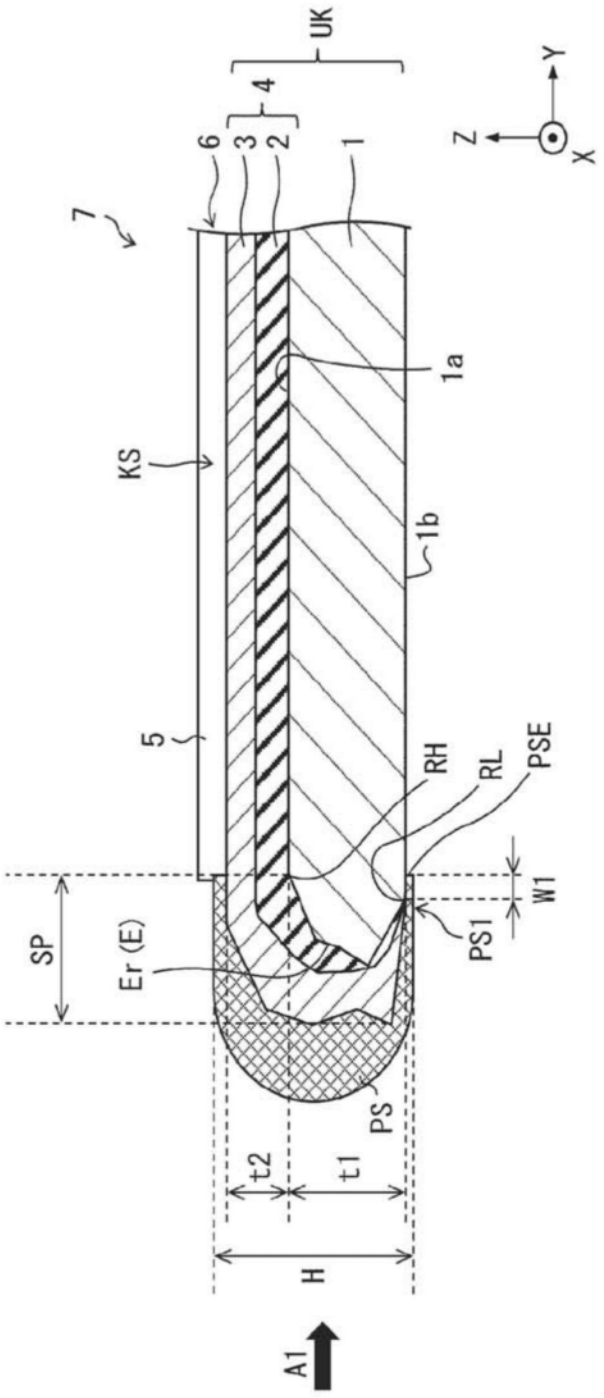


图2

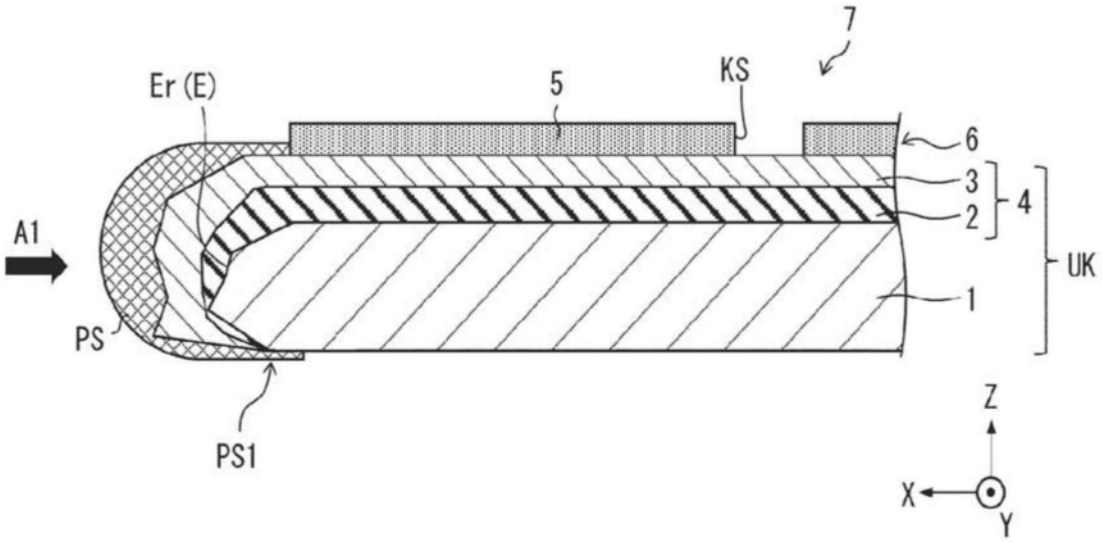


图3

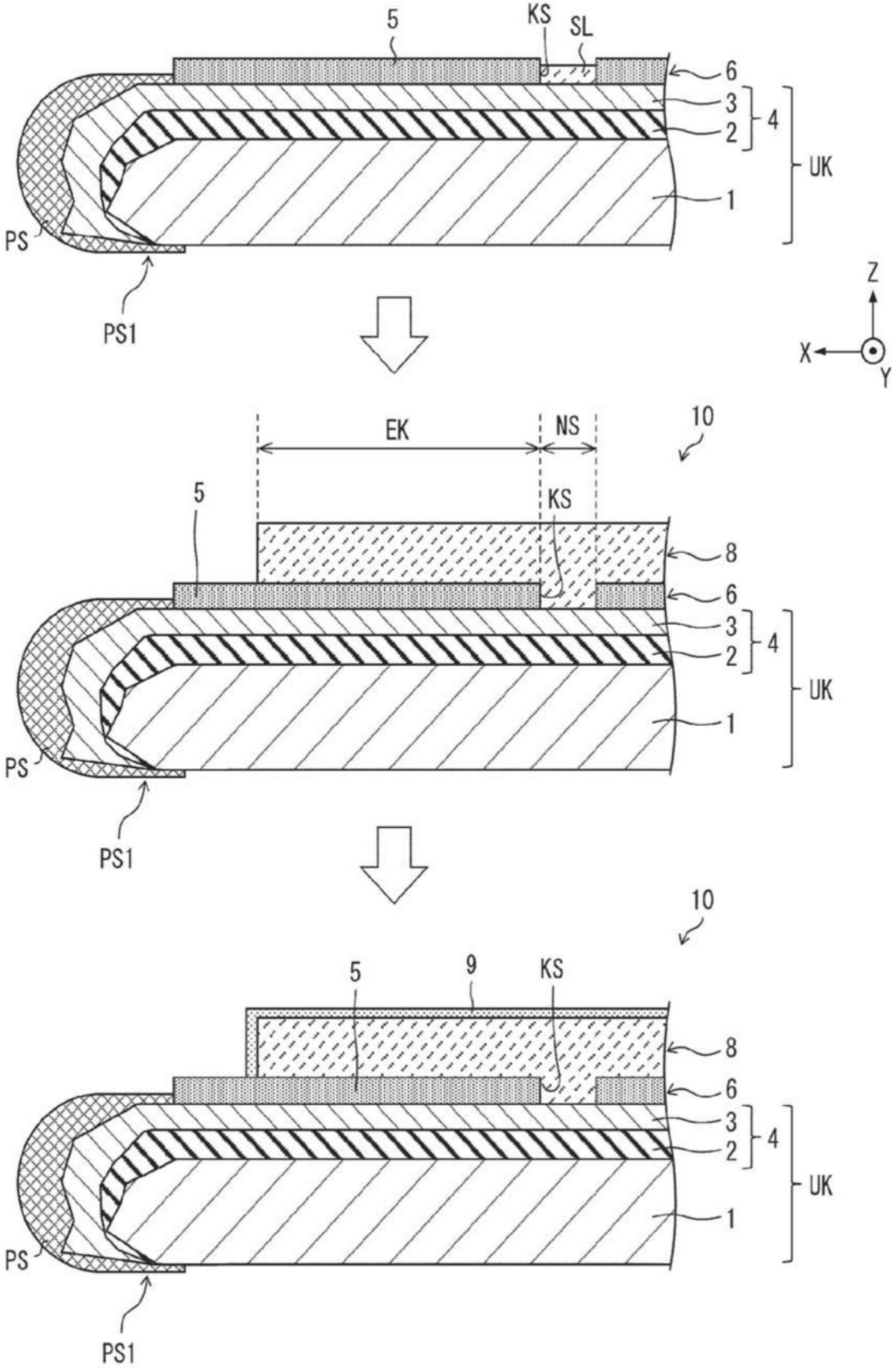

5
KS
SL
6
3
2
4
UK
1
PS
PS1
Z
X
Y
EK
NS
10
5
KS
8
6
3
2
4
UK
1
PS
PS1
10
5
9
KS
8
6
3
2
4
UK
1
PS
PS1

图4

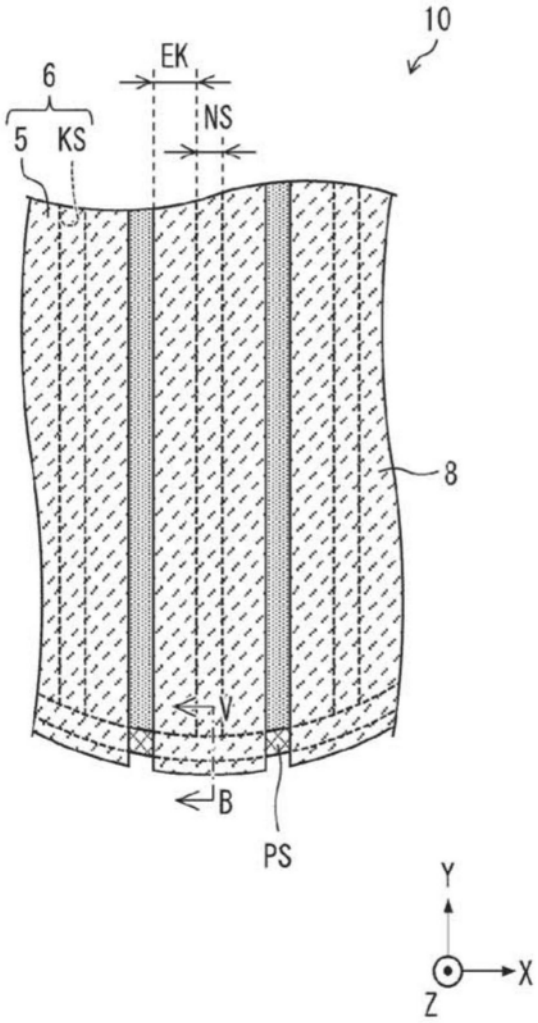


图5A

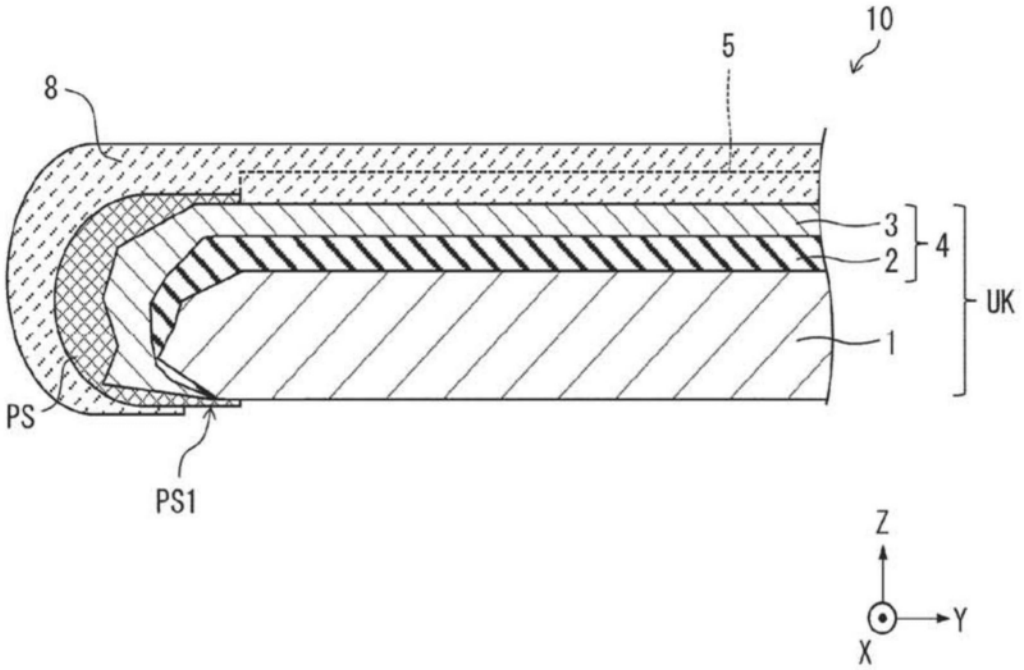

10
5
8
3
2
4
UK
1
PS
PS1
Z
Y
X

图5B


准备基底基板的工序
形成掩模层的工序
形成保护部的工序
通过 ELO 法来形成半导体层的工序
形成功能层的工序

图6

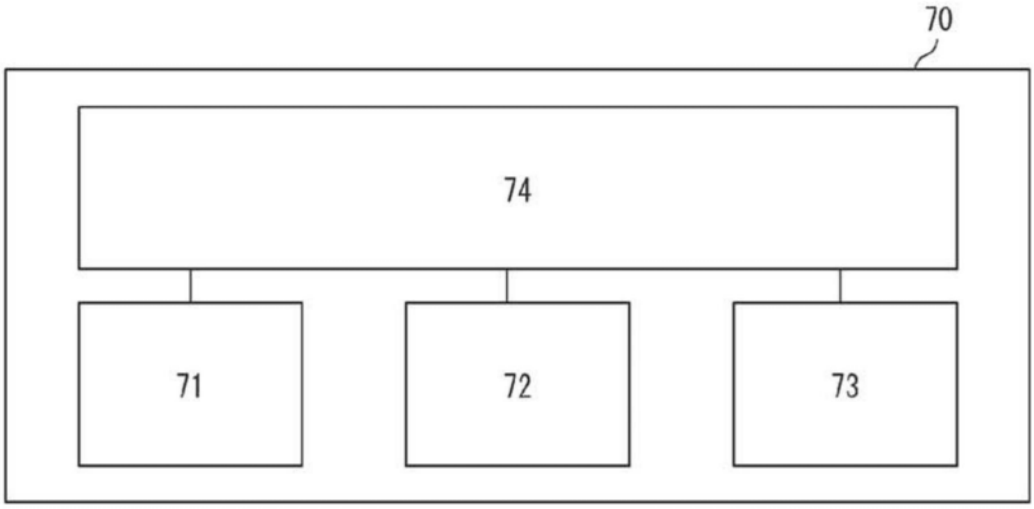

70
74
71
72
73

图7

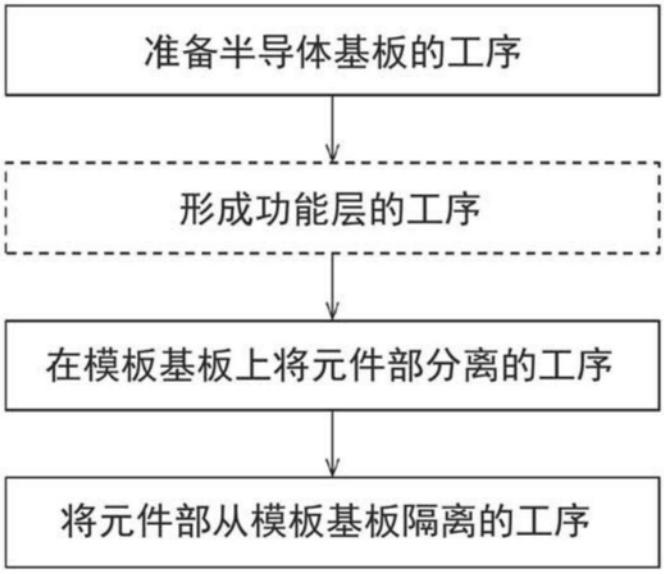

准备半导体基板的工序
形成功能层的工序
在模板基板上将元件部分离的工序
将元件部从模板基板隔离的工序

图8

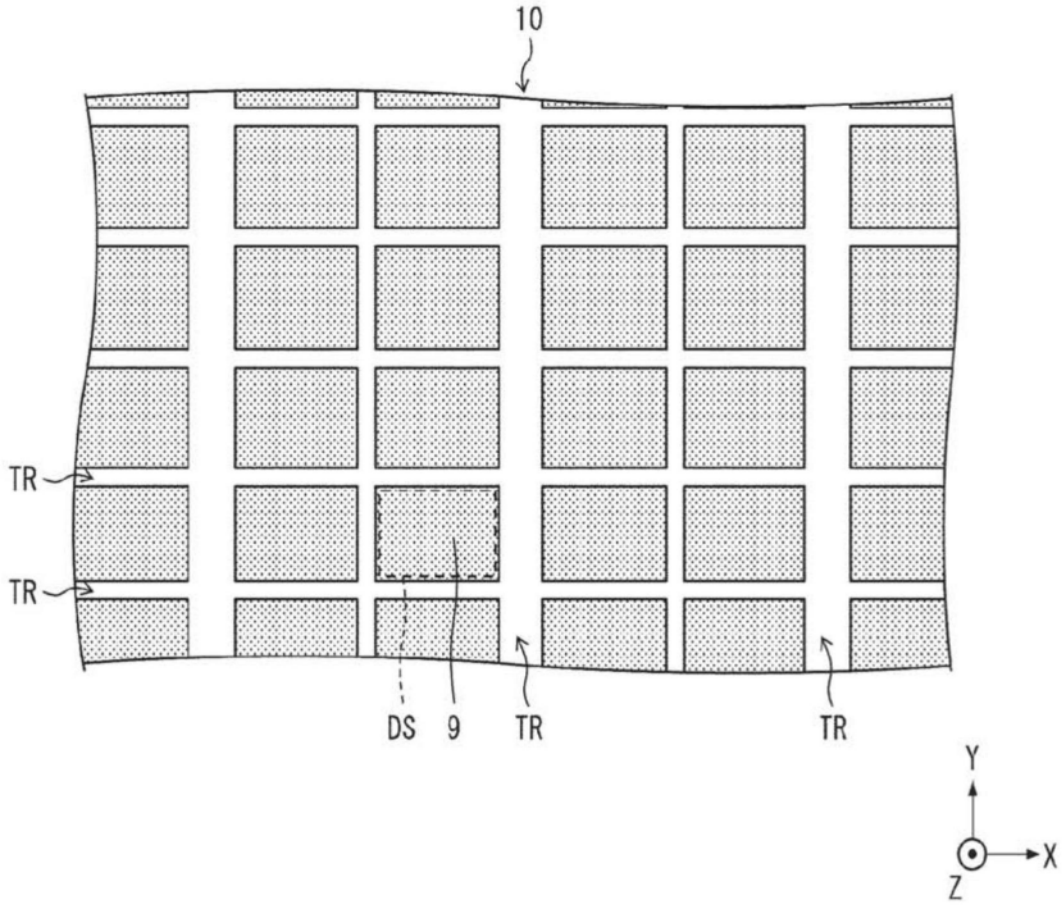


图9

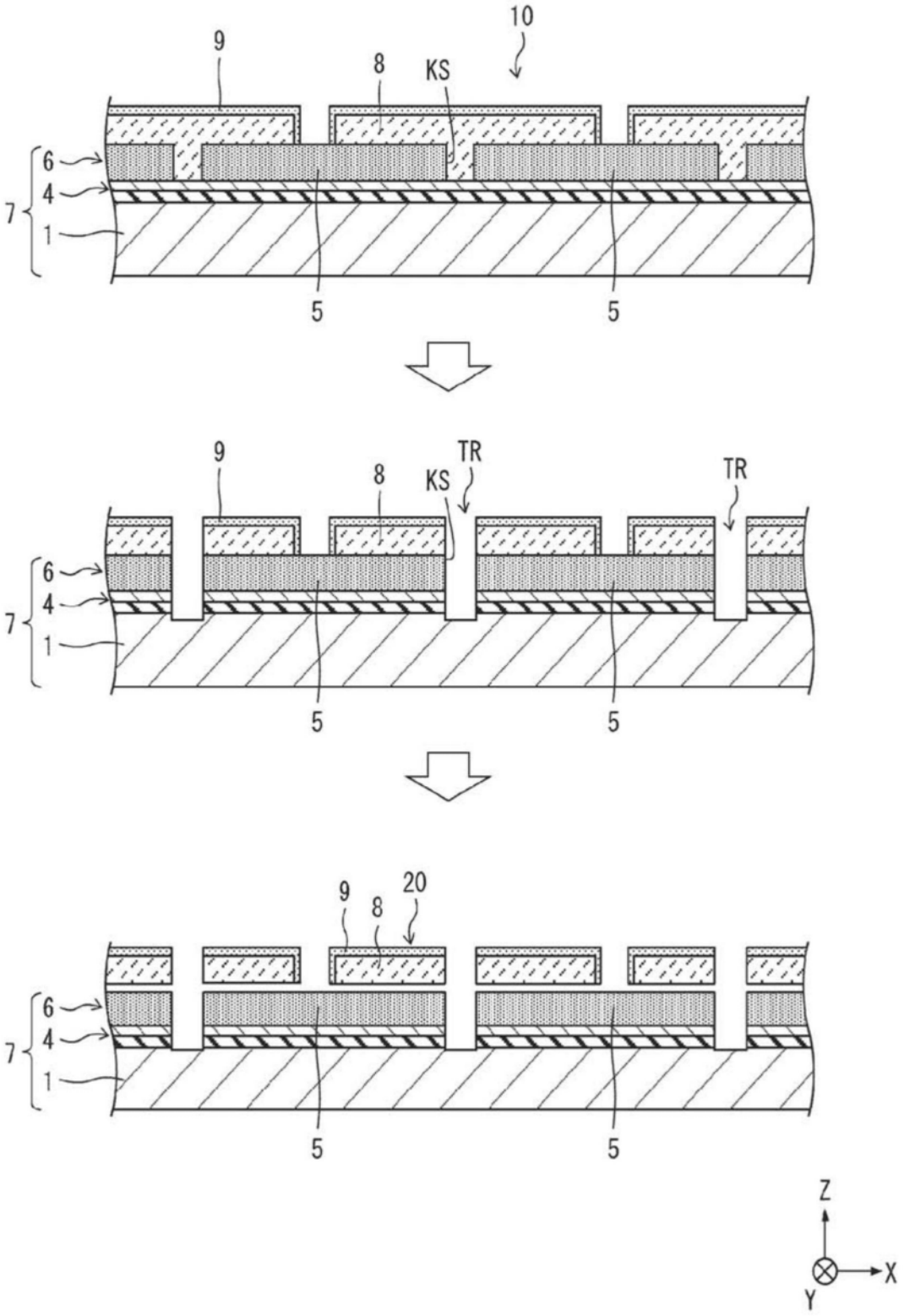


图10

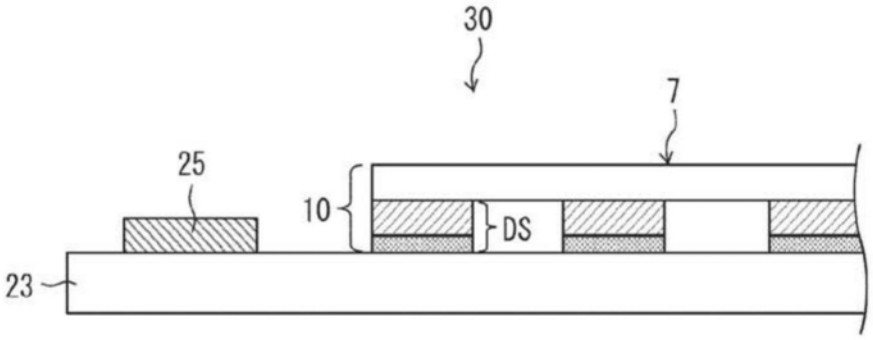


图11

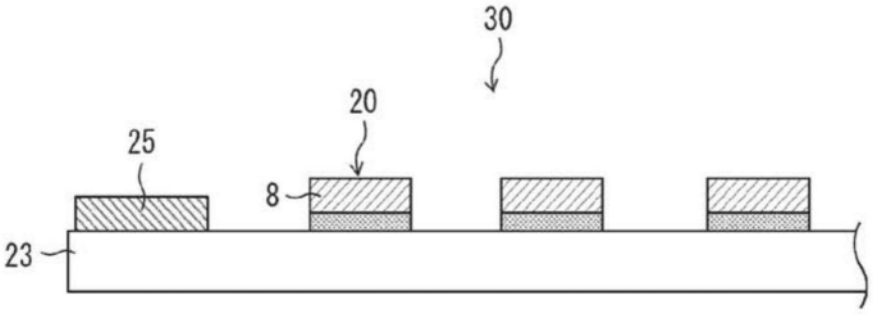


图12

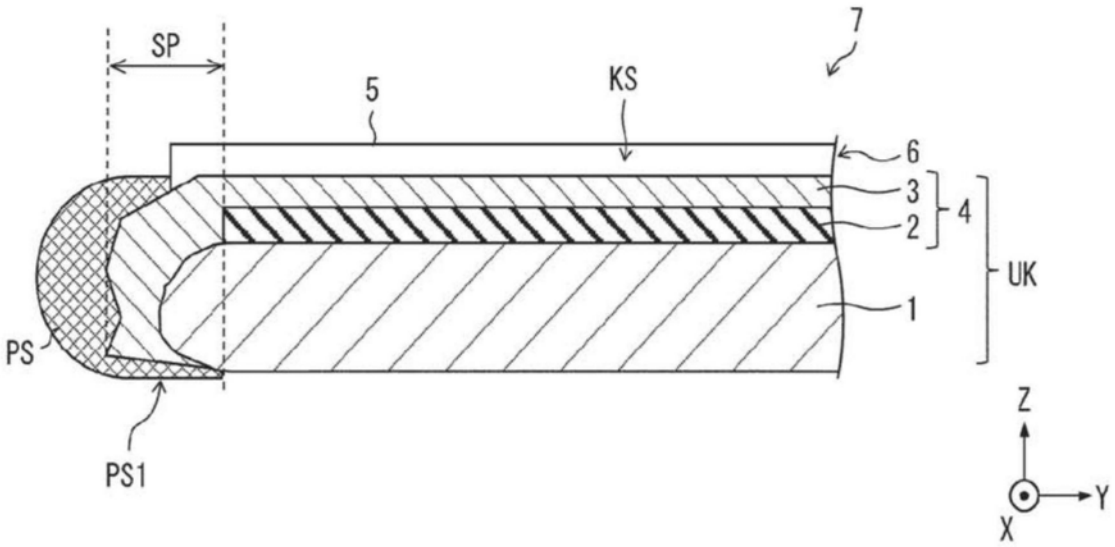


图13A

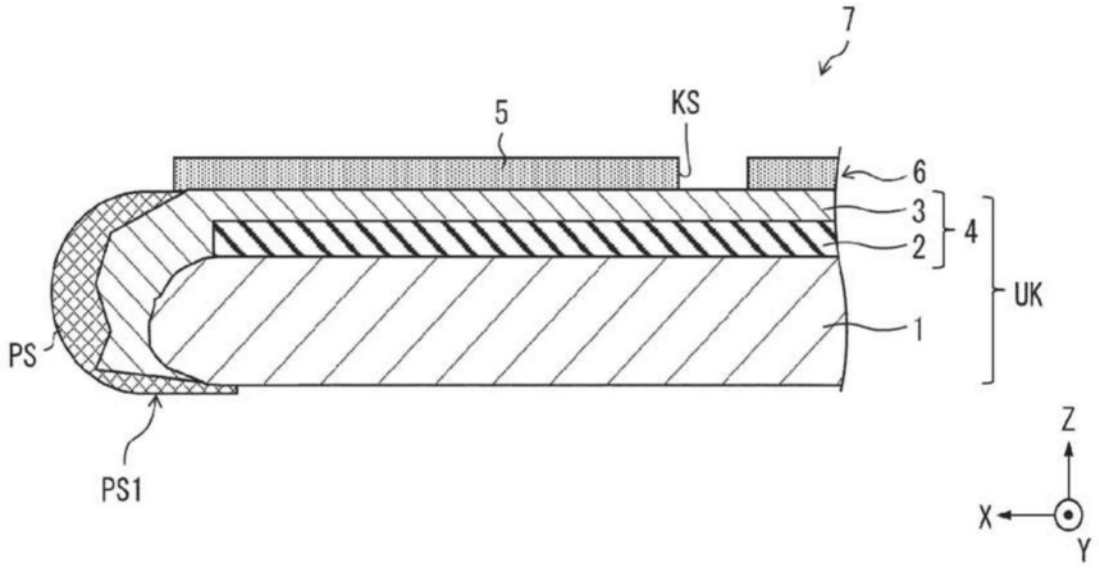


图13B

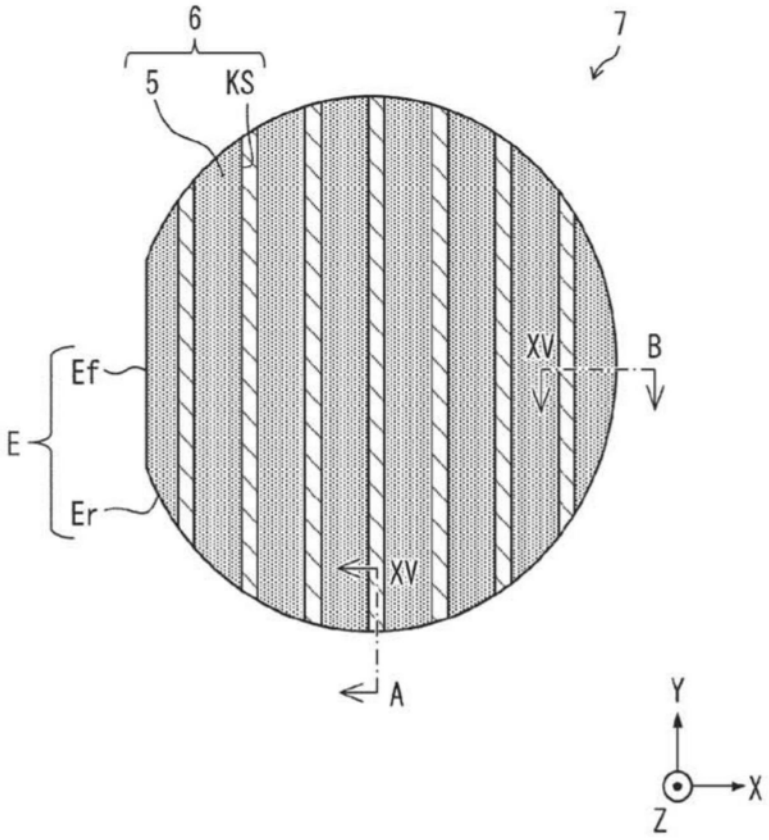


图14

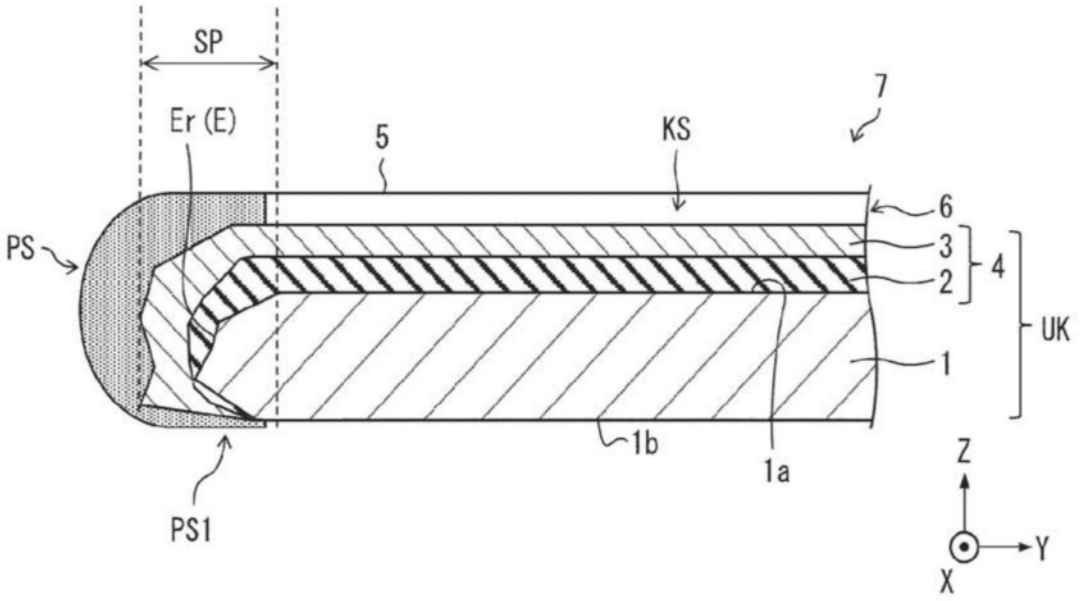

SP
Er (E)
5
KS
7
6
3
2
4
UK
PS
1
1b
1a
PS1
Z
Y
X

图15A

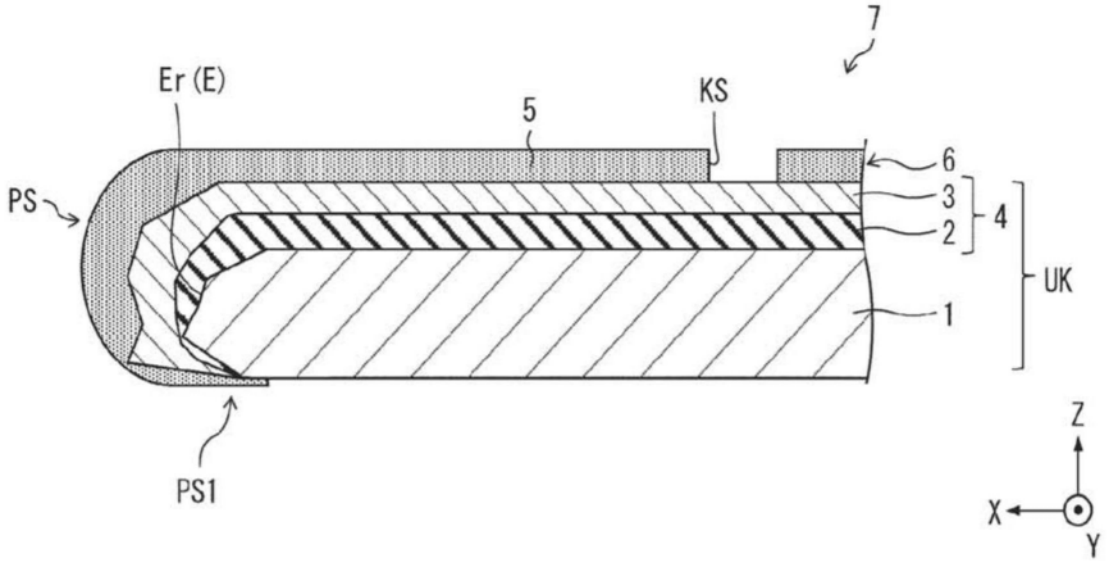

7
Er (E)
5
KS
6
3
2
4
UK
PS
1
PS1
Z
X
Y

图15B

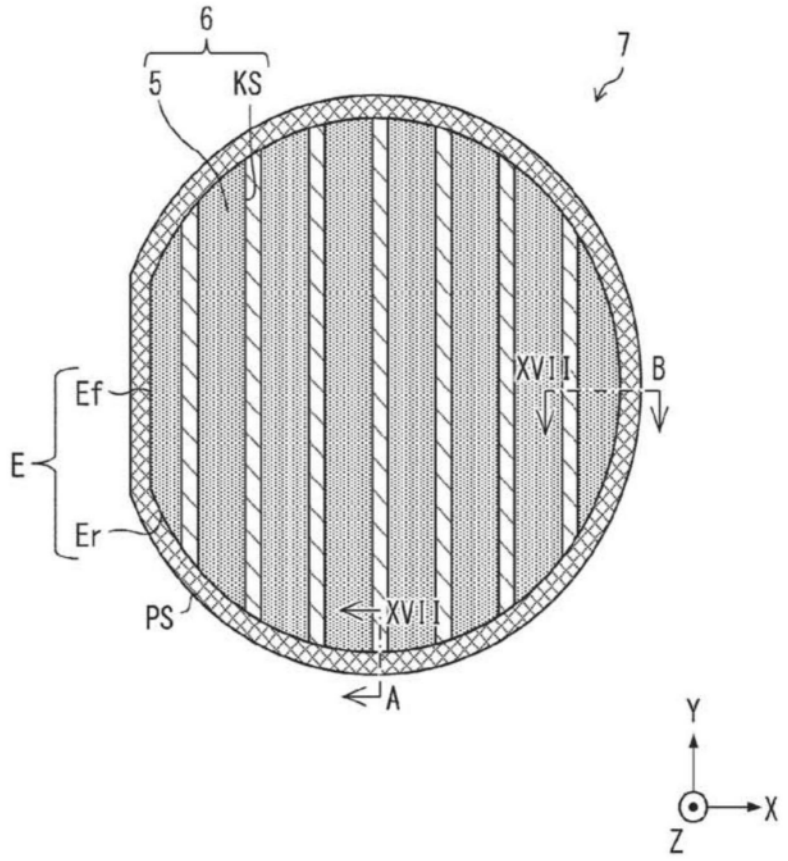

6
5
KS
7
Ef
E
Er
PS
XVII
B
XVII
A
Y
X
Z

图16

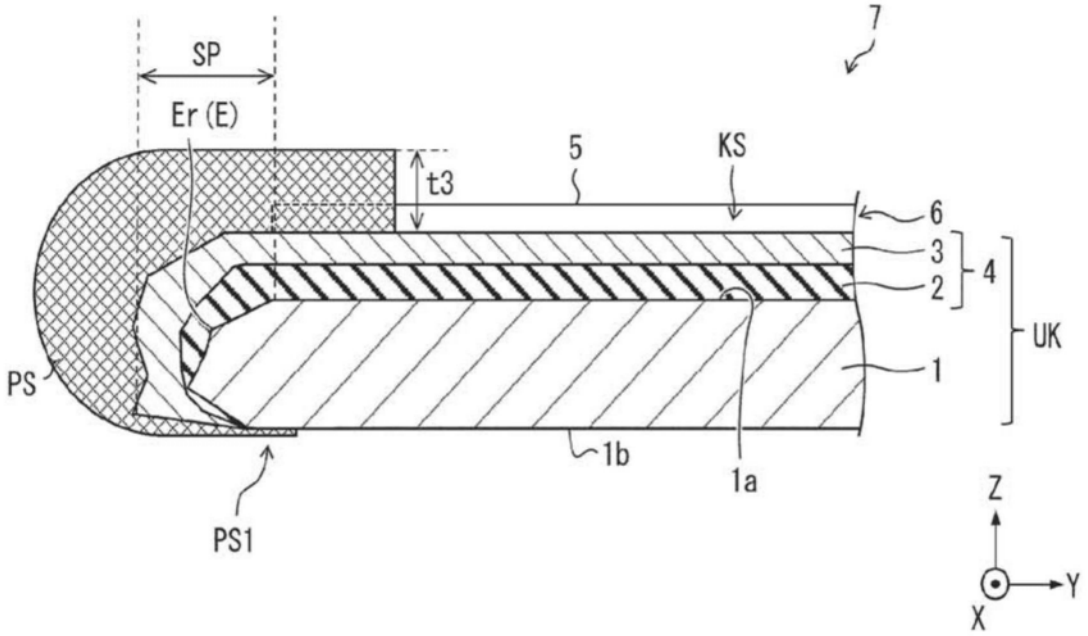

SP
Er (E)
t3
5
KS
7
6
3
2
4
UK
1
PS
1b
1a
PS1
Z
Y
X

图17A

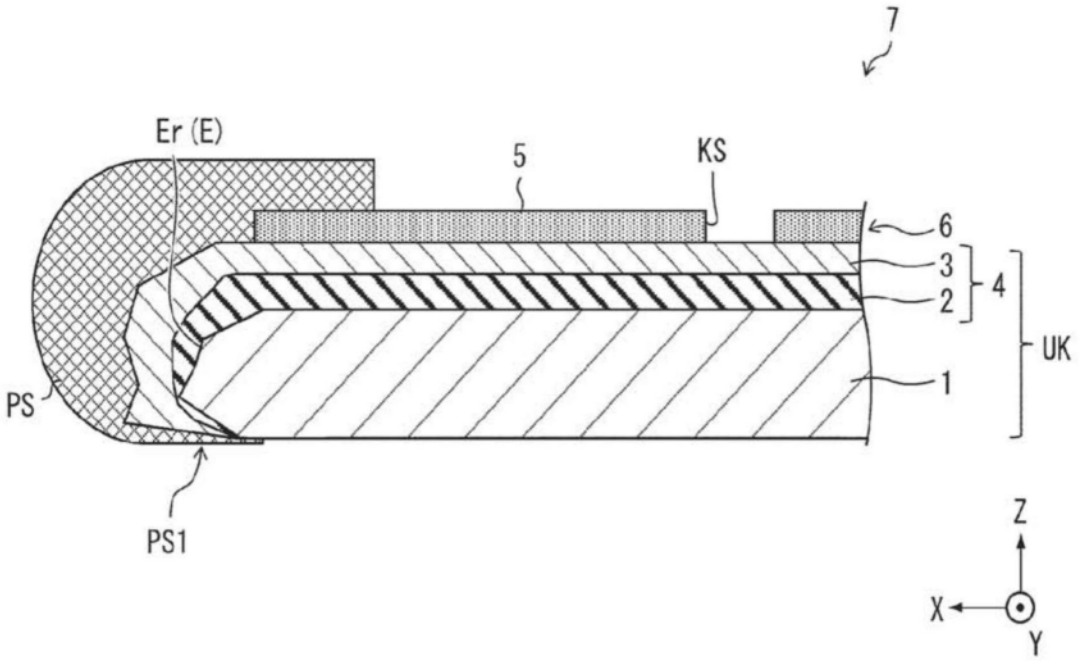


图17B

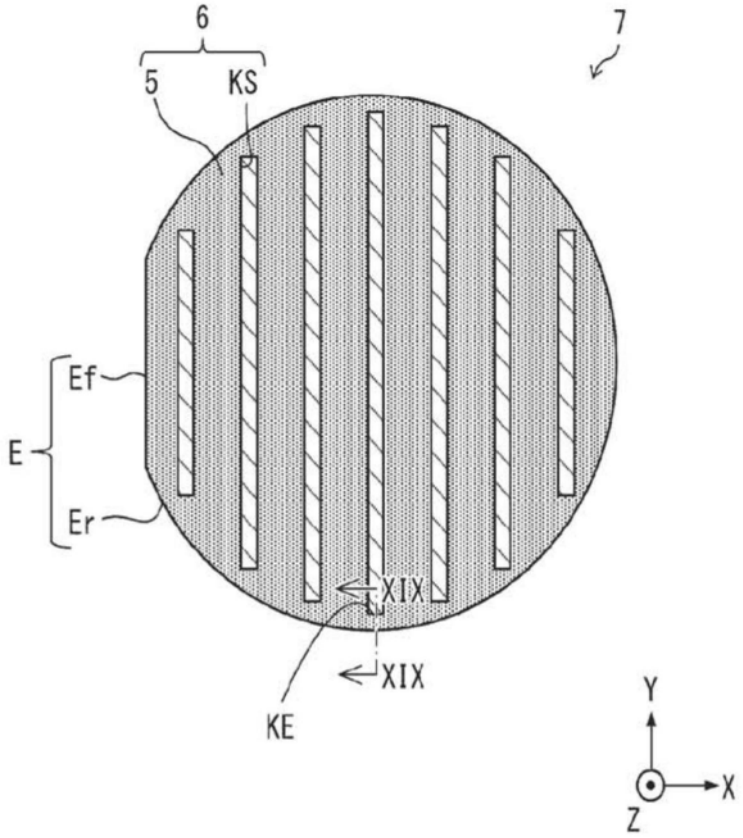


图18

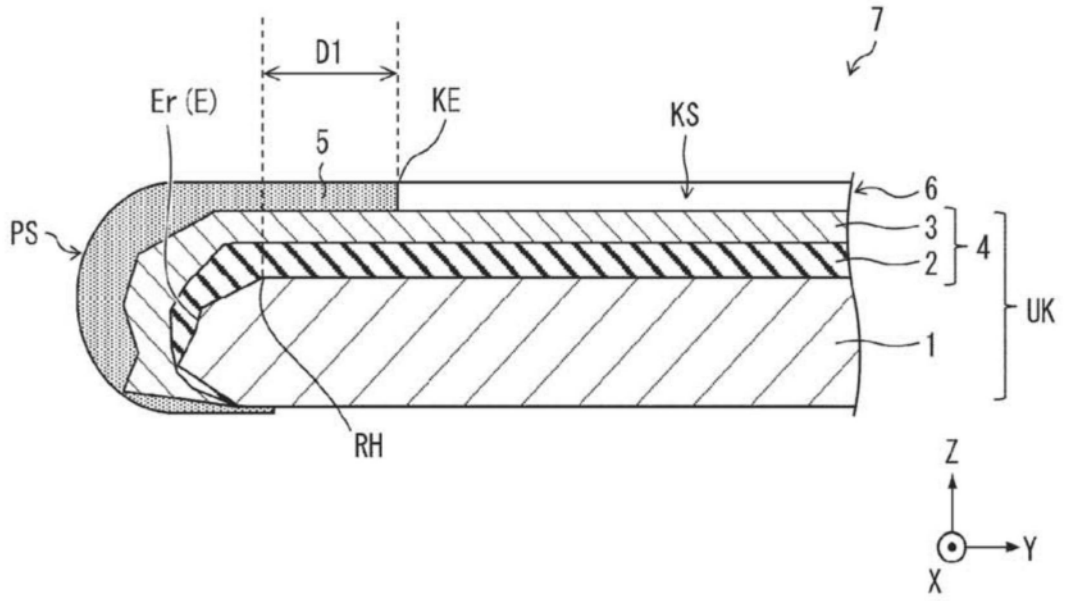

7
D1
Er (E)
KE
KS
5
6
3
4
2
PS
UK
1
RH
Z
Y
X

图19

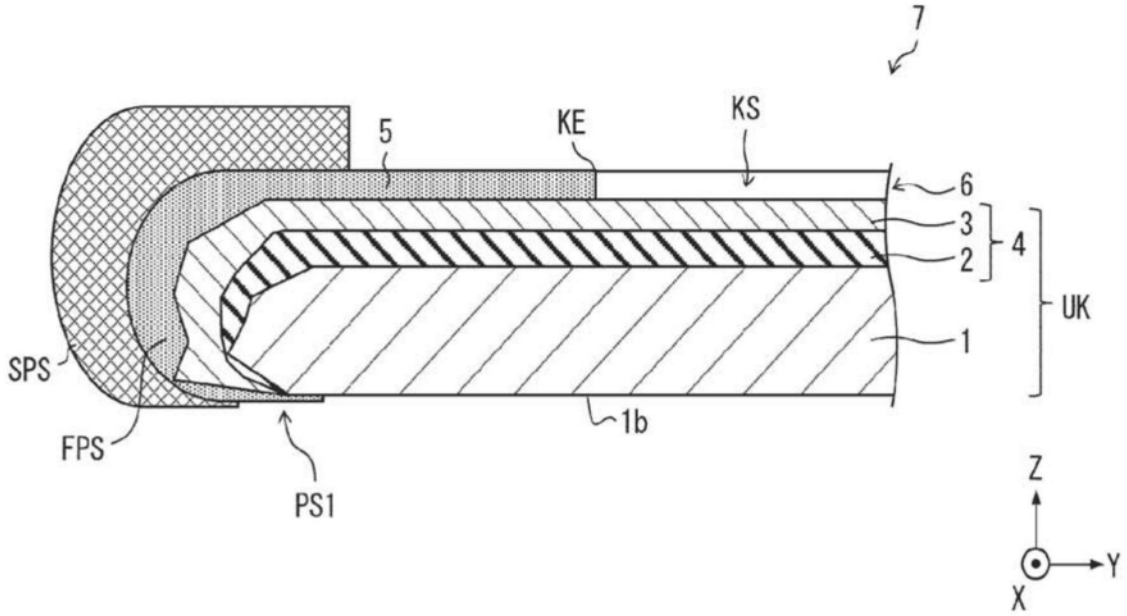

7
5
KE
KS
6
3
4
2
UK
1
SPS
FPS
1b
PS1
Z
Y
X

图20

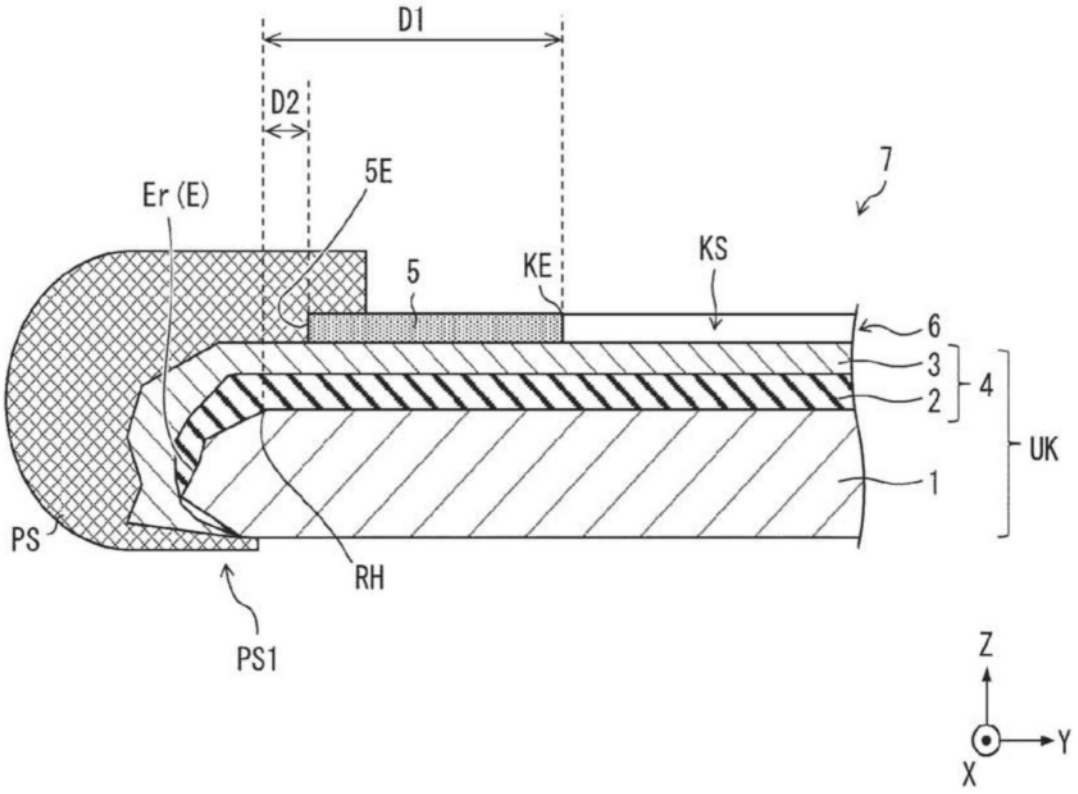


图21

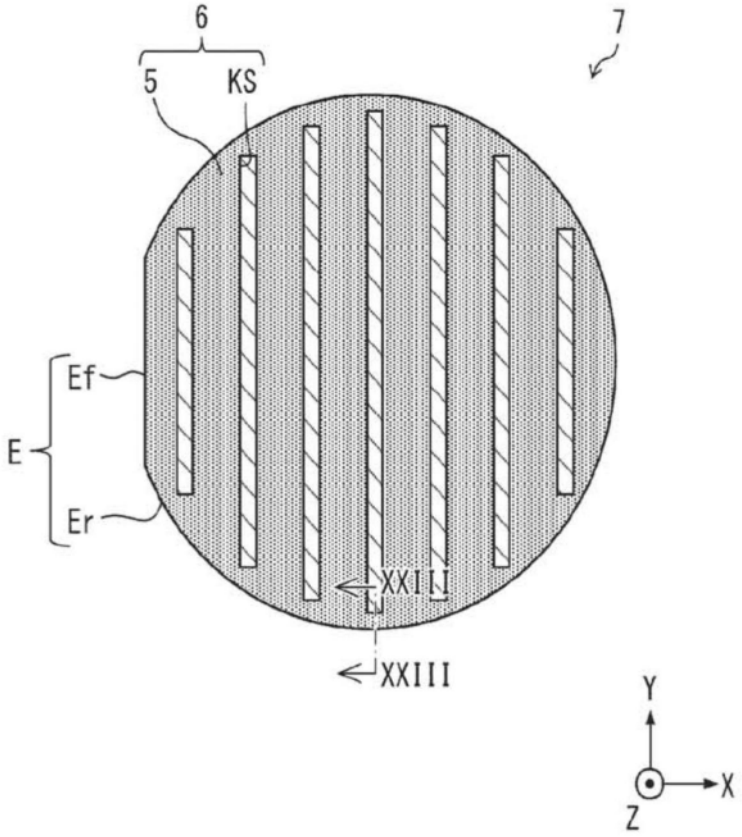

6
5
KS
7
Ef
E
Er
XXIII
XXIII
Y
X
Z

图22

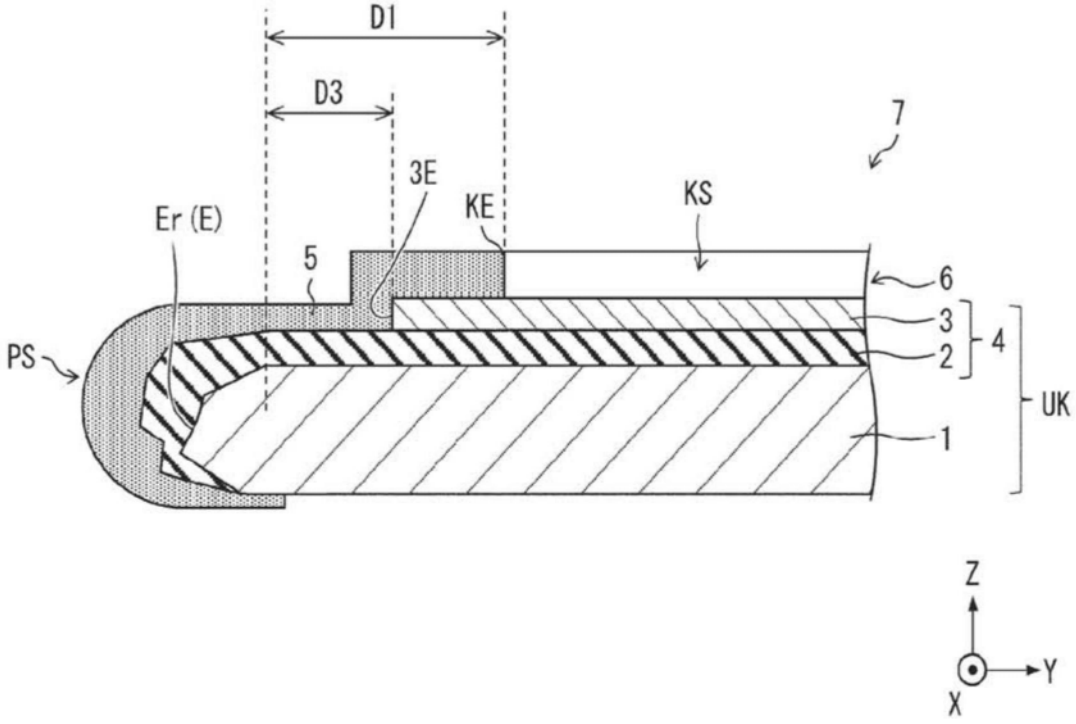

D1
D3
7
3E
KE
KS
Er (E)
5
6
3
4
2
PS
UK
1
Z
Y
X

图23

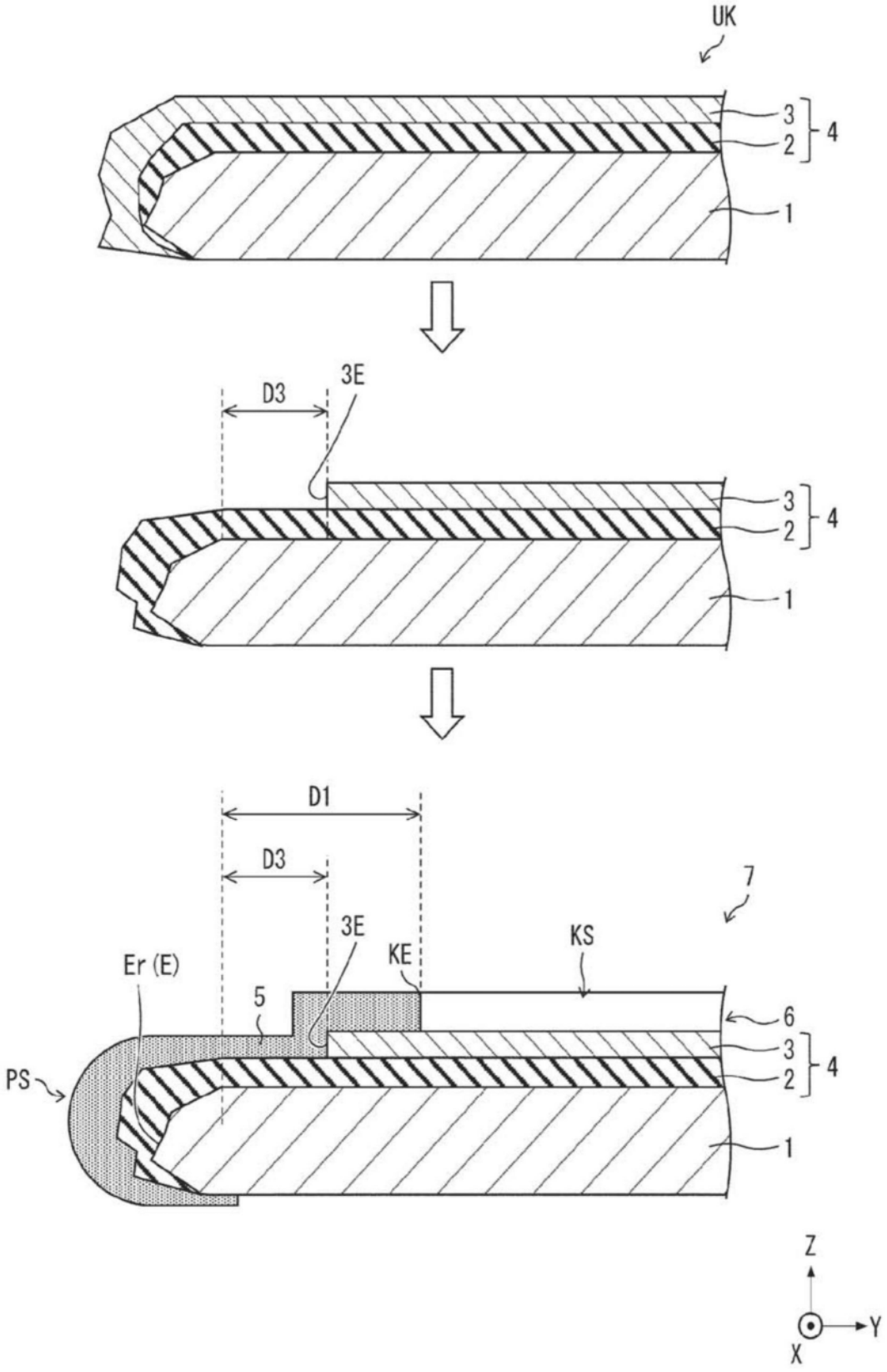


图24

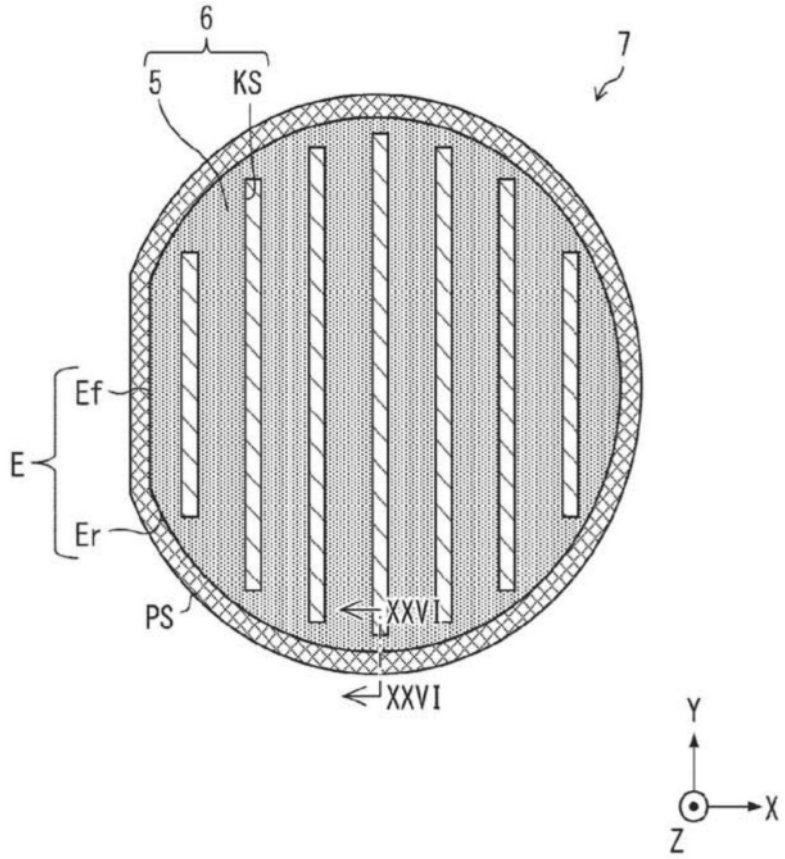

6
5
KS
7
Ef
E
Er
PS
XXVI
XXVI
Y
X
Z

图25

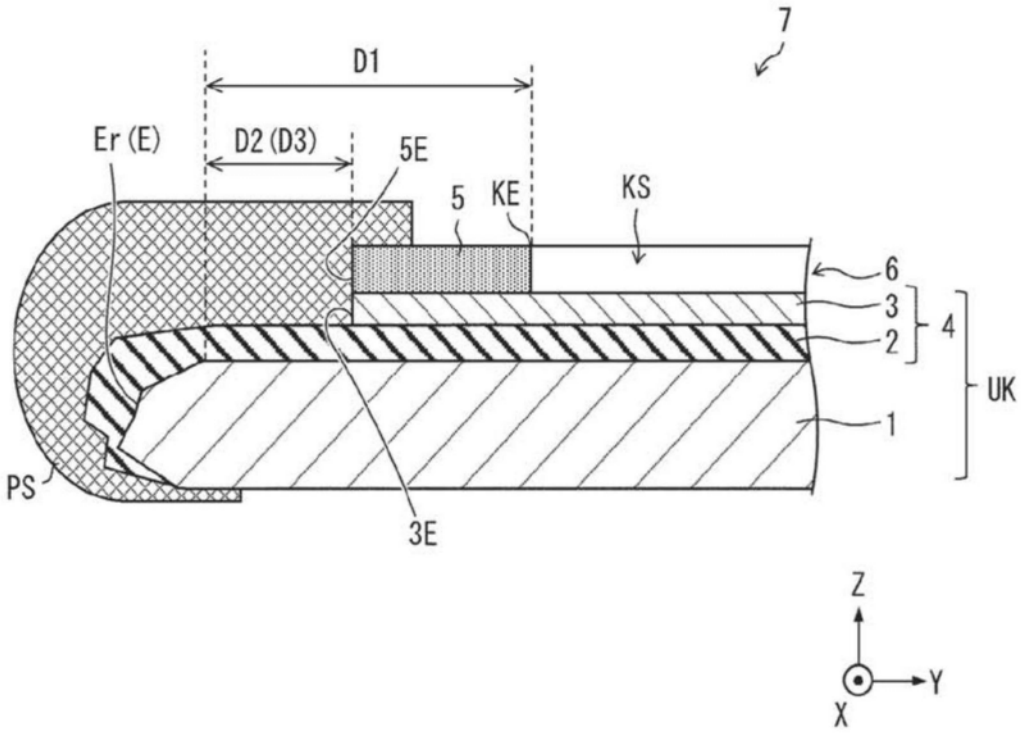

7
D1
Er (E)
D2 (D3)
5E
5
KE
KS
6
3
2
4
1
UK
PS
3E
Z
Y
X

图26

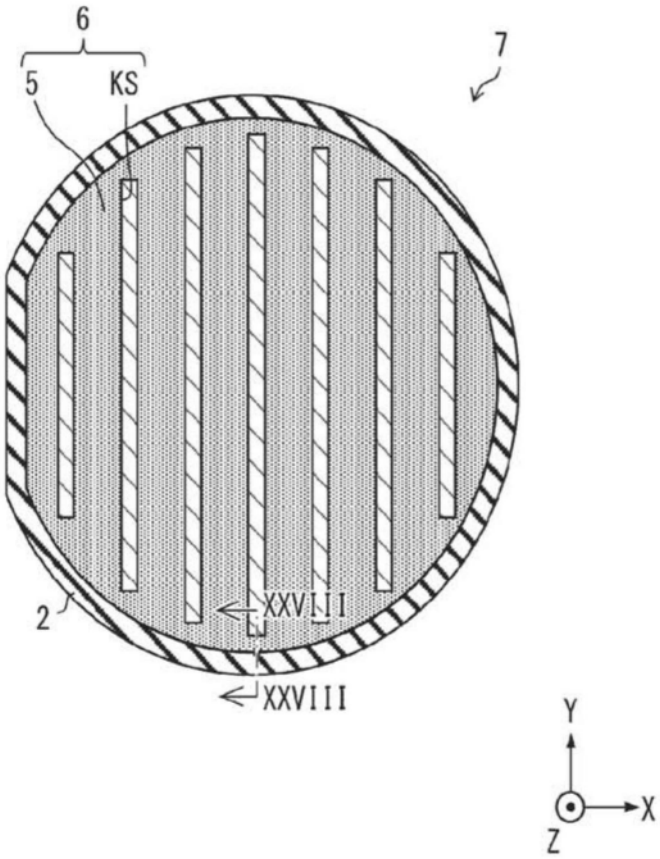


图27

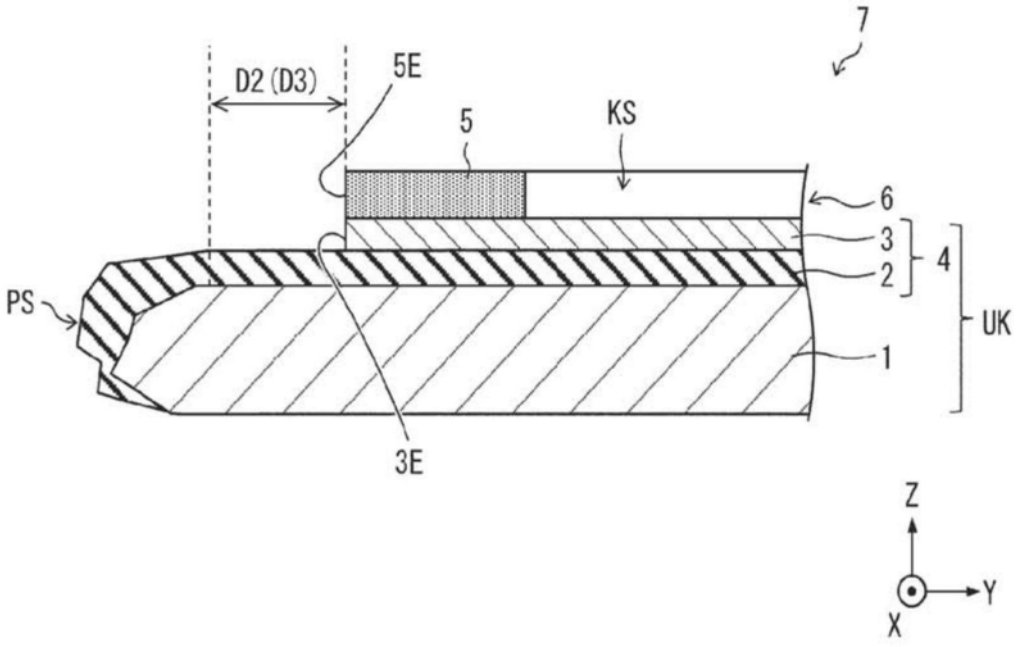


图28

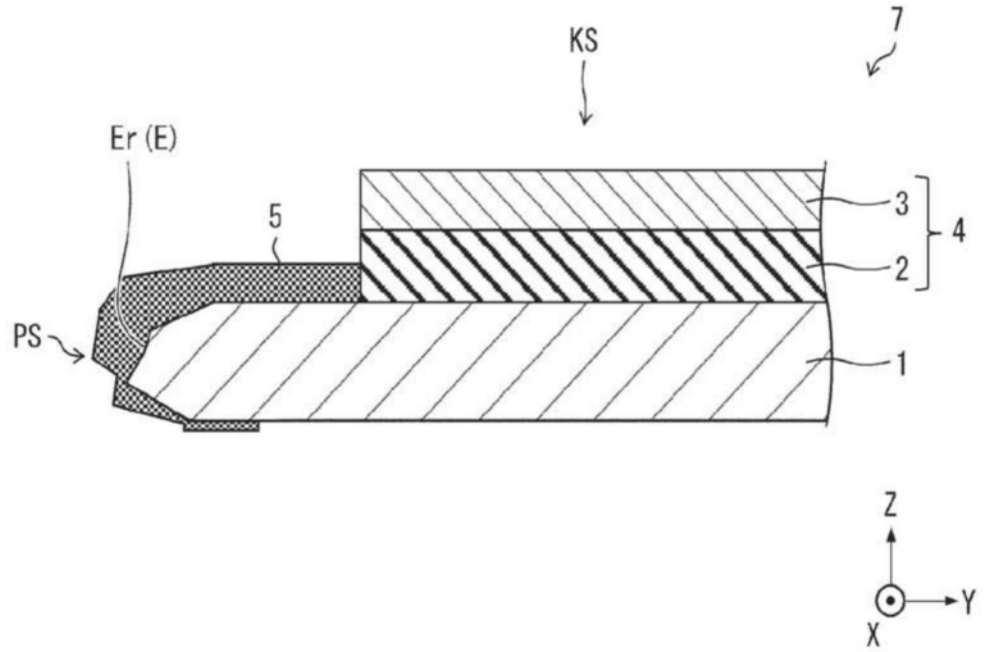


图29

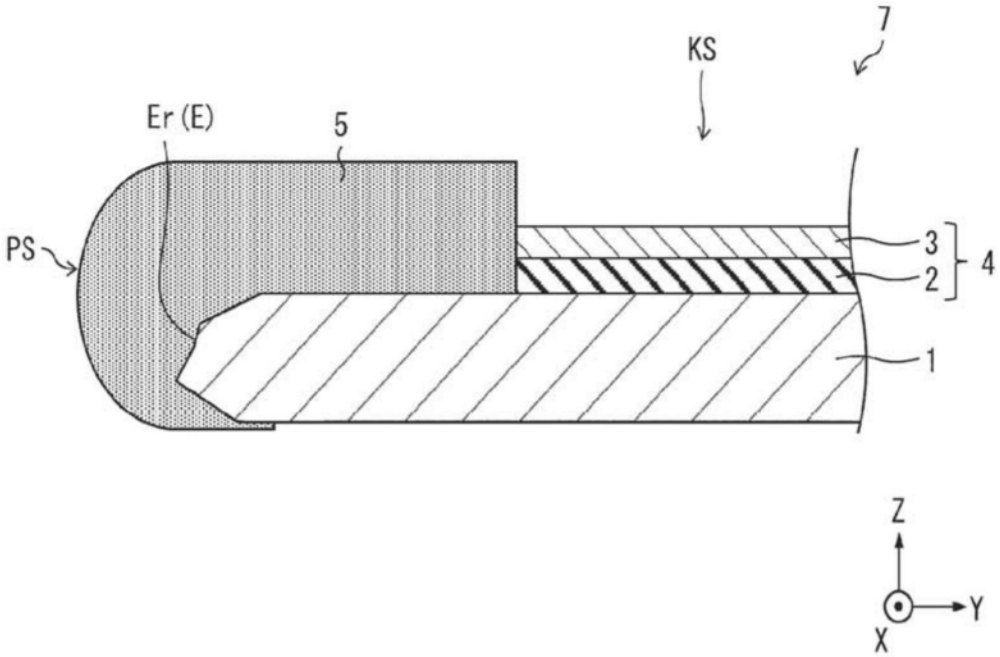


图30

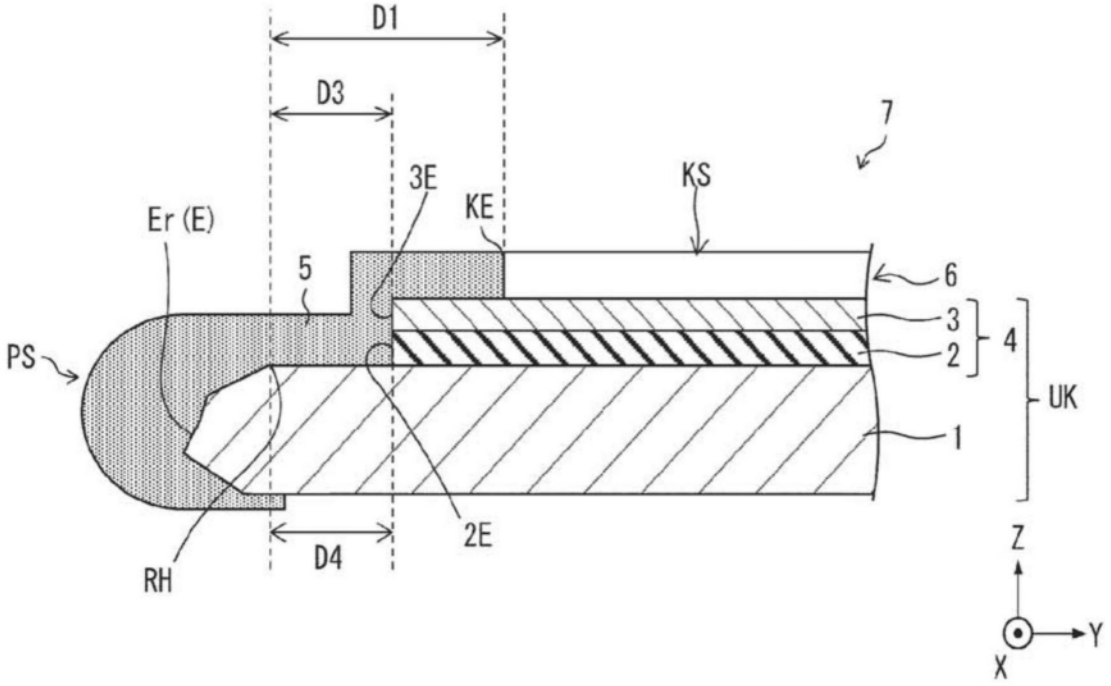

D1
D3
7
3E
KE
KS
Er (E)
5
6
3
4
2
PS
UK
1
2E
D4
RH
Z
Y
X

图31

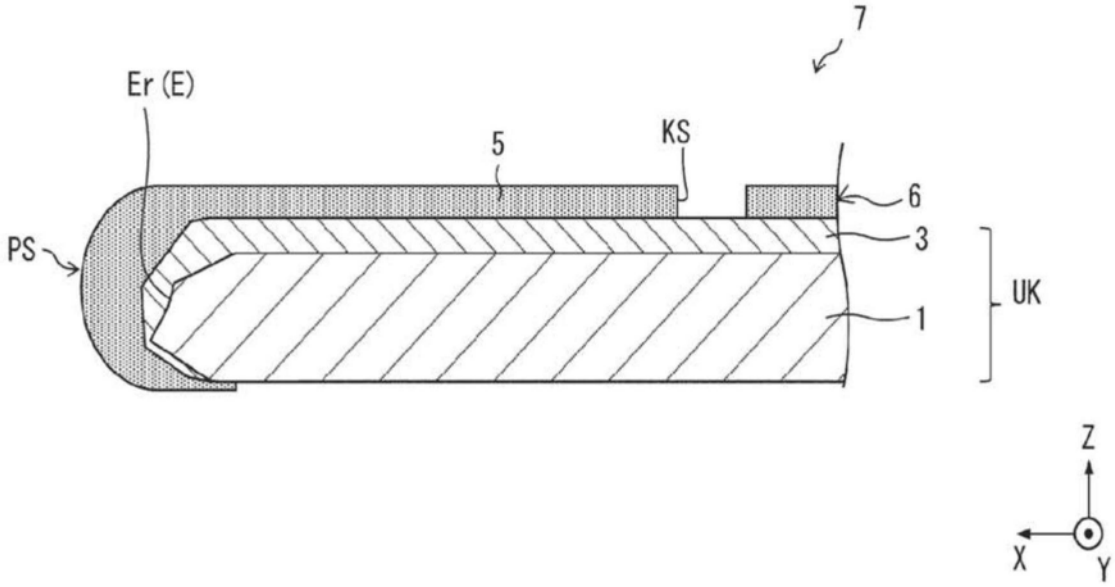

7
Er (E)
5
KS
6
3
PS
UK
1
Z
X
Y

图32

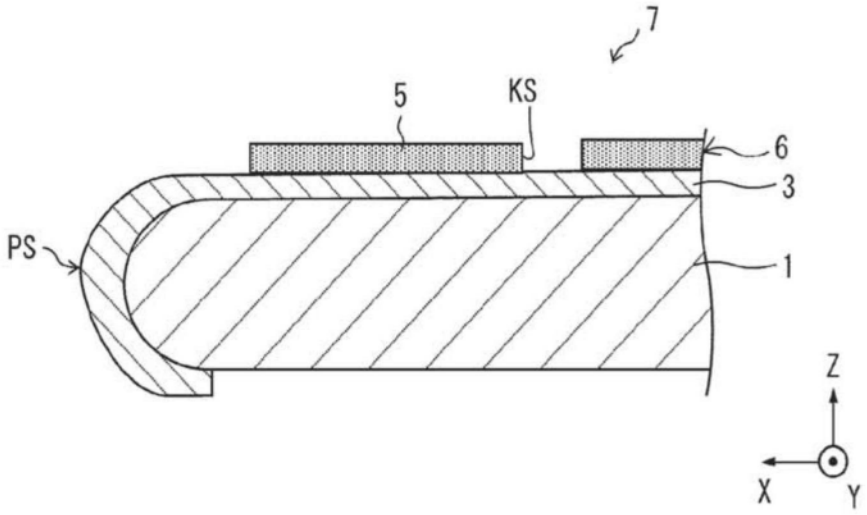


图33

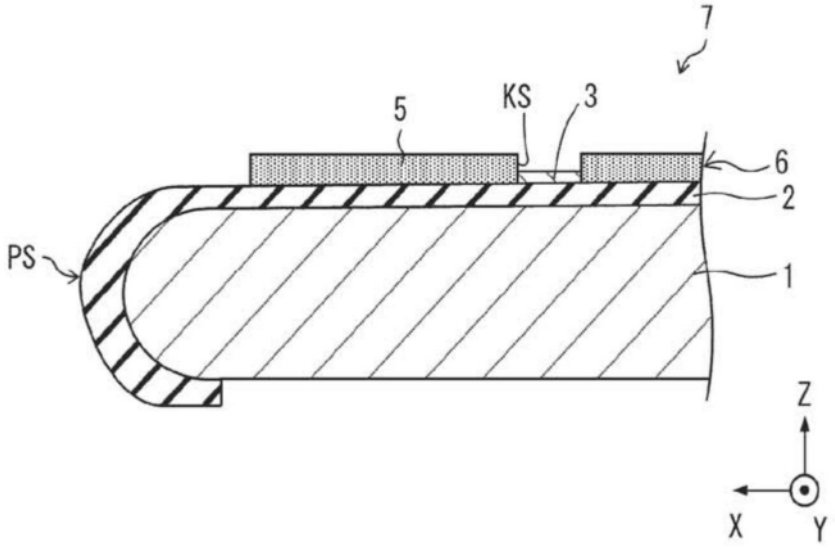


图34