

公 告 本

申請日期	88 年 10 月 26 日
案 號	88118504
類 別	G46F12/02

A4
C4

(以上各欄由本局填註)

557424

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半導體積體電路、記憶體模組、記憶體媒體、及半導體積體電路之救濟方法
	英 文	
二、發明 人	姓 名	(1) 平木充 (2) 宿利章二
	國 籍	(1) 日本 (2) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所股份有限公司知的所有權 本局 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所股份有限公司知的所有權 本局
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代 表 人 姓 名	(1) 庄山悅彦

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權日本 1998 年 11 月 11 日 10-320962 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 1 ）

（發明所屬技術領域）

本發明關於將中央處理裝置等控制處理裝置及 D R A M 或 S R A M 等揮發性記憶體、快閃記憶體等電氣更新寫入可能之非揮發性記憶體搭載於半導體基板的半導體積體電路，例如 D R A M 混載 L S I（大規模半導體積體電路）、甚而系統 L S I 等稱之為系統單晶片型大規模半導體積體電路適用之有效技術。

（習知技術）

隨半導體積體電路之大規模化，D R A M 混載 L S I 或系統 L S I 等系統單晶片化為大勢所趨。

半導體積體電路中，隨規模之大型化，內部產生之缺陷成不可忽視。特別是 D R A M、S R A M、快閃記憶體等記憶體被期待以較小面積具更大記憶容量，因更細微之加工及伴隨之信號微小化等致容易產生缺陷。因此，不論有多少缺陷情形下，均期待能達成期待之系統動作時，冗長電路技術之應用乃重要者。

半導體積體電路大規模化中，能得所要電路特性之微調技術之應用被期待著。藉微調技術使內部電壓、電流等類比量或時序信號等視為時序準類比量，不受半導體積體電路之製造變動影響，乃能儘可能接近迺要之值。

大規模化半導體積體電路之冗長電路技術，及微調技術可參照習知技術。其中之一為，申請人申請之於快閃記憶體等電氣寫入可能之非揮發性記憶體之記憶格使用缺陷

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(2)

救濟資訊程式之發明(特開平7-334999號公報、對應美國專利第5561627號公報之記載)。此發明採取,針對非揮發性記憶體之缺陷記憶格將特定之救濟資訊存入該非揮發性記憶體之記憶體,於初期化動作時令該救濟資訊門鎖於內部之門鎖電路,比較門鎖之救濟資訊及存取位址,一致時將該存取切換為冗長記憶格存取之方法。

又,另一為特開平10-214496號公報、對應美國專利第09/016300號所揭示,於快閃記憶體等非揮發性記憶體之一部分記憶領域儲存,利用微調資訊之技術。亦即,此技術中設置對提供快閃記憶體之動作電源之電壓箝位手段輸出之箝位電壓進行為調整之微調電路,決定該微調電路狀態之微調資訊儲寫入快閃記憶體之記憶格。寫入之微調資訊於重置動作被由快閃記憶體讀出,傳送至暫存器。使用傳送之微調資訊來決定微調電路之狀態。依此電壓箝位手段輸出之箝位電壓不受半導體積體電路之製造變動影響,可調整於適合快閃記憶體之動作之值。

關於記載系統LSI之文獻例有例如【電子材料(1998年1月由工業調查會發行之第34-38頁,其第4圖揭示將CPU(中央處理裝置)及快閃記憶體、DRAM等揮發性記憶體混載之例。非揮發性記憶體及DRAM以同一製程形成之技術揭示於美國專利第5057448號。又,CPU及快閃記憶體、DRAM

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

搭載於 1 個半導體基板之半導體積體電路之習知例揭示於特開昭 6 4 - 5 2 2 9 3 號公報及特開平 1 0 - 1 2 4 3 8 1 號公報。

(發明欲解決之問題)

本發明人先前之發明係關於在 1 個快閃記憶體中之封閉範圍內使用該快閃記憶體之記憶元件作為缺陷救濟或微調之用。本發明人有鑑於以系統單晶片為代表之集積度之大規模化，針對大規模化積體電路搭載之 1 個電路模組之非揮發性記憶體與另一電路模組之關係之有效利用加以檢討。檢討過程中本發明人考慮將非揮發性記憶體之記憶資訊使用於和該非揮發性記憶體不同之揮發性記憶體之缺陷救濟。本發明人在揮發性記憶體之利用檢討中發現以下新的問題。

亦即，欲於非揮發性記憶體具救濟資訊有必要將該救濟資訊反應於揮發性記憶體之處理。此種資訊之反應，隨著揮發性記憶體構成對應之缺陷增大或記憶容量之大容量化，缺陷增大對應之救濟資訊量即使增大，亦要求能高速實現。

檢討後調查中發現於快閃記憶體之缺陷救濟適用可程式 R O M 之習知技術（特開平 6 - 1 3 1 8 9 7 號公報）。但是，該習知技術之可程式 R O M 係附屬於快閃記憶體內之冗長記憶體控制電路之專用電路要素，僅屬快閃記憶體內之封閉範圍內之救濟對策，即使以結果論來對比其對

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 4 ）

本發明人上述檢討之問題亦無任何揭示。

本發明目的係提供一種，在控制處理裝置存取可能之非揮發性記憶體及揮發性記憶體搭載之大規模化邏輯構成電路中，可提升缺陷救濟等之結合變更之變更效率的半導體積體電路。

又，本發明目的在於提升大規模化邏輯電路之半導體積體電路之良率、降低成本、以實現低成本化。

本發明另一目的係於包含 D R A M 或 S R A M 等揮發性記憶體之記憶體模組的半導體積體電路中，使上述記憶體模組之缺陷救濟規格統一化以提升記憶體模組之使用性。

本發明另一目的係提供使用電腦設計半導體積體電路時利用之設計資料被記憶之資料記憶媒體。

本發明之目的可由圖面及說明書之記載加以說明。

本發明之代表性者之概要可簡單說明如下。

本發明之第 1 半導體積體電路（ 1 A ， 1 C ），係在 1 個半導體基板上具有：具電氣寫入可能且可藉中央處理裝置等控制處理裝置（ 1 0 ）存取之非揮發性記憶體（ 1 1 ），及可藉上述控制處理裝置存取之揮發性記憶體（ 1 2 、 1 3 ），利用非揮發性記憶體之記憶資訊來進行揮發性記憶體之缺陷救濟對策之連接變更。亦即，上述揮發性記憶體，係具有多數正常之揮發性記憶格等之第 1 揮發性記憶格及冗長用揮發性記憶格等之第 2 揮發性記憶格，且具揮發性記憶電路（ 1 2 A R 、 1 3 A R ）俾保持以上

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (5)

述第 2 揮發性記憶格置換上述第 1 揮發性記憶格之連接控制資訊。上述非揮發性記憶體係具多數非揮發性記憶格，其一部分設定為記憶上述連接控制資訊之非揮發性記憶格，俾依對上述半導體積體電路之初期化指示等之連接控制資訊之讀出設定動作將上述連接控制資訊由非揮發性記憶格讀出並輸出之。上述揮發性記憶電路，係響應上述讀出設定動作之指示，將來自非揮發性記憶體之連接控制資訊取入保存者。

本發明之第 2 半導體積體電路 (1 B)，係除上述之外，亦使用非揮發性記憶體之記憶資訊作為非揮發性記憶體之缺陷救濟用。亦即，上述揮發性記憶體，係具多數正常之揮發性記憶格及冗長用揮發性記憶體，及具揮發性記憶電路 (1 2 A R、1 3 A R) 俾保持以上述冗長用揮發性記憶格救濟不良之正常揮發性記憶格之救濟資訊；上述非揮發性記憶體，係具多數正常之非揮發性記憶格及冗長用非揮發性記憶格，以及具揮發性記憶電路 (1 1 A R) 俾保持以上述冗長用非揮發性記憶格救濟不良之正常非揮發性記憶格之救濟資訊。上述非揮發性記憶格之一部分，係設定為記憶上述揮發性記憶體之救濟資訊及非揮發性記憶體之救濟資訊的記憶格。記憶於非揮發性記憶格之一部分之救濟資訊，係藉對上述半導體積體電路之初期化動作等讀出設定動作之執行而由非揮發性記憶格讀出，並分別供給保持於上述揮發性記憶體中之上述揮發性記憶電路及上述非揮發性記憶體中之上述揮發性記憶電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

依上述第 1 及第 2 半導體積體電路，取代可熔式(fuse)元件等元件，改以將缺陷救濟等連接控制用資訊寫入非揮發性記憶體，如此則可熔式元件使用時需要之可熔式程式電路成為不必要。依此，可限制可熔式元件切斷用之雷射切斷裝置等較高價製造裝置之使用或工程，製造成本可削減。設置可熔式元件時，盡管存在有考慮作為半導體積體電路配線之鋁配線層或被期待信號傳送延遲時間之更短縮之銅配線等雷射切斷困難之層，但為能切斷可熔式元件，較好將可熔式元件形成於半導體基板上較上層部分等構造上之理由，以及為能回避覆蓋半導體基板表面之絕緣膜、表面保護膜因雷射光引起之熱損傷，而需在可熔式元件上之絕緣膜、表面保護膜設雷射照射用開口等製程變複雜之理由，使半導體積體電路本身成為高價。再加上，設可熔式元件時，因雷射光照射情形，元件本身尺寸之縮小化有其限制，導致半導體基板尺寸變為較大。若不使用可熔式程式電路，製程可簡化。使用非揮發性記憶體作為記憶連接控制資訊用時，資訊可於任意時期更新，且可做多數次更新等為優點。依此，例如預燒工程等半導體積體電路製造之較後工程產生之缺陷等之連接變更，或實裝於系統或電路基板起經時產生之缺陷之連接變更等亦可充分對應。如此則同時搭載非揮發性記憶體及揮發性記憶體之具大規模化邏輯電路之電路，可於製造後變更。因此具大規模化邏輯電路之半導體積體電路良率可提升，實現成本降低。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

在上述非揮發性記憶體及揮發性記憶體之各資料輸出入端共通連接之資料匯流排 (1 6) 分別連接上述揮發性記憶電路 (1 1 A R 、 1 2 A R 、 1 3 A R) 之資料輸入端，依中央處理裝置等控制處理裝置之初期化動作等連接控制資訊之讀出設定動作，可介由上述資料匯流排將非揮發性記憶體輸出之連接控制資訊傳至對應之揮發性記憶電路。依此，就控制處理裝置之對非揮發性記憶體存取之點而言可保證該非揮發性記憶體之廣泛利用性。

採用揮發性記憶體中之揮發性記憶電路連接上述資料匯流排之構成，則即使揮發性記憶體之數增加，亦不需考慮救濟資訊等連接控制資訊傳達硬特別配線之增加。

連接救濟資訊全體之位元數在資料匯流排之位元數以下時，將資料匯流排之信號線分別連接各揮發性記憶電路之資料輸入端，如此則只需將連接控制資訊並聯地載入所有揮發性記憶電路即可。

隨半導體積體電路之大規模化，缺陷連接變更之頻度亦增加，連接控制資訊有增加可能性。相對於增加之連接控制資訊，資料匯流排寬，即資料匯流排之位元數小時，可以序列式進行連接控制資訊之載入各揮發性記憶電路。亦即，此情形下，依對半導體積體電路之初期化指示等設定動作指示由非揮發性記憶格將上述連接控制資訊分多數週期依序讀出輸出於資料匯流排時，令經由上述資料匯流排供至每一讀出週期之連接控制資訊，依據上述每一讀出週期依序取入上述揮發性記憶電路並保持幾可。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 8 ）

特別是，有鑑於系統單晶片等集積度之大規模化。以下事情成明顯化。亦即，如上述般為使大規模化積體電路搭載之 1 個電路模組或記憶體模組等非揮發性記憶體與另一電路模組或記憶體模組間之關係可有效利用，而將非揮發性記憶體之記憶資訊作為與該非揮發性記憶體不同之其他揮發性記憶體之缺陷救濟等連接控制使用。此情形下經由上述資料匯流排之連接控制資訊之傳送、甚而連接控制資訊分成多數週期進行序列內部傳送之裝置，當揮發性記憶體之大容量導致缺陷等連接控制對象之資訊增加時，對該資訊量之增大可實現將該資訊反應於各揮發性記憶體之處理，此為其優點。

對上述揮發性記憶電路之連接控制資訊之載入可以簡單構成進行，亦即，上述揮發性記憶電路係依對半導體積體電路之初期化指示之重置信號（RESET）之意味重置期間指示的第 1 狀態，將上述非揮發性記憶體輸出之連接控制資訊保持，控制處理裝置則依重置信號之由第 1 狀態變化為意味重置解除乃至終了的第 2 狀態開始重置例外處理即可。此時，重置信號僅在需載入連接控制資訊期間被維持於第 1 狀態。換言之，不能因重置信號引起過早之解除時序。

可設置依對半導體積體電路之初期化指示的重置信號（RESET）之第 1 狀態（重置期間）而被初期化之時脈控制電路（19、20）俾使重置信號之重置解除時序實質上無限制而能完成連接控制資訊之載入動作般。該時脈控

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(9)

制電路，係依重置信號之由第1狀態變化為第2狀態將上述非揮發性記憶體之連接控制資訊取入、保持於揮發性記憶電路。之後，令中央處理裝置開始重置例外處理。

因非揮發性記憶體係更新可能，事先寫入於此之連接控制資訊有可能錯誤被更新。為盡量排除此不良現象，可於上述非揮發性記憶體藉模式位元(MB2)設定容許或抑制對救濟資訊儲存用非揮發性記憶格之更新寫入的動作模式。

又，由半導體積體電路外部連接之寫入裝置容許對上述非揮發性記憶格之更新寫入之動作模式，及依中央處理裝置之命令執行容許對上述非揮發性記憶格之更新寫入之動作模式可藉模式位元(MB1)來設定。依此則連接控制資訊之寫入可於實裝基板上或任一寫入裝置實施之。半導體積體電路實裝後缺陷之連接變更之所以容易實現，較好係提供有實裝基板寫入模式。

欲實現實裝基板寫入等缺陷救濟要求之連接控制資訊更新，可於上述非揮發性記憶體儲存診斷程式。該診斷程式係對非揮發性記憶體及揮發性記憶體進行不良檢測，於中央處理裝置執行將新的不良記憶格救濟用之救濟資訊寫入非揮發性記憶體之救濟資訊儲存用非揮發性記憶格之處理。

本發明之地3半導體積體電路(30)，係將非揮發性記憶體(11)儲存、使用之資訊擴大成缺陷救濟資訊以外者。亦即，在1個半導體基板上具共通之資料匯流排

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

(1 6) 的中央處理裝置 (1 0) 等之控制處理裝置，及電氣寫入可能且可藉上述控制處理裝置存取的非揮發性記憶體 (1 1)，及上述控制處理裝置可存取的揮發性記憶體 (1 2、1 3)。又，上述非揮發性記憶體及揮發性記憶體，係分別具資料輸入端連接上述資料匯流排的暫存器裝置 (1 1 A R、1 2 A R、1 3 A R、A R、3 1 D R、1 2 D R、1 3 D R)，依上述暫存器裝置設定之資訊來決定其一部分之機能者。上述非揮發性記憶體，係具多數非揮發性記憶格，其一部分設定成記憶初期化資料之非揮發性記憶格。上述非揮發性記憶體，具容許及抑制對初期化資料記憶用非揮發性記憶格之更新寫入的動作模式，並響應對上述半導體積體電路之初期化指示從非揮發性記憶格將上述初期化資料讀出並輸出之。上述暫存器裝置，係響應對上述半導體積體電路之初期化指示而將來自上述非揮發性記憶體之初期化資料取入、保持。

於該地 3 半導體積體電路中，欲依重置信號指示將資料量多之初期化資料確實載入各暫存器裝置，可設置響應於對半導體積體電路進行初期化指示之重置信號之第 1 狀態而被初期化的時脈控制電路。該時脈控制電路，係例如響應於重置信號之由第 1 狀態變化為第 2 狀態而輸出能動時序互為偏移之多相第 1 時序信號，之後，輸出第 2 時序信號俾令控制處理裝置開始重置例外處理。非揮發性記憶體則響應上述多相之第 1 時序信號之能動時序將初期化資料分多數週期由非揮發性記憶格依序讀出並輸出資料匯流

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

排。暫存器裝置則進行輸入設定動作俾依非揮發性記憶體之初期化資料之每一讀出週期依序將資料匯流排之資料取入、保持。

上述非揮發性記憶體，可將與其對應之暫存器裝置所保持資訊，用作為以冗長用非揮發性記憶體格救濟不良之正常非揮發性記憶體格之救濟資訊使用。

上述揮發性記憶體，可將與其對應之暫存器裝置所保持資訊，用作為以冗長用揮發性記憶體格救濟不良之正常揮發性記憶體格之救濟資訊使用。

上述揮發性記憶體，具有作為揮發性記憶體格之動態型記憶體格，將該揮發性記憶體對應之暫存器裝置所保持資訊，作為界定上述動態型記憶體格之再生週期之控制資訊使用亦可。

上述揮發性記憶體構成為，將其對應之暫存器裝置所保持資訊，使用作為界定內部控制信號之時序的控制資訊亦可。

該第 3 半導體積體電路，和上述同樣，搭載有非揮發性記憶體及揮發性記憶體之大規模化邏輯電路之連接變更可有效進行。因此，具大規模化邏輯之半導體積體電路之良率提升可實現成本降低。

非揮發性記憶體例如為快閃記憶體，一部分之非揮發性記憶體格可記憶控制處理裝置執行之程式，揮發性記憶體例如為 D R A M，可作為中央處理裝置之工作記憶體使用。揮發性記憶體可由例如 S R A M 構成之高速存取記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（12）

包含 D R A M 或 S R A M 之揮發性記憶體（12、13）等之記憶體模組的半導體積體電路（1A、1B、1C）中，上述記憶體模組係包含揮發性記憶電路（12AR、13AR）俾揮發性記憶其記憶體陣列相關之救濟資訊。該揮發性記憶電路（12AR、13AR），係具有形成於半導體積體電路之資料匯流排可連接之多數資料輸入端乃至數入節點，及接受上述半導體積體電路之初期化動作等救濟資訊讀出式定動作之控制信號（reset）的控制信號輸入端。上述記憶體模組具有多數正常之揮發性記憶格等第1揮發性記憶格，及冗長用揮發性記憶格等第2揮發性記憶格，揮發性記憶電路（12AR、13AR）可保持救濟資訊俾藉上述第2揮發性記憶格來置換第1揮發性記憶格。

如上述，構成爲將揮發性記憶電路（12AR、13AR）設定之救濟資訊由記憶體模組外部供至記憶體模組內部之揮發性記憶電路（12AR、13AR），則半導體積體電路內藏之記憶體模組之缺陷救濟相關電路乃至機能規格可以標準化或統一化。因此，上述記憶體模組作爲記憶體模組元件，即所謂 I P（智慧財產）元件販賣時，該記憶體模組之使用性可提升。

包含上述記憶體模組之半導體積體電路係由電腦構成之設計裝置設計，決定上述揮發性記憶電路（12AR、13AR）用之佈局資料、電路機能資料、乃至接線等設

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (13)

計資料，係電腦可理解之特定電腦語言記述之資料。該資料係以例如磁帶、M O（光碟片）、C D - R O M、乃至磁碟片等記憶媒體。又，揮發性記憶電路（1 2 A R、1 3 A R）之設計資料，可和D R A M或S R A M等揮發性記憶體之記憶體模組之電路機能之設計資料同時記憶於資料記憶媒體。

又，揮發性記憶電路（1 2 A R、1 3 A R）之設計資料，以組合於D R A M或S R A M等效電路揮發性記憶體之記憶體模組之設計資料內部之狀態，儲存於資料記憶媒體亦可。

如上述，藉由以電腦可理解之特定電腦語言來記述記憶體模組設計乃至包含其之半導體積體電路之設計資料並將之記憶於記憶媒體，則可有效進行記憶體模組之設計乃至包含其之半導體積體電路之設計。

（發明之實施形態）

（第1單晶片微電腦）

圖1係本發明半導體積體電路之一例之第1單晶片微電腦。圖式之單晶片微電腦1 A，係在單晶矽等構成之1個半導體基板上所形成之系統單晶片之系統L S I。

單晶片微電腦1 A，具有C P U（中央處理裝置）1 0、非揮發性記憶體之一例之快閃記憶體1 1、揮發性記憶體之一例之D R A M 1 2、揮發性記憶體之另一例之S R A M 1 3、及輸出入電路1 4。各記憶體1 1、1 2

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (14)

、 1 3 可分別視為記憶體模組。C P U 1 0、快閃記憶體 1 1、D R A M 1 2、及 S R A M 1 3、輸出入電路 1 4 係共用位址匯流排 1 5、N 位元之資料匯流排 1 6 及控制匯流排 1 7。

輸出入電路 1 4，雖未特別限制，可具有連接外部位址匯流排 1 8 A、外部資料匯流排 1 8 D 及外部控制匯流排 1 8 C 等，於內部連接上述匯流排 1 8 A、1 8 D、1 8 C 之未圖示輸出入埠，及控制上述外部匯流排 1 8 A、1 8 D、1 8 C 之匯流排週期啟動等的匯流排控制器，及代表序列介面電路的輸出入周邊電路等。

C P U 1 0 可由例如：由運算邏輯單元 (A L U)、程式計數器 (P C)、推疊指標器 (S P)、狀態暫存器 (S R) 等作為專用暫存器及工作領域使用之泛用暫存器群構成之執行單元，及記憶於快閃記憶體 1 1 之程式資料乃至操作系統程式供給之程式命令依序被輸入的命令暫存器，及包含對上述命令暫存器儲存之命令解碼並產生對執行單元之控制信號的命令解碼器之控制單元構成。執行單元係控制上述位址匯流排 1 5、資料匯流排 1 6、控制匯流排 1 7 之連接，對位址匯流排 1 5 之選擇性位址信號之輸出、上述控制匯流排之選擇性控制信號之輸出、及介由資料匯流排之資料之輸出入。因此，C P U 1 0 係依快閃記憶體 1 1 記憶之程式資料乃至操作系統程式來控制半導體積體電路全體之動作。

D R A M 1 2 係作為 C P U 1 0 之工作記憶體或主記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

憶體使用之較大容量讀寫記憶體。D R A M 1 2 可依系統之大規模化而具例如數千兆 (10^9) 位元之大容量。

D R A M 1 2 之記憶體陣列 1 2 M A 具有正常字元線 W L d _ 0 ~ W L d _ N d 及冗長字元線 W L d R 。於正常字元線 W L d _ 0 ~ W L d _ N d 連接正常動態型記憶格之選擇端子，於冗長字元線 W L d R 連接冗長用動態型記憶格之選擇端子。記憶格之構成不設定為正常用及冗長用之不同點亦可。

正常字元線 W L d _ 0 ~ W L d _ N d 中之哪一字元線置換為冗長字元線 W L d R ，係由設定於救濟位址暫存器 1 2 A R 之救濟資訊決定。包含於救濟資訊之救濟行位址資訊於位址比較器 1 2 A C 被和來自位址緩衝器

1 2 A B 之行位址信號做比較。位址比較器 1 2 A C 之比較結果一致時，將邏輯值 “ 1 ” 之檢測信號 1 2 ϕ 供至 X 解碼器 1 2 X D 。檢測信號 1 2 ϕ 為邏輯值 “ 1 ” 時，X 解碼器 1 2 X D 係依來自位址緩衝器 1 2 A B 之行位址信號來抑制字元線選擇動作，並改選擇冗長字元線 W L d R 。依此，不良字元線相關之記憶體存取被取代為冗長字元線 W L d R 相關之冗長用記憶格之選擇動作。

D R A M 1 2 之其他構成於後說明之。

S R A M 1 3 作為例如暫存器檔案或資料緩衝器記憶體等高速存取記憶體使用。S R A M 1 3 之記憶格陣列 1 3 M A 具正常字元線 W L s _ 0 - W L s _ N s 及冗長字元線 W L s R 。於正常字元線 W L s _ 0 - W L s _

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

N s 連接正常靜態型記憶格之選擇端子，於冗長字元線 W L s R 連接冗長用靜態型記憶格之選擇端子。正常字元線 W L s _ 0 - W L s _ N s 中之哪一字元線被置換為冗長字元線 W L s R，係由設定於救濟位址暫存器 1 3 A R 之救濟資訊決定。包含於救濟資訊之救濟行位址資訊於位址比較電路 1 3 A C 和來自位址緩衝器 1 3 A B 之行位址信號做比較。當位址比較電路 1 3 A C 之比較結果一致時，將邏輯值 “ 1 ” 之檢測信號 1 3 ø 供至 X 解碼器 1 3 X D。檢測信號 1 3 ø 為邏輯值 “ 1 ” 時，X 解碼器 1 3 X D 抑制來自位址緩衝器 1 3 A B 之行位址信號之字元線選擇動作，改選擇冗長字元線 W L s R。依此，不良字元線相關之記憶體存取被冗長字元線 W L s R 相關之冗長用記憶格之選擇動作取代。S R A M 1 3 之其他構成於後說明之。

快閃記憶體 1 1，係具將具備控制閘極及浮動閘極之電氣寫入可能之非揮發性記憶格配置成矩陣狀之記憶格陣列 1 1 M A。記憶格陣列 1 1 M A，係作為儲存 C P U 1 0 之動作程式、D R A M 1 2 及 S R A M 1 3 之救濟資訊之領域使用。於記憶格陣列 1 1 M A 設有連接非揮發性記憶格之控制閘極的字元線 W L f _ 0 - W L f _ N f 及連接非揮發性記憶格之汲極的位元線 B L f _ 0 - B L f _ M f。該字元線 W L f _ 0 - W L f _ N f 及位元線 B L f _ 0 - B L f _ M f 之構成係在圖 1 正反方向設有 N 組。此例中配置於字元線 W L f _ 0 及位元線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

B L f _ 0 之交叉位置的 N 位元分非揮發性記憶格成為救濟資訊之儲存領域。快閃記憶體 1 1 之消去、寫入、確認、及讀出動作等時序控制係由時序控制器 1 1 S Q 進行。該動作之指示，雖未特別限制，可由例如 C P U 1 0 等之指令供給。雖未特別限制，快閃記憶體 1 1 設為例如可以字元線單位消去。

C P U 1 0，係截取儲存於快閃記憶體 1 1 等之指令並解讀之，依該解讀結果由 D R A M 1 2 或 S R A M 1 3 取出指令執行必要之運算子 (Operand)，並對取出之運算子施予運算，再執行將運算結果存於 D R A M 1 2 及 S R A M 1 3 等運算處理，進行程式記述之一連串資料處理。C P U 1 0，當重置信號 R E S E T 設為 H 位準時，即使乃有執行途中之處理亦中斷所有處理，並將內部電路之所要節點初期化成特定邏輯值狀態。於該重置期間 (重置信號 R E S E T 之 H 位準期間)，不僅 C P U 1 0 之內部初期化，未圖示之周邊電路之內部暫存器亦被進行初期化。以下說明之上述救濟位址暫存器 1 2 A R、1 3 A R 亦被進行初期化。上述重置信號 R E S E T 亦響應動作電源投入之電源投入重置或系統重置等指示變化為 “ H “ 位準。當重置信號 R E S E T 設為 “ L “ 位準之非能動時，C P U 1 0 開始重置例外處理。重置期間中之 C P U 1 0 內部之初期化，係對程式計數器、推疊指標器及狀態暫存器等控制用暫存器進行。又，電源投入重置時，電源投入起至重置解除之間，時脈產生電路之動作成穩定，重置解

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

除後穩定之時脈信號可供至 C P U 1 0 。又，圖 1 中，時脈產生電路被圖示省略，但實際上具有振動子及分頻電路，將動作基準時脈信號供至 C P U 1 0 等各種內部電路。

快閃記憶體 1 1，係響應重置信號 R E S E T 之重置期間進行救濟資訊之讀出動作。亦即，當序列控制器 1 1 S Q 檢測出重置期間時，令感測放大器 1 1 S A 及輸出緩衝器 1 1 O B 設為讀出可能之能動化。X 解碼器 1 1 X D 及 Y 解碼器 1 1 Y D 則響應重置信號 R E S E T 指示之重置期間，選擇字元線 W L f _ 0 及位元線 B L f _ 0。依此，儲存救濟資訊之 N 位元記憶格之記憶資訊被輸出於 N 位元之資料匯流排 1 6。

救濟位址暫存器 1 2 A R、1 3 A R 具有例如儲存救濟資訊之 $N/2$ 位元之靜態門鎖器。雖未特別限制，構成救濟位址暫存器 1 2 A R 之靜態門鎖器之資料輸入端，在重置信號 R E S E T 之“H”位準（邏輯值“1”）期間係與 N 位元之資料匯流排 1 6 之下位 $N/2$ 位元導通，藉重置信號 R E S E T 之“L”位準之反轉動作可將該期間輸入之資料門鎖。

構成另一救濟位址暫存器 1 3 A R 之靜態門鎖器之資料輸入端，在重置信號 R E S E T 之“H”位準（邏輯值“1”）期間係與 N 位元資料匯流排 1 6 之上位 $N/2$ 位元成導通，藉重置信號 R E S E T 之“L”位準之反轉動作可將期間輸入之資料門鎖住。因此，重置期間終了後，由快閃記憶體 1 1 讀至資料匯流排 1 6 之下位側救濟資訊

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (19)

被門鎖於 D R A M 1 2 之救濟位址暫存器 1 2 A R ，上位側救濟資訊則門鎖於 S R A M 1 3 之救濟位址暫存器 1 3 A R 。之後，於 D R A M 1 2 、 S R A M 1 3 ，當救濟資訊特定之行位址存在時，進行冗長字元線之救濟。

圖 2 係救濟資訊之詳細例之一。此例中如上述，救濟資訊全部最大有 N 位元。S R A M 1 3 之救濟資訊中，A S 3 - A S 0 係救濟對象行位址，R E _ S 係表示該救濟對象行位址資訊有效性的 S R A M 救濟能動位元，該位元 R E _ S 以邏輯值 “ 1 ” 表示行位址資訊 A S 3 - A S 0 之有效性。載入救濟位址暫存器 1 3 A R 之 S R A M 救濟能動化位元 R E _ S ，當邏輯值 “ 1 ” 時係令位址比較電路 1 3 A C 能動化，邏輯值 “ 0 ” 時係令位址比較電路 1 3 A C 保持非能動狀態，使檢測信號 1 3 ϕ 固定於不一致位準 “ 0 ”。同樣，於 D R A M 1 2 之救濟資訊中，A D 3 - A D 0 係救濟對象行位址資訊，R E _ D 係表示該救濟對象行位址資訊有效性之 D R A M 救濟能動化位元。該 R E _ D 以邏輯值 “ 1 ” 表示行位址資訊 A D 3 - A D 0 之有效性。載入救濟位址暫存器 1 2 A R 之 D R A M 救濟能動化位元 R E _ D ，當邏輯值 “ 1 ” 時係令位址比較器 1 2 A C 能動化，當邏輯值 “ 0 ” 時則令位址比較器 1 2 A C 保持非能動狀態，並使檢測信號 1 2 ϕ 固定於不一致位準 “ 0 ”。

圖 3 係重置期間之救濟資訊之初期載入處理之時序。藉電源投入之電源投入重置或系統重置，使重置信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

R E S E T 成 “ H ” 位準期間設為重置期間。當投入電源穩定後，字元線 W L f _ 0 及 Y 選擇器 Y S f _ 0 被選擇，D R A M 1 2 及 S R A M 1 3 之救濟資訊被並列讀出於資料匯流排 1 6。讀出之 D R A M 1 2 之救濟資訊載入救濟位址暫存器 1 2 A R，讀出之 S R A M 1 3 之救濟資訊被載入救濟位址暫存器 1 3 A R，載入資料藉重置解除被門鎖。

圖 1 中，快閃記憶體 1 1 之序列控制器 1 1 S Q 具有 1 1 M R，依模式暫存器 1 1 M R 之設定內容決定快閃記憶體 1 1 之動作。

模式暫存器 1 1 M R，係和習知快閃記憶體同樣具有指示寫入動作之寫入能動位元及指示消去動作之消去能動位元（未圖示）等。當該寫入能動位元及消去能動位元指示寫入動作、消去動作時，記憶格陣列 1 1 M A 之存取可能範圍係由模式位元 M B 2 之設定狀態決定。又，此時之存取主體係由模式位元 M B 1 決定。亦即，模式暫存器 1 1 M R 介由資料匯流排 1 6 成存取可能，而其中之特定模式位元 M B 1 亦可直接反應單晶片微電腦 1 A（以下亦稱微電腦）之外部端子 P 1 之值。模式位元 M B 1 係設定成，藉連接於微電腦外部之 E P R O M 程式器等寫入裝置容許對快閃記憶體 1 1 進行更新寫入之動作模式（E P R O M 寫入模式）之指定位元。當模式位元 M B 1 設微電腦邏輯值 “ 1 ” 時，單晶片微電腦 1 A 可視為，外部輸出入電路 1 4 之機能被變更俾具與快閃記憶體單體之半

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (21)

導體積體電路 (子匯流排) 等效之外部介面機能，而且 C P U 1 0 之動作亦被停止。亦即，響應於模式位元 M B 1 之邏輯值 “ 1 ”，C P U 1 0 之位址匯流排 1 5、資料匯流排 1 6 及控制匯流排 1 7 所連接之緩衝電路被設為高阻抗狀態，C P U 1 0 與各匯流排 1 5、1 6、1 7 成電氣分離狀。該 E P R O M 寫入模式中，外部輸出入電路 1 4 係由外部輸入位址信號供至位址匯流排 1 5，響應於外部讀取信號之讀出動作指示將資料匯流排 1 6 之資料輸出於外部，又，響應於外部之寫入信號之寫入動作指示而輸入資料並供至資料匯流排 1 6。另一方面，當模式位元 M B 1 為邏輯值 “ 0 ” 時快閃記憶體 1 1 因 C P U 1 0 之控制而為存取可能。亦即，連接 C P U 1 0 之各匯流排 1 5、1 6、1 7 的緩衝電路，係響應於模式位元 M B 1 之邏輯值 “ 0 ” 而將 C P U 1 0 電連接於各匯流排 1 5、1 6、1 7。

模式暫存器 1 1 M R 之模式位元 M B 2，係決定是否容許對上述字元線 W L f _ 0 及 Y 選擇器 Y S f _ 0 所選擇可能之救濟資訊儲存用非揮發性記憶格進行更新寫入之控制位元，以邏輯值 “ 0 ” 設為救濟資訊之更新寫入可能，邏輯值 “ 1 ” 抑制救濟資訊之更新寫入。序列控制器 1 1 S Q，當模式位元 M B 2 為邏輯值 “ 1 ” 時，於消去動作及寫入動作，不受行位址信號之影響，將字元線 W L f _ 0 設定為同時抑制消去及寫入兩方之電壓位準，例如 0 V。依此則以字元線單位進行之消去，N 位元單位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

進行之寫入動作，對連接字元線 W L f _ 0 之記憶格一切被禁止。當模式位元 M B 2 為邏輯值 “ 0 ” 時對字元線 W L f _ 0 之記憶格可自由進行消去及寫入。

動作模式設定可能之單晶片微電腦 1 A 中，對 D R A M 1 2 及 S R A M 1 3 之缺陷救濟，如圖 4 (A) 所示，首先，可對單晶片微電腦 1 A 廠商之晶圓製程形成之晶片最初之探針檢測 (S 1) 結果進行 (S 2) 。此時之救濟，係藉模式位元 M B 1 將單晶片微電腦 1 A 設為 E P R O M 寫入模式，使用 E P R O M 程式器等專用寫入裝置將快閃記憶體 1 1 設存取可能，令模式位元 M B 2 設為邏輯值 “ 0 ” ，將救濟資訊寫入快閃記憶體 1 1 之特定領域。之後，再度進行探針檢測 (S 3) 。經封裝 (S 4) 後，進行將電源電壓設為高於正常動作以進行信賴性測試等預燒測試 (S 5) 、選別 (S 6) 。預燒測試之影響發現新不良品可再度進行缺陷救濟 (S 7) 。例如步驟 S 2 無缺陷之單晶片微電腦 1 A 因預燒測試發現缺陷時，如上述般可進行缺陷救濟 (S 7) 。缺陷救濟品再度選別 (S 8) 後被出廠 (S 9) 。購入該製品之使用者將該單晶片微電腦 1 A 實裝於所要電路基板，進行適當動作 (S 1 0) 。此動作中將上述模式位元 M B 2 設為邏輯值 “ 1 ” 俾不使救濟資訊被誤寫入。基板狀態動作之單晶片微電腦 1 A ，必要時可執行缺陷診斷用測試程式 (診斷程式) ，以判斷缺陷有無，發現之缺陷可於基板實裝狀態介由單晶片微電腦 1 A 內藏之 C P U 1 0 施予缺陷救濟 (

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

S 1 1) 。

例如製程中全無缺陷之單晶片微電腦 1 A 因時間經過致電路元件特性劣化產生，因動作溫度、動作電壓等動作環境變化產生新缺陷時，亦可有效採取對策。和使用可熔式元件之缺陷救濟技術之圖 4 (B) 比較，救濟可能時期增加 3 倍以上。

上述基板實裝寫入引起之缺陷救濟之診斷程式及基板實裝寫入時執行之寫入程式可儲存於快閃記憶體 1 1 之字元線 W L f _ 0 以外領域。診斷程式之執行可藉中斷隨意指示 C P U 1 0，或使用計時器等自動執行。診斷程式之內容未詳式於此，可於 D R A M 1 2 及 S R A M 1 3 寫入特定測試圖型之後讀出，比較讀出資料與期待值資料以判斷缺陷有無，有缺陷時調查是否有多餘之救濟可能之冗長構成。當有多餘之救濟可能之冗長構成時，為將缺陷救濟用之救濟資訊寫入快閃記憶體 1 0 之救濟資訊儲存用非揮發性記憶格，而令 C P U 1 0 執行上述寫入程式，俾進行將救濟資訊寫入快閃記憶體 1 1 之特定記憶略吱處理。沒有救濟可能之冗長構成時，C P U 1 0 即設定錯誤狀態位元，俾可進行中斷處理（例如服務人員呼叫之顯示）。

上述作為系統 L S I 之單晶片微電腦 1 A，不需要缺陷救濟用之可熔式程式電路，可熔式元件切斷裝置或工程可省略，測試成本可減少。即使說銅配線製程等可熔式元件之雷射融斷開口部之形成製程較複雜，但因不必使用可熔式程式電路，製程可簡化。例如圖 5 所示般，假設表面

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (24)

形成有未圖示之 M O S F E T 等電路元件之單晶矽構成之矽基板 (S i 基板) 1 0 0 上之最下層之多晶矽配線層 1 0 2 上分別介由氮化鈦 (T i N) 層 1 0 5 、 1 1 1 、 1 1 7 形成之銅配線層係具第 1 層 1 0 6 至第 5 層 (1 1 2 、 1 1 8 、 1 2 4 、 1 3 0) , 令雷射融斷可能之多晶矽可熔式元件經由鈍化膜 1 3 2 露出用開口 1 3 3 之形成時, 因配線層平坦化用之配線埋入溝形成時之阻蝕層之氮化矽 (S i N) 層 1 3 1 、 1 2 7 、 1 2 5 、 1 2 1 、 1 1 9 、 1 1 5 、 1 1 3 、 1 0 9 、 1 0 7 、 1 0 3 一度同時除去乃困難之事, 故而層間絕緣膜 (氧化矽) 1 2 8 、 1 2 6 、 1 2 2 等蝕刻用之蝕刻氣體與 S i N 層之蝕刻氣體必須交互切換好幾次, 製程數顯著增加。若缺陷救濟不使用可熔式程式電路則使用銅配線製程中不會產生任何問題。亦即, 本發明之半導體積體電路 1 A 乃至後述半導體積體電路 1 B 及 1 C , 如圖 5 所示元件斷面圖可知構成爲省略可熔式元件 1 0 2 C 之構造。因此, 配下電阻變小, 可提供高頻動作之半導體積體電路 1 A 、 1 B 、 1 C 。

又, 快閃記憶體 1 1 之救濟資訊之更新寫入爲可能, 因而預燒測試後產生之缺陷亦可施予救濟, 另系統或電路基板安裝後時間經過產生之缺陷亦可施予救濟。

因此, 同時搭載有 C P U 1 0 、 快閃記憶體 1 1 、 及 D R A M 1 2 或 S R A M 1 3 等揮發性記憶體之大規模化邏輯構成之單晶片微電腦 1 A 等之電路缺陷可提升救濟效

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

率。因此，具大規模化邏輯之半導體積體電路 1 A 之良率可提升，成本可降低。

以下，針對上述說明之 D R A M 1 2、S R A M 1 3 及快閃記憶體 1 1 之省略之構成加以補充說明。

(D R A M)

於 D R A M 1 2 中，記憶體陣列 1 2 M A 係具多數；由圖 6 之位址選擇用 M O S F E T Q S 及資訊保存用電容器 C S 構成，作為選擇用端子之位址選擇用 M O S F E T Q S 之閘極連接對應之字元線 W L，作為資料輸入端子之位址選擇用 M O S F E T Q S 之汲極或源極連接對應之位元線 B L 的習知動態型記憶格 D M C。資訊保存用電容器 C S 之 1 個電極設為共通電極 P L，被供給等於電源電壓之一半之特定電源。記憶格陣列 1 2 M A，如圖 7 所示般，相對靜態門鎖形態之感測放大器 S A d 具習知位元線構造，具備位元線 B L d __ 0 - B L d __ M d。在與位元線 B L d __ 0 - B L d __ M d 交叉方向配置字元線 W L d __ 0 - W L d __ N d，又，設有冗長字元線 W L d R。雖未特別圖示，亦可採用冗長位元線。位元線 B L d __ 0 - B L d __ M d 係介由 Y 選擇器 Y S d __ 0 - Y S d __ M d 共接於共通資料線 1 2 C D。如圖 1 所示，藉 X 解碼器 1 2 X D 選擇字元線 W L d __ 0 - W L d __ N d 與冗長字元線 W L d R 中之一。Y 選擇器 Y S d __ 0 - Y S d __ M d 之一藉由 Y 解碼器 1 2 Y D 之解碼輸出設

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

為 ON 狀態。圖 1 中，記憶格陣列 1 2 M A 及 Y 選擇器 Y S d _ 0 - Y S d _ M d 係於紙面之正反方向設有 N 組。因此，當 X 解碼器 1 2 X D 及 Y 解碼器 1 2 Y D 進行選擇動作時，於共通資料線 1 2 C D 以 N 位元進行資料之輸出入。寫入資料由資料匯流排 1 6 供至輸入緩衝器 1 2 I B，寫入緩衝器 1 2 W B 則依輸入資料介由共通資料線 1 2 C D 驅動位元線。資料讀出動作時由位元線傳至共通資料線 1 2 C D 之讀出資料於主放大器 1 2 M A 放大，並由輸出緩衝器 1 2 O B 輸至資料匯流排 1 6。

以冗長字元線 W L d R 救濟之正常字元線之行位址特定用之救濟資訊係設定於救濟位址暫存器 1 2 A R。該救濟位址暫存器 1 2 A R，係由多數位元之靜態門鎖器構成，該資料輸入端子，係響應重置信號 R E S E T 之“H”位準而導通於資料匯流排 1 6，由資料匯流排 1 6 載入救濟資訊。載入之救濟資訊有效時，該救濟資訊於位址比較器 1 2 A C 與來自位址緩衝器 1 2 A B 之行位址信號做比較。比較結果一致時，檢測信號 1 2 ϕ 設為邏輯值“1”，其他則設為邏輯值“0”。X 解碼器 1 2 X D 及 Y 解碼器 1 2 Y D，係介由位址緩衝器 1 2 A B 被供給位址匯流排 1 5 之位址信號，對供給之位址信號解碼。特別是 X 解碼器 1 2 X D，當位址比較器 1 2 A C 供給之檢測信號 1 2 ϕ 為意味不一致之邏輯值“0”時，係對來自位址緩衝器 1 2 A B 之行位址信號解碼，而當檢測信號 1 2 ϕ 意味一致之邏輯值“1”時來自位址緩衝器 1 2 A B 之行位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

址信號解碼則被禁止，而改選擇冗長字元線 W L d R。依此，不良字元線相關之記憶體存取被改為冗長字元線 W L d R 相關之冗常用記憶格之選擇動作。

D R A M 1 2 之內部時序控制係由時脈控制器 1 2 T C 進行。於時脈控制器 1 2 T C，由 C P U 1 0 藉由控制匯流排 1 7 供給讀出信號及寫入信號等選通信號，同時由位址匯流排 1 5 供給視為記憶體選擇信號之多數位元位址信號。時脈控制器 1 2 T C 檢測出 D R A M 1 2 之動作選擇時，X 解碼器 1 2 X D 之電路被能動化，依讀出信號被指示讀出動作時，記憶格陣列 1 2 M A 選擇之記憶格之記憶資訊經主放大器 1 2 M A 或輸出緩衝器 1 2 O B 輸出至資料匯流排 1 6，寫入動作依寫入信號被指示時，記憶格陣列 1 2 M A 選擇之記憶格經由輸入緩衝器 1 2 I B 及寫入緩衝器 1 2 W B 寫入輸入資料。

(S R A M)

S R A M 1 3，係於記憶格陣列 1 3 M A，如圖 8 所示具多數習知 C M O S 靜態型記憶格 S M C。亦即，C M O S 靜態型記憶格 S M C，如圖 8 所示，係由 P 通道型 M O S F E T Q P 1、Q P 2 及 N 通道型 M O S F E T Q N 1 - Q N 4 構成。Q P 1 於 Q N 1，Q P 2 與 Q N 2 可視為構成 C M O S 反相器。其輸出端於輸入端成交叉連接，全體構成 1 個 C M O S 閃鎖電路。Q N 3 與 Q N 4 構成選擇開關。Q N 3 與 Q N 4 之閘極構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

成記憶格之選擇端，連接對應之字元線 W L。連接對應之一對位元線 B L、B B L 之 Q N 3、Q N 4 之汲極或源極，設為記憶格之資料輸出入端子。記憶格構成電阻負荷型靜態門鎖形態亦可。記憶格陣列 1 3 M A，如圖 9 所示，係具互補位元線 B L s __ 0、B L B s __ 0 - B L s __ M s、B L B s __ M s。在與互補位元線 B L s __ 0、B L B s __ 0 - B L s __ M s、B L B s __ M s 交叉方向配置字元線 W L s __ 0 - W L s __ N s。又，設有缺陷救濟用之冗長字元線 W L s R。雖未特別圖示，亦可採用冗長位元線。互補位元線 B L s __ 0、B L B s __ 0 - B L s __ M s、B L B s __ M s，係介由 Y 選擇器 Y S s __ 0、Y S B s - Y S s __ M s、Y S B s __ M s 共接於共通資料線 1 3 C D。如圖 1 所示，字元線 W L s __ 0 - W L s __ N 及冗長字元線 W L s R 中之一係由 X 解碼器 1 3 X D 選擇。Y 選擇器 Y S s __ 0、Y S B s __ 0 - Y S s __ M s、Y S B s __ M s 之一對係由 Y 解碼器 1 3 Y D 之解碼輸出設為 O N 狀態。圖 1 中，記憶格陣列 1 3 M A 及 Y 選擇器 Y S s __ 0、Y S B s __ 0 - Y S s __ M s、Y S B s __ M s 係於紙面正反方向設 N 組。因此，當 X 解碼器 1 3 X D 及 Y 解碼器 1 3 Y D 之選擇動作進行時，於共通資料線 1 3 C D 以 N 位元單位進行資料之輸出入。寫入資料由資料匯流排 1 6 供至輸入緩衝器 1 3 I B，寫入緩衝器 1 3 W B 則依輸入資料介由共通資料線 1 3 C D 驅動位元線。資料讀出動作時，由位元線傳

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

至共通資料線 1 3 C D 之讀出資料於感測放大器 1 3 S A 放大，由輸出緩衝器 1 3 O B 輸出至資料匯流排 1 6。

以冗長字元線 W L d R 救濟正常字元線之行位址的特定用救濟資訊係設定於救濟位址暫存器 1 3 A R。該救濟位址暫存器 1 3 A R 係由多數位元之靜態門鎖器構成，其資料輸入端子係響應重置信號 R E S E T 之 “H” 位準而導通於資料匯流排 1 6，救濟資訊由資料匯流排 1 6 被載入。被載入之救濟資訊有效時，位址比較電路 1 3 A C 將該救濟資訊與來自位址緩衝器 1 3 A B 之行位址信號做比較。比較結果一致時檢測信號 1 3 ϕ 設為邏輯值 “1”，以外則設為邏輯值 “0”。X 解碼器 1 3 X D 及 Y 解碼器 1 3 Y D 則將介由位址緩衝器 1 3 A B 被供給之位址匯流排 1 5 之位址信號解碼。特別是 X 解碼器 1 3 X D，當位址比較電路 1 3 A C 供給之檢測信號 1 3 ϕ 意味不一致之邏輯值 “0” 時係對來自位址緩衝器 1 3 A B 之行位址信號解碼，但當檢測信號 1 3 ϕ 係意味一致之邏輯值 “1” 時則不對來自位址緩衝器 1 2 A B 之行位址信號解碼，而改選擇冗長字元線 W L s R。依此，不良字元線之記憶體存取被取代為冗長字元線 W L s R 相關之冗長用記憶格之選擇動作。

S R A M 1 3 之內部時序控制係由時脈控制器 1 3 T C 進行。於時脈控制器 1 3 T C 介由控制匯流排 1 7 被供給來自 C P U 1 0 之讀出及寫入信號等選通信號，而且由位址匯流排 1 5 被供給視為記憶體選擇信號的多

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

數位元位址信號。當時脈控制器 1 3 T C 檢測出 S R A M 1 3 之動作選擇時，X 解碼器 1 3 X D 能動化，當讀出信號指示讀出動作時記憶格陣列 1 3 M A 選擇之記憶格之記憶資訊介由感測放大器 1 3 S A 或輸出緩衝器 1 3 O B 輸出於資料匯流排 1 6，當寫入信號指示寫入動作時，介由輸入緩衝器 1 3 I B 及寫入緩衝器 1 3 W B 輸入之資料被寫入記憶格陣列 1 3 M A 選擇之記憶格。

(快閃記憶體)

快閃記憶體 1 1 之記憶格陣列 1 1 M A 係具圖 1 0 所示多數非揮發性記憶格 (快閃記憶格) F M C。記憶格 F M C，係由具控制閘極 (C G)、浮動閘極 (F G)、源極 (S C)、及汲極 (D R) 的 1 個記憶格電晶體構成。記憶格陣列 1 1 M A，如圖示具有快閃記憶格 F M C 之汲極連接之位元線 B L f _ 0 - B L f _ M f、快閃記憶格 F M C 之控制閘極連接之字元線 W L f _ 0 - W L f _ N f、及快閃記憶格 F M C 之源極連接之源極線 S L f。雖未特別限制，此例中源極線 S L f 係於各快閃記憶格 F M C 共通。位元線 B L f _ 0 - B L f _ M f 介由 Y 選擇器 Y S f _ 0 - Y S f _ M f 共接於共通資料線 1 1 C D。如圖 1 所示，字元線 W L f _ 0 - W L f _ N f 之選擇動作係由 X 解碼器 1 1 X D 進行。選擇字元線及非選擇字元線之供給電壓，係依消去、寫入、讀出各動作由序列控制器 1 1 S Q 控制。Y 選擇器 Y S f _ 0 -

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

Y S f — M f 之一經由 Y 解碼器 1 1 Y D 之解碼輸出設為 O N 狀態。圖 1 中，記憶格陣列 1 1 M A 及 Y 選擇器 Y S f — 0 — Y S f — M f 於紙面正反方向設有 N 組。因此，當 X 解碼器 1 1 X D 及 Y 解碼器 1 1 Y D 進行選擇動作時，記憶格與共通資料線 1 1 C D 間以 N 位元單位進行資料輸出入為可能。寫入資料經由資料匯流排 1 6 供致輸入緩衝器 1 1 I B，寫入緩衝器 1 1 W B 則依輸入資料經由共通資料線 1 1 C D 驅動位元線。資料都動作中，由位元線傳至共通資料線 1 1 C D 之讀出資料於感測放大器 1 1 S A 放大後，由輸出緩衝器 1 1 O B 輸出於資料匯流排 1 6。此例中，消去動作係以字元線單位進行。又，圖 1 省略圖示之源極線上依消去、讀出、寫入等各動作經由序列控制器 1 1 S Q 供給有源極線電壓。

快閃記憶體 1 1 之序列控制及電壓控制由序列控制器 1 1 S Q 進行。以下，說明序列控制器 1 1 S Q 之電壓控制態樣。首先，快閃記憶格 F M C (N 通道型 M O S 形式記憶格電應體)，可依浮動閘極內電荷多少保持資訊。例如，當電荷注入浮動閘極內時記憶格之臨界值電壓上升。當上升至施加於控制閘極之電壓值以上之臨界值電壓時，記憶體電流變為不流通。又，因浮動閘極放出電荷使臨界值電壓下降。當臨界值電壓低於施加在控制閘極之電壓值時，記憶體即流通電流。例如，圖 1 2 所示可將低臨界值電壓狀態分配為 “ 0 ” 資訊保持狀態 (例如寫入狀態)，高臨界值電壓狀態分配為 “ 1 ” 資訊保持狀態 (例如消去

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

狀態)，或相反亦可。記憶體動作可大別為讀出、寫入、及消去。寫入確認及消去確認實質上同讀出動作。

讀出動作中，於控制閘極 C G 施加讀出電位（例如 $V_{cc} = 5V$ ）。此時之選擇記憶格之記憶資訊，係由電流有否流經記憶格來判斷“0”或“1”。消去時如圖 13 所示於控制閘極 C G 施加正電壓（例如 10V）、於記憶格源極施加負電壓（例如 -10V）。汲極 D R 可為浮動，或與井相同之負電壓（例如 -10V）。如此即可藉通道效應將電荷注入浮動閘極。結果、記憶格 F M C 之臨界值電壓上升。消去確認，因僅確認用字元線電壓不同，實質上和讀出動作相同。寫入動作時，如圖 13 所示，於控制閘極 C G 施加負電位（例如 -10V），於汲極 D R 施加正電壓（例如 7V），令源極 S C 為浮動。如此即可僅令汲極施加有正電壓之記憶格進行放電。結果。記憶格 F M C 之臨界值電壓減少，之後之寫入確認動作係同上述讀出動作一樣。

（第 2 單晶片微電腦）

圖 14 係本發明半導體積體電路另一例之第 2 單晶片微電腦。圖示之單晶片微電腦 1 B，在缺陷救濟用之冗長構成之點係和圖 1 所示相同。亦即，記憶格陣列 11 M A，係具正常字元線 $W L f _ 0 - W L f _ N$ 及冗長字元線 $W L f R$ 。於冗長字元線 $W L f R$ 連接上述記憶格 F M C 之控制閘極，汲極接對應之位元線，源極則接上述源極線

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (33)

。正常字元線 $W L f _ 0 - W L f _ N f$ 中那一字元線由冗長字元線 $W L f R$ 來取代，係由設於救濟位址暫存器 $11 A R$ 之救濟資訊來決定。位址比較電路 $11 A C$ 將救濟資訊包含之救濟行位址資訊與來自位址緩衝器 $11 A B$ 之行位址信號做比較。當位址比較電路 $11 A C$ 之比較結果一致時，將邏輯值 “1” 之檢測信號 $11 \varnothing$ 供至 X 解碼器 $11 X D$ 。檢測信號 $11 \varnothing$ 為邏輯值 “1” 時，X 解碼器 $11 X D$ 抑制位址緩衝器 $11 A B$ 之行位址信號之字元線選擇動作，改選擇冗長字元線 $W L f R$ 。依此，不良字元線之記憶體存取被冗長字元線 $W L f R$ 之冗長用記憶格之選擇動作取代。

此構成中，重置期間中之救濟資訊之讀出於資料匯流排 16 係和圖 1 同樣進行 1 次，此點不變。因此，圖 14 之情形，全部最大 N 位元之救濟資訊 1 次須分配於 3 個救濟位址暫存器 $11 A R$ 、 $12 A R$ 、 $13 A R$ 。為滿足此點， 3 個救濟位址暫存器 $11 A R$ 、 $12 A R$ 、 $13 A R$ 之資料輸入端子，係和 N 位元資料匯流排之各位元之信號線不重複，而分別連接。

圖 15 係快閃記憶體 11 之救濟資訊儲存領域儲存之救濟資訊之一例。和圖 2 比較，快閃記憶體 11 之救濟行位址 $A F 3 - A F 0$ 及快閃記憶體之救濟能動位元 $R E _ F$ 增加。若讀出於資料匯流排 16 之救濟資訊全部為 N 位元，則資料匯流排 16 之信號線維持圖 15 之配列連接對應之救濟位址暫存器 $11 A R$ 、 $12 A R$ 、 $13 A R$ 之資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

料輸入端子。上述救濟能動位元 R E _ F 藉邏輯值 “ 1 ” 表示行位址資訊 A F 3 - A F 0 之有效性。載入救濟位址暫存器 1 1 A R 之救濟能動位元 R E _ F ，當邏輯值 “ 1 ” 時，係使位址比較電路 1 1 A C 能動化，邏輯值 “ 0 ” 時係使位址比較電路 1 1 A C 保持非能動化並將檢測信號 1 1 ϕ 固定於不一致位準 “ 0 ” 。

圖 1 6 係重置期間之救濟資訊之初期載入處理時序。電源投入之電源投入重置或系統重置等，使重置信號 R E S E T 設為 “ H ” 位準期間成為重置期間。當投入電源穩定後，字元線 W L f _ 0 及 Y 選擇器 Y S f _ 0 被選擇，快閃記憶體 1 1 、 D R A M 1 2 及 S R A M 1 3 之救濟資訊被並列讀出於資料匯流排 1 6 。讀出之快閃記憶體 1 1 之救濟資訊被載入救濟位址暫存器 1 1 A R ， D R A M 1 2 之救濟資訊被載入救濟位址暫存器 1 2 A R 、 S R A M 1 3 之救濟資訊則被載入救濟位址暫存器 1 3 A R ，載入資料藉由重置解除而被門鎖。

依單晶片微電腦 1 B 可對快閃記憶體 1 1 產生之缺陷予以救濟。其他點則同圖 1 之單晶片微電腦 1 A ，其詳細說明省略。

(第 3 單晶片微電腦)

圖 1 7 係本發明半導體積體電路之另一例之第 3 單晶片微電腦。圖示之單晶片微電腦 1 C ，係將由快閃記憶體讀出救濟資訊之動作分成多數週期，於多數個救濟位址暫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

存器依救濟資訊之每一讀出週期依序門鎖資料，此點係和圖 1 不同。亦即，於單晶片微電腦 1 C 設有時脈產生器 (C P G) 1 9 及控制電路 2 0，俾作為響應重置信號 R E S E T 之重置指示 (重置期間) 而被初期化之時脈控制電路。

上述時脈產生器 (C P G) 1 9，係具有例如使用振盪子之震盪電路及分頻電路或 P L L 電路等，當電源投入，重置信號 R E S E T 啟動內部動作穩定可產生時脈信號後，響應重置信號 R E S E T 之非能動化 (N e g a t e) 而產生時脈信號 C L K R。如圖 1 8 所示，雖未特別限制，時脈信號 C L K R 被產生 3 次，供至控制電路 2 0。

C P U 1 0 係由時脈產生器 (C P G) 1 9 產生之重置信號 R S T 初期化。C P U 1 0 之重置期間，如圖 1 8 所示，係在時脈信號 C L K R 之第 3 次產生為止。當重置信號 R S T 之重置期間終了後，C P U 1 0 即予時脈產生器 (C P G) 1 9 產生之時脈信號 C L K R 同步地開始重置例外處理。

在重置信號 R S T 對 C P U 1 0 之重置期間，控制電路 2 0 進行救濟資訊之初期載入控制。亦即，如圖 1 8 所示，控制電路 2 0，係在時脈信號 C L K R 之第 1 週期及第 2 週期之期間令控制信號 $\phi W 0$ 為選擇狀態，響應於該第 1 週期令控制信號 B 0 成選擇狀態，響應於第 2 週期令控制信號 $\phi B 1$ 成選擇狀態。序列控制器 1 1 S Q 係響應控制信號 $\phi W 0$ 之選擇期間使感測放大器 1 1 S A 及輸出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (36)

緩衝器 1 1 O B 能動化，進行快閃記憶體之電壓控制使讀出可能。X 解碼器 1 1 X D 響應於控制信號 $\phi W 0$ 之選擇期間將讀出選擇位準供至字元線 $W L f _ 0$ 。Y 解碼器 1 1 Y D 則於控制信號 $\phi B 0$ 之選擇期間藉 Y 選擇器 $Y S f _ 0$ 選擇位元線 $B L f _ 0$ 。依此則在控制信號 $\phi B 0$ 之選擇期間（時脈信號 $C L K R$ 之第 1 週期），位於字元線 $W L f _ 0$ 與位元線 $B L f _ 0$ 之交叉位置之 N 位元記憶格之救濟資訊被讀出於資料匯流排 1 6。此時，控制信號 $\phi B 0$ 被供至 D R A M 1 2 之救濟位址暫存器 1 2 A R，在控制信號 $\phi B 0$ 之“H”位準期間輸入資料匯流排 1 6 之資料，藉“L”位準將該輸入資料門鎖住，因此該救濟資訊被門鎖於救濟位址暫存器 1 2 A R。又，於次一控制信號 $\phi B 1$ 之選擇期間 Y 解碼器 1 1 Y D 藉 Y 選擇器 $Y S f _ 1$ 選擇位元線 $B L f _ 1$ 。依此，在控制信號 $\phi B 1$ 之選擇期間（時脈信號 $C L K R$ 之第 2 週期）救濟資訊由位於字元線 $W L f _ 0$ 與位元線 $B L f _ 1$ 交叉位置之某一 N 位元記憶格讀出於資料匯流排 1 6 上。此時，控制信號 $\phi B 1$ 被供至 S R A M 1 3 之救濟位址暫存器 1 3 A R，在控制信號 $\phi B 1$ 之“H”位準期間該救濟位址暫存器 1 3 A R 將資料匯流排 1 6 之資料輸入，依“L”位準將輸入資料門鎖住，因此該救濟資訊被門鎖於救濟位址暫存器 1 3 A R。

因此，只要將 D R A M 1 2 之救濟資訊儲存於字元線 $W L f _ 0$ 與位元線 $B L f _ 0$ 之交叉位置之記憶格，將

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (37)

S R A M 1 3 之救濟資訊儲存於字元線 W L f _ 0 與位元線 B L f _ 1 之交叉位置之記憶格，即可響應於單晶片微電腦 1 C 之重置指示將救濟資訊依 N 位元單位依序傳送至 D R A M 1 2 及 S R A M 1 3 。對 1 個電路之救濟資訊之內部傳送次數不限 1 次，可依與該電路邏輯規模成比例之冗長邏輯規模適當決定。例如增加供至 Y 解碼器之控制信號數，依每一控制信號選擇個別之 Y 選擇器，輸入救濟資訊之電路之救濟位址暫存器之數必要時增加即可。圖 1 之構成中，救濟資訊之初期載入動作期間係受重置信號 R E S E T 之重置期間影響。初期載入之救濟資訊量多時，須於微電腦外部控制重置信號 R E S E T 之重置期間。圖 1 7 之情形下，藉重置信號 R E S E T 使時脈產生器 (C P G) 1 9 之動作穩定後，單晶片微電腦 1 C 內部之控制電路 2 0 即自動控制救濟資訊之初期載入處理，因此即使初期載入之救濟資訊量多時，微電腦外部亦不須特別操作，即可確實進行救濟資訊之初期載入。其他點則和圖 1 之單晶片微電腦 1 A 相同，其詳細說明省略。

有鑑於系統單晶片化之集積度之大規模化，為使大規模化積體電路搭載之 1 個電路模組之快閃記憶體 1 1 有效利用與其他電路模組之關係，而將快閃記憶體 1 1 之記憶資訊作為和快閃記憶體 1 1 不同之其他 D R A M 1 2 或 S R A M 1 3 之缺陷救濟等使用。此時，介由資料匯流排 1 6 之救濟資訊之內部傳送，以及救濟資訊分為多數週期之序列式內部傳送之構成，救濟資訊因 D R A M 1 2 或

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (38)

S R A M 1 3 之大容量，隨缺陷之增加而呈比例式增加時，對救濟資訊量之增加能以高速實現將該資訊反映於各個 D R A M 1 2 或 S R A M 1 3 乃重要之事。

(區塊置換)

上述說明之冗長置換係依位址必較來進行，但如圖 1 9 所示般，依記憶塊或記憶區塊置換來進行亦可。例如，記憶塊 M A T 0 - M A T 7 係將正常記憶格以矩陣狀配置之記憶區塊。此例中，每一記憶區塊被分配 1 位元之資料輸出入端子 D 0 - D 7，於期間配置 Y 選擇電路 Y S W 0 - Y S W 7、讀寫電路（感測放大器及寫入放大器）R W 0 - R W 7。設有缺陷救濟用記憶格以矩陣狀配置之冗長記憶塊 M A T R，於該冗長記憶塊 M A T R 連接冗常用 Y 選擇電路 Y S W R 及讀寫電路 R W R。記憶塊 M A T 0 - M A T 7 及冗長記憶塊 M A T R 具相同之電路構成。Y 選擇電路 Y S W 0 - Y S W 7、Y S W R 係由對應之記憶塊選擇 1 條位元線或 1 對互補位元線。

為使記憶塊 M A T 0 - M A T 7 中之一可置換為冗長記憶塊 M A T R，設置選擇器 S E L 0 - S E L 7。選擇器 S E L 0 - S E L 7，係選擇讀寫電路 R W R 之輸出入端子及讀寫電路 R W 0 - R W 7 之輸出入端子之任一方而連接資料輸出入端子 D 0 - D 7。選擇器 S E L 0 - S E L 7 之選擇控制信號係由解碼器 D L 產生，救濟資訊由救濟資訊暫存器 A R 供至解碼器 D L。救濟資訊之初期

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (39)

載入方法和上述一樣。

依圖 1 9 之例，救濟資訊係由救濟能動位元 R E 及 3 位元之選擇位元 A 2 - A 0 構成。解碼器 D L 係由構成選擇位元 A 2 - A 0 之互補信號之解碼邏輯的“與”閘 A N D 0 - A N D 7 構成，“與”閘 A N D 0 - A N D 7 之輸出被供至對應之選擇器 S E L 0 - S E L 7 之選擇端子。救濟能動位元 R E 被供至各“與”閘 A N D 0 - A N D 7，當其被設為邏輯值“1”之救濟能動狀態時，可進行解碼動作。換言之，救濟能動位元 R E 為邏輯值“0”時，各“與”閘 A N D 0 - A N D 7 之輸出選擇信號全強制為非選擇位準。

依記憶塊或記憶區塊進行救濟時，位址比較動作不必要，有助於存取高速化。又，救濟資訊之位元數相對救濟可能規模較少亦可。因此，大容量 D R A M 較適合。但是，和位址比較之構成相較，冗長佔有之晶片面積較大。圖 1 9 之構成可適用上述 S R A M 1 3、D R A M 1 2、及快閃記憶體 1 1 之任一。

(微調電路之適用)

以上係使用冗長用救濟資訊存於快閃記憶體 1 1 之例做說明，但亦可取代救濟資訊，而改儲存、使用救濟資訊及微調資訊。以下說明幾個使用微調資訊決定電路特性之電路例。

圖 2 0 係具降壓電源電路 3 1 之單晶片微電腦 3 0 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (40)

一例。降壓電源電路 31 係將單晶片微電腦 30 外部供給之 5 V 或 3.3 V 之外部電源電壓 VDD 降壓產生內部電源電壓 VDL。內部電源電壓 VDL 作為 CPU10、快閃記憶體 11、DRAM12、及 SRAM13 之動作電源使用。之所以使用此種內部電源電壓 VDL，係因集積度及動作速度提升，電路元件微細化時，可保證電路動作信賴性，實現更低消費電力。與外部之介面之輸出入電路 14，係以外部電源電壓 VDD 為動作電源。VSS 係電路接地電壓，降壓電源電路 31 具電壓微調暫存器

31DR 俾門鎖控制資訊（電壓微調資訊）用於決定內部電源電壓 VDL 位準界定用之參照電壓。該電壓微調暫存器 31DR 之電壓微調資訊之初期載入，和上述救濟資訊之初期載入同樣，係響應重置指示由快閃記憶體 11 將電壓微調資訊讀出於資料匯流排 16，讀出之電壓微調資訊門鎖於電壓微調暫存器 31DR。

圖 21 係降壓電源電路 31 之一例。降壓電壓係由 n 通道型 MOS 電晶體 M5 及電阻元件 R5 構成之源極隨耦電路輸出。n 通道型 MOS 電晶體 M5 之電導係由運算放大器 AMP2 進行負迴授控制。電壓 VDL 邏輯上等同於控制電壓 VDL1。控制電壓 VDL1 係由 n 通道型 MOS 電晶體 M4 及電阻元件 R0 - R4 構成之源極隨耦電路輸出。n 通道型 MOS 電晶體 M4 之電導由運算放大器 AMP1 做負迴授控制。該迴授系設有開關 MOS 電晶體 M0 - M3 可選擇電阻元件 R0 - R4 之電阻分壓比，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (41)

構成微調電路。開關 M O S 電晶體 M 0 - M 3 之選擇，係由對 2 位元之電壓微調資訊 T R 1、T R 0 解碼之解碼器 D E C 1 進行。如此形成之迴授電壓於運算放大器 A M P 1 與基準電壓產生電路 V G E 1 產生之基準電壓做比較。運算放大器 A M P 1，係進行負迴授控制以使控制電壓 V D L 1 等於參照電壓 V r e f。

當降壓電源電路 3 1 之元件特性因製程影響有較大誤差時，變更解碼器 D E C 1 選擇之電阻分壓比以使內部電源電壓 V D L 1 在設計值之所要範圍。此種資訊可由元件測試把握之電路特信獲得，如上述只需藉 E P R O M 寫入模式等於快閃記憶體 1 1 之特定領域（與上述救濟資訊之儲存領域相當之特定位址領域）事先寫入即可。當單晶片微電腦 3 0 被重置時，電壓微調資訊 T R 1、T R 0 即由快閃記憶體 1 1 被初期載入電壓微調暫存器 3 1 D R。

圖 2 2 係在 D R A M 1 2 之資料保持模式中，控制記憶格之再生間隔的再生計數器之一例。C M 係監視用儲存電容器，設計成資料保持期間僅較動態型記憶格之儲存電容器稍短。

n 通道型 M O S 電晶體 M 1 5 係對監視用儲存電容器 C M 充電用之電晶體。該 n 通道型 M O S 電晶體 M 1 5，如圖 2 3 所示，於再生動作期間設為 O N 動作，於資料保持期間設為 O F F 狀態。於資料保持期間，節點 V N 之電壓因監視用儲存電容器 C M 之漏電而降低。位準降低情形由比較器 A M P 3 檢測。當節點 V N 之位準低於參照電壓

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (42)

V R 1 時，比較器 A M P 3 輸出 “ H ” 位準。此狀態係將設定・重置型正反器 F F 設為設定狀態。依此，計數器 C N T 開始計數動作，產生再生時脈 ϕ R E F。與該再生時脈 ϕ R E F 同步地進行再生動作。例如邊令再生位址計數器（未圖示）依序進行升順計數，邊與再生時脈 ϕ R E F 之時脈週期同步地進行字元線單位之再生動作。計數器 C N T 之溢位使正反器 F F 被重置，終止一連串之再生動作。再生動作中，n 通道型 M O S 電晶體 M 1 5 色為 O N，監視用儲存電容器 C M 被充電俾檢測次一再生時序。再生動作終了時，n 通道型 M O S 電晶體 M 1 5 被設為截止狀態，再度進行放電之再生時序檢測動作。

上述監視用儲存電容器 C M 之電荷保持特性，受到製程影響而有變動，例如具 D R A M 之正常記憶格之儲存電容器之平均電荷保持特性之情形下，因較其具更多電荷保持特性之記憶格而會有資料錯誤或資料破壞產生。因此依監視用儲存電容器 C M 之電荷保持特性採用可調整參照電壓 R 1 之參照電壓產生電路 1 2 R F。

參照電壓產生電路 1 2 R F，如圖 2 2 所示，係由 n 通道型 M O S 電晶體 M 1 4 及電阻元件 R 1 0 - R 1 4 構成之源極隨耦電路輸出。n 通道型 M O S 電晶體 M 1 4 之電導係由運算放大器 A M P 4 進行負迴授控制。該負迴授系設有可藉電阻元件 R 1 0 - R 1 4 選擇電阻分壓的開關 M O S 電晶體 M 1 0 - M 1 3，構成微調電路。開關 M O S 電晶體 M 1 0 - M 1 3 之選擇，係由對 2 位元電壓

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (43)

微調資訊 R F 1 、 R F 0 解碼之解碼器 D E C 2 進行。如此形成之迴授電壓於運算放大器 A M P 4 被與基準電壓產生電路 V G E 2 產生之基準電壓 V R 做比較，運算放大器 A M P 4 係進行負迴授控制以使參照電壓 V R 1 等於基準電壓 V R 。

上述監視用儲存電容器 C M 之電荷保持特性因製程影響而大於容許範圍時，可適當變更解碼器 D E C 2 選擇之電阻分壓。此種資訊可由元件測試把握之監視用儲存電容器 C M 之電荷保持特性事先獲得，如上述般藉 E P R O M 寫入模式於快閃記憶體 1 1 之特定領域（相當於救濟資訊儲存領域之特定位址領域）事先寫入即可。當單晶片微電腦 3 0 被重置時，該電壓微調資訊 T R 1 、 T R 0 由快閃記憶體 1 1 被初期載入再生最適化暫存器 1 2 D R 。

圖 2 4 係 S R A M 1 3 之時序控制器 1 3 T C 中之時序調整用延遲電路之一例，為感測放大器能動化信號 ϕ S A 之延遲電路。時序控制器 1 3 T C 具有 4 段串接之延遲電路 D L 0 - D L 3 ，及選擇各延遲電路 D L 0 - D L 3 之輸出的 C M O S 傳送閘極 T G 0 - T G 3 。 C M O S 傳送閘極 T G 0 - T G 3 之輸出經佈線“或”閘處理後，其節點信號做為感測放大器能動化信號 ϕ S A 供至感測放大器 1 3 S A 。藉由對 2 位元微調資訊 T M 0 、 T M 1 進行解碼之解碼器 D E C 3 來選擇使任一 C M O S 傳送閘極 T G 0 - T G 3 設為 O N 狀態。

S R A M 1 3 之存取速度因製程影響而變動時，就高

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (44)

速存取或資料讀出動作穩定之觀點而言，較好是進行感測放大器之能動化時序調整。依此只需決定 C M O S 傳送閘極 T G 0 - T G 3 之選擇狀態即可。而此種資訊可由元件測試把握之存取速度特性等事先獲得，如上述般只需藉 E P R O M 寫入模式等在快閃記憶體 1 1 之特定領域（相當於上述救濟資訊儲存領域之特定位址領域）事先寫入即可。當微電腦 3 0 被重置時，其微調資訊 T M 0 、 T M 1 係和救濟資訊依相同順序由快閃記憶體 1 1 經資料匯流排 1 6 被初期載入時序調整暫存器 1 3 D R 。

圖 1 4 之缺陷救濟、圖 2 1 之電壓微調、圖 2 2 之再生週期最適化、圖 2 4 之時序控制器之時序調整所說明之技術，可使用於圖 2 0 所示 1 個單晶片微電腦 3 0 之半導體積體電路。此時儲存於快閃記憶體 1 1 之資訊，可賦予位置作為決定電路一部分機能之初期化資料，例如以圖 2 5 之格式儲存於快閃記憶體 1 1 之記憶格陣列 1 1 M A 。

圖 2 6 係使用電腦設計半導體積體電路之系統之一例。

圖中，1 0 0 係個人電腦，1 0 1 係將資料輸入上述電腦之鍵盤，1 0 2 係磁碟機等記憶媒體。

於該記憶媒體事先記憶有半導體積體電路設計必要之資料。例如設計圖 1 之半導體積體電路時，於記憶媒體 1 0 2 記憶有決定快閃記憶體 1 1 之構成之資料 1 0 3 、決定 D R A M 1 2 之構成之資料 1 0 4 、決定救濟位址暫

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (45)

存器 1 2 A R 之構成之資料 1 0 5 、及決定資料匯流排 1 6 之構成的資料 1 0 6 。

將設計對象必要之資料由上述記憶媒體讀入個人電腦，即可於個人電腦上進行半導體積體電路設計。

上述資料可為電腦能理解之特定電腦語言記述之程式（例如 R T L （ Register Transfer Level ）模型或 H D L （ Hardware Description Language ）模型）、或實際製造半導體積體電路使用之光罩相關之資料（座標資料、連接配線資料）。當然上述資料亦可為兩者之組合。

上述說明中決定救濟位址暫存器之構成的資料係設為資料 1 0 5 ，但亦可以該資料 1 0 5 來決定電氣特性變更時使用之暫存器（例如圖 2 0 之電壓微調暫存器、圖 2 2 之再生最適化暫存器、圖 2 4 之微調暫存器、或圖 2 5 之複合暫存器）。

又，圖 1 中，D R A M 1 2 內設有救濟位址暫存器 1 2 A R 及位址比較器 1 2 A C ，但亦可以將其等設成為和決定 D R A M （記憶格陣列 1 2 M A 、解碼器 1 2 X D 、1 2 Y D 、Y 選擇器、寫入緩衝器、輸入緩衝器、主放大器、輸出緩衝器）之構成的資料 1 0 4 為不同之資料 1 0 5 。當然將圖 1 之 D R A M 1 2 設為 1 個資料群處理亦可。

以上依實施形態具體說明本發明，但本發明不限於上述實施形態，在不脫離其要旨下可做各種變更。

例如本發明之半導體積體電路不限於單晶片微電腦，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (46)

而且單晶片微電腦之內藏電路模組之種類亦不限上述例，可適當變更。又，電氣更新寫入可能之非揮發性記憶體不限於快閃記憶體，亦可採用選擇 M O S 電晶體及 M N O S (metal nitride oxide semiconductor) 形式之記憶電晶體構成之記憶格。又，快閃記憶體之寫入、消去之電壓施加狀態不限於上述，可做適當變更。又，非揮發性記憶體可為記憶 4 值以上之多值資訊。又，非揮發性記憶體不限於 S R A M、D R A M，可為強介電性記憶體等。

D R A M、S R A M、快閃記憶體等記憶體中，冗長字元線係依位址比較電路之比較結果被選擇，其選擇時序較正常字元線慢。此種時序延遲，特別對於半導體積體電路以極快動作週期動作之情形時係無法被忽視的。因此若容許面積之稍許增加的話，可令冗長用動態型記憶格中之資訊記憶用電容器之尺寸大於正常用記憶格，或令冗長用靜態型記憶格或快閃型記憶格中之電晶體之電導增大般增加其尺寸。亦即，此情形下可增大由冗長記憶格供至位元線之讀出信號量，如此則即使讀出感測動作時序較快時正常之資料讀出亦可能。依此冗長字元線選擇時序延遲之影響，藉記憶格選擇後之幹測動作高速話而實質上可減輕。

圖 2 2 說明之 D R A M 之再生期間調整技術可變更。當幾個動態型記憶格之資料保持期間特性相對於圖 2 2 之監視用儲存電容器 C M 之充電電壓保持特性有較大變動時，可積極變更圖 2 2 之基準電壓 V R 1 俾於該等動態型記憶格之正常動作期間內重複再生動作。D R A M 之再生動

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (47)

作保證用之微調，可取代圖 2 2 而改採用計數半導體積體電路之系統時脈信號以形成再生時序信號之計數器乃至變更定時器之計數數之構成。又，雖然本發明對於系統單晶片等系統 L S I 具較大效果，但亦適用系統 L S I 以外之邏輯 L S I。又，圖 1、圖 1 4、或圖 1 5 中，各記憶體模組 1 1、1 2、1 3 係包含 1 條冗長字元線，但亦可包含多數條。如此則不僅救濟效率可提升，圖 1 4 (A) 之缺陷救濟步驟 S 2、S 7 極 S 1 0 之各步驟中，該各步驟檢測出之缺陷可予以救濟。

以下，簡單說明本發明之效果。

亦即，不使用缺陷救濟等連接變更改用之可熔式程式電路，可熔式元件切斷用裝置或工程可省略，測試成本可降低。而且，即使是銅配線系製程亦不必形成可熔式元件之雷射熔斷開口部，故製程簡單。

非揮發性記憶體之連接控制資訊之更新寫入可能，因此即使預燒測試等製程後方產生之缺陷或系統、電路基板實裝後產生之缺陷之連家變更要求亦可充分對應。

依此則同時搭載有中央處理裝置等控制處理裝置、非揮發性記憶體、及揮發性記憶體之大規模化邏輯構成電路之連接變更可有效進行。因此大規模化邏輯之半導體積體電路之生產良率可提升，成本降低可實現。

特別是，有鑑於系統單晶片等大規模化，為有效利用大規模化積體電路搭載之非揮發性記憶體與其他電路模組間之關係，而將非揮發性記憶體之記憶資訊用做為和該非

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (49)

圖。

圖 1 2 : 快閃記憶體中之寫入狀態及消去狀態之一例之說明圖。

圖 1 3 : 快閃記憶體中之寫入動作及消去動作中之電壓施加狀態之一例之說明圖。

圖 1 4 : 本發明半導體積體電路之另一例之第 2 單晶片微電腦之方塊圖。

圖 1 5 : 第 2 單晶片微電腦中之救濟資訊之一例之說明圖。

圖 1 6 : 第 2 單晶片微電腦中之救濟資訊之初期化載入處理之一例之時序說明圖。

圖 1 7 : 本發明之半導體積體電路之另一例之第 3 單晶片微電腦之方塊圖。

圖 1 8 : 第 3 單晶片微電腦之重置期間將救濟資訊初期載入處理之一例之時序圖。

圖 1 9 : 採用藉記憶區塊或記憶塊之置換進行缺陷救濟之構成的記憶體之一例之概略方塊圖。

圖 2 0 : 具降壓電源電路之單晶片微電腦之一例之方塊圖。

圖 2 1 : 降壓電源電路之一例之電源圖。

圖 2 2 : D R A M 1 2 之資料保持模式中控制記憶格之再生週期之再生計時器之一例之電路圖。

圖 2 3 : 圖 2 3 所示再生計時器之動作例之時序流程圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (50)

圖 2 4 : S R A M 1 3 之時序控制器之感測放大器能動化信號之時序調整電路之一例之電路圖。

圖 2 5 : 將圖 1 4 之缺陷救濟、圖 2 1 之電壓微調、圖 2 2 之再生週期最適化、圖 2 4 之時序控制器之時序調整之各個說明技術，以圖 2 0 之 1 個單晶片微電腦來適用時之儲存於快閃記憶體之初期化資料之格式之一例之說明圖。

圖 2 6 : 使用電腦設計本發明之半導體積體電路之系統之一例之概念圖。

(符號說明)

1 A 、 1 B 、 1 C 單晶片微電腦

1 0 C P U

1 1 快閃記憶體

1 1 A B 位址緩衝器

1 1 A C 位址比較電路

1 1 A R 救濟位址暫存器

1 1 M A 記憶格陣列

1 1 I B 輸入緩衝器

1 1 O B 輸出緩衝器

1 1 S A 感測放大器

1 1 M R 模式暫存器

1 1 S Q 序列控制器

1 1 X D X 解碼器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (51)

- 1 1 C D 共通資料線
- 1 1 W B 寫入緩衝器
- 1 2 D R A M
- 1 2 A R 救濟位址暫存器
- 1 2 A B 位址緩衝器
- 1 2 A C 位址比較器
- 1 2 M A 記憶格陣列
- 1 2 R F 參照電壓產生電路
- 1 2 T C 時脈控制器
- 1 3 S R A M
- 1 3 C D 共通資料線
- 1 3 A B 位址緩衝器
- 1 3 A C 位址比較電路
- 1 3 A R 救濟位址暫存器
- 1 3 D R 時序調整暫存器
- 1 3 M A 記憶格陣列
- 1 3 Y D Y 解碼器
- 1 3 X D X 解碼器
- 1 3 I B 輸入緩衝器
- 1 3 W B 寫入緩衝器
- 1 3 S A 感測放大器
- 1 3 T C 時脈控制器
- 1 4 輸出入電路
- 1 5 位址匯流排

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (52)

- 1 6 資料匯流排
- 1 7 控制匯流排
- 1 8 時序產生器
- 1 9 時脈產生器 (C P G)
- 2 0 控制電路
- 3 0 單晶片微電腦
- 3 1 降壓電源電路
- 3 1 D R 電壓微調暫存器
- 1 0 0 個人電腦
- 1 0 1 鍵盤
- 1 0 2 記憶媒體
- 1 0 3 - 1 0 6 資料
- F M C 快閃記憶格
- M A T 0 - M A T 7 記憶塊
- Y S W 0 - Y S W 7 Y 選擇電路
- R W 0 - R W 7 R W R 讀寫電路
- M A T R 冗長記憶塊
- Y S W R 冗常用 Y 選擇電路
- S E L 0 - S E L 7 選擇器
- D L 解碼器
- A R 救濟資訊暫存器
- M 0 - M 3 開關 M O S 電晶體
- M 4 、 M 5 、 M 1 4 、 M 1 5 、 n 通道型 M O S 電
晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (53)

R 0 - R 5 電阻元件

T R 0 、 T R 1 電壓微調資訊

A M P 1 、 A M P 2 、 A M P 4 運算放大器

D E C 1 、 D E C 2 、 D E C 3 解碼器

C M 監視用儲存電容器

V G E 1 、 V G E 2 基準電壓產生電路

A M P 3 比較器

F F 正反器

C N T 計數器

M 1 0 - M 1 3 開關 M O S 電晶體

D L 0 - D L 3 延遲電路

T G 0 - T G 3 、 C M O S 傳送閘極

R 1 0 - R 1 4 電阻元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：半導體積體電路、記憶體模組、記憶體媒體、及半導體積體電路之救濟方法)

目的在於提升大規模化積體電路之缺陷救濟效率。

解決方法為，具有：共用資料匯流排(16)之中央處理裝置(10)，及電氣更新寫入可能之非揮發性記憶體(11)，及揮發性記憶體(12，13)，使用非揮發性記憶體之記憶資訊作為揮發性記憶體之缺陷救濟。揮發性記憶體具有揮發性記憶電路(12AR、13AR)俾門鎖以冗長用記憶格救濟不良之正常記憶格用的救濟資訊。非揮發性記憶體，係響應半導體積體電路之初期化指示將救濟資訊由非揮發性記憶體讀出。揮發性記憶電路則響應初期化指示將來自非揮發性記憶體之救濟資訊門鎖。缺陷救濟不必使用可熔式程式(fuse program)電路，預燒工程後發生之新缺陷亦可以救濟，電路基板實裝後之新缺陷亦可救濟。

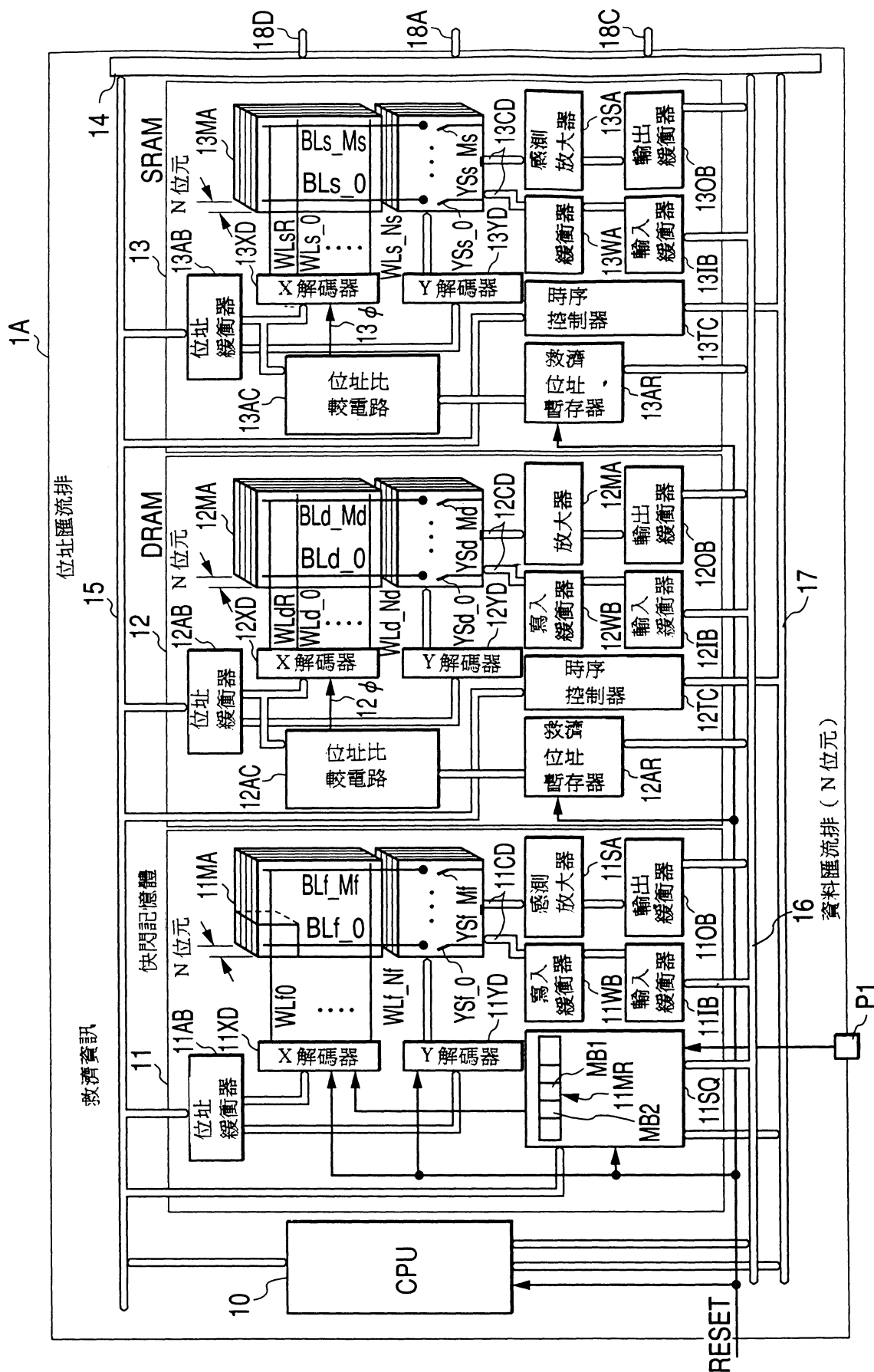
英文發明摘要(發明之名稱：)

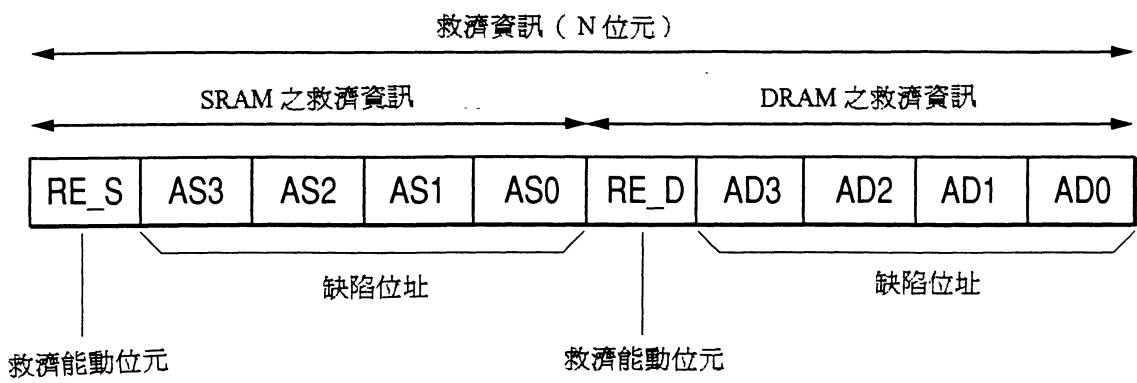
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

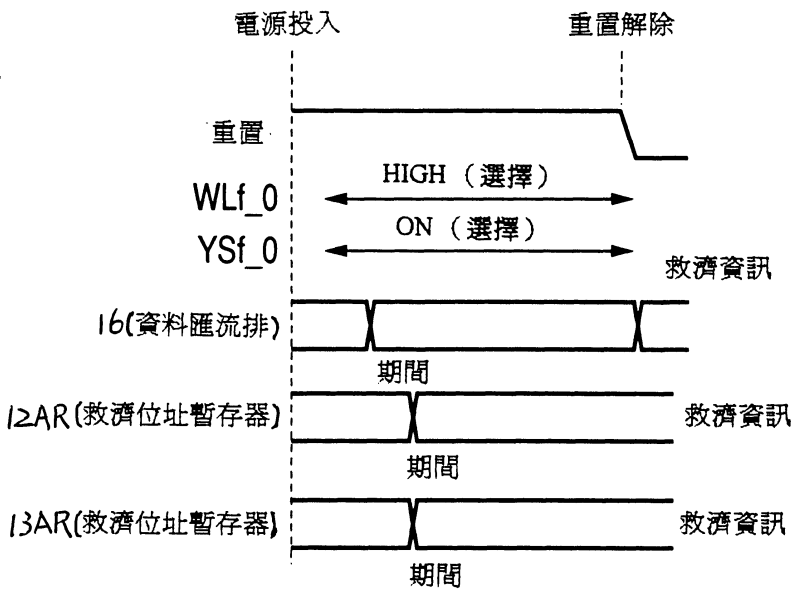
訂

線

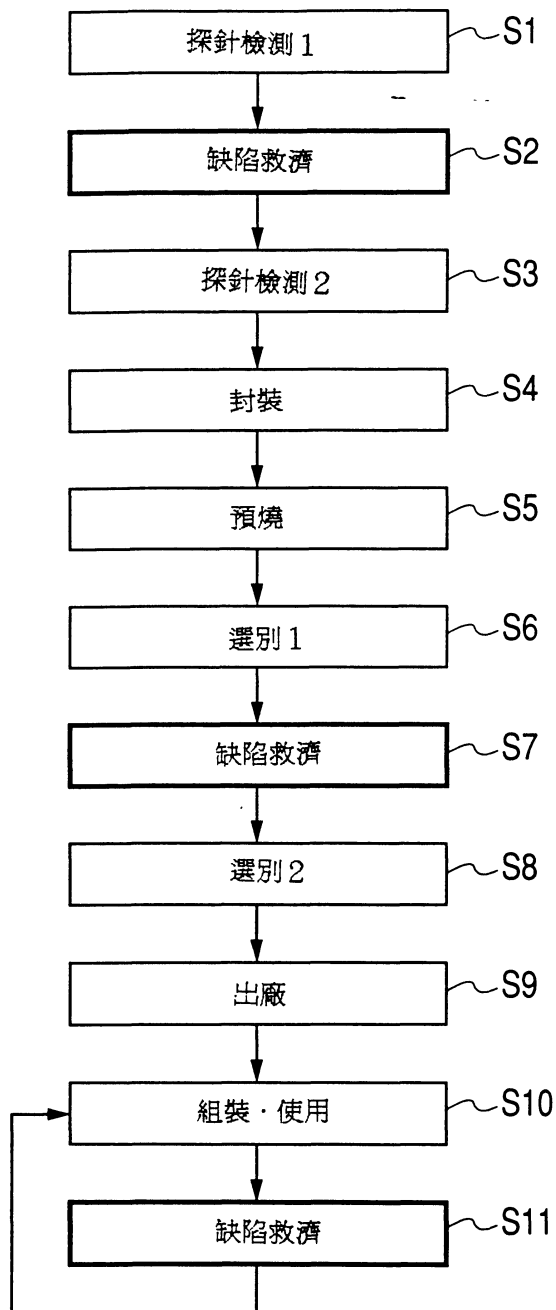




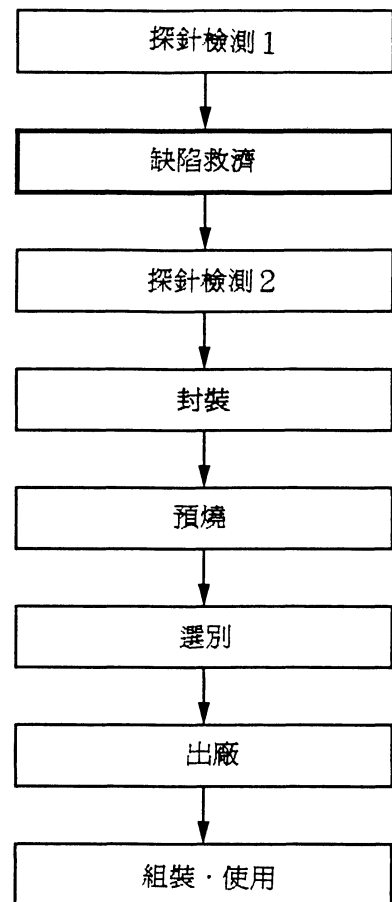
第 2 圖



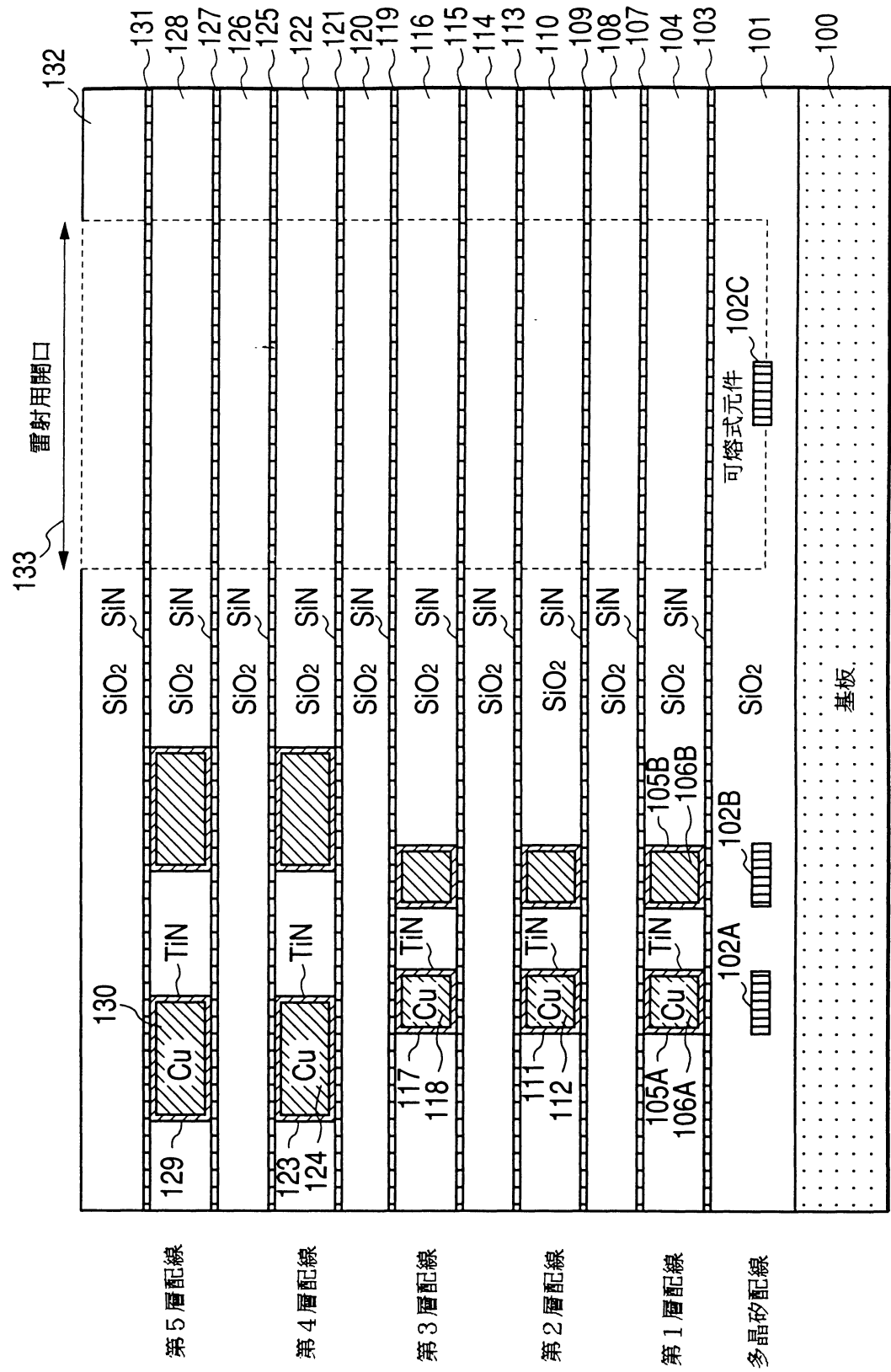
第 3 圖



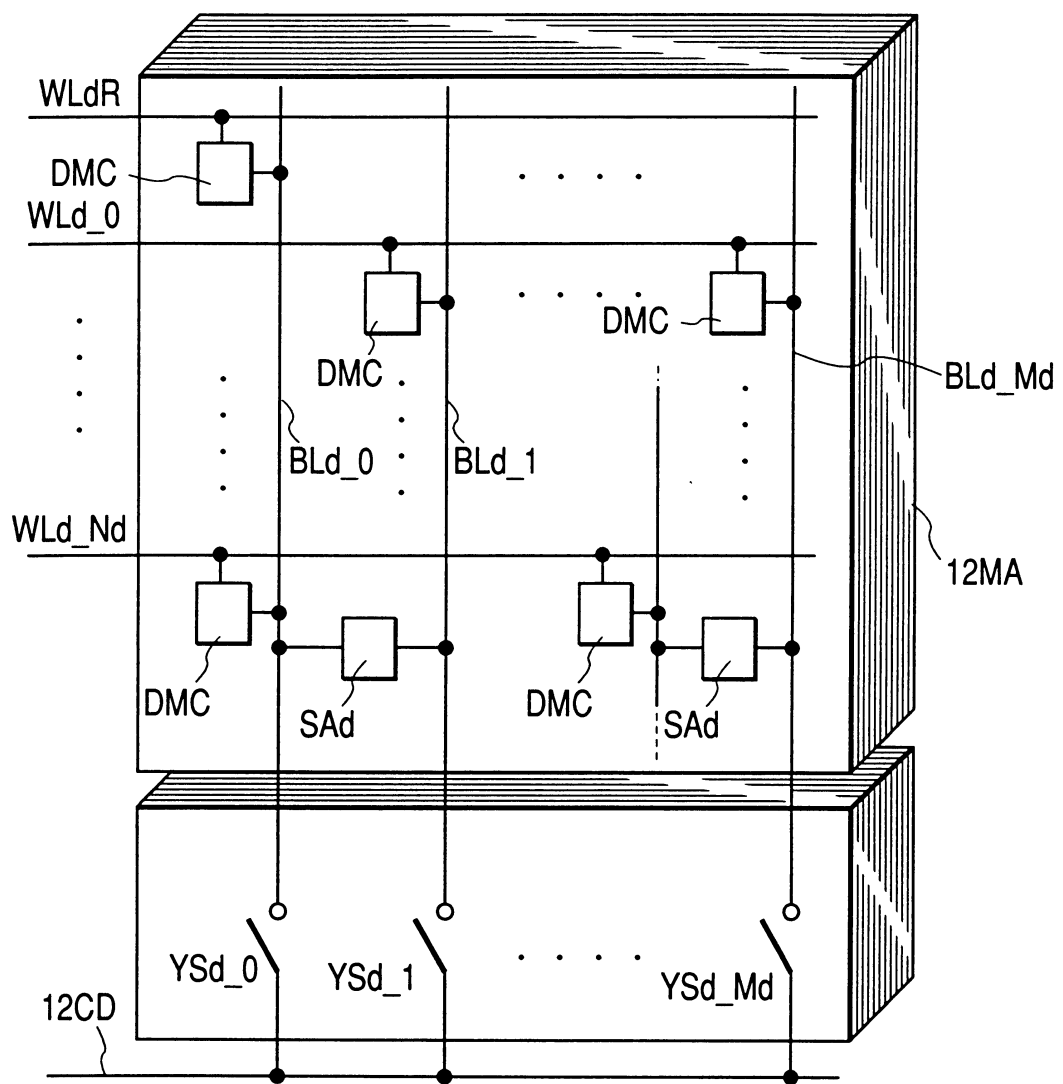
第 4A 圖



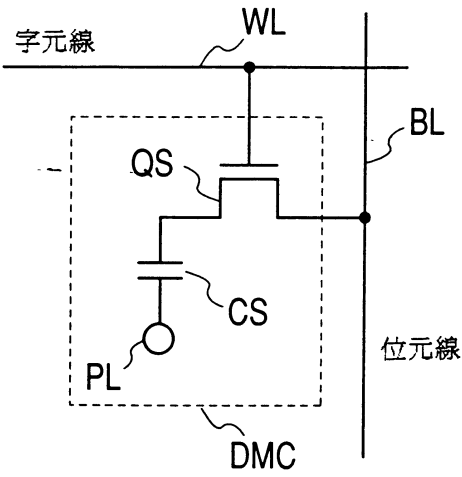
第 4B 圖



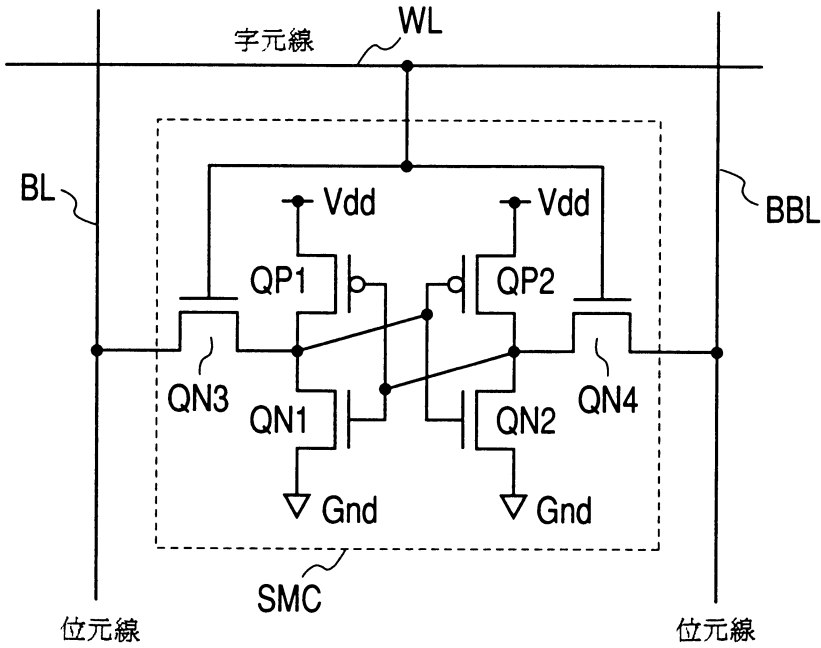
第5圖



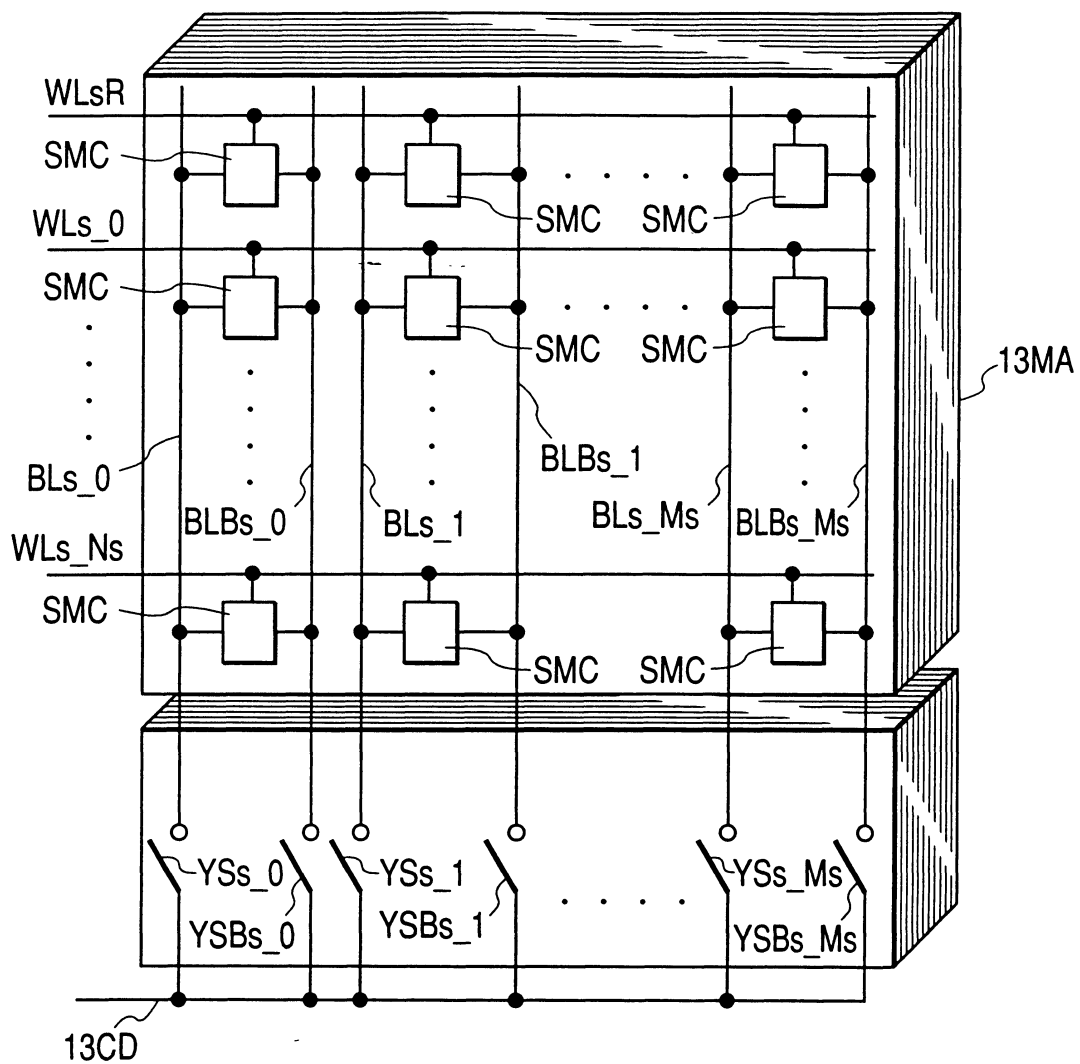
第 7 圖



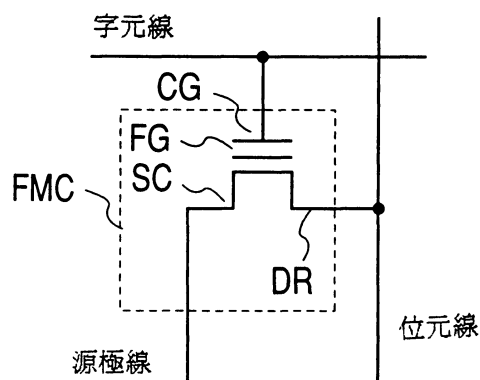
第 6 圖



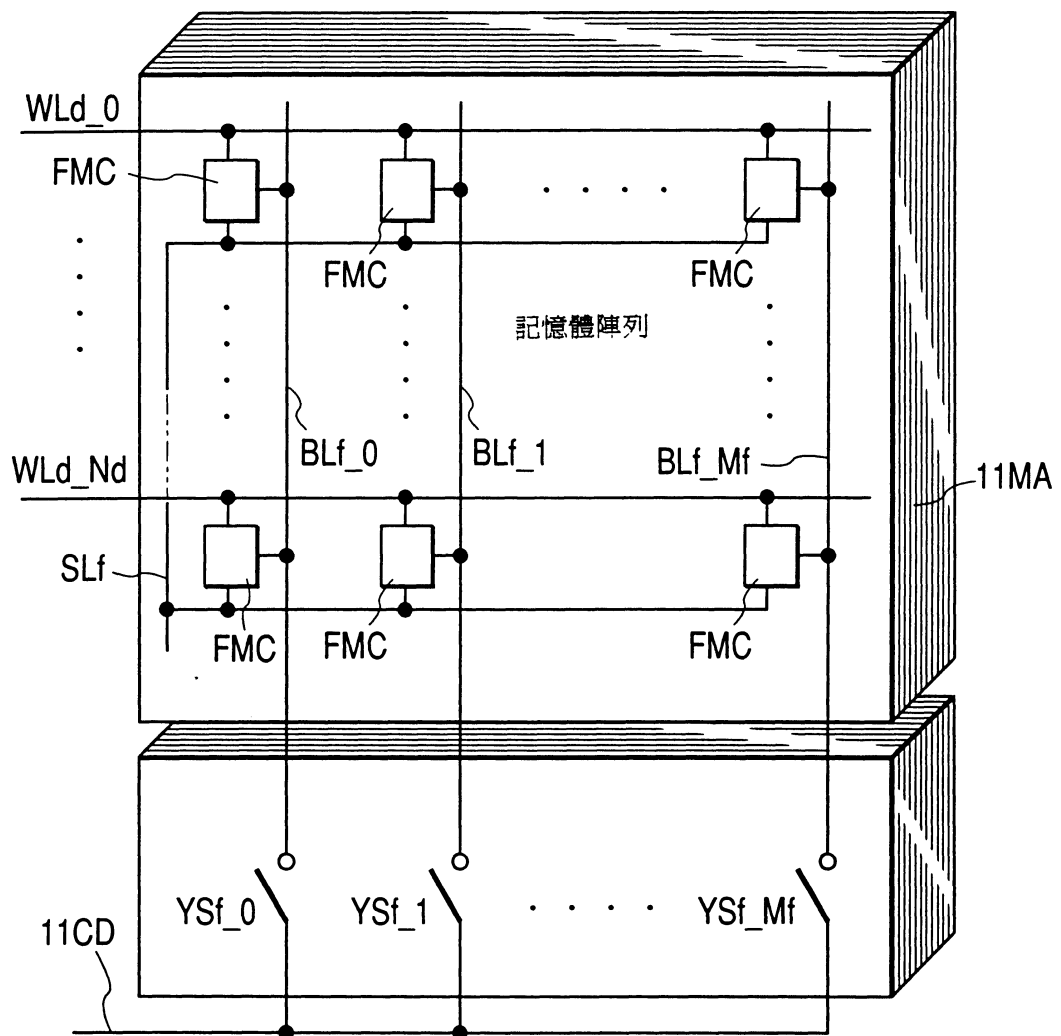
第 8 圖



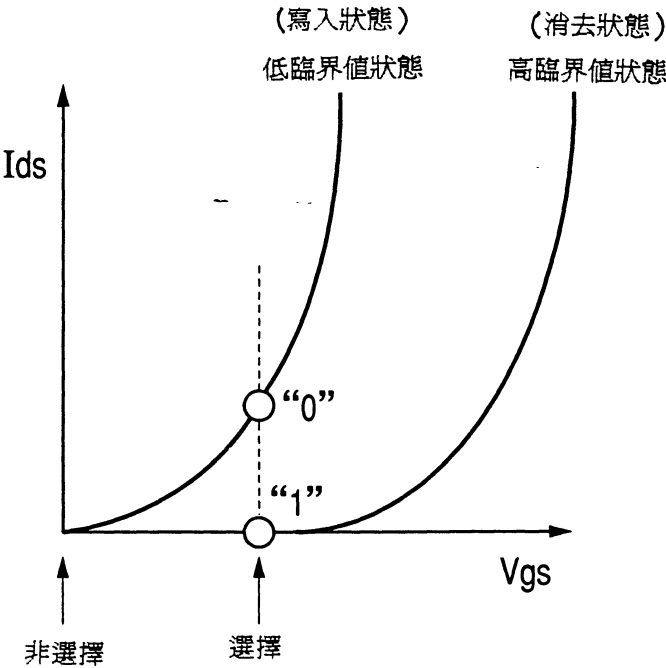
第 9 圖



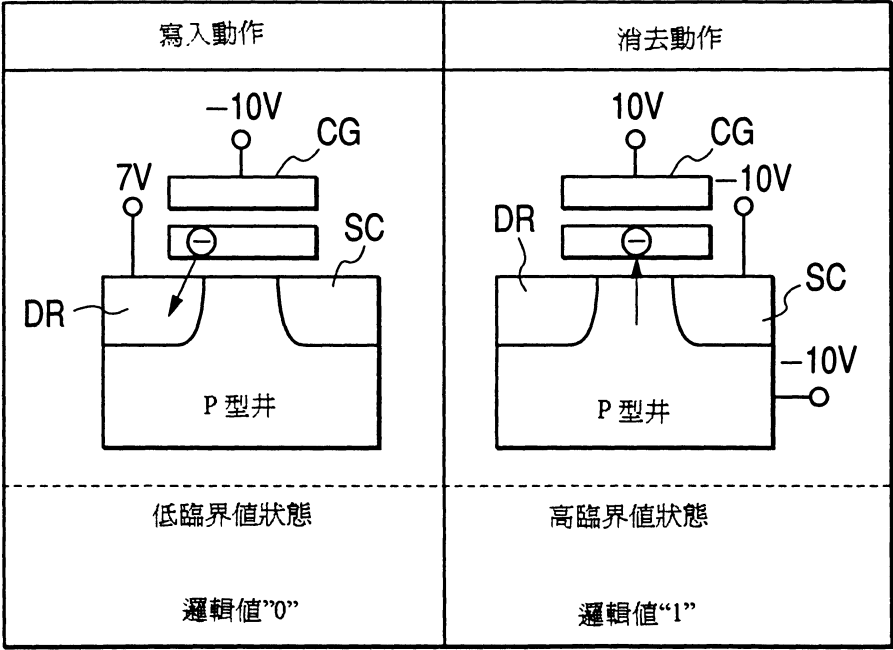
第 10 圖



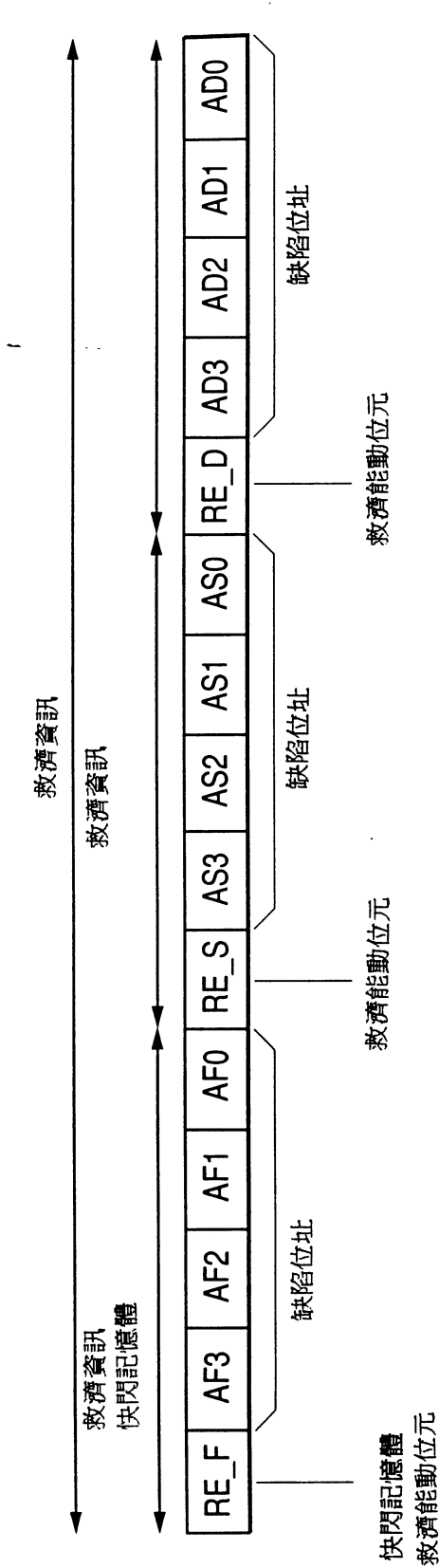
第 11 圖



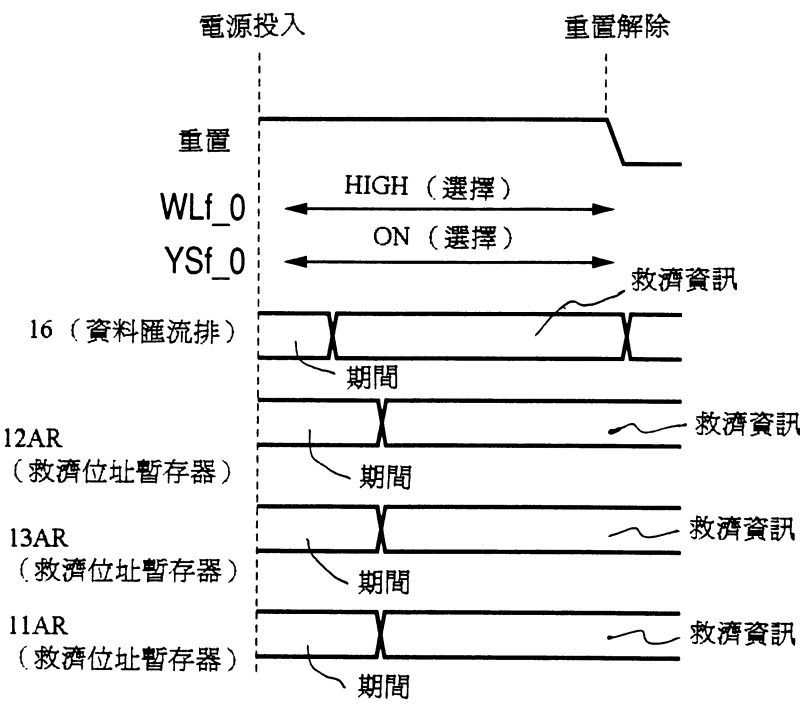
第 12 圖



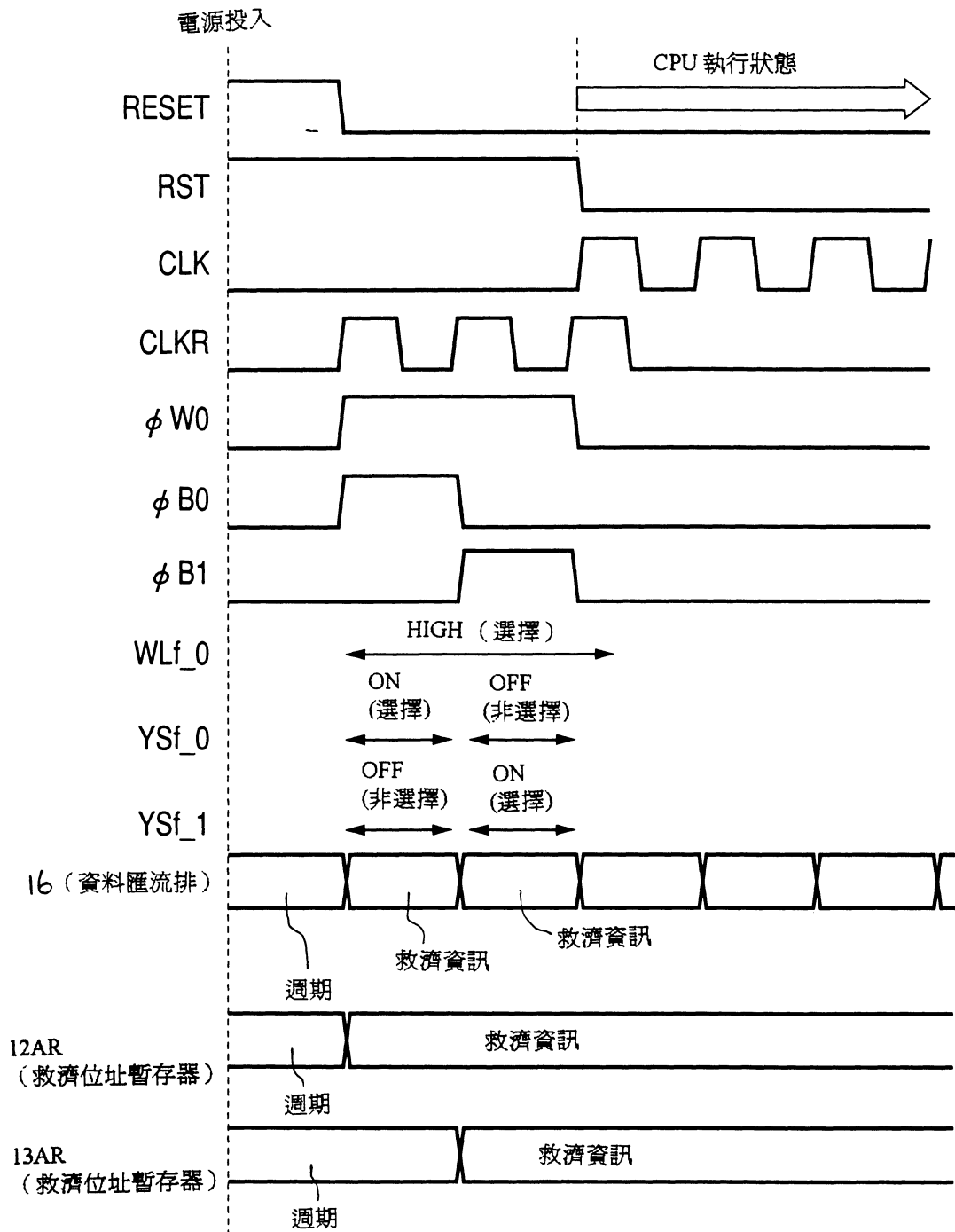
第 13 圖



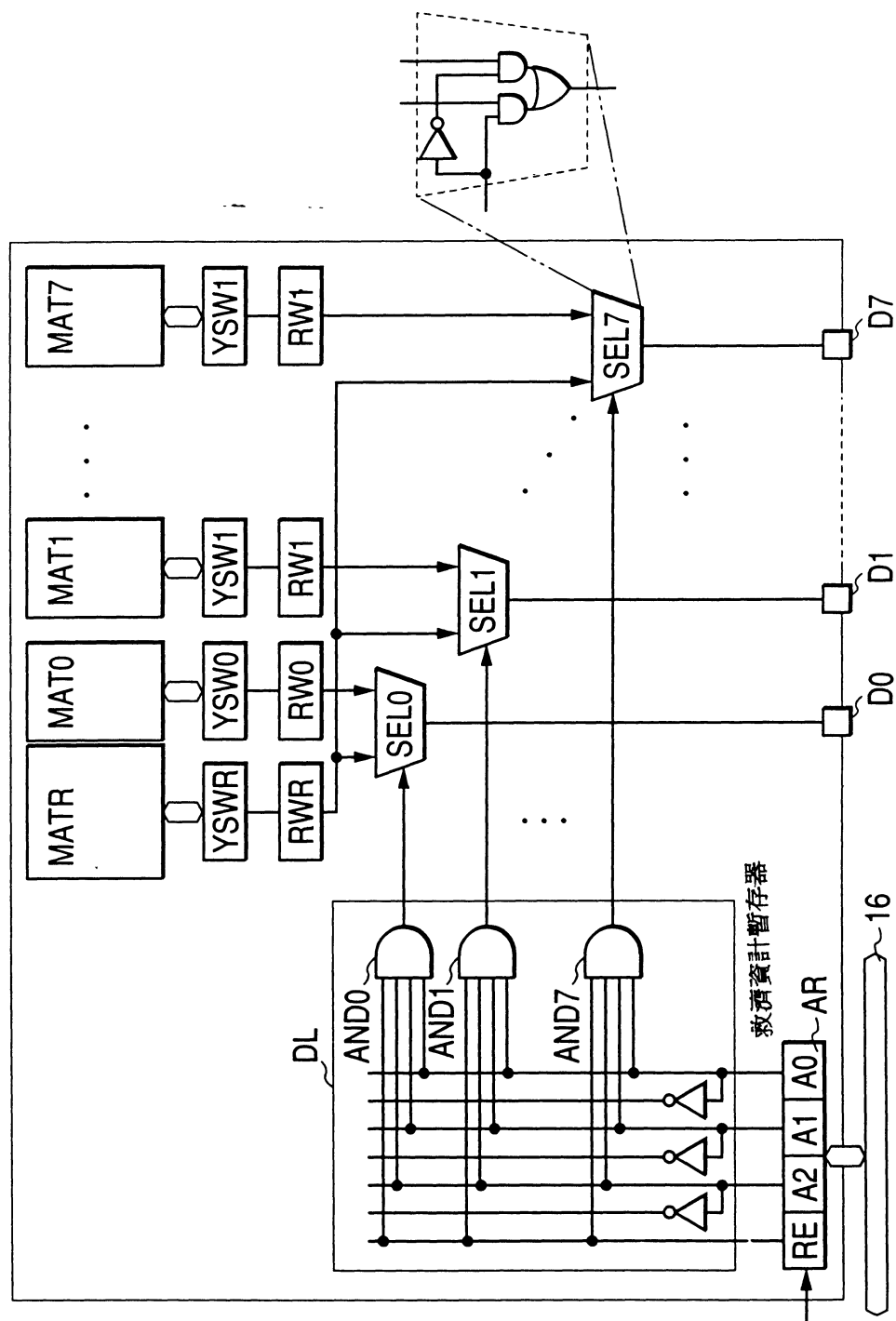
第 15 圖



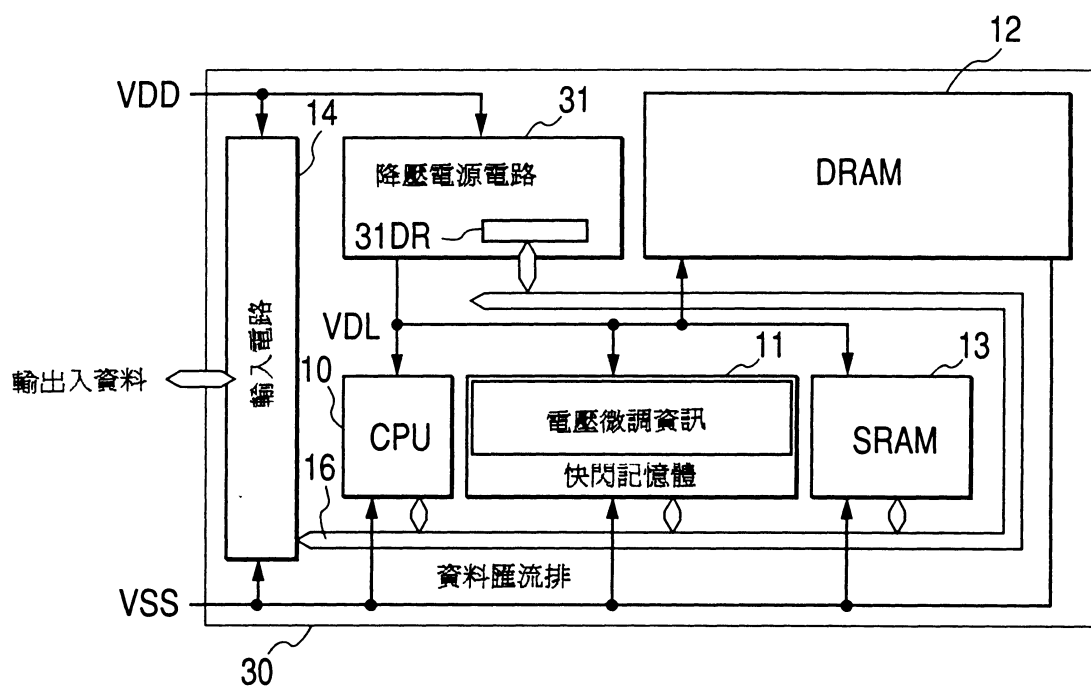
第 16 圖



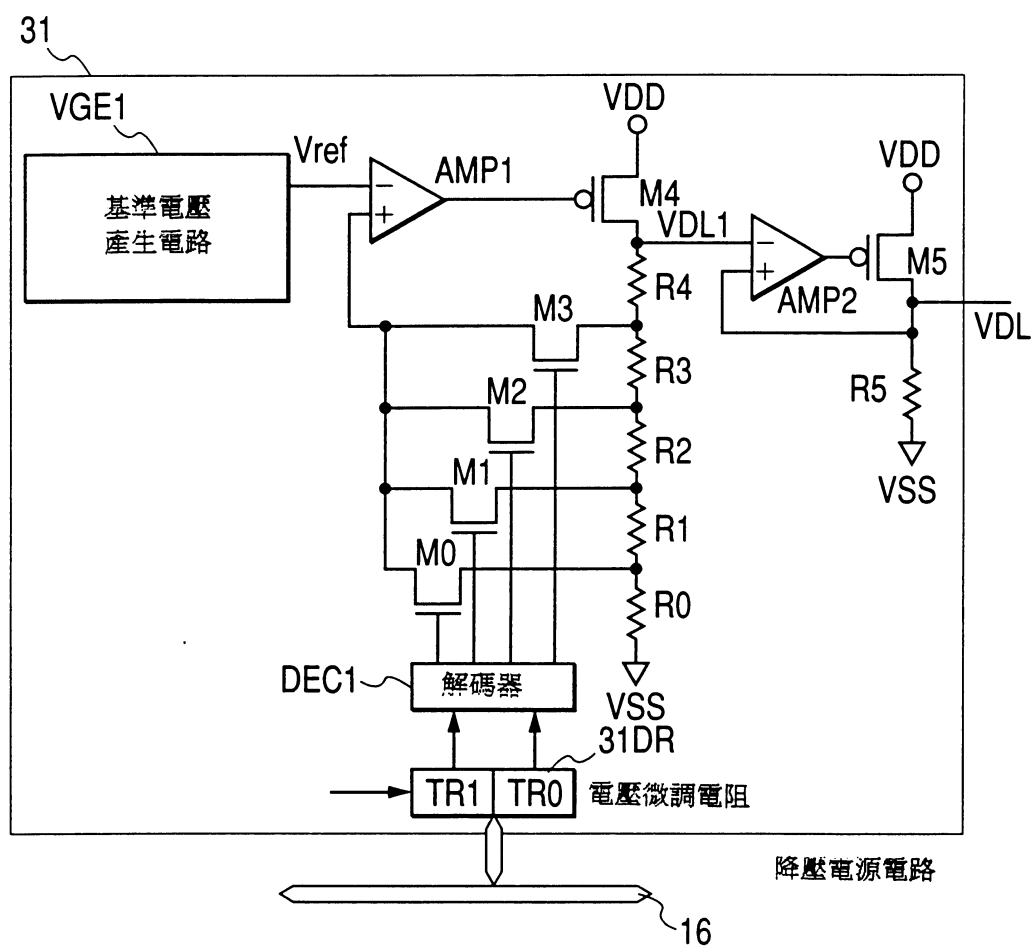
第 18 圖



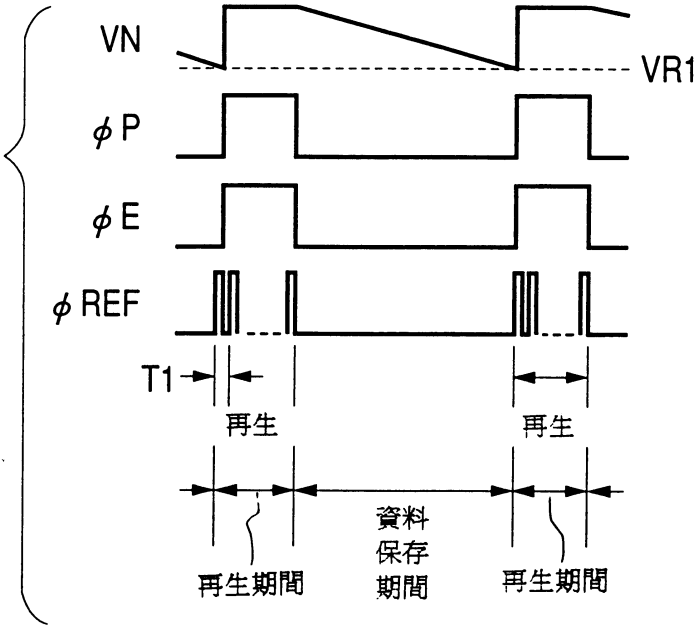
第 19 圖



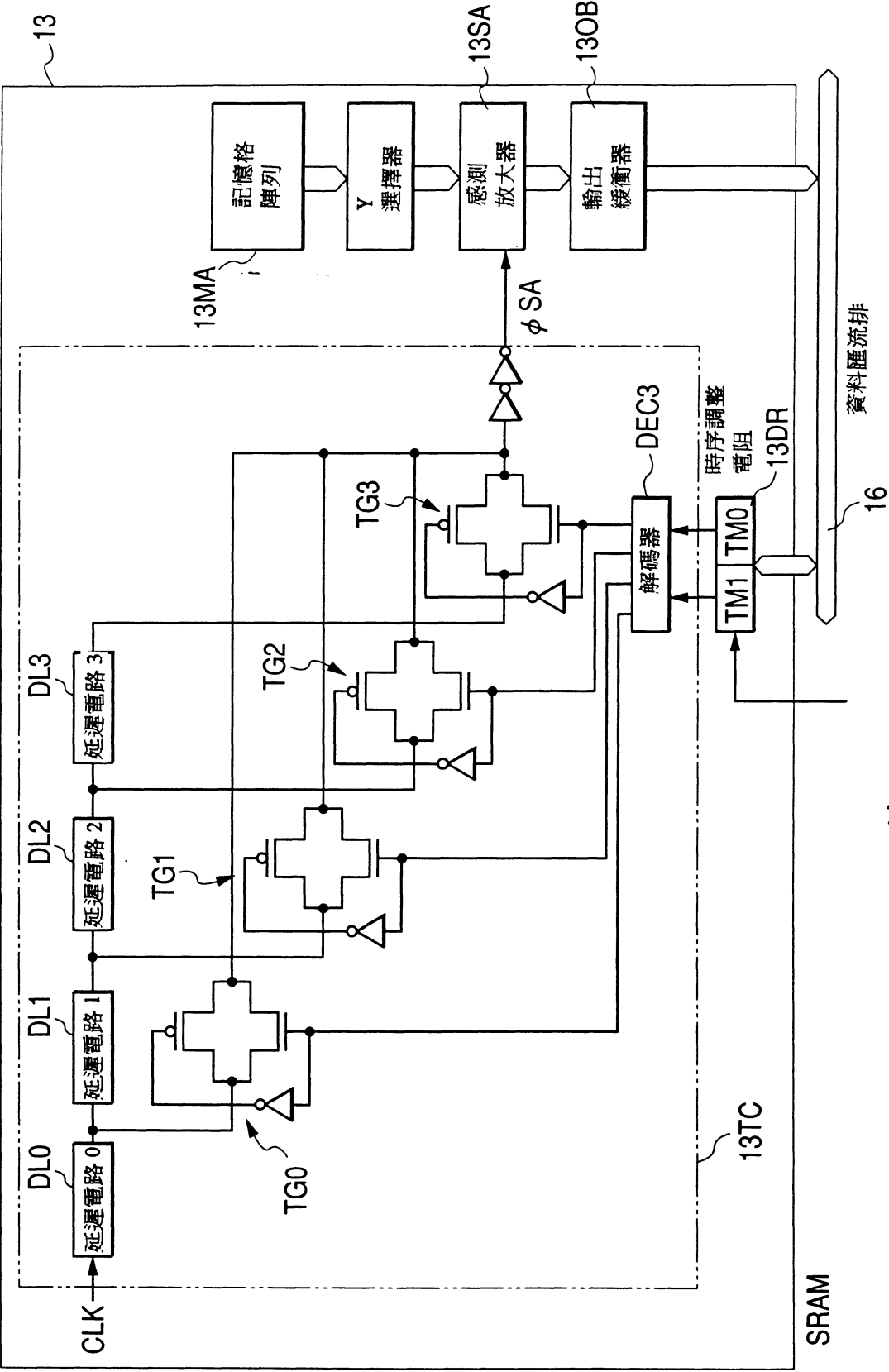
第 20 圖



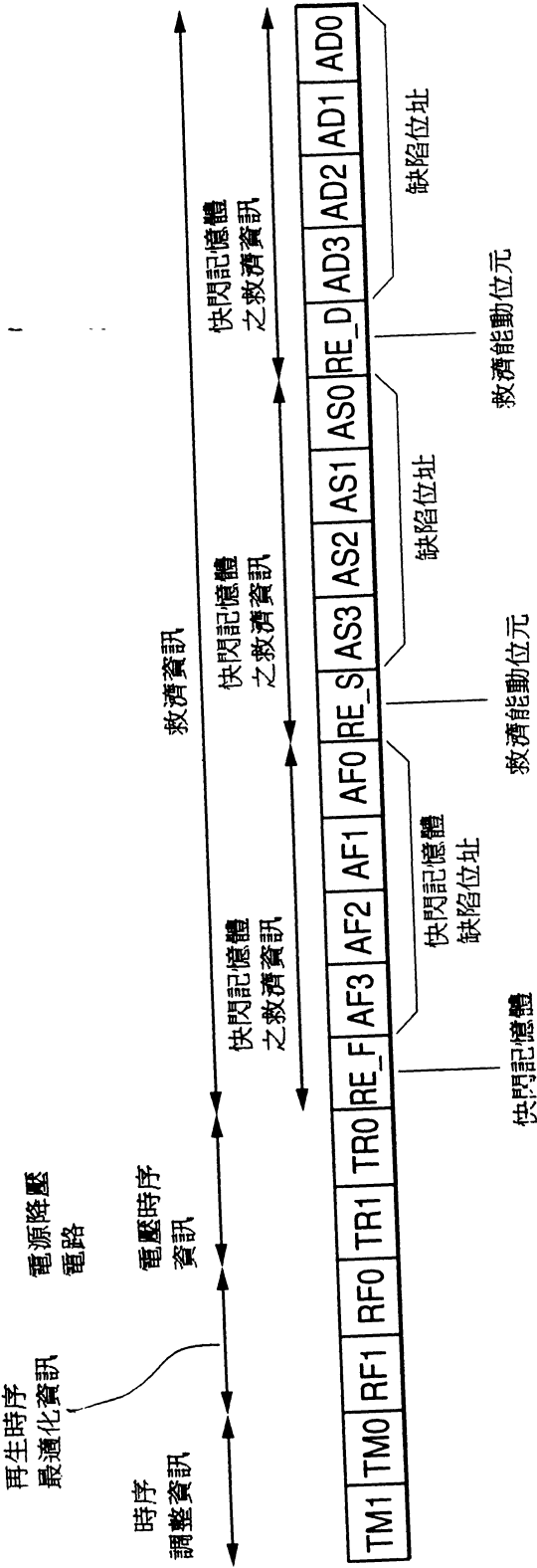
第 21 圖



第 23 圖



第 24 圖



第 25 圖

五、發明說明 (48)

揮發性記憶體不同之揮發性記憶體之連接變更等，如此則介由資料匯流排之連接控制資訊之傳送、甚而連接控制資訊之分成多數週期以序列傳送之裝置，隨揮發性記憶體之大容量而連接變更之機會增大實，相對於該控制資訊量之增大可將該資訊反映於各個揮發性記憶體而實現高速處理，此為其優點。

(圖面之簡單說明)

圖 1：本發明半導體積體電路之一例之第 1 單晶片微電腦之方塊圖。

圖 2：圖 1 之單晶片微電腦使用之救濟資訊之一例之詳細說明圖。

圖 3：重置期間之救濟資訊之初期載入處理之一例之時序圖。

圖 4 A、4 B：將單晶片微電腦之缺陷救濟可能時期由製程起算之時序流程圖。

圖 5：相對於銅配線，可熔式元件之雷射融斷開口部之概略元件斷面圖。

圖 6：動態型記憶格之一例之電路圖。

圖 7：D R A M 之記憶格陣列之一例之概略說明圖。

圖 8：C M O S 靜態型記憶格之一例之電路圖。

圖 9：S R A M 之記憶格陣列之一例之概略說明圖。

圖 10：快閃記憶體格之一例之電路圖。

圖 11：快閃記憶體之記憶體陣列之一例之概略說明

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

第 88118504 號 專 利 申 請 案

中文申請專利範圍修正本

民國 91 年 11 月 4 日 修 正

1 . 一種半導體積體電路，係具電氣更新寫入可能且可藉控制處理裝置存取之非揮發性記憶體，及可藉上述控制處理裝置存取之揮發性記憶體；其特徵在於：

上述揮發性記憶體，係具有多數第 1 揮發性記憶格及第 2 揮發性記憶格，且具揮發性記憶電路俾保持以上述第 2 揮發性記憶格置換上述第 1 揮發性記憶格之連接控制資訊；

上述非揮發性記憶體係具多數非揮發性記憶格，其一部分設定為記憶上述連接控制資訊之非揮發性記憶格，俾響應連接控制資訊之讀出設定動作指示將上述連接控制資訊由非揮發性記憶格讀出並輸出之，

上述揮發性記憶電路，係響應上述讀出設定動作之指示，並門鎖來自非揮發性記憶體之連接控制資訊者。

2 . 一種半導體積體電路，係在 1 個半導體基板上具中央處理裝置，及電氣更新寫入可能且可藉上述中央處理裝置存取的非揮發性記憶體，及上述中央處理裝置可存取的揮發性記憶體；其特徵在於：

上述揮發性記憶體，係具多數正常之揮發性記憶格及冗長用揮發性記憶體，且具揮發性記憶電路俾門鎖以上述冗長用揮發性記憶格救濟不良之正常揮發性記憶格之救濟

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

資訊；

上述非揮發性記憶體，係具多數正常之非揮發性記憶格及冗長用非揮發性記憶格，而且具揮發性記憶電路俾門鎖以上述冗長用非揮發性記憶格救濟不良之正常非揮發性記憶格之救濟資訊；上述非揮發性記憶格之一部分，係設定為記憶上述揮發性記憶體之救濟資訊及非揮發性記憶體之救濟資訊的記憶格，並響應上述半導體積體電路之初期化指示將上述救濟資訊由非揮發性記憶格讀出並輸出之，

上述揮發性記憶電路，係響應上述初期化指示，將來自非揮發性記憶體之救濟資訊門鎖。

3．如申請專利範圍第2項之半導體積體電路，其中在上述中央處理裝置、非揮發性記憶體及揮發性記憶體之各資料輸出入端共通連接之資料匯流排分別連接上述揮發性記憶電路之資料輸入端，響應於上述初期化指示，非揮發性記憶體輸出之救濟資訊係介由上述資料匯流排傳至對應之揮發性記憶電路。

4．如申請專利範圍第3項之半導體積體電路，其中具多數上述揮發性記憶體，各揮發性記憶體之揮發性記憶電路係連接上述資料匯流排。

5．如申請專利範圍第3項之半導體積體電路，其中上述非揮發性記憶體，係響應對半導體積體電路之初期化指示而從非揮發性記憶格將上述救濟資訊分成多數週期依序讀出並輸出之，

上述揮發性記憶電路，係共通連接於上述資料匯流排

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

之信號，於救濟資訊之上述每一讀出週期依序對資料匯流排進行閃鎖動作。

6．如申請專利範圍第1項之半導體積體電路，其中上述揮發性記憶電路係響應對半導體積體電路之初期化指示之重置信號之第1狀態將上述非揮發性記憶體輸出之上述救濟資訊閃鎖，中央處理裝置係響應上述重置信號之由第1狀態變化為第2狀態而開始重置例外處理。

7．如申請專利範圍第1項之半導體積體電路，其中具有響應對半導體積體電路之初期化指示之重置信號之第1狀態而被初期化的時脈控制電路，該時脈控制電路係響應上述重置信號之由第1狀態變化為第2狀態而將來自上述非揮發性記憶體之救濟資訊閃鎖於上述揮發性記憶電路，之後，令中央處理裝置開始重置例外處理。

8．如申請專利範圍第1項之半導體積體電路，其中上述非揮發性記憶體具有：容許對救濟資訊儲存用之非揮發性記憶格更新寫入的動作模式，及抑制該更新寫入的動作模式。

9．如申請專利範圍第8項之半導體積體電路，其中具容許藉由半導體積體電路之外部連接之寫入裝置對上述非揮發性記憶格進行更新寫入的動作模式，及容許依中央處理裝置之命令執行對上述非揮發性記憶格進行更新寫入的動作模式。

10．如申請專利範圍第8項之半導體積體電路，其中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

煩請委員明示
年 月 日所提之
修正

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

上述非揮發性記憶體具儲存診斷程式之非揮發性記憶格，上述診斷程式，係對上述非揮發性記憶體及揮發性記憶體進行不良檢測，令上述中央處理裝置執行將新的不良記憶格救濟用之救濟資訊寫入非揮發性記憶體之救濟資訊儲存用之非揮發性記憶格的處理。

1 1 . 一種半導體積體電路，係在 1 個半導體基板上具共通之資料匯流排的中央處理裝置，及電氣更新寫入可能且可藉上述中央處理裝置存取的非揮發性記憶體，及上述中央處理裝置可存取的揮發性記憶體；其特徵在於：

上述非揮發性記憶體及揮發性記憶體，係分別具資料輸入端連接上述資料匯流排的暫存器裝置，依上述暫存器裝置設定之資訊來決定其一部分之機能者；

上述非揮發性記憶體，係具多數非揮發性記憶格，其一部分設定成記憶初期化資料之非揮發性記憶格，具容許及抑制對初期化資料記憶用非揮發性記憶格之更新寫入的動作模式，並響應對上述半導體積體電路之初期化指示從非揮發性記憶格將上述初期化資料讀出並輸出之，

上述暫存器裝置，係響應對上述半導體積體電路之初期化指示而將來自上述非揮發性記憶體之初期化資料悶鎖。

1 2 . 如申請專利範圍第 1 1 項之半導體積體電路，其中

具有響應對半導體積體電路之初期化指示之重置信號之第 1 狀態而被初期化的時脈控制電路，該時脈控制電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

煩請委員明示
手
目所提之
修正

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

係響應上述重置信號之由第 1 狀態變化為第 2 狀態而輸出能動時序互為偏移之多相之第 1 時序信號，之後，輸出令中央處理裝置開始重置例外處理的第 2 時序信號；

上述非揮發性記憶體，係響應上述多相之第 1 時序信號之能動時序而由非揮發性記憶格將上述初期化資料分成多數週期依序讀出並輸出之，

上述暫存器裝置，係在從非揮發性記憶體讀出上述／初期化資料之每一週期，依序對資料匯流排進行門鎖動作。

1 3 . 如申請專利範圍第 1 1 項之半導體積體電路，其中

上述揮發性記憶體，係將與其對應之上述暫存器裝置所門鎖資訊，用作為以冗長用揮發性記憶格救濟不良之正常揮發性記憶格時之救濟資訊。

1 4 . 如申請專利範圍第 1 1 項之半導體積體電路，其中

上述非揮發性記憶體，係將與其對應之上述暫存器裝置所門鎖資訊，用作為以冗長用非揮發性記憶格救濟不良之正常非揮發性記憶格時之救濟資訊。

1 5 . 如申請專利範圍第 1 1 項之半導體積體電路，其中

上述揮發性記憶體，係具有作為揮發性記憶格之動態型記憶格，將該揮發性記憶體對應之上述暫存器裝置所門鎖資訊用作為界定上述動態型記憶格之再生週期之控制資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

訊。

16. 如申請專利範圍第11項之半導體積體電路，
其中

上述揮發性記憶體，係將其對應之上述暫存器裝置所
門鎖資訊用作為界定內部控制信號之時序的控制資訊。

17. 如申請專利範圍第11項之半導體積體電路，
其中

另具有輸入外部電源電壓並產生內部電源電壓的內部
電壓產生電路，該內部電源電壓具門鎖裝置俾門鎖用於決
定內部電源電壓位準界定用參照電壓的控制資訊，該門鎖
裝置係將由上述非揮發性記憶裝置讀出之初期化資料之一
部分作為控制資訊予以門鎖。

18. 如申請專利範圍第11項之半導體積體電路，
其中

上述非揮發性記憶體係快閃記憶體，一部分之非揮發
性記憶格係用於儲存上述中央處理裝置執行之程式。

19. 如申請專利範圍第11項之半導體積體電路，
其中

上述揮發性記憶體係DRAM，係上述中央處理裝置
之工作記憶體。

20. 如申請專利範圍第11項之半導體積體電路，
其中

上述揮發性記憶體，係由SRAM構成之高速存取用
記憶體。

六、申請專利範圍

2 1 . 一種記憶體模組，係包含有：具多數揮發性記憶格之記憶體陣列，及以揮發性記憶上述記憶體陣列相關之救濟資訊的揮發性記憶電路；其特徵在於：

上述揮發性記憶電路係具有：

可連接形成於半導體積體電路上之資料匯流排的輸入端子；及

用於接受控制信號俾控制對上述揮發性記憶電路之救濟資訊輸入的控制信號輸入端子。

2 2 . 如申請專利範圍第 2 1 項之記憶體模組，其中上述記憶體模組係具多數第 1 揮發性記憶格及第 2 揮發性記憶格，

上述揮發性記憶電路保持之救濟資訊，係可以上述第 2 揮發性記憶格替換上述第 1 揮發性記憶格的資訊。

2 3 . 如申請專利範圍第 2 1 項之記憶體模組，其中上述記憶體模組係動態型記憶體或靜態型記憶體。

2 4 . 如申請專利範圍第 2 2 項之記憶體模組，其中上述記憶體模組另具有：

經由位址匯流排供給位址信號的位址緩衝電路；及

比較供至上述位址緩衝電路之位址信號及儲存於上述揮發性記憶電路之救濟資訊的位址比較電路；

上述位址比較電路係響應供至上述位址緩衝電路之位址信號與儲存於上述揮發性記憶電路之救濟資訊之一致性檢測，取代上述位址信號選擇之上述第 1 揮發性記憶格，而改選擇上述第 2 揮發性記憶格。

六、申請專利範圍

25. 一種資料記憶媒體，係將使用電腦於1個半導體晶片上設計積體電路用之多數資料，記憶成上述電腦讀取可能之資料記憶媒體；其特徵在於：

上述多數資料係包含：

定義具多數非揮發性記憶格之非揮發性記憶體之構成的第1資料；

定義具多數揮發性記憶格之揮發性記憶體之構成的第2資料；及

定義響應特定信號而將上述非揮發性記憶體讀出之資訊，作為定義上述揮發性記憶體特性之資訊予以保持之揮發性記憶電路之構成的第3資料。

26. 如申請專利範圍第25項之資料記憶媒體，其中

上述多數資料包含，保持於上述揮發性記憶電路之資訊與供至上述揮發性記憶體之位址信號比較用的比較電路之構成之定義用的第4資料。

27. 如申請專利範圍第26項之資料記憶媒體，其中

保持於上述揮發性記憶電路之資訊，係表示上述揮發性記憶體中之缺陷位址。

28. 如申請專利範圍第25項之資料記憶媒體，其中

保持於上述揮發性記憶電路之資訊，係定義上述揮發性記憶體之電氣特性的資訊。

六、申請專利範圍

29. 如申請專利範圍第27項或第28項之資料記憶媒體，其中

上述多數資料，係包含定義上述揮發性記憶電路與非揮發性記憶體間連接之匯流排之構成的第5資料。

30. 如申請專利範圍第29項之資料記憶媒體，其中

上述多數資料，係包含定義上述匯流排連接之中央處理裝置之構成的資料。

31. 如申請專利範圍第25至30項中任一項之資料記憶媒體，其中

上述多數資料係分別包含上述電腦可執行之程式。

32. 如申請專利範圍第25至31項中任一項之資料記憶媒體，其中

上述多數資料係分別包含在上述半導體晶片上形成積體電路時使用之掩罩之相關資料。

33. 如申請專利範圍第28項之資料記憶媒體，其中

上述電氣特性係藉微調變化之特性。

34. 一種半導體積體電路，其特徵在於具有：
記憶於記憶格之資料之週期性再生為必要之動態型記憶體，及

電氣寫入及抹除能之非揮發性記憶體；

上述動態型記憶體係具記憶其記憶體陣列之救濟資訊用之第1揮發性記憶電路，

裝

訂

線

上述非揮發性記憶體，係於記憶體陣列記憶供至上述第 1 揮發性記憶電路之第 1 救濟資訊及上述第 1 救濟資訊以外之程式資料。

上述半導體積體電路另具有連接上述第 1 揮發性記憶電路及非揮發性記憶體的資料匯流排；

上述第 1 救濟資訊，係於半導體積體電路之重置期間，經由上述資料匯流排儲存於上述第 1 揮發性記憶電路。

36. 如申請專利範圍第34項之半導體積體電路，
其中

上述非揮發性記憶體係具第2揮發性記憶電路，

上述非揮發性記憶體，係將救濟本身之記憶體陣列用的第2救濟資訊記憶於該記憶體陣列，

上述第 2 救濟資訊，係響應上述重置期間，而被儲存於上述第 2 揮發性記憶電路。

37. 一種半導體積體電路，其特徵在於具有：

包含構成門鎖形態之記憶格的靜態型記憶體，及電氣寫入及抹除能之非揮發性記憶體；

上述靜態型記憶體係具記憶其記憶體陣列之救濟資訊
用之第 1 揮發性記憶電路，

上述非揮發性記憶體，係於記憶體陣列記憶供至上述第 1 揮發性記憶電路之第 1 救濟資訊及上述第 1 救濟資訊以外之程式資料。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

修下奉旨應變又言其子修正

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

38. 如申請專利範圍第37項之半導體積體電路，

其中

上述半導體積體電路另具有連接上述第1揮發性記憶電路及非揮發性記憶體的資料匯流排；

上述救濟資訊，係於半導體積體電路之重置期間，經由上述資料匯流排儲存於上述第1揮發性記憶電路。

39. 如申請專利範圍第37項之半導體積體電路，

其中

上述非揮發性記憶體係具第2揮發性記憶電路，

上述非揮發性記憶體，係將救濟其本身之記憶體陣列用的第2救濟資訊記憶於該記憶體陣列，

上述第2救濟資訊，係響應上述重置期間，而被儲存於上述第2揮發性記憶電路。

40. 一種半導體積體電路之製造方法，係具有：

將具以揮發性記憶救濟資訊之揮發性記憶電路的揮發性記憶體，及具儲存上述救濟資訊用之非揮發性記憶格的非揮發性記憶體，形成於半導體基板以製造半導體積體電路的工程；

檢測上述半導體積體電路以得上述揮發性記憶體之缺陷資訊的第1檢測工程；

依上述第1檢測工程之檢測結果，將應供至上述揮發性記憶電路之第1救濟資訊寫入上述非揮發性記憶格之一部分的工程；

升高上述半導體積體電路之電源電壓至高於一般使用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

煩請委員明示
修正本有無變更實質內容是否准予修正

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

時電壓以執行上述半導體積體電路試驗的預燒工程；

上述預燒工程後，檢測上述半導體積體電路以得上述預燒工程引起之上述揮發性記憶體之缺陷資訊的第2檢測工程；及

依上述第2檢測工程之檢測結果，將應供至上述揮發性記憶電路之第2救濟資訊寫入上述非揮發性記憶格之其他一部分的工程。

4 1 . 一種半導體積體電路之製造方法，係具有：

將中央處理裝置、具以揮發性記憶救濟資訊之揮發性記憶電路的揮發性記憶體、及具儲存上述救濟資訊用之非揮發性記憶格的非揮發性記憶體，形成於半導體基板以製造半導體積體電路的工程；

令上述中央處理裝置執行上述揮發性記憶體之測試程式的測試工程；及

將上述測試工程所得缺陷資訊記憶於上述非揮發性記憶格的工程。

4 2 . 一種記憶體模組，係包含有：

具多數揮發性記憶格之記憶體陣列；

以揮發性記憶上述記憶體陣列相關之救濟資訊的揮發性記憶電路；

經由位址匯流排供給位址信號的位址緩衝電路；及

比較供至上述位址緩衝電路之位址信號及儲存於上述揮發性記憶電路之救濟資訊的位址比較電路；

上述位址比較電路係響應供至上述位址緩衝電路之位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

址信號與儲存於上述揮發性記憶電路之救濟資訊之一致性檢測，取代上述位址信號選擇之上述第 1 揮發性記憶格，而改選擇上述第 2 揮發性記憶格。

4 3 . 如申請專利範圍第 4 2 項之記憶體模組，其中上述記憶體模組係具多數第 1 揮發性記憶格及第 2 揮發性記憶格，

上述揮發性記憶電路保持之救濟資訊，係可以上述第 2 揮發性記憶格替換上述第 1 揮發性記憶格的資訊。

4 4 . 如申請專利範圍第 4 3 項之記憶體模組，其中上述記憶體模組係動態型記憶體或靜態型記憶體。

4 5 . 如申請專利範圍第 4 3 項之記憶體模組，其中上述揮發性記憶電路係具有：

可連接形成於半導體積體電路上之資料匯流排的輸入端子；及

用於接受控制信號俾控制對上述揮發性記憶電路之救濟資訊輸入的控制信號輸入端子。

4 6 . 一種半導體積體電路裝置，係具多數記憶體模組，

各記憶體模組係包含有：

具多數揮發性記憶格之記憶體陣列；

以揮發性記憶上述記憶體陣列相關之救濟資訊的揮發性記憶電路；

經由位址匯流排供給位址信號的位址緩衝電路；及

比較供至上述位址緩衝電路之位址信號及儲存於上述

裝

訂

線

六、申請專利範圍

揮發性記憶電路之救濟資訊的位址比較電路；

上述位址比較電路係響應供至上述位址緩衝電路之位址信號與儲存於上述揮發性記憶電路之救濟資訊之一致性檢測，取代上述位址信號選擇之上述第 1 揮發性記憶格，而改選擇上述第 2 揮發性記憶格；

各記憶體模模組係使用銅配線形成。

47. 一種半導體積體電路，係包含有：

電氣更新寫入可能之多數非揮發性記憶元件；

包含多數之第 1 揮發性記憶格及多數之第 2 揮發性記憶格的揮發性記憶格；及

用於諸存以上述多數之第 2 揮發性記憶格來替換上述多數之第 1 揮發性記憶格之一部分的連接控制資訊之揮發性記憶電路；

上述多數之非揮發性記憶元件，係用於儲存上述連接控制資訊，

上述連接控制資訊，係響應於上述連接控制資訊之讀出設定動作之指示，而由上述非揮發性記憶元件讀出上述連接控制資訊，

上述揮發性記憶電路，係響應於上述讀出設定動作之指示，而將由上述非揮發性記憶體所讀出之上述連接控制資訊予以門鎖。

48. 一種半導體積體電路，係包含有：

中央處理裝置；

電氣更新寫入可能之多數非揮發性記憶元件；

六、申請專利範圍

可由上述中央處理裝置予以存取，且包含多數之正常揮發性記憶格及多數之冗長揮發性記憶格的揮發性記憶格；及

用於諸存以上述冗長揮發性記憶格來替換上述正常揮發性記憶格之一部分的救濟資訊之揮發性記憶電路；

上述多數之非揮發性記憶元件，係用於儲存上述救濟資訊，

上述救濟資訊，係響應於對上述半導體積體電路之初期化之指示，而由上述非揮發性記憶元件被讀出，

上述揮發性記憶電路，係響應於對上述半導體積體電路之初期化之指示，而將由上述非揮發性記憶元件所讀出之上述救濟資訊予以閃鎖。

49．如申請專利範圍第48項之半導體積體電路，其中

上述揮發性記憶電路，係具有共通連接於資料匯流排之資料輸入端子，該資料匯流排為上述中央處理裝置及上述揮發性記憶體之資料輸出入端子之連接處之資料匯流排，

應由上述非揮發性記憶元件讀出之上述救濟資訊，係響應於對上述半導體積體電路之初期化之指示，介由上述資料匯流排被傳送至上述揮發性記憶電路。

50．如申請專利範圍第49項之半導體積體電路，其中

上述揮發性記憶電路，係響應於上述半導體積體電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

之初期化指示對應之重置信號之第 1 狀態，而將上述非揮發性記憶元件所輸出之上述救濟資訊予以門鎖，

上述中央處理裝置，則響應於上述重置信號之由上述第 1 狀態變化為第 2 狀態而開始重置例外處理。

5 1 . 如申請專利範圍第 4 9 項之半導體積體電路，其中

另具有響應於對上述半導體積體電路之初期化指示的重置信號之第 1 狀態而被施予初期化的時脈控制電路，

上述時脈控制電路，係響應於上述重置信號之由上述第 1 狀態變化為第 2 狀態，將來自上述非揮發性記憶元件之上述救濟資訊門鎖於上述揮發性記憶電路之後，令上述中央處理裝置開始重置例外處理。

5 2 . 如申請專利範圍第 4 7 項之半導體積體電路，其中

上述非揮發性記憶元件，係具有：

容許對救濟資訊儲存用之非揮發性記憶格進行更新寫入的動作模態，及

停止該更新寫入的動作模態。

5 3 . 如申請專利範圍第 4 8 項之半導體積體電路，其中

上述半導體積體電路，係具有：

容許由上述半導體積體電路之外所連接之寫入裝置，對上述非揮發性記憶元件進行更新寫入的動作模態，及

容許依上述中央處理裝置之指令執行而對上述非揮發

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

煩請委員明示
修正本頁有無變更
之處及不
予修正之
理由

經濟部智慧財產局員工消費合作社印製

性記憶元件進行更新寫入的動作模態。

對記憶格所記憶之資料需施予週期性再生的動態型記憶體；

用於記憶上述動態型記憶體之救濟資訊的揮發性記憶電路；

上述非揮發性記憶元件，係用於記憶應供至上述揮發性記憶電路之上述救濟資訊。

另具有連接上述揮發性記憶電路與上述非揮發性記憶元件之信號線，

上述救濟資訊，係響應於上述半導體積體電路之電源投入，介由上述信號線而被儲存於上述揮發性記憶電路。

包含以閂鎖形態構成之記憶格的靜態型記憶體；

電氣寫入及抹除爲可能之非揮發性記憶元件；及

用於記憶上述靜態型記憶體之救濟資訊的揮發性記憶電路；

上述靜態型記憶體，係另具有位址緩衝電路，及用於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

煩請委員明示

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

比較上述位址緩衝電路之輸出與上述揮發性記憶電路之輸出的比較電路，

上述非揮發性記憶元件，係用於記憶應供至上述揮發性記憶電路之上述救濟資訊。

57. 如申請專利範圍第56項之半導體積體電路，其中

另具有連接上述揮發性記憶電路與上述非揮發性記憶元件之信號線，

上述救濟資訊，係響應於上述半導體積體電路之電源投入，介由上述信號線而被儲存於上述揮發性記憶電路。

58. 一種半導體積體電路，係形成於半導體基板上之半導體積體電路裝置，其包含有：

用於接受第1及第2外部電壓，並產生內部電源電壓的降壓電路；

連接於上述降壓電路，用於儲存上述內部電源電壓之電壓位準之調整用資訊的揮發性記憶電路；

用於接受上述第1及第2外部電壓，並由上述半導體積體電路裝置之外部進行資料輸入或對上述半導體積體電路裝置之外部進行資料輸出的輸出入電路；

接受上述內部電源電位及上述第2外部電壓，於上述內部電源電位與上述第2外部電壓之間動作的中央處理裝置；及

儲存上述資訊之電氣寫入可能的非揮發性記憶元件；

上述電氣寫入可能之非揮發性記憶元件所儲存之資訊

六、申請專利範圍

，係響應於上述半導體積體電路之初期化而被讀出，

上述揮發性記憶電路，係用於儲存響應於上述半導體積體電路之初期化，而被由上述電氣寫入可能之非揮發性記憶元件讀出之上述資訊，依此則根據上述資訊而被調整電位位準的內部電源電位被由上述降壓電路供至上述中央處理裝置。

59．如申請專利範圍第58項之半導體積體電路，其中

另包含有連接於上述輸出入電路與上述中央處理裝置之間的資料匯流排。

60．如申請專利範圍第58項之半導體積體電路，其中

上述降壓電路，係具有：

用於產生參考電位的參考電位產生電路；

具有用於接受上述參考電位之第1輸入、第2輸入、及輸出的放大電路；

具有連接於上述放大電路之輸出的閘極，接受上述第1外部電源的源極，及汲極之MOSFET；

連接於上述MOSFET之上述源極與上述第2外部電源之間的多數電阻元件；及

分別具有源／汲極路徑的多數開關MOSFET，該源／汲極路徑係連接於上述放大電路之上述第2輸入與上述多數電阻元件之對應之共通連接部之間；

上述多數開關MOSFET之一，係依上述揮發性記憶電

六、申請專利範圍

路所儲存之上述資訊而被設為動作狀態。

6 1 . 如申請專利範圍第 5 8 項之半導體積體電路，
其中

上述電氣寫入可能之非揮發性記憶元件，係用於對電子進行充電之部分。

6 2 . 如申請專利範圍第 5 8 項之半導體積體電路，
其中

上述電氣寫入可能之非揮發性記憶元件，係具有控制閘極及浮動閘極。

6 3 . 如申請專利範圍第 5 9 項之半導體積體電路，
其中

另包含有：連接於上述資料匯流排，用於接受上述內部電源電壓的靜態型及／或動態型記憶體。

6 4 . 一種半導體積體電路，係形成於半導體基板上之半導體積體電路裝置，其包含有：

用於接受第 1 及第 2 外部電壓，並產生內部電源電壓的降壓電路；

連接於上述降壓電路，用於儲存上述內部電源電壓之電壓位準之調整用資訊的揮發性記憶電路；

用於接受上述第 1 及第 2 外部電壓，並由上述半導體積體電路裝置之外部進行資料輸入或對上述半導體積體電路裝置之外部進行資料輸出的輸出入電路；

接受上述內部電源電位及上述第 2 外部電壓，於上述內部電源電位與上述第 2 外部電壓之間動作，包含有指令

煩請委員明示

9月 日所授之
作于修正

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

具有連接於上述放大電路之輸出的閘極，接受上述第

六、申請專利範圍

1 外部電源的源極，及汲極之 MOSFET；

連接於上述 MOSFET 之上述源極與上述第 2 外部電源之間的多數電阻元件；及

分別具有源／汲極路徑的多數開關 MOSFET，該源／汲極路徑係連接於上述放大電路之上述第 2 輸入與上述多數電阻元件之對應之共通連接部之間；

上述多數開關 MOSFET 之一，係依上述揮發性記憶電路所儲存之上述資訊而被設為動作狀態。

6 7 . 如申請專利範圍第 6 4 項之半導體積體電路，其中

上述電氣寫入可能之非揮發性記憶元件，係用於對電子進行充電之部分。

6 8 . 如申請專利範圍第 6 4 項之半導體積體電路，其中

上述電氣寫入可能之非揮發性記憶元件，係具有控制閘極及浮動閘極。

6 9 . 如申請專利範圍第 6 4 項之半導體積體電路，其中

上述隨機存取記憶體，係包含有靜態型隨機存取記憶體。

(請先閱讀背面之注意事項再填寫本頁)

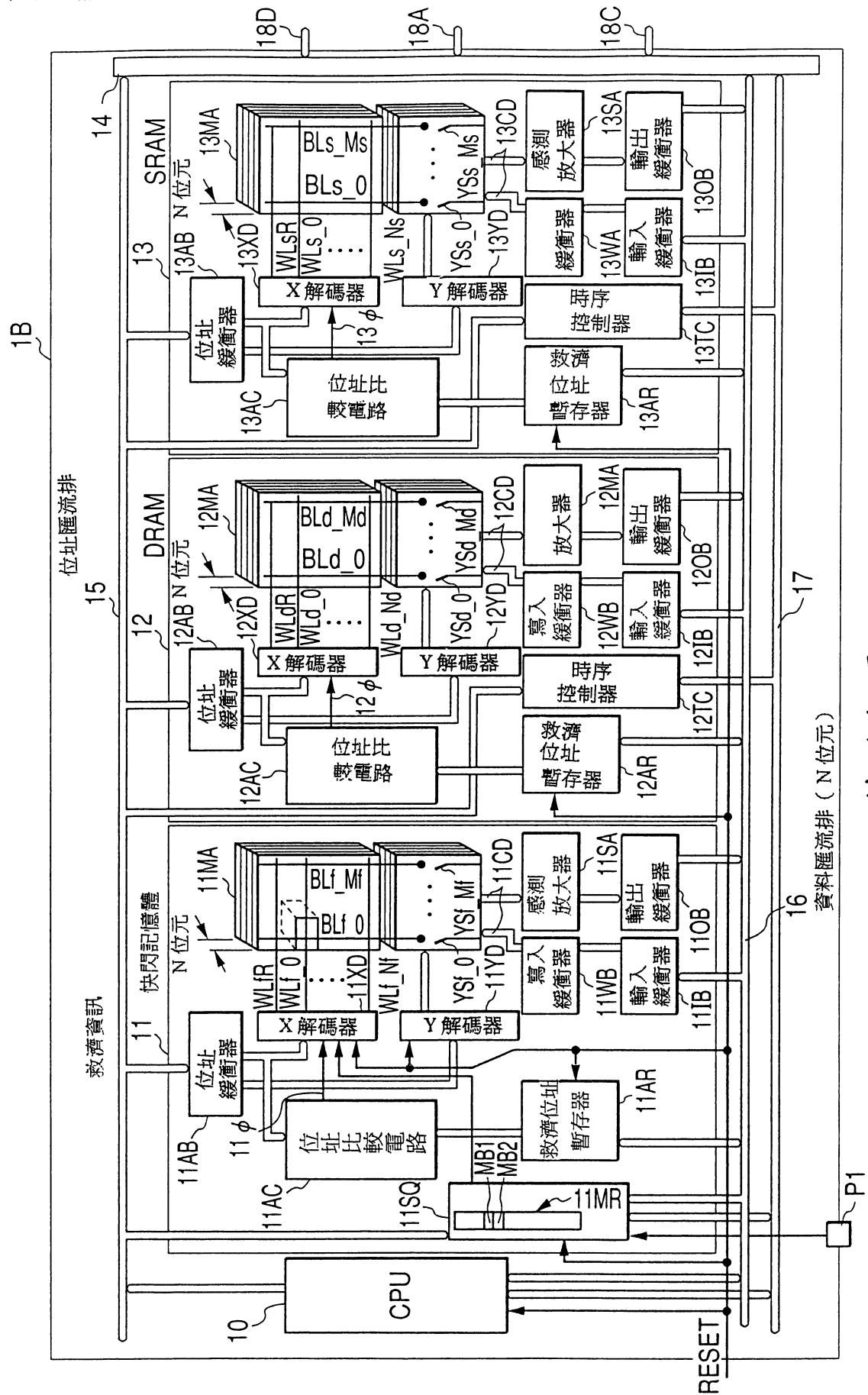
裝

訂

線

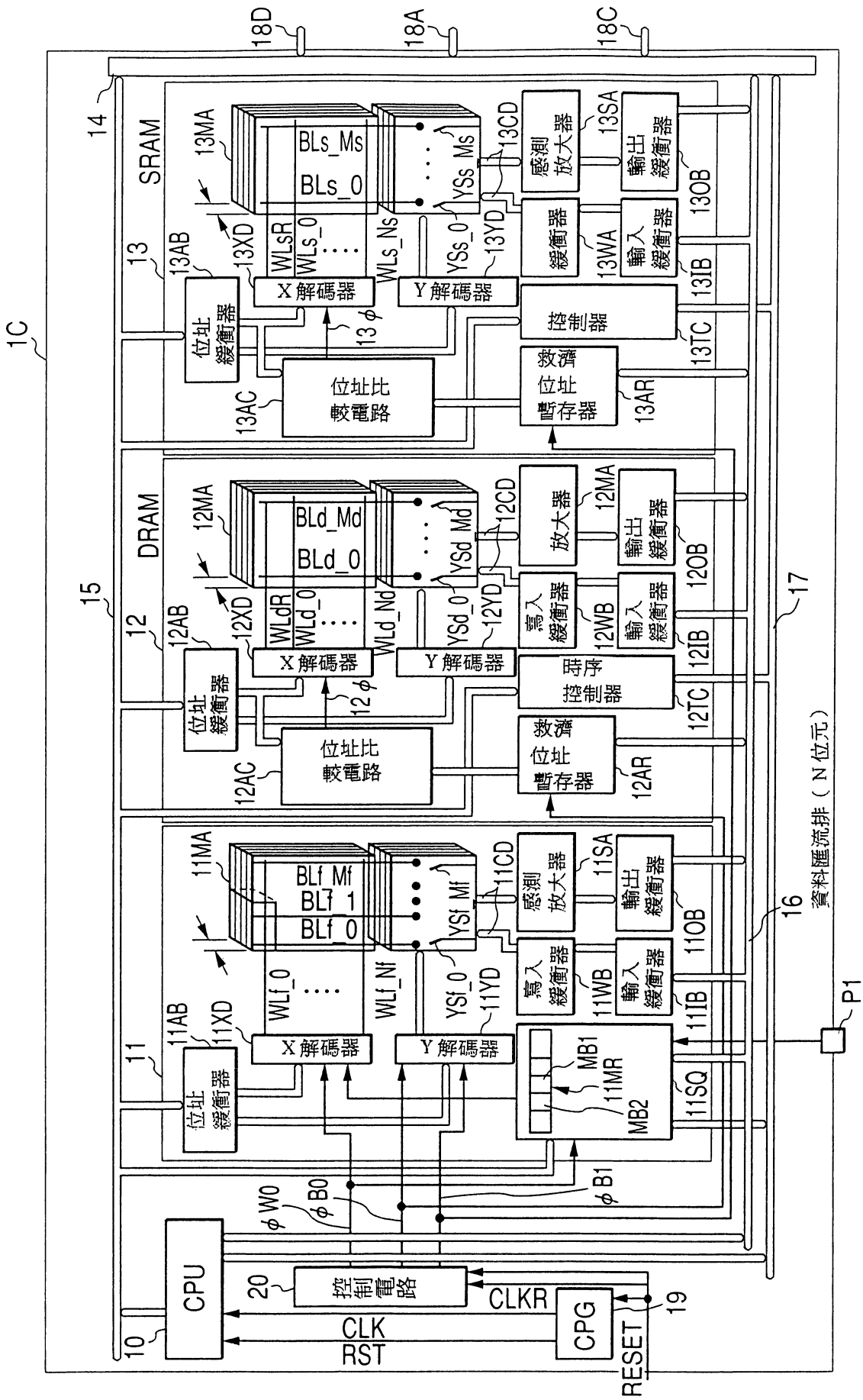
須請委員明示
91.11.5
月
日所提之
准予修正

經濟部智慧財產局員工消費合作社印製



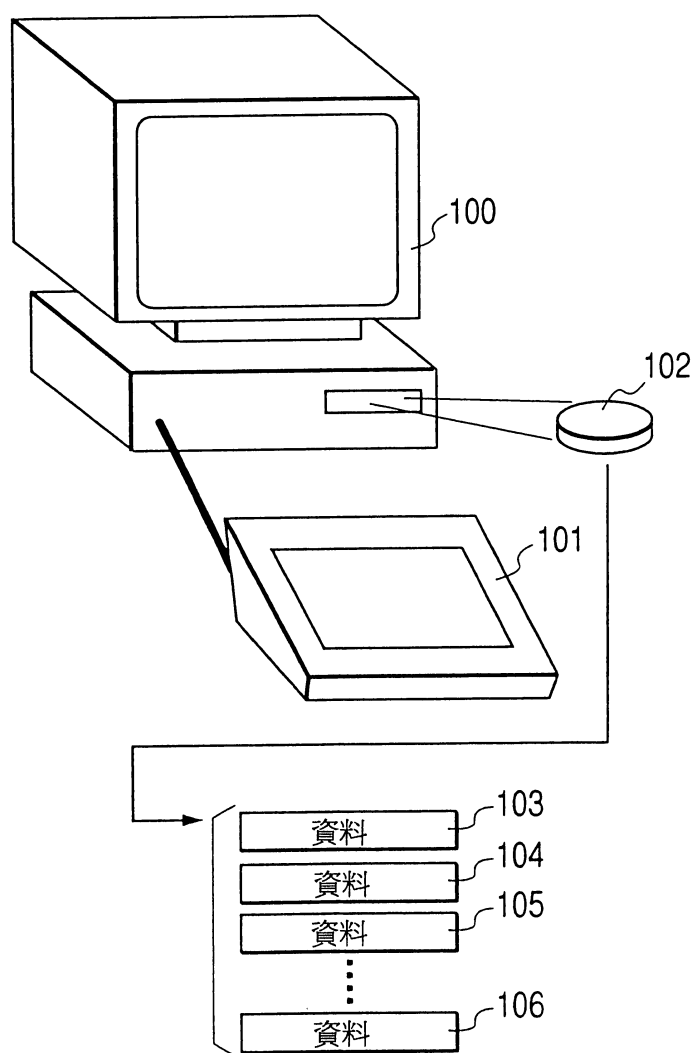
第 14 圖

煩請委員明示
修正本有無必要
年 月 日所提之
修正本准予修正



第 17 圖

煩請委員明示
修正本件無變更實質
內容是否准予修正
年 月 日所提之



第 26 圖