

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-506911

(P2013-506911A)

(43) 公表日 平成25年2月28日(2013.2.28)

(51) Int.Cl. F I テーマコード (参考)  
**G 0 5 B 19/05 (2006.01)** G O 5 B 19/05 S 5 H 2 2 O

審査請求 未請求 予備審査請求 未請求 (全 26 頁)

(21) 出願番号	特願2012-532121 (P2012-532121)	(71) 出願人	390041542 ゼネラル・エレクトリック・カンパニー アメリカ合衆国、ニューヨーク州、スケネ クタディ、リバーロード、1 番
(86) (22) 出願日	平成22年9月20日 (2010. 9. 20)	(74) 代理人	100137545 弁理士 荒川 聡志
(85) 翻訳文提出日	平成24年5月21日 (2012. 5. 21)	(74) 代理人	100105588 弁理士 小倉 博
(86) 国際出願番号	PCT/US2010/049468	(74) 代理人	100129779 弁理士 黒川 俊久
(87) 国際公開番号	W02011/041150	(74) 代理人	100113974 弁理士 田中 拓人
(87) 国際公開日	平成23年4月7日 (2011. 4. 7)		
(31) 優先権主張番号	12/571, 142		
(32) 優先日	平成21年9月30日 (2009. 9. 30)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 多重プロセッサ式のプログラマブルロジックコントローラ及びこれを動作させるための方法

## (57) 【要約】

【課題】実際の要件及び用途を満たすような高い効率を有する改良型の P L C を提供すること。

【解決手段】複数の P L C 機能を有するプログラマブルロジックプロセッサ ( P L C ) を開示する。本 P L C は、複数のプログラムまたはデータの少なくとも 1 つを格納する少なくとも 1 つのメモリと、 P L C 機能の各々に割り当てられると共に該メモリに結合された 1 つまたは複数のプロセッサと、を含む。これらの P L C 機能は並列に動作する。 P L C を動作させる方法並びに複数のプロセッサを備えた P L C システムも開示している。

【選択図】 図 3

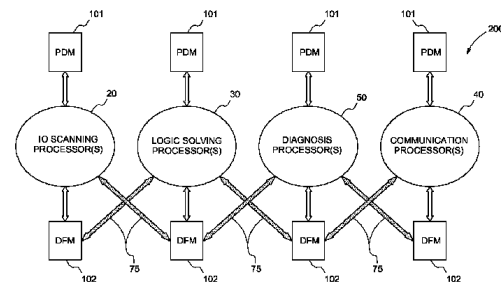


FIG. 3

## 【特許請求の範囲】

## 【請求項 1】

複数の P L C 機能が可能なプログラマブルロジックコントローラ ( P L C ) であって、  
P L C 機能の各々に割り当てられた 1 つまたは複数のプロセッサと、  
前記プロセッサに結合されると共に複数のプログラムまたはデータの少なくとも 1 つを  
格納する少なくとも 1 つのメモリと、を備えており、

P L C 機能のうちの少なくとも 2 つが並列に動作する、プログラマブルロジックコント  
ローラ ( P L C ) 。

## 【請求項 2】

相互の通信を可能にするように P L C 機能の各々に対応するプロセッサを接続している  
複数のチャンネルをさらに備える請求項 1 に記載の P L C 。

10

## 【請求項 3】

前記メモリはその各々が 1 つの P L C 機能と直接関連付けされている複数の第 1 及び第  
2 のメモリを備えていると共に、該第 1 のメモリはプログラム及び中間結果を配置させか  
つ該第 2 のメモリはプロセッサ間の通信中のデータフロー変数を配置させている、請求項  
1 に記載の P L C 。

## 【請求項 4】

第 2 のメモリをその間接的に関連する P L C 機能に対応したプロセッサとそれぞれ接続  
している複数のチャンネルをさらに備える請求項 3 に記載の P L C 。

## 【請求項 5】

前記プロセッサはシンクフェーズとランフェーズを周期的に循環すると共に、P L C 機  
能の各々に対応するプロセッサはシンクフェーズでは互いにデータを交換しかつランフェ  
ーズではメモリ内に格納されたプログラムを実行する、請求項 1 に記載の P L C 。

20

## 【請求項 6】

前記プロセッサは、すべてのプロセッサが対応するプログラムを完了したときにランフ  
ェーズからシンクフェーズに同時に切替わる、請求項 5 に記載の P L C 。

## 【請求項 7】

前記プロセッサは、事前定義の最大時間期間に到達したときにランフェーズからシンク  
フェーズに同時に切替わる、請求項 5 に記載の P L C 。

## 【請求項 8】

前記メモリは、その各々が 1 つの P L C 機能と関連付けされている複数のプログラムメ  
モリと、第 1 のメモリ及び第 2 のメモリを備えた p i n g - p o n g バッファと、を含む  
、請求項 1 に記載の P L C 。

30

## 【請求項 9】

前記プロセッサは、第 1 のメモリ及び第 2 のメモリへのアクセスを交替式に有する I O  
走査プロセッサ及び論理解法プロセッサを含む、請求項 8 に記載の P L C 。

## 【請求項 10】

第 1 のメモリ及び第 2 のメモリをプロセッサとそれぞれ接続していると共にプロセッサ  
による第 1 のメモリまたは第 2 のメモリへのアクセスを制御している 2 つの調停器をさら  
に備える請求項 8 に記載の P L C 。

40

## 【請求項 11】

前記調停器に接続させた保護機構をさらに備えると共に、該保護機構は 2 つ以上のプロ  
セッサが第 1 のメモリまたは第 2 のメモリの同じ 1 つのエリアにアクセスするときに該プ  
ロセッサに対する優先度を設定する、請求項 10 に記載の P L C 。

## 【請求項 12】

前記第 1 のメモリが p i n g バッファでありかつ前記第 2 のメモリが p o n g バッファ  
であると共に、該 p i n g バッファと p o n g バッファは入力データ及び出力データを格  
納するために同様の空間を有する、請求項 8 に記載の P L C 。

## 【請求項 13】

複数の P L C 機能が可能であるような、複数のプログラムまたはデータの少なくとも 1

50

つを格納する少なくとも１つのメモリとＰＬＣ機能の各々に割り当てられると共に該メモリに結合された１つまたは複数のプロセッサとを備えるプログラマブルロジックコントローラ（ＰＬＣ）を動作させる方法であって、

（ａ）ＰＬＣ機能の各々に対応するプロセッサを同時にイニシャライズするステップと、

（ｂ）プロセッサを用いて対応するプログラムを目下の掃引サイクルで実行することによってＰＬＣ機能を並列に動作させるステップと、

（ｃ）目下の掃引サイクルでプロセッサを用いることによって並列にデータを交換するステップと、

（ｄ）次の掃引サイクルにおいてプロセッサをステップ（ｂ）に切替え、プロセッサがそれぞれに要求されたすべてのプログラムを完了するまでステップ（ｂ）、（ｃ）及び（ｄ）を周期的に実行するステップと、

を含む方法。

【請求項１４】

前記メモリはその各々が１つのＰＬＣ機能と関連付けされている複数の第１及び第２のメモリを含むと共に、ステップ（ｂ）の間に生成された中間結果を該第１のメモリ内に配置するステップと、ステップ（ｃ）の間に他のプロセッサからのデータフロー変数を該第２のメモリ内に配置するステップと、をさらに含む請求項１３に記載の方法。

【請求項１５】

ステップ（ｄ）の間において事前定義の最大周期に到達したときに次の掃引サイクルですべてのプロセッサをステップ（ｂ）に同時に切替えている、請求項１３に記載の方法。

【請求項１６】

ステップ（ｄ）の間にすべてのプロセッサが対応するプログラムを目下の掃引サイクルで完了したときに次の掃引サイクルにおいてすべてのプロセッサをステップ（ｂ）に同時に切替えている、請求項１３に記載の方法。

【請求項１７】

その各々が複数のＰＬＣ機能が可能な複数のプログラマブルロジックコントローラ（ＰＬＣ）と、

前記ＰＬＣを接続する複数のシステムリンクと、

前記ＰＬＣを１つまたは複数のデバイスと接続する複数のＩＯモジュールと、を備えるプログラマブルロジックコントローラ（ＰＬＣ）システムであって、各ＰＬＣは、

ＰＬＣ機能の各々に割り当てられた１つまたは複数のプロセッサと、

前記プロセッサに結合されると共に複数のプログラムまたはデータの少なくとも１つを格納する少なくとも１つのメモリと、を備えており、

ＰＬＣ機能のうちの少なくとも２つが並列に動作している、プログラマブルロジックコントローラ（ＰＬＣ）システム。

【請求項１８】

前記システムリンクが低電圧差動信号（ＬＶＤＳ）である、請求項１７に記載のＰＬＣシステム。

【請求項１９】

各ＰＬＣは、相互の通信を可能にするようにＰＬＣ機能の各々に対応するプロセッサを接続している複数のチャンネルを備えている、請求項１７に記載のＰＬＣシステム。

【請求項２０】

前記プロセッサは複数の論理解法プロセッサを含む、請求項１７に記載のＰＬＣシステム。

【請求項２１】

前記メモリはその各々が１つのＰＬＣ機能と関連付けされている複数の第１及び第２のメモリを備えていると共に、該第１のメモリはプログラム及び中間結果を配置させかつ該第２のメモリはプロセッサ間の通信中のデータフロー変数を配置させている、請求項１７に記載のＰＬＣシステム。

10

20

30

40

50

## 【請求項 2 2】

前記第 2 のメモリはさらに、システムリンクを通じて送られるデータをそれぞれ格納するように専用としたシステム入力ドメインとシステム出力ドメインを備えている、請求項 2 1 に記載の P L C システム。

## 【請求項 2 3】

前記メモリは、その各々が 1 つの P L C 機能と関連付けされた複数のプログラムメモリと、第 1 のメモリ並びに入力データ及び出力データを格納するための該第 1 のメモリと同じ空間を有する第 2 のメモリを備えた p i n g - p o n g バッファと、を含む、請求項 1 7 に記載の P L C システム。

## 【請求項 2 4】

前記 p i n g - p o n g バッファは第 1 のメモリ及び第 2 のメモリをプロセッサとそれぞれ接続している 2 つの調停器を備えており、かつ該調停器はプロセッサによる第 1 のメモリまたは第 2 のメモリへのアクセスを制御している、請求項 2 3 に記載の P L C システム。

## 【発明の詳細な説明】

## 【技術分野】

## 【0 0 0 1】

本発明は全般的にはプログラマブルロジックコントローラ ( P L C ) に関し、またより詳細には多重プロセッサ式の P L C 及び多重プロセッサ式 P L C を動作させるための方法に関する。

## 【背景技術】

## 【0 0 0 2】

プログラマブルロジックコントローラは、論理制御、シーケンス制御、運動制御、プロセス制御、分散システム制御、その他のために様々な工業分野で広く用いられている。プログラマブルロジックコントローラ ( P L C ) は一般に、1 つまたは複数のプロセッサと、メモリと、デバイスに結合させた複数の入力 / 出力 ( I O ) モジュールと、を有する。このプロセッサは P L C の心臓部であり、入力走査、論理解法 ( l o g i c s o l v i n g ) 、出力走査などの多くの P L C 機能を担っている。さらに、各 P L C 機能と関連付けされた複数のプロセッサを存在させることがあることに留意されたい。したがって、適当なプロセッサを選択することが高いパフォーマンスをもつ P L C の実現に役立つ。

## 【0 0 0 3】

掃引サイクルの持続時間と論理解法の速度は、P L C の効率計測に用いられる 2 つの典型的なパラメータである。図 1 は、従来の P L C 1 0 0 の掃引サイクルを模式図で表している。P L C 1 0 0 は典型的には、入力走査、論理解法及び出力走査などの複数の P L C 機能を含む。入力走査、論理解法及び出力走査以外に、その用途に応じて別の P L C 機能を含めることもある。P L C 機能はすべて、その各機能を全部処理した後に別の機能に進むような直列的シーケンスで実行されるのが典型的である。したがって後続の未処理の P L C 機能は、直前の機能が終了するまで待機段階またはキュー状態のままである。したがって、総掃引サイクルの持続時間 6 は、P L C 機能の個々のすべてのサイクルタイムの持続時間 1、2、3、4 及び 5 とそれぞれのサイクルタイムの中間にあるすべての時間 7 との和である。個々の P L C 機能を直列で処理するため、P L C の効率が低下することになる。

## 【先行技術文献】

## 【特許文献】

## 【0 0 0 4】

【特許文献 1】米国特許第 R E 3 6 2 6 3 E 号

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0 0 0 5】

したがって、実際の要件及び用途を満たすような高い効率を有する改良型の P L C が必

10

20

30

40

50

要とされている。

【課題を解決するための手段】

【0006】

本発明の一態様では、複数のＰＬＣ機能が可能なプログラマブルロジックプロセッサ（ＰＬＣ）を提供する。本ＰＬＣは、ＰＬＣ機能の各々に割り当てられた１つまたは複数のプロセッサと、該プロセッサに結合されると共に複数のプログラムまたはデータの少なくとも１つを格納する少なくとも１つのメモリと、を備える。このＰＬＣ機能のうちの少なくとも２つは並列に動作する。

【0007】

本発明の別の態様では、複数のＰＬＣ機能を有するＰＬＣを動作させる方法を提供する。このＰＬＣは、複数のプログラムまたはデータの少なくとも１つを格納する少なくとも１つのメモリと、ＰＬＣ機能の各々に割り当てられると共にメモリに結合された１つまたは複数のプロセッサと、を備える。本方法は、（ａ）ＰＬＣ機能の各々に対応するプロセッサを同時にイニシャライズするステップと、（ｂ）プロセッサを用いて対応するプログラムを目下の掃引サイクルで実行することによってＰＬＣ機能を並列に動作させるステップと、（ｃ）目下の掃引サイクルでプロセッサを用いることによって並列にデータを交換するステップと、（ｄ）次の掃引サイクルにおいてプロセッサをステップ（ｂ）に切替え、プロセッサがそれぞれに要求されたすべてのプログラムを完了するまでステップ（ｂ）、（ｃ）及び（ｄ）を周期的に実行するステップと、を含む。

【0008】

本発明の別の態様では、ＰＬＣシステムを提供する。本ＰＬＣシステムは、その各々が複数のＰＬＣ機能が可能である複数のプログラマブルロジックコントローラ（ＰＬＣ）と、該ＰＬＣを接続する複数のシステムリンクと、ＰＬＣを１つまたは複数のデバイスと接続する複数のＩＯインタフェースと、を備える。各ＰＬＣは、ＰＬＣ機能の各々に割り当てられた１つまたは複数のプロセッサと、該プロセッサに結合されると共に複数のプログラムまたはデータの少なくとも１つを格納する少なくとも１つのメモリと、を備える。このＰＬＣ機能のうちの少なくとも２つは並列に動作する。

【0009】

これらの利点及び特徴、並びにその他の利点及び特徴は、添付の図面に関連して提供した本発明の好ましい実施形態に関する以下の詳細な説明を読むことによってより理解が深まる。

【図面の簡単な説明】

【0010】

【図１】従来のプログラマブルロジックコントローラ（ＰＬＣ）の掃引サイクルを表したブロック概要図である。

【図２】本発明の一実施形態によるＰＬＣのブロック概要図である。

【図３】図２のＰＬＣのハードウェアアーキテクチャを表したブロック概要図である。

【図４】図３のデータフローメモリ（ＤＦＭ）の構造を表したブロック概要図である。

【図５Ａ】第１のラン・シンクフェーズ切替えフォーマットを利用した図２のＰＬＣのタイミング概要図である。

【図５Ｂ】第２のラン・シンクフェーズ切替えフォーマットを利用した図２のＰＬＣのタイミング概要図である。

【図５Ｃ】第３のラン・シンクフェーズ切替えフォーマットを利用した図２のＰＬＣのタイミング概要図である。

【図６】本発明の別の実施形態によるＰＬＣのデータフローを表したブロック概要図である。

【図７】本発明の別の実施形態によるＰＬＣのデータフローを表したブロック概要図である。

【図８】本発明の別の実施形態によるＰＬＣを動作させる方法を表した流れ図である。

【図９】本発明の別の実施形態によるＰＬＣのハードウェアアーキテクチャを表したブ

10

20

30

40

50

ック概要図である。

【図１０Ａ】フェーズＡにおけるＰＬＣの一種のデータフローを表したブロック概要図である。

【図１０Ｂ】フェーズＢにおけるＰＬＣの一種のデータフローを表したブロック概要図である。

【図１１】本発明の別の実施形態によるＰＬＣシステムのブロック概要図である。

【発明を実施するための形態】

【００１１】

本明細書の以下では本開示の実施形態について添付の図面を参照しながら説明することにする。以下の記載では、不必要な詳細によって本開示が不明瞭になるのを避けるためよく知られた機能や構成については詳細に記載しないものとする。

10

【００１２】

プログラマブルロジックコントローラ（ＰＬＣ）、プログラマブルオートメーションコントローラ（ＰＡＣ）及び分散制御システム（ＤＣＳ）は機能が重複することが知られている。これらの間の境界は益々曖昧になっている。したがって、本明細書で云うＰＬＣという語は、その元の意味に限定するものではなく、ＰＡＣやＤＣＳなど同様の性能や機能を有するすべての装置のことを意味している。

【００１３】

図面で使用する場合の「（複数のこともある）」という後置表現は通常、これにより修飾した用語に関して単数と複数の両方を含むこと、したがって当該用語の１つまたは複数を含むことを意図している。

20

【００１４】

本発明の一実施形態によるプログラマブルロジックコントローラ（ＰＬＣ）２００を図２に示している。ＰＬＣ２００は、データの収集、運動の制御、その他を行うためのセンサや駆動用アクチュエータなどのデバイス７０とでデータを交換する。ＰＬＣ２００は典型的には、１つまたは複数のプロセッサと、該プロセッサに結合された少なくとも１つのメモリ１０と、を有する。メモリ１０は典型的には、複数のプログラム、中間結果及び関連するデータを格納している。この実施形態によるプロセッサは、その各々が１つのＰＬＣ機能を実行しているＩＯ走査プロセッサ２０、論理解法プロセッサ３０、通信プロセッサ４０及び診断プロセッサ５０を含む。各プロセッサ２０、３０、４０、５０の内部には、並列に動作させることもある１つまたは複数のプロセッサを存在させることがある。プロセッサ２０、３０、４０、５０は、多くのプロセッサを包含する１つまたは複数のプロセッサアセンブリの一部とすることが可能である。

30

【００１５】

本発明は何らかの特定のプロセッサに限定されないことに留意すべきである。「プロセッサ」という用語はこれを本明細書で用いる場合、プログラムの実行が可能な任意のユニット、モジュール、マシン及び別の形態を示すように意図している。用語「プロセッサ」は、出力を生成するための定められた規則に従って入力を受け取りかつ該入力を処理することが可能な任意のユニット、モジュール、マシン及び別の形態を示すように意図していることは当業者であれば理解されよう。

40

【００１６】

ＰＬＣ２００はさらに、プロセッサを一体に連結させてこれらによる互いの通信を可能にしている複数のチャンネルを含む。幾つかの実施形態では、チャンネルを利用しないことがある。プロセッサ２０、３０、４０、５０は、並列に動作しＰＬＣの効率を大幅に高めるようにして対応するＰＬＣ機能を遂行する。

【００１７】

再度図２を見ると、ＩＯ走査プロセッサ２０は、入力モジュール及び出力モジュールを有する１つまたは複数の入力／出力（ＩＯ）モジュール６０を介して１つまたは複数のデバイス７０と接続させている。ＩＯ走査プロセッサ２０は、入力データの収集または出力データの送出的ためにデバイス７０または関連するプロセッサを走査する。幾つかの実施

50

形態ではその I O 走査プロセッサ 20 を入力走査プロセッサと出力走査プロセッサで置き換えている。論理解法プロセッサ 30 は、その結果が I O 走査プロセッサ 20、診断プロセッサ 50 または通信プロセッサ 40 に送られる論理計算を実行する。通信プロセッサ 40 は、低電圧差動信号 (LVDS) などのシステムリンクを介してヒューマンマシンインタフェース (HMI) 80 と接続させている。通信プロセッサ 40 は、他のプロセッサとデータを交換すると共に、HMI 80 から要求を受け取る。HMI 80 はまた、ホストコンピュータ、MMI (マンマシンインタフェース) 及び GUI (グラフィカルユーザインタフェース) とも呼ばれる。通信プロセッサ 40 はまた、システムリンクを介して別の PLC を経由して HMI 80 と通信する。診断プロセッサ 50 は、PLC ハードウェアのルーチンチェックを実行すると共に、メモリ 10 内のフォールトテーブル (fault table) をメンテナンスする。

10

#### 【0018】

図 3 は、一実施形態による図 2 の PLC 200 のハードウェアアーキテクチャを表している。メモリ 10 は、それぞれがプログラムとローカルのデータメモリ (PDM) 101 及びデータフローメモリ (DFM) 102 により実現される複数のメモリ区画を有する。プロセッサ 20、30、40 及び 50 の各々は、1 つの付属の PDM 101 と、直接付属の 1 つの DFM 102 (ローカル DFM) と、間接付属の 3 つの DFM (外部 DFM) と、を有する。PDM 101 は、システムプログラムまたはユーザプログラムを格納するためのプログラムメモリと、中間結果を格納するためのローカルデータメモリと、に分割される。DFM 102 は、データフロー変数の集積体である。データフロー変数は、データ値と、該データ値の有無を指示する 1 つの付属のタグと、を有する。

20

#### 【0019】

図 3 はさらに、4 つのプロセッサ 20、30、40 及び 50 と PDM 101 と DFM 102 との間の関係を表している、ただし 4 つのプロセッサ 20、30、40 及び 50 とこれらの外部 DFM 102 との間の接続はその全部を図示していない。プロセッサ 20、30、40 及び 50 の各々は、その付属の PDM 101 及びそのローカル DFM 102 に対するフルアクセスを有する。その外部 DFM 102 内に格納されたデータフロー変数が望ましいとき、プロセッサ 20、30、40 及び 50 は事前定義のプロセッサ間通信プロトコルに準拠したチャンネル 75 を介して 45 度の矢印により示したような間接アプローチをとる。チャンネル 75 は、幾つかの信号またはマルチポートメモリ、ping-pong バッファまたは先入れ先出し (FIFO) などの共有メモリによって実現させることがある。この実施形態ではその FIFO は、プロセッサをリンクさせるために採用される。

30

#### 【0020】

図 2 及び 3 に関連して図 4 を見ると、データフロー変数用の空間を提供する DFM 102 は、異なるタイプの格納済みデータ値に従って、入力ドメイン 103、出力ドメイン 104、中間ドメイン 105、システム入力ドメイン 106 及びシステム出力ドメイン 107 などの幾つかのドメインに分離させている。入力ドメイン 103 は、入力モジュールを介したデバイス 70 からの入力データを格納するためのものである。出力ドメイン 104 は、出力データを格納するためのものである。中間ドメイン 105 は、そのローカル PLC のローカルまたは中間データを格納するためのものである。システム入力ドメイン 106 は、システムリンクを通したその他の PLC や HMI 80 からの入力データを格納するためのものである。システム出力ドメイン 107 は、システムリンクを通したその他の PLC に対する出力データを格納するためのものである。少なくとも 1 つの DFM はさらに、データを格納するための 1 つのドメイン (図示せず) を含む。例えば、I O 走査プロセッサ 20 のローカル DFM 102 は入力ドメイン 103 及び出力ドメイン 104 を有しており、また通信プロセッサ 40 のローカル DFM 102 はシステム入力ドメイン 106 及びシステム出力ドメイン 107 を有している。幾つかの実施形態では、1 つのドメインがプロセッサ 20、30、40 及び 50 内に分散させた小さいドメインからなる一群となっている。

40

#### 【0021】

50

この実施形態では、P L C 2 0 0 のすべてのプロセッサ 2 0、3 0、4 0 及び 5 0 は、掃引サイクルが従来の P L C より短くなるように並列に動作している。掃引サイクルは典型的には、シンク ( s y n c h ) フェーズとラン ( r u n ) フェーズとからなる。シンクフェーズでは、すべてのプロセッサ 2 0、3 0、4 0 及び 5 0 がその送り先にデータを送ると共に他のプロセッサからデータを受け取っている。P L C 内のプログラムは、典型的には周期的であり、またデータフロー方向及びデータパケットサイズがシステム構成において用途要件に従って決定されるように事前決定されている。ランフェーズでは、すべてのプロセッサ 2 0、3 0、4 0 及び 5 0 が対応するプログラムを実行しその P L C 機能を遂行している。ランフェーズの間において、幾つかの中間結果が生成されかつ関連する P D M 1 0 1 内に配置される一方、D F M 1 0 2 は更新される。この実施形態では、1 つの掃引サイクルの持続時間は論理解法プロセッサ 3 0 により実行されるのが典型的である最大 P L C 機能によって決定される。

10

#### 【 0 0 2 2 】

プロセッサ 2 0、3 0、4 0 及び 5 0 は一実施形態では、本明細書に記載した 1 つのシンク - ラン切替えフォーマットと 3 つのラン - シンク切替えフォーマットのいずれかとに準拠してシンクフェーズとランフェーズの間で切り替わっている。シンク - ラン切替えフォーマットとは、プロセッサ 2 0、3 0、4 0 及び 5 0 がすべてのデータを送りかつそれが要求したデータを受け取ったときにシンクフェーズからランフェーズに個々に切替わるものである。第 1 のラン - シンク切替えフォーマットではプロセッサ 2 0、3 0、4 0 及び 5 0 は、その対応するプログラムを完了したときにランフェーズからシンクフェーズに個々に切替わる。第 2 のラン - シンク切替えフォーマットではプロセッサ 2 0、3 0、4 0 及び 5 0 は、事前定義の最大実行周期 ( T \_ m a x ) に到達したときにランフェーズからシンクフェーズに同時に切替わる。第 3 のラン - シンク切替えフォーマットではプロセッサ 2 0、3 0、4 0 及び 5 0 は、すべてのプロセッサ 2 0、3 0、4 0 及び 5 0 がその対応するプログラムを完了したときにランフェーズからシンクフェーズに同時に切替わる。

20

#### 【 0 0 2 3 】

図 5 A は、第 1 のラン - シンクフェーズ切替えフォーマットを採用している図 3 の P L C 2 0 0 の掃引サイクルを表している。プロセッサ 2 0、3 0、4 0 及び 5 0 の処理速度やプロセッサからの / プロセッサへのデータパケットの数は異なることがあるため、シンクフェーズからランフェーズへの切替え点は完全には一致しないことがあり得る。すべてのプロセッサ 2 0、3 0、4 0 及び 5 0 はその個々の掃引サイクル内において並列に動作すると共に、その個々の切替えはそれぞれの P L C 機能の完了時点で生じる。この例ではそのサイクルタイムを、最長のプロセッサ機能の個々のサイクルタイムの完了に関する時間と見なすことが可能である。第 1 のラン - シンクフェーズ切替えフォーマットは実現が簡単であるため、最も効率のよい P L C が実現される。

30

#### 【 0 0 2 4 】

図 5 B は、第 2 のラン - シンクフェーズ切替えフォーマットを採用している図 3 の P L C 2 0 0 の掃引サイクルを表している。この場合では、プロセッサ 2 0、3 0、4 0 及び 5 0 が処理を実行し、事前定義の時間期間 T \_ m a x 後にあるいは目下のサイクル中のすべてのタスクの完了後に次のサイクルが始まる。事前定義の時間期間 T \_ m a x は、P L C 処理のすべてが次のサイクルの前に完了するように導出したシミュレーションまたは実験により決定することが可能である。典型的には、個々の P L C 機能のサイクルタイムと事前定義の時間期間 T \_ m a x の間にはわずかな遅延が存在する。このわずかな遅延は典型的には、個々の P L C 機能の最長処理時間に関する典型的な時間または平均的な時間の厳格な余裕域内に来るように計算される。大部分の用途では、論理解法機能を最高の優先度で配置させている。T \_ m a x は、その他の機能がエンドレスに実行されるのを回避するための最大掃引時間が最大で T \_ m a x であることを示す場合がある。例えば通信プロセッサ 4 0 が膨大な量のデータを要求する場合、ランフェーズが非常に長くなる可能性がある。こうした状況下においていずれかの機能が T \_ m a x に違反したとき、警告または

40

50



フォールトを発生させることになる。

【 0 0 2 5 】

図 5 C は、第 3 のラン - シンクフェーズ切替えフォーマットを採用している図 3 の P L C 2 0 0 の掃引サイクルを表している。この実施形態ではプロセッサ 2 0、3 0、4 0 及び 5 0 は個々の P L C 処理時間が終了したときにランフェーズからシンクフェーズに同時に切替わる。この例では、論理解法プロセッサ 2 0 が最長のサイクルタイムである。この実施形態では、プロセッサ 2 0、3 0、4 0 及び 5 0 の中の 1 つの掃引サイクルの持続時間が最大実行周期となる。これに対して、従来の P L C の 1 つの掃引サイクルの持続時間はすべてのプロセッサに関する和であるため、本発明により高い効率が達成される。さらに、P L C 機能の数を増大または低減することによって本実施形態に関する多くの代替形態が存在する。本明細書に示したように、大部分の用途において論理解法機能を最高の優先度で配置させている。第 3 のラン - シンクフェーズ切替えフォーマットは一般に、論理解法機能の処理時間が他の P L C 機能ほど短くないと事前推定されるときに用いられる。

10

【 0 0 2 6 】

本システムの並列実行についての理解を向上させるために、ここでデータフローモデルに関する幾つかの例について記載することにする。図 6 を参照すると、2 つのプロセッサ（すなわち、I O 走査プロセッサと論理解法プロセッサ）を有する P L C 3 0 0 を例として取り上げている。P L C 3 0 0 は、I O 走査プロセッサ 3 0 1、論理解法プロセッサ 3 0 2 及びメモリを有する。この実施形態におけるメモリは、その各々が I O 走査プロセッサ 3 0 1 及び論理解法プロセッサ 3 0 2 のそれぞれに関連付けされた P D M 3 0 3 及び 3 0 4 と D F M 3 0 5 及び 3 0 6 とを含む。I O 走査プロセッサ 3 0 1 と論理解法プロセッサ 3 0 2 は複数の F I F O 3 1 0 などの複数のチャンネルによって一体に接続されている。幾つかの実施形態では、F I F O 3 1 0 を別のタイプのチャンネルによって置き換えている。

20

【 0 0 2 7 】

記号「i n \_ i o」と「o u t \_ l o g i c」は、I O 走査プロセッサ 3 0 1 と論理解法プロセッサ 3 0 2 によってそれぞれに生成される中間結果を示している。様々な矢印はデータフローの方向を意味している。本明細書には、R 1、R 2、R 3、R 4 及び R 5 で表現した 5 つのルートに記載している。

【 0 0 2 8 】

R 1 は、I O 走査プロセッサ 3 0 1 が入力モジュール 3 0 7 を介してデバイスからデータを受け取り、中間結果 i n \_ i o を生成することを示している。R 2 は、中間結果 i n \_ i o がデータフロー変数の形態で D F M 3 0 6 に送られてその中に配置されることを示している。データフロー変数は、タグとデータ値を有する。タグは一般に、整数の形態で出現する。タグがゼロを示した場合、論理解法プロセッサ 3 0 2 は対応する D F M 3 0 6 内のデータフロー変数にアクセスすることができない。D F M 3 0 6 内に送られたデータが存在した後に、タグはゼロを超える整数に変更され、これにより論理解法プロセッサ 3 0 2 によるデータフロー変数へのアクセスが許可される。

30

【 0 0 2 9 】

R 3 は、論理解法プロセッサ 3 0 2 が D F M 3 0 6 内のデータフロー変数を用いてユーザプログラムを実行し、中間結果 o u t \_ l o g i c を生成し次いでこれに対応する P D M 3 0 4 内に配置させることを示している。R 4 は、中間結果 o u t \_ l o g i c が I O 走査プロセッサ 3 0 1 に送られ、次いで F I F O 3 1 0 を介して D F M 3 0 5 内に配置されることを示している。R 5 は、I O 走査プロセッサ 3 0 1 が D F M 3 0 5 内のデータフロー変数を出力モジュール 3 0 8 に送ることを示している。

40

【 0 0 3 0 】

この実施形態では、I O 走査プロセッサ 3 0 1 を論理解法プロセッサ 3 0 2 と接続させるために F I F O 3 1 0 が用いられる。幾つかの実施形態では、プロセッサを外部 D F M と接続させるために F I F O 3 1 0 などのチャンネルが用いられる。図 6 からの P L C 3 0 0 における R 2 を例にとると、この実施形態では I O 走査プロセッサ 3 0 1 は、F I F

50

0310から中間結果 `in__io` を収集し、次いでこの中間結果 `in__io` を DFM305に配置させている。幾つかの実施形態ではその FIF0310は、IO走査プロセッサ301ではなく論理解法プロセッサ302をDFM305と接続させている。このため、中間結果 `in__io` が FIF0310を介してDFM305に直接配置されるため、IO走査プロセッサ301が飛び越されることになる。さらにR4をR2と同じ方式を適用して実現させることがあることに留意されたい。

#### 【0031】

この5つのルートは、2つのフェーズに整理される。2つのフェーズに関する上述の定義によれば、シンクフェーズにおいてルートR2及びR4が並列に実行され、またランフェーズにおいてルートR1、R3及びR5が並列に実行される。図6のデータフローモデルは、PLC機能を効率よく支援しており、IO走査プロセッサ301及び論理解法プロセッサ302によってIO走査と論理解法が並列に動作する。

#### 【0032】

図7を参照するとPLC400は、図6からのPLC300のものと同様の配列を有するが、システムリンク411を介してPLC400をHMI407と接続させている通信プロセッサ401をさらに含んでいる。図7は、通信プロセッサ401がシンクフェーズ中にプロセッサ301と302の間で如何にしてデータを交換しているかを表している。図7では簡略化するため、図6に示した幾つかのルート並びに通信プロセッサ401とIO走査プロセッサ301の間の接続を無視している。PLC400内におけるメモリは、通信プロセス401と関連付けされたPDM403及びDFM404を含む。記号「`in__comm`」は通信プロセッサ401に対応する中間結果を示している。

#### 【0033】

ルートR2'、R4'及びR6'によってシンクフェーズ内のデータフローを表示している。R2'は、中間結果 `in__io` がDFM306及び404に送られこの中にデータフロー変数の形態で配置されることを示している。R4'は、中間結果 `out__logic` がIO走査プロセッサ301及び通信プロセッサ401に送られ、次いでDFM305及び404内に配置されることを示している。

#### 【0034】

R6'は、中間結果がIO走査プロセッサ301に送られ、次いでDFM306内に配置されることを示している。ランフェーズでは、通信プロセッサ401がHMI407からLVDSなどのシステムリンク411を介して要求を受け取ると共にこの要求をデコードする。同時に、DFM404内のIO走査プロセス301及び/または論理解法プロセス302からのデータがパッキングされてシステムリンク411を介してHMI407に送り出される。その結果、通信プロセッサ401は、IO走査プロセッサ301及び論理解法プロセッサ302を介してデバイスの更新済みデータを周期的に送信している。さらに通信プロセッサ401は、デバイスのステータスを更新するためのHMI407からの要求を絶えず受け取っている。

#### 【0035】

上で述べたように幾つかの実施形態ではFIF0310は、IO走査プロセッサ301ではなく論理解法プロセッサ302をDFM305と接続させており（図6及び7参照）、このため中間結果 `in__io` がDFM305に直接送られる。ここで、R2'、R4'及びR6'が同じ方式で実現可能であることを理解すべきである。

#### 【0036】

DFM404は、その空間が一般に制限されているシステム入力ドメイン及びシステム出力ドメインを有する。事前決定のしきい値にわたって膨大な量のデータをアップロードしなければならないときに、データブロックが発生することがある。したがって幾つかの実施形態では、通信プロセッサ内にスケジューラを設けている。事前決定しきい値にわたって大量のデータをアップロードしようとする場合、スケジューラは、アップロード要求を送出し連続サイクルでのデータのアップロードを可能とさせるようにトリガを受ける。

#### 【0037】

論理解法プロセッサにより実行させるプログラムは、大きくかつ計算集約的となるのが典型的であるユーザプログラムと規定される。論理解法プロセッサの実行によって掃引サイクルが決定される。論理解法プロセッサの処理持続時間を短縮するために、幾つかの実施形態では、ユーザプログラムを協働して実行する複数の論理解法プロセッサによって P L C を構成させている。これらの実施形態ではそのユーザプログラムを、論理解法プロセッサ上で並列に実行される小片からなる群に分割している。この小片からなる群に対して異なる優先度を与えることがある。ユーザプログラムを優先度や適当な別の標準に従って小片に分割するために割り当て器を設けることがある。幾つかの実施形態ではその割り当て器は、P L C のメモリ内に配列させるか、P L C 内の単独の成分として構成される。P L C が 4 つ以上の P L C 機能を有するような幾つかの実施形態におけるデータフローについてはここでは記載していないが、図 6 及び図 7 並びに対応する詳細な導入を参照すれば当業者にはこれが理解できよう。幾つかの実施形態では効率を高めるために、I O 走査、論理解法及び通信のそれぞれを 2 つ以上のプロセッサ上で実行している。

10

#### 【0038】

図 8 は、別の実施形態による P L C を動作させるための方法を表している。この実施形態では P L C は、並列に動作する 4 つの P L C 機能 8 1 0、8 2 0、8 3 0、8 4 0 を有する。各 P L C 機能と関連付けされた 1 つまたは複数のプロセッサを存在させることが可能であることに留意されたい。様々な用途要件に応じて、P L C 機能の数は多くすることも少なくすることも可能である。簡略とするために、P L C 機能（送信器と受信器）の間の細部の接続については図示していない。

20

#### 【0039】

この実施形態では、P L C が開始された後、4 つの P L C 機能 8 1 0、8 2 0、8 3 0、8 4 0 の並列処理が始まっており、また一実施形態ではそのハードウェアは、図 2 からの I O 走査プロセッサ 2 0、論理解法プロセッサ 3 0、診断プロセッサ 5 0 及び通信プロセッサ 4 0 を代表している。本明細書で詳述した切替えフォーマットに従って後続の処理ステップが実行される。P L C 機能内のステップの数並びに P L C 機能に関するサイクルタイムは可変とすることが可能であるが、P L C 機能の処理は並列に実行される。

#### 【0040】

再度図 8 及び図 2 に示した構成を参照するとまず、P L C が開始されると共に、各 P L C 機能に関するそれぞれのプロセッサが同時にイニシャライズされる。第 2 にプロセッサ 2 0、3 0、4 0 及び 5 0 は目下の掃引サイクルにおいてランフェーズに入り、その対応する P L C 機能（I O 走査、論理解法、通信及び診断）を実行する。

30

#### 【0041】

ランフェーズでは、I O 走査プロセッサ 2 0 が I O モジュール 6 0 にアクセスするようにシステムプログラムを動作させ、論理解法プロセッサ 3 0 がユーザプログラムを動作させ、通信プロセッサ 4 0 が別の P L C または H M I 8 0 との通信のためにシステムリンクにアクセスするようにシステムプログラムを動作させ、かつ診断プロセッサ 5 0 が診断ルーチンチェックを実現すると共に診断情報を出力するようにシステムプログラムを動作させる。本明細書で示したように、幾つかの切替えフォーマットが存在している。この P L C においてあるシンク - ラン切替えフォーマットを適用する場合、プロセッサ 2 0、3 0、4 0 及び 5 0 はその個々のプログラムを完了させたときにそれぞれにシンクフェーズに切替わる。この P L C において第 2 のラン - シンクフェーズ切替えフォーマットを適用する場合、プロセッサ 2 0、3 0、4 0 及び 5 0 は事前定義の T<sub>max</sub> に到達したときにシンクフェーズに同時に切替わる。この P L C において第 3 のラン - シンクフェーズ切替えフォーマットを適用する場合、プロセッサ 2 0、3 0、4 0 及び 5 0 はすべてのプロセッサがその個々のプログラムを完了したときにシンクフェーズに同時に切替わる。

40

#### 【0042】

処理は継続され、また一実施形態ではプロセッサがシンクフェーズに入る。シンクフェーズでは、すべてのプロセッサが他のプロセッサにデータを送ると共に、他のプロセッサからデータを受け取る。

50

## 【 0 0 4 3 】

P L C は、各プロセッサが自らが要求したものを受け取ったか否か並びに各プロセッサが他のプロセッサが要求したデータを送出したか否か（例えば、データ交換が完了したか？）を周期的にチェックしている。応答がイエスであればプロセッサ 2 0、3 0、4 0 及び 5 0 は、次の掃引サイクルでその個々のプログラムを実行するためにそれぞれランフェーズに戻り、イエスでなければプロセッサ 2 0、3 0、4 0 及び 5 0 の間でのデータの交換を維持することになる。

## 【 0 0 4 4 】

幾つかの実施形態では P L C は、複数の P L C 機能が可能であると共に、共有メモリと該共有メモリに対して複数のチャンネルを介して結合された複数のプロセッサとを有する。異なる用途要件に応じて、P L C 機能の数は多いことや少ないことがある。1つの P L C 機能を1つまたは複数のプロセッサ上で実行することがある。共有メモリは、システムプログラム及びユーザプログラムを含むプログラムを格納するための複数のプログラムメモリ（P M）と、p i n g - p o n g バッファ（P P B）と、を有する。各プロセッサは、1つの P M と関連付けさせている。この P P B は、第 1 のメモリと、入力データ、出力データまたは中間データを格納するために該第 1 のメモリと同様の空間を有する第 2 のメモリと、を有する。

## 【 0 0 4 5 】

幾つかの実施形態では、第 1 のメモリは調停器及び p i n g バッファを含み、また第 2 のメモリは調停器及び p o n g バッファを含む。調停器は、2つ以上のプロセッサが同じメモリ内の1つの同じエリアに同時にアクセスしたときにアクセス結果をテストしかつ決定し、P L C 機能の並列動作を可能にしている。幾つかの実施形態ではその共有メモリは、第 1 及び第 2 のメモリが使用するための1つの共通の調停器を配列させている。

## 【 0 0 4 6 】

図 9 は、別の実施形態による I O 走査プロセッサ 9 0 1 及び論理解法プロセッサ 9 0 2 を有する P L C 9 0 0 を表している。各プロセッサ 9 0 1 または 9 0 2 の内部には、並列に動作し得る1つまたは複数のプロセッサを存在させることがある。プロセッサ 9 0 1 及び 9 0 2 は、多くのプロセッサを包含した1つまたは複数のプロセッサアセンブリの一部とすることが可能である。

## 【 0 0 4 7 】

P L C 9 0 0 は、I O 走査プロセッサ 9 0 1 及び論理解法プロセッサ 9 0 2 のそれぞれに関連付けされた2つの P M 9 0 3 及び 9 0 4 と、第 1 のメモリ 9 0 5 と、第 2 のメモリ 9 0 6 と、を含んだ共有メモリを有する。この実施形態では第 1 のメモリ 9 0 5 は、入力データ、出力データ及び中間結果を格納するための p i n g バッファ 9 0 7 と、p i n g バッファ 9 0 7 へのアクセスを制御するための調停器 9 0 9 と、を有する。第 2 のメモリ 9 0 6 は p o n g バッファ 9 0 8 及び調停器 9 1 0 を有する。p o n g バッファ 9 0 8 は、入力データ、出力データ及び中間データを格納するための p i n g バッファ 9 0 7 と同様の空間を有する。調停器 9 0 9 及び 9 1 0 は、アクセスしようとするデータが異なるアドレスを用いて配置されているがこれらが配置された領域が同じであるときにおけるデータアクセスを許可する。

## 【 0 0 4 8 】

図 1 0 A 及び 1 0 B は、P L C 9 0 0 内でのフェーズ A 及びフェーズ B のそれぞれにおけるある種類のデータフローを表している。P L C 9 0 0 は、フェーズ A 及びフェーズ B においてプログラムを周期的に実行する。1つの掃引サイクル中において、I O 走査プロセッサ 9 0 1 及び論理解法プロセッサ 9 0 2 はその対応するプログラムを並列に実行する（図 1 0 A のフェーズ A 参照）。フェーズ A には4つのデータフロールート（L 1、L 2、L 3 及び L 4）を図示している。I O 走査プロセッサ 9 0 1 はルート L 1 及び L 4 を実行する一方、論理解法プロセッサ 9 0 2 はルート L 2 及び L 3 を実行する。ルート L 1 を通じて p i n g バッファ 9 0 7 の入力領域内に格納される入力データは事前決定の分類に従って異なるアドレスに割り当てられる。I O 走査プロセッサ 9 0 1 及び論理解法プロセ

10

20

30

40

50

ッサ 902 がその目下の対応するプログラムを完了したときまたは事前決定の最大周期に到達したときに、これらは次の掃引サイクルに切替わる（図 10B のフェーズ B 参照）。I/O 走査プロセッサ 901 はルート L1' 及び L4' を実行する一方、論理解法プロセッサ 902 はルート L2' 及び L3' を実行する。I/O 走査プロセッサ 901 及び論理解法プロセッサ 902 はその個々のプログラムを並列で実行することは明らかである。幾つかの特殊な用途ではその I/O 走査プロセッサ 901 及び論理解法プロセッサ 902 は 1 つの同じ領域にアクセスすることがある。ここで PLC 900 内の調停器 909 及び 910 は、アクセス先が同じアドレスにあるか否かをテストするようにトリガを受ける。応答がイエスであれば、調停器は先ず 1 つのアクセスをランダムに選択すると共にそれ以外のアクセスを待機させる。イエスでない場合は、I/O 走査プロセッサ 901 及び論理解法プロセッサ 902 は並列にアクセスすることがある（すなわち、I/O 走査と論理解法という 2 つの PLC 機能が並列に動作を受ける）。

10

#### 【0049】

データの整合性を向上させるために、PLC 900 内に保護システム（図示せず）を設けている。ソフトウェアの観点からすると、保護機構は第 1 または第 2 のメモリ 905 及び 906 内の mutex によって実現される。この mutex は、テスト & 設定動作を提供し、事前定義の標準に従って同じ時間に受けるアクセスに対する優先度を設定する。2 つ以上のプロセッサが ping バッファ 907 または pong バッファ 908 内の同じエリアの同じアドレスに同時にアクセスしたとき、調停器 909 及び 910 は、最も高い優先度をもったアクセスを許可すると共にこれ以外を待機させる。

20

#### 【0050】

図 11 は、本発明の別の実施形態による分散式 PLC システム 1100 を表している。図 11 において「P.」はプロセッサを短縮したものである。分散式 PLC システム 1100 は、HMI 1104 を様々なデバイス 1105、1106 及び 1107 に結合させ、ユーザがデバイス 1105、1106 及び 1107 の動き、処理または別の操作を HMI 1104 を介して自動で制御できるようにするためのものである。この実施形態では分散式 PLC システム 1100 は、3 つのプログラマブルロジックコントローラ（PLC）1101、1102 及び 1103 と、PLC 1101、1102 及び 1103 を互いにあるいは HMI 1104 と接続している複数のシステムリンク 1108 と、PLC 1101、1102 及び 1103 を対応するデバイス 1105、1106 及び 1107 と接続している複数の I/O モジュールと、を有する。PLC 1101、1102 及び 1103 は、異なるデバイスを制御するように割り当てられており、また代替的な一実施形態では、これらを 1 つのデバイス内の異なる部分を制御するように割り当てている。

30

#### 【0051】

各 PLC 1101、1102 または 1103 は、複数の PLC 機能が可能であると共に、システムプログラム及びユーザプログラムを格納するためのメモリと、複数のプロセッサと、を有する。各 PLC 機能は 1 つまたは複数のプロセッサに割り当てられている。幾つかの実施形態ではその PLC 1101、1102 及び 1103 を、その用途に従って上述の実施形態の PLC のいずれかで置き換えている。この実施形態では各 PLC は、I/O 走査プロセッサ、論理解法プロセッサ、通信プロセッサ及び診断プロセッサを含む。各プロセッサの内部には、並列に動作し得る 1 つまたは複数のプロセッサを存在させることがある。これらのプロセッサは、多くのプロセッサを包含した 1 つまたは複数のプロセッサアセンブリの一部とすることが可能である。

40

#### 【0052】

I/O 走査プロセッサは、結合させたデバイス 1105、1106 または 1107 を走査するように対応するシステムプログラムを実行する。論理解法プロセッサは、論理計算を処理するためにユーザプログラムを実行する。通信プロセッサは、対応するシステムプログラムを実行すると共に、システムリンク 1108 と協働して 2 つの PLC の間または 1 つの PLC と HMI 1104 の間に通信を確立している。動作時において診断プロセッサは、対応するシステムプログラムを実行すると共に診断ルーチンチェックを実行して診断

50

結果を生成しこれを他のプロセッサに送っている。

【0053】

各PLC 1101、1102または1103内においてPLC機能を並列に動作させている。各PLCの構成の詳細についてはPLCの上述の実施形態で触れている。図9、10A及び10Bに示したPLCはさらに、PLC機能を並列に動作させるように用いられる。

【0054】

各PLC内の通信プロセッサは、任意の2つのPLCの間または1つのPLCとHMI 1104の間に通信を確立させる役割をする。あるPLCの動作は、他のPLCが要求したデータに依存する場合がある。通信プロセッサは、更新済みデータまたは他のプロセッサからの要求をシステムリンク1108を用いて連続的に送りかつ受け取っている。幾つかの実施形態ではそのメモリは、システムリンク1108を通じて受け取った/送られるデータを配置させるための専用となるようにシステム入力ドメイン及びシステム出力ドメインを有する。この実施形態では、システムリンク1108を低電圧差動信号(LVDS)によって実現している。PLCシステムが大量のデータを転送する場合、工業用のイーサネットプロトコルをここで利用することがある。

【0055】

プログラミングについては、すべてのプログラムが、1つのコンパイラ(図示せず)を用いてHMIやその他のコンピュータ1104を介して分散式PLCシステム600内にプログラムされている。このコンパイラは、ハードウェア及びソフトウェア情報を含む各PLC 1101、1102または1103のすべての情報を記録する。このコンパイラは、各PLC 1101、1102または1103内のプロセッサを指定すると共に、システムリンクを自動的に生成する。先ず各PLCをプログラミングし次いでこれらを互いに接続している従来のプログラミング法と比較して、本発明の構成によればプログラミングがより容易となる。さらにこれによればユーザは、その用途に従って追加のPLCを挿入することによってPLCシステムを容易にスケールアップすることが可能である。

【0056】

PLC内の上述の複数のプロセッサあるいはPLCシステム内のPLCのうちの1つを複数のチップ上に配置させることがある。例えば、複数のプロセッサを有するPLCが2つのチップを含むことがあり、また1つのチップが1つのプロセッサまたは複数のプロセッサを配置させることがある。さらに、整合性パフォーマンスがその用途を満たしているれば、プロセッサのすべてを1つのチップ上に配置させている。

【0057】

本開示を典型的な実施形態について図示し説明してきたが、本開示の精神をいかなる意味でも逸脱することなく任意の方法で様々な修正形態や置換形態を実施できるため提示した詳細に限定する意図ではない。このため、当業者にとってはルーチンを超えない実験を用いて本明細書に開示した開示内容に対する追加の修正形態や等価形態を実施できると共に、こうした修正形態や等価形態のすべては添付の特許請求の範囲に規定したような本開示の精神及び趣旨域内にあるものと考えられる。

【符号の説明】

【0058】

- 10 メモリ
- 20 I/O走査プロセッサ
- 30 論理解法プロセッサ
- 40 通信プロセッサ
- 50 診断プロセッサ
- 60 入力出力(I/O)モジュール
- 70 デバイス
- 75 チャンネル
- 80 ヒューマンマシンインタフェース(HMI)

10

20

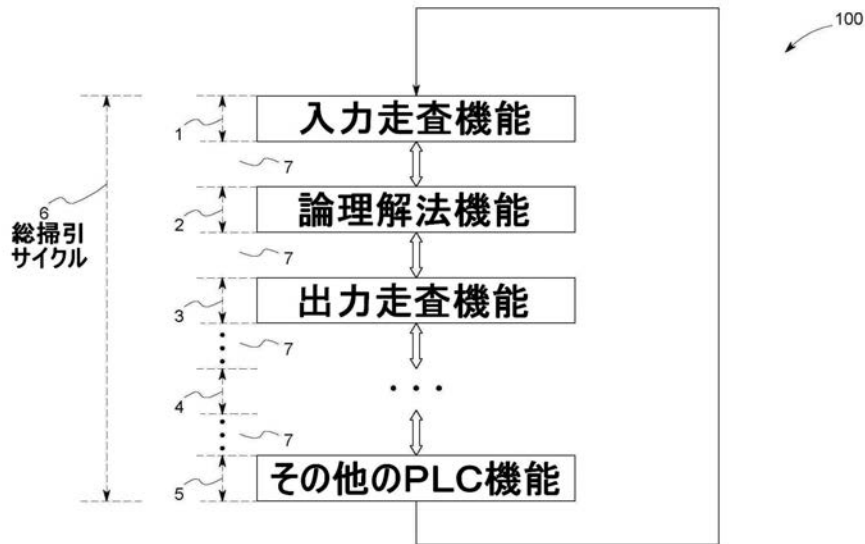
30

40

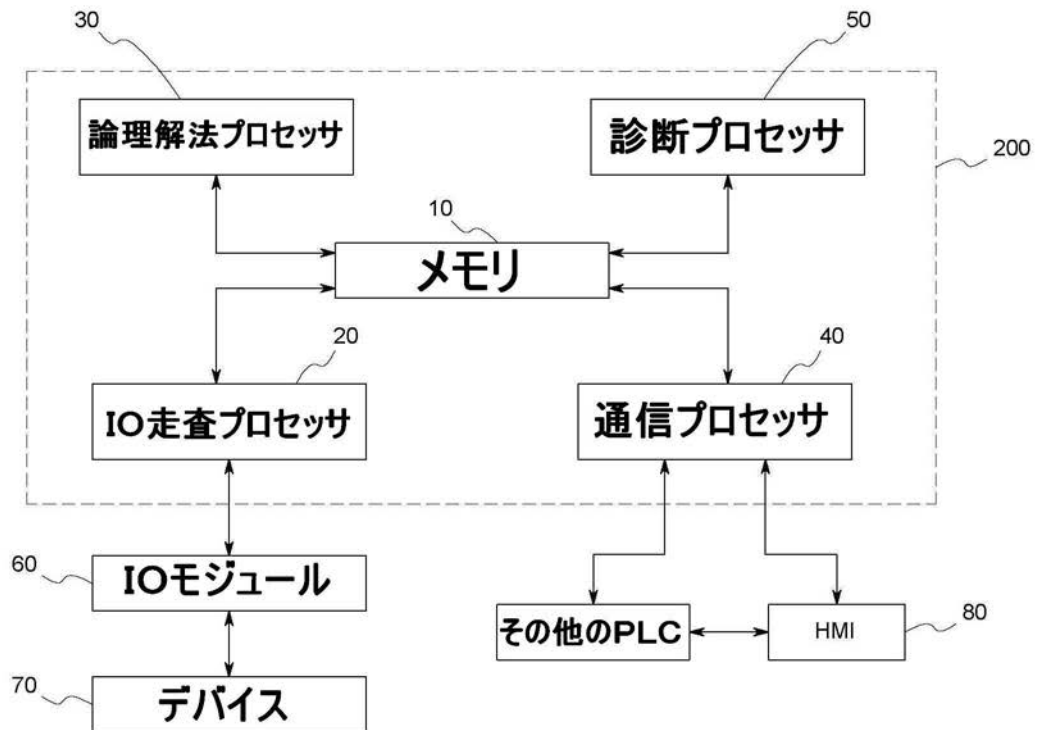
50

1 0 0	従来のプログラマブルロジックコントローラ ( P L C )	
1 0 1	プログラムとローカルのデータメモリ ( P D M )	
1 0 2	データフローメモリ ( D F M )	
1 0 3	入力ドメイン	
1 0 4	出力ドメイン	
1 0 5	中間ドメイン	
1 0 6	システム入力ドメイン	
1 0 7	システム出力ドメイン	
2 0 0	本発明によるプログラマブルロジックコントローラ ( P L C )	
3 0 0	P L C	10
3 0 1	I O 走査プロセッサ	
3 0 2	論理解法プロセッサ	
3 0 3	P D M	
3 0 4	P D M	
3 0 5	D F M	
3 0 6	D F M	
3 0 7	入力モジュール	
3 0 8	出力モジュール	
3 1 0	F I F O	
4 0 0	P L C	20
4 0 1	通信プロセッサ	
4 0 3	P D M	
4 0 4	D F M	
4 0 7	H M I	
4 0 7	H M I	
4 1 1	システムリンク	
8 1 0	P L C 機能	
8 2 0	P L C 機能	
8 3 0	P L C 機能	
8 4 0	P L C 機能	30
9 0 0	P L C	
9 0 1	I O 走査プロセッサ	
9 0 2	論理解法プロセッサ	
9 0 3	P M	
9 0 4	P M	
9 0 5	第 1 のメモリ	
9 0 6	第 2 のメモリ	
9 0 7	p i n g バッファ	
9 0 8	p o n g バッファ	
9 0 9	調停器	40
9 1 0	調停器	
1 1 0 0	分散式 P L C システム	
1 1 0 1	プログラマブルロジックコントローラ ( P L C )	
1 1 0 2	プログラマブルロジックコントローラ ( P L C )	
1 1 0 3	プログラマブルロジックコントローラ ( P L C )	
1 1 0 4	H M I	
1 1 0 5	デバイス	
1 1 0 6	デバイス	
1 1 0 7	デバイス	
1 1 0 8	システムリンク	50

【図 1】



【図 2】





【 図 3 】

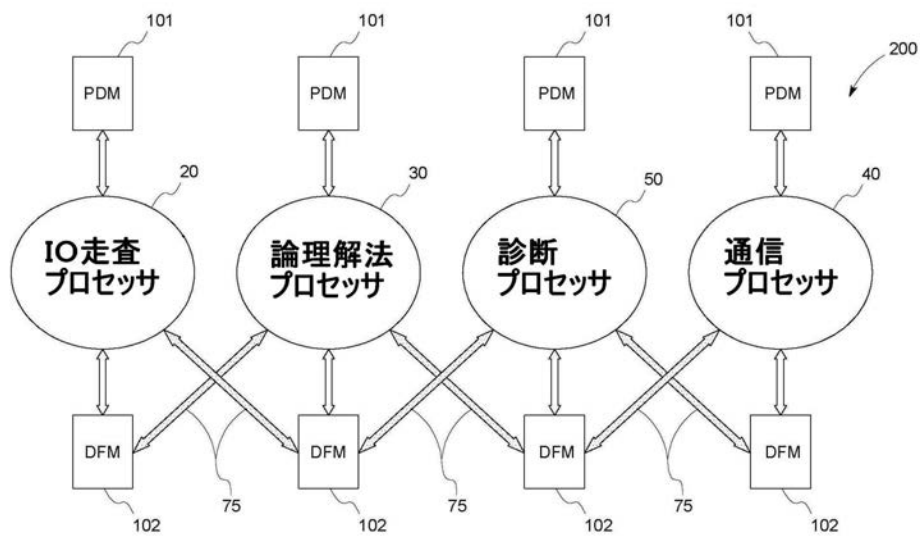


FIG. 3

【 図 4 】



FIG. 4

【図 5 A】



FIG. 5A

【図 5 B】

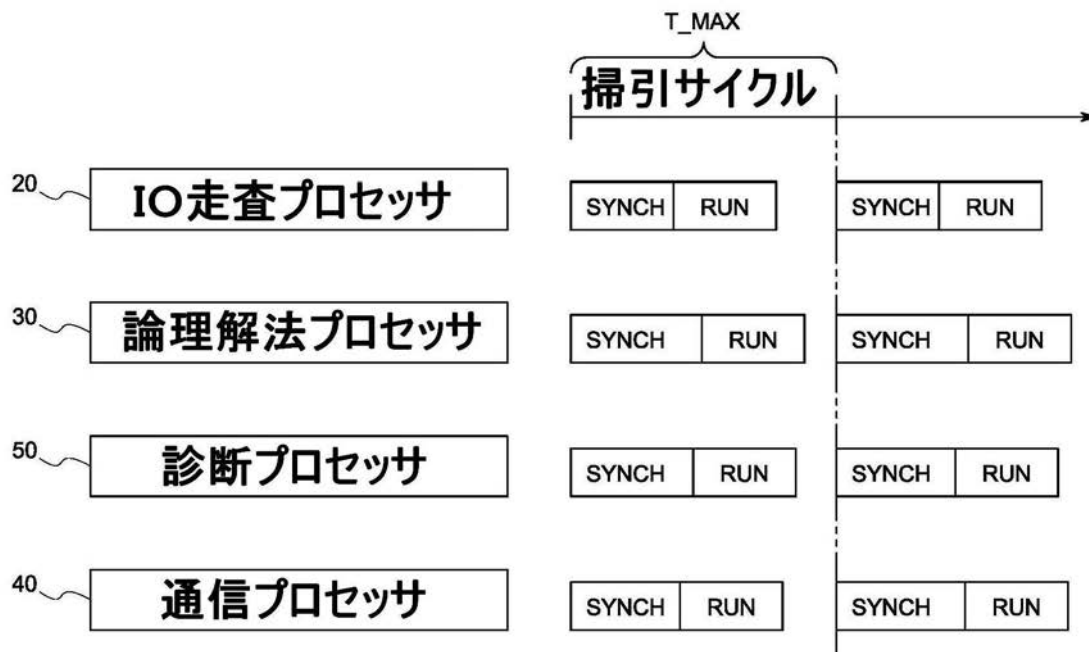


FIG. 5B

【図 5 C】

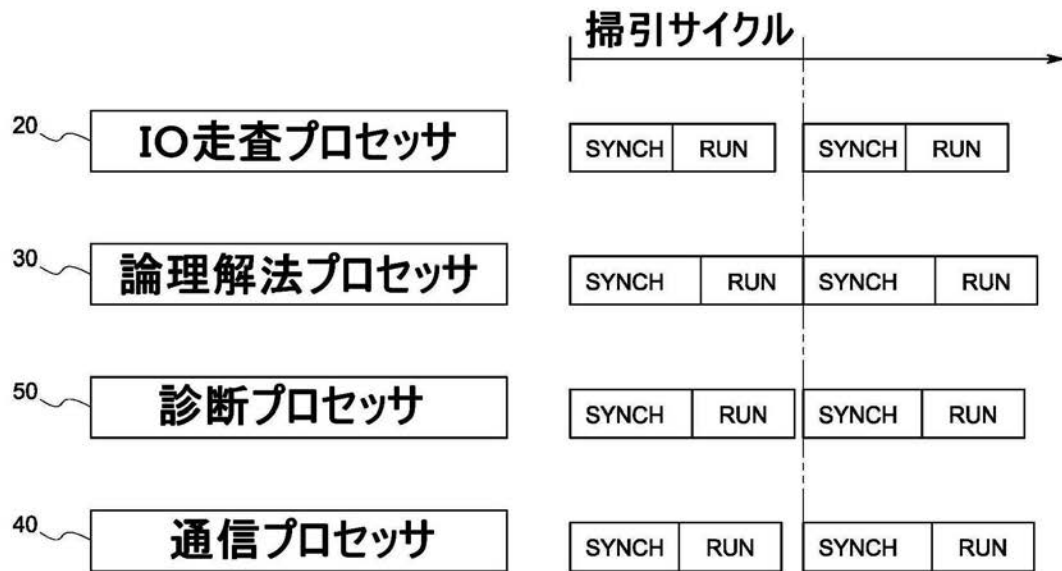


FIG. 5C

【図 6】

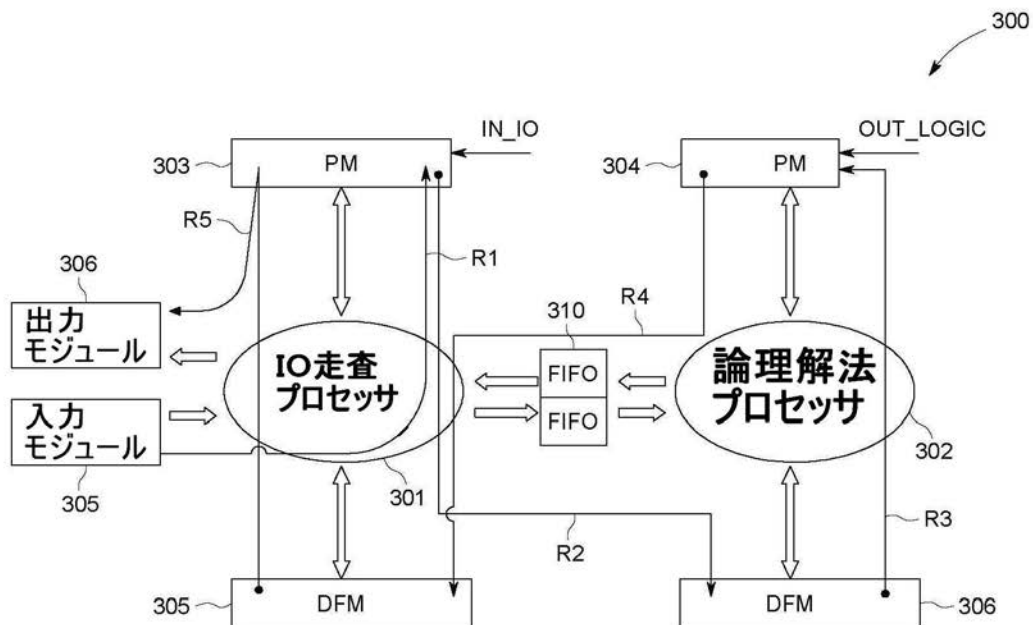


FIG. 6

【図 7】

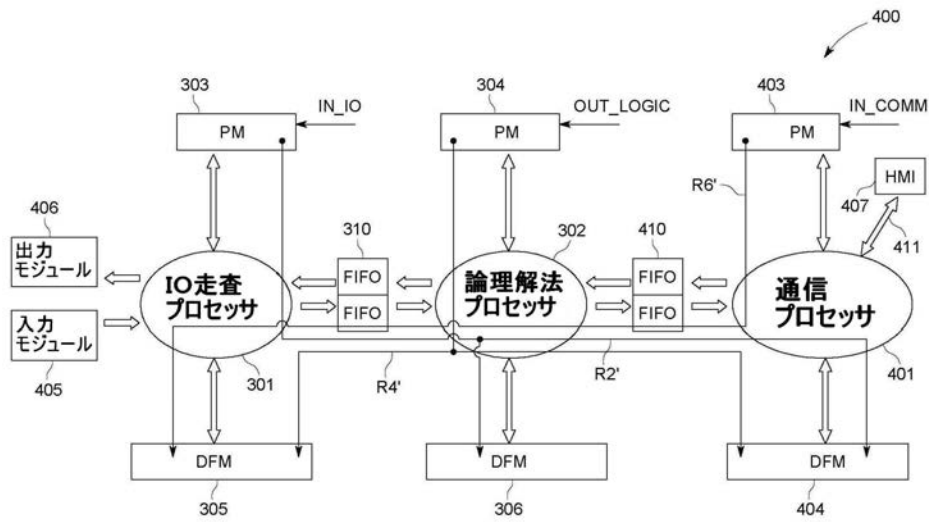


FIG. 7

【図 8】

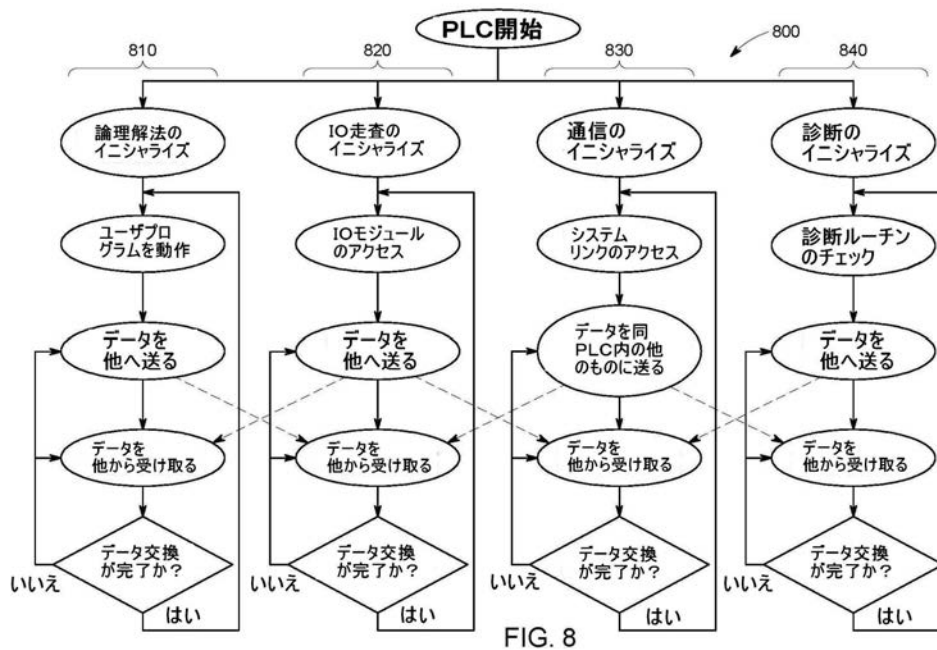


FIG. 8

【 図 9 】

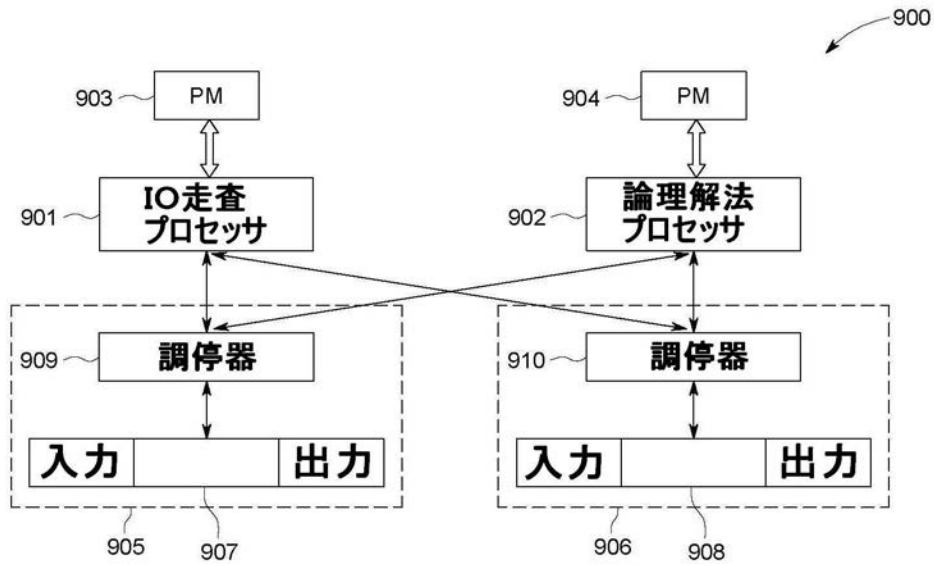


FIG. 9

【 図 1 0 A 】

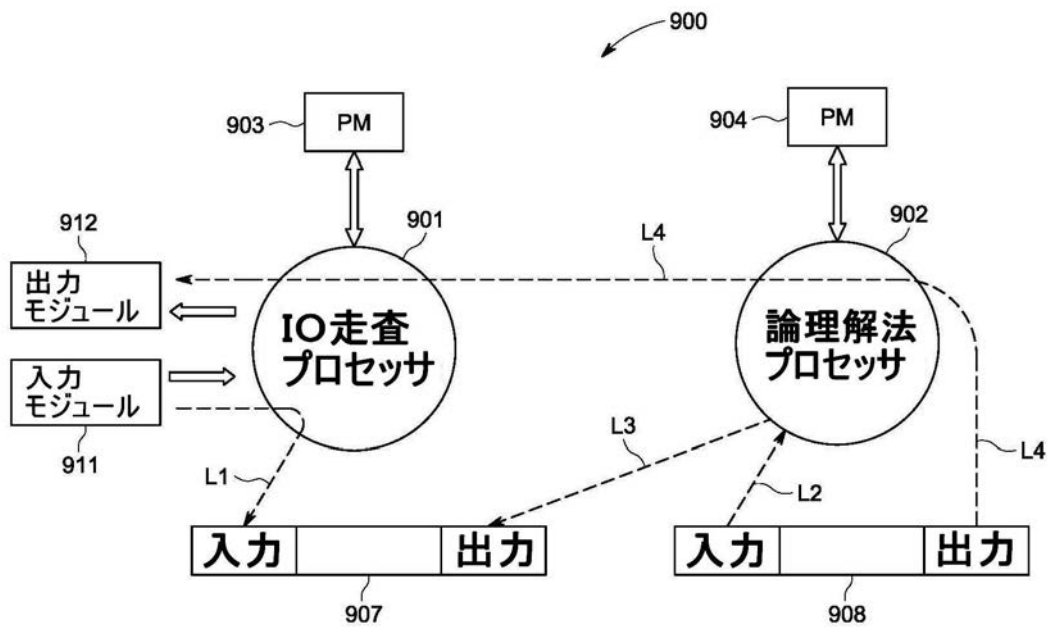


FIG. 10A

【図 10 B】

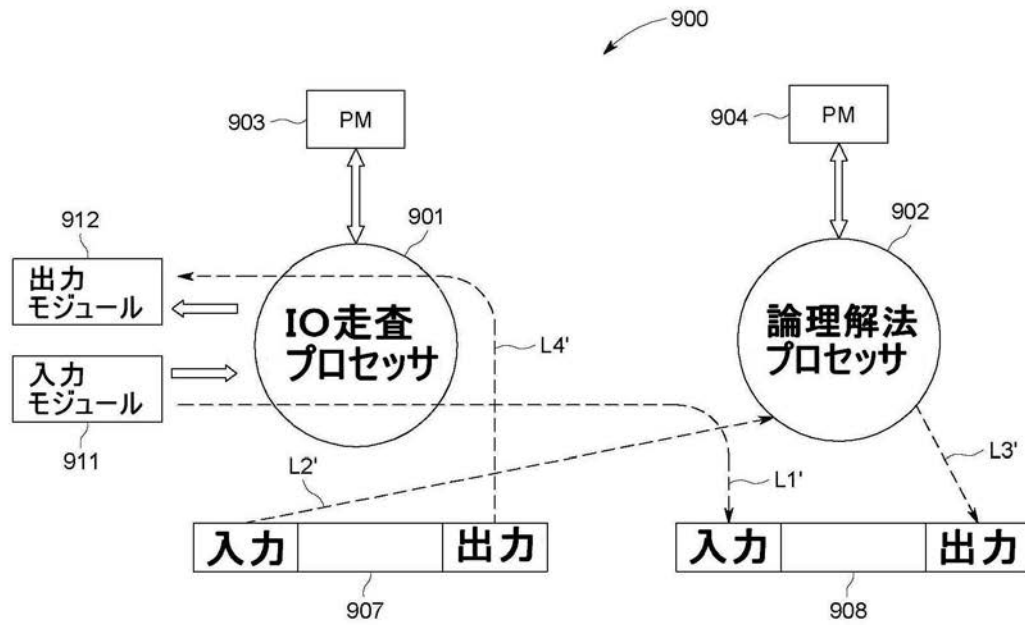


FIG. 10B

【図 11】

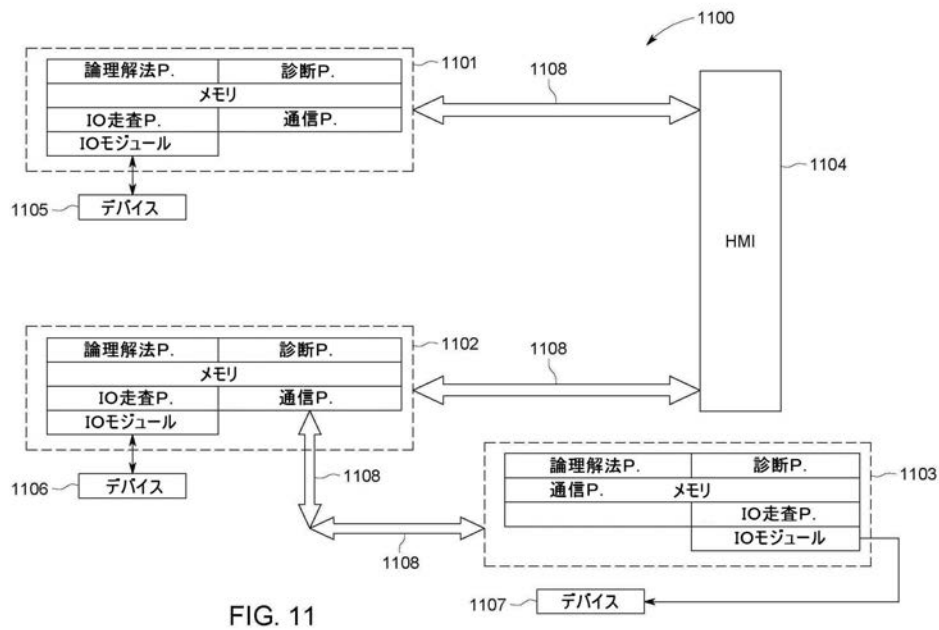


FIG. 11

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/US2010/049468

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. G05B19/042 G05B19/05 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) G05B		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 37 18 639 A1 (KLOECKNER MOELLER ELEKTRIZIT [DE]) 22 December 1988 (1988-12-22)	1-7, 10, 11, 13-18, 21, 24
Y	column 1, line 65 - column 2, line 4 column 3, line 25 - column 4, line 36 figures 1,5	8, 9, 12, 23
X	US R E36 263 E (JANKE DONALD R [US] ET AL) 3 August 1999 (1999-08-03)  line 30 - column 4, line 51 figures 1-4	1, 2, 17-20, 22, 24
X	US 5 454 095 A (KRAEMER ROLF [DE] ET AL) 26 September 1995 (1995-09-26)	1
Y	column 2, line 12 - column 7, line 15 figures 1-5	8, 9, 12, 23
-/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
10 December 2010		21/12/2010
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer  Bassi, Luca

Form PCT/ISA/210 (second sheet) (April 2006)

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/US2010/049468

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 801 676 A1 (BRANDT IND [FR] FAGORBRANDT SAS [FR]) 27 June 2007 (2007-06-27)	1
A	paragraph [0006] - paragraph [0007] paragraph [0011] - paragraph [0013] paragraph [0027] - paragraph [0034] figure 1 -----	2-24



**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/US2010/049468

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
DE 3718639	A1	22-12-1988	NONE	
US RE36263	E	03-08-1999	NONE	
US 5454095	A	26-09-1995	NONE	
EP 1801676	A1	27-06-2007	AT 424576 T ES 2323284 T3 FR 2895533 A1	15-03-2009 10-07-2009 29-06-2007

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(特許庁注：以下のものは登録商標)

１．イーサネット

(72)発明者 シャン, ウェイファ

アメリカ合衆国、ニューヨーク州・１２３０９、ニスカユナ、ビルディング・ケイ１－４エイ５９、グローバル・リサーチ・パテント・ドケット・ルーム

(72)発明者 リュ, ヨンガヒ

アメリカ合衆国、ニューヨーク州・１２３０９、ニスカユナ、ビルディング・ケイ１－４エイ５９、グローバル・リサーチ・パテント・ドケット・ルーム

(72)発明者 ルーケンバツハ, ウィリアム・ヘンリー

アメリカ合衆国、ニューヨーク州・１２３０９、ニスカユナ、ビルディング・ケイ１－４エイ５９、グローバル・リサーチ・パテント・ドケット・ルーム

(72)発明者 リュ, リ

アメリカ合衆国、ニューヨーク州・１２３０９、ニスカユナ、ビルディング・ケイ１－４エイ５９、グローバル・リサーチ・パテント・ドケット・ルーム

(72)発明者 ツァン, ユ

中華人民共和国、２０１２０９、シャanghai、ジン・ハイ・ロード、３３３番、ナンバー３５０  
Fターム(参考) 5H220 BB03 CC09 CX01 EE07 EE09 EE10 JJ12 JJ16 JJ26 JJ34