(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2022 年 7 月 7 日 (07.07.2022)

WIPO | PCT

(10) 国际公布号
WO 2022/142141 A1

(51) 国际专利分类号:
H01L 27/32 (2006.01)

(21) 国际申请号: PCT/CN2021/098923

(22) 国际申请日: 2021 年 6 月 8 日 (08.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110000866.2 2021年1月4日 (04.01.2021) CN

(71) 申请人: 京东方科技集团股份有限公司 (**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。 北京京东方技术开发有限公司 (**BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD.**) [CN/CN]; 中国北京市北京经济技术开发区地泽路9号1幢407室, Beijing 100176 (CN)。

(72) 发明人: 张大成 (**ZHANG, Dacheng**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 许晨 (**XU, Chen**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (**LIU, SHEN & ASSOCIATES**); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,

(54) **Title:** DISPLAY SUBSTRATE AND DISPLAY DEVICE

(54) 发明名称: 显示基板及显示装置

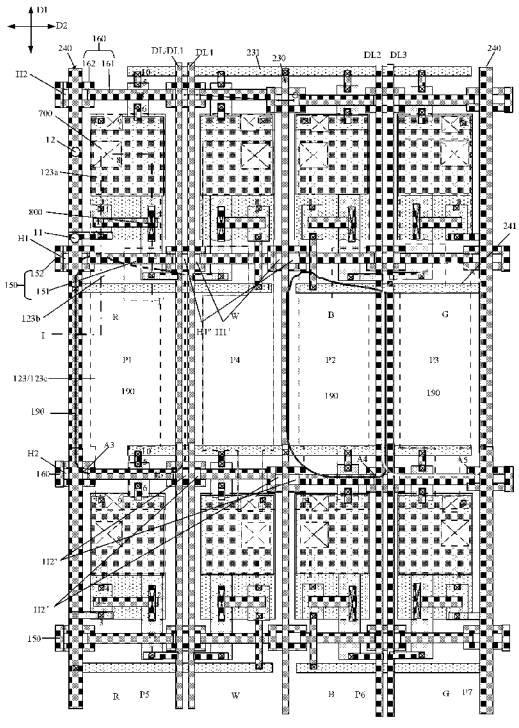


图3A

(57) **Abstract:** A display substrate (10) and a display device (30). The display substrate (10) comprises a first conductive structure (110). The first conductive structure (110) comprises a first surface (111) and a third surface (113), which are opposite each other, and comprises a second surface (112) and a fourth surface (114), which are opposite each other, wherein the first surface (111) and the second surface (112) are made of the same material, and different included angles are formed between the first surface (111) and a face of a base substrate (101) and between the second surface (112) and the face of the base substrate (101); a first surface microstructure (11) is arranged on the first surface (111), and a second surface microstructure (12) is arranged on the second surface (112); the first surface microstructure (11) has a first cross section (11a) perpendicular to the base substrate (101), and the first cross section (11a) has a first orthographic projection (C1C2) on the third surface (113); the length of the first orthographic projection (C1C2) is less than the length of the first surface microstructure (11) on the first cross section (11a); and the second surface microstructure (12) has a second cross section (12a) perpendicular to the base substrate (101), the second cross section (12a) has a second orthographic projection (D1D2) on the fourth surface (114), and the length of the second orthographic projection (D1D2) is less than the length of the second surface microstructure (12) on the second cross section (12a). The display substrate (10) can effectively improve the yield.

WO 2022/142141 A1

[见续页]

AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种显示基板(10)及显示装置(30)。该显示基板(10)包括第一导电结构(110)，该第一导电结构(110)包括相对的第一表面(111)和第三表面(113)以及相对的第二表面(112)和第四表面(114)，该第一表面(111)与第二表面(112)的材料相同，该第一表面(111)和第二表面(112)分别与衬底基板(101)的板面形成不同的夹角；该第一表面(111)上设置有第一表面微结构(11)，该第二表面(112)上设置有第二表面微结构(12)；该第一表面微结构(11)具有与衬底基板(101)垂直的第一截面(11a)，该第一截面(11a)在该第三表面(113)具有第一正投影(C1C2)；该第一正投影(C1C2)的长度小于该第一表面微结构(11)在该第一截面(11a)上的长度；该第二表面微结构(12)具有与衬底基板(101)垂直的第二截面(12a)，该第二截面(12a)在该第四表面(114)上具有第二正投影(D1D2)，该第二正投影(D1D2)的长度小于该第二表面微结构(12)在该第二截面(12a)上的长度。该显示基板(10)可以有效提高良率。

显示基板及显示装置

本申请要求于 2021 年 1 月 4 日递交的中国专利申请第 202110000866.2 的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

技术领域

本公开实施例涉及一种显示基板及显示装置。

背景技术

在显示领域，有机发光二极管（OLED）显示面板具有自发光、对比度高、能耗低、视角广、响应速度快、可用于挠曲性面板、使用温度范围广、制造简单等特点，具有广阔的发展前景。作为显示装置核心的半导体元件技术也随之得到了飞跃性的进步。对于现有的显示装置而言，有机发光二极管（Organic Light-Emitting Diode，简称 OLED）作为一种电流型发光器件，因其所具有的自发光、快速响应、宽视角和可制作在柔性衬底上等特点而越来越多地被应用于高性能显示技术领域当中。

发明内容

本公开至少一实施例提供一种显示基板，包括：衬底基板及位于所述衬底基板上的第一导电结构。所述第一导电结构包括背离所述衬底基板的第一表面和第二表面，所述第一表面和所述第二表面的材料相同；所述第一表面与所述衬底基板的板面具有第一夹角，所述第二表面与所述衬底基板的板面具有第二夹角，所述第一夹角与所述第二夹角不同；所述第一表面上设置有第一表面微结构，所述第二表面上设置有第二表面微结构；所述第一导电结构还包括靠近所述衬底基板的第三表面和第四表面，所述第三表面与所述第一表面相对，所述第四表面与所述第二表面相对；所述第一表面微结构具有与所述衬底基板垂直的第一截面，所述第一截面在所述第三表面具有第一正投影；所述第一正投影的长度小于所述第一表面微结构在所述第一截面上的长度；所述第二表面微结构具有与所述衬底基板垂直的第二截面，所述第二

截面在所述第四表面上具有第二正投影，所述第二正投影的长度小于所述第二表面微结构在所述第二截面上的长度。

在一些示例中，所述第一截面的两端之间的距离和所述第二截面的两端的距离分别大于0.1微米小于1微米。

在一些示例中，在垂直于所述衬底基板的方向上，所述第一表面微结构与所述第三表面至少部分重叠，所述第二表面微结构与所述第四表面至少部分重叠。

在一些示例中，所述第三表面和所述第四表面的至少之一为平坦表面。

在一些示例中，所述第一表面微结构在所述第三表面上的正投影的面积小于所述第一表面微结构的表面积；所述第二表面微结构在所述第四表面上的正投影的面积小于所述第二表面微结构的表面积。

在一些示例中，所述第一导电结构在所述第一表面微结构处的最小厚度小于所述第一导电结构的平均厚度且大于所述第一导电结构的平均厚度的3/5。

在一些示例中，所述第一表面微结构在所述第一截面具有第一端点、第一中间点和第二端点，所述第二表面微结构在所述第二表面微结构具有第三端点、第二中间点和第四端点；所述第一中间点与所述第三表面的距离和所述第一端点及第二端点与所述第三表面的距离均不相等，所述第二中间点与所述第四表面的距离和所述第三端点及所述第四端点与所述第四表面的距离均不相等。

在一些示例中，所述第一夹角大于0度，所述第二夹角等于0度。

在一些示例中，所述第一表面微结构在所述第一截面具有第一端点和第二端点，所述第二表面微结构在所述第二截面具有第三端点和第四端点；所述第一端点和所述第二端点构成的线段的中点与所述第三端点和所述第四端点的构成的线段的中点相对于所述衬底基板的板面的距离不同。

在一些示例中，所述第一端点与所述第二端点之间的距离大于所述第三端点与所述第四端点之间的距离。

在一些示例中，所述显示基板还包括位于所述第一导电结构靠近所述衬底基板一侧的第一绝缘层，所述第一绝缘层包括分别与所述第一导电结构的第三表面和第四表面分别直接接触的第一部分和第二部分，所述第一部分的

最小厚度小于所述第二部分的最小厚度。

在一些示例中，所述显示基板还包括位于所述第一绝缘层靠近所述衬底基板一侧的第二导电结构，所述第一绝缘层的第一部分包覆所述第二导电结构的至少部分。

在一些示例中，在垂直于衬底基板的方向上，所述第一表面微结构与所述第二导电结构不重叠。

在一些示例中，所述第一导电结构通过贯穿所述第一绝缘层的第一过孔与所述第二导电结构电连接；在垂直于所述衬底基板的方向上，所述第一表面微结构与所述第一过孔的至少部分重叠。

在一些示例中，所述第一绝缘层包括层叠设置的第一子层和第二子层，所述第二子层相较于所述第一子层远离所述衬底基板；所述第一子层包括被所述第一过孔暴露的第一侧面，所述第二子层包括被所述第一过孔暴露的第二侧面，所述第一侧面与所述第二侧面中的至少之一与所述第一导电结构的第三表面直接接触。

在一些示例中，所述第一侧面与所述衬底基板的夹角大于所述第二侧面与所述衬底基板的夹角。

在一些示例中，所述第二子层的致密度高于所述第一子层。

在一些示例中，所述第一表面的氧含量高于所述第三表面的氧含量。

在一些示例中，所述第一表面微结构在所述第一截面具有第一端点和第二端点，所述第一截面距离所述第三表面最近的点与所述第一端点和所述第二端点的距离不相等。

在一些示例中，所述第一表面微结构包括第一凹面结构，所述第二表面微结构包括第二凹面结构。

在一些示例中，所述显示基板还包括位于所述衬底基板上的多个子像素，所述多个子像素沿第一方向和第二方向布置为多个像素列和多个像素行，所述第一方向与所述第二方向交叉；所述多个子像素中的每个包括在所述衬底基板上的第一晶体管、第二晶体管、第三晶体管和存储电容，所述第二晶体管的第一极与所述存储电容的第一电容电极和所述第一晶体管的栅极电连接，所述第二晶体管的第二极配置为接收数据信号，所述第二晶体管的栅极配置为接收第一控制信号，所述第二晶体管配置为响应于所述第一控制信号

将所述数据信号写入所述第一晶体管的栅极和所述存储电容，所述第一晶体管的第一极与所述存储电容的第二电容电极电连接，并配置为与发光元件的第一电极电连接，所述第一晶体管的第二极配置为接收第一电源电压，所述第一晶体管配置为在所述第一晶体管的栅极的电压的控制下控制用于驱动所述发光元件的电流，所述第三晶体管的第一极与所述第一晶体管的第一极以及所述存储电容的第二电容电极电连接，所述第三晶体管的第二极配置为与检测电路连接。

在一些示例中，所述第一表面微结构在所述衬底基板上的正投影与所述第二表面微结构在所述衬底基板上的正投影之间的中心距离在所述第一方向和所述第二方向的分量分别小于所述多个子像素的每个在所述第一方向和所述第二方向的平均尺寸。

在一些示例中，每个像素列的子像素发相同颜色的光。

在一些示例中，所述第一表面微结构包括第一凹面结构，所述第二表面微结构包括第二凹面结构；所述第一凹面结构和所述第二凹面结构沿所述第一导电结构的延伸方向排列，且朝向颜色相同的子像素。

在一些示例中，所述显示基板还包括从所述第一晶体管的栅极突出的延伸部，所述延伸部从所述第一晶体管的栅极沿所述第二方向延伸并与所述第二晶体管的第一极在垂直于所述衬底基板的方向上至少部分重叠且电连接。

在一些示例中，所述第二晶体管的有源层包括第一极接触区、第二极接触区以及位于所述第一极接触区和所述第二极接触区之间的沟道区，所述第二晶体管的第一极通过第二过孔分别与所述第一极接触区、所述延伸部以及所述第一电容电极电连接。

在一些示例中，所述第二过孔沿所述第一方向延伸并暴露出所述延伸部的表面以及在所述第一方向上相对的两个侧面的至少部分。

在一些示例中，所述延伸部将所述第二过孔间隔为第一凹槽和第二凹槽，所述第二晶体管的第一极填充所述第一凹槽和所述第二凹槽并包覆所述延伸部的所述两个侧面；所述第二晶体管的第一极包括第一部分、第二部分以及第三部分，所述第二部分覆盖所述延伸部的所述表面，所述第一部分覆盖所述第一凹槽，所述第三部分覆盖所述第二凹槽；所述第一部分和所述第三部分还分别覆盖所述延伸部的所述两个侧面。

在一些示例中，所述第一导电结构为所述第二晶体管的第一极，所述第一表面微结构和所述第二表面微结构均位于所述第二晶体管的第一极的第三部分。

在一些示例中，所述第一表面微结构在所述第一方向上的尺寸小于所述第三部分沿所述第一方向的最大尺寸的十分之一。

在一些示例中，所述第一表面微结构在所述第一方向上的尺寸小于所述第二过孔在所述衬底基板上的正投影在所述第一方向上的最大尺寸的十分之一。

在一些示例中，所述多个子像素的每个还包括所述发光元件，所述发光元件包括依次层叠设置的第一电极、发光层和第二电极，所述第一电极相较于所述第二电极更靠近所述衬底基板，所述发光元件的第一电极通过第三过孔与所述发光元件所属的子像素的第一晶体管的第一极电连接。

在一些示例中，所述发光元件的第一电极包括在所述第一方向上依次连接的第一电极部、第二电极部和第三电极部，所述第一电极部用于与对应的第一晶体管的第一极电连接且在垂直于所述衬底基板的方向上与所述对应的第一晶体管的第一极重叠；所述发光元件的第三电极部与所述发光元件的开口区在垂直于所述衬底基板的方向上至少部分重叠。

在一些示例中，所述第一电极部沿所述第一方向的最大尺寸和沿所述第二方向的最大尺寸之和小于所述第三电极部沿所述第一方向的最大尺寸和沿所述第二方向的最大尺寸之和；所述第二电极部沿所述第一方向的最大尺寸和沿所述第二方向的最大尺寸之和小于所述第三电极部沿所述第一方向的最大尺寸和沿所述第二方向的最大尺寸之和。

在一些示例中，所述显示基板包括多个第一表面微结构和多个第二表面微结构，所述多个第一表面微结构和多个第二表面微结构中的一部分与所述第一电极部在垂直于衬底基板的方向上重叠，所述多个第一表面微结构和多个第二表面微结构的另一部分与所述第三电极部在垂直于所述衬底基板的方向上重叠；与所述第一电极部重叠的第一表面微结构和第二表面微结构的分布密度大于与所述第三电极部的重叠的第一表面微结构和第二表面微结构的分布密度。

在一些示例中，所述发光元件的第一电极的第二电极部在所述第二方向

的平均尺寸小于所述第一电极部在所述第二方向的平均尺寸，也小于所述第三电极部在所述第二方向的平均尺寸。

在一些示例中，所述多个像素行包括第一像素行，所述第一像素行划分为多个像素单元,每个像素单元包括沿所述第二方向依次布置的第一子像素、第二子像素和第三子像素，所述第一子像素、所述第二子像素和所述第三子像素分别配置为发出三种基本色的光；所述显示基板还包括沿所述第二方向延伸的第一扫描线，所述第一扫描线与所述第一子像素、第二子像素及第三子像素中的第二晶体管的栅极电连接以提供所述第一控制信号。

在一些示例中，所述第一扫描线与所述第一子像素的发光元件的第一电极的第二电极部在垂直于所述衬底基板的方向上重叠。

在一些示例中，所述显示基板还包括彩膜层，所述彩膜层位于所述发光元件的第一电极靠近所述衬底基板的一侧；所述彩膜层包括分别对应于所述第一子像素、所述第二子像素和所述第三子像素的多个彩膜部，所述第一子像素、所述第二子像素和所述第三子像素发出的光分别经所对应的彩膜部射出显示基板形成显示光。

在一些示例中，在垂直于所述衬底基板的方向上，所述第一子像素对应的彩膜部、所述第二子像素对应的彩膜部和所述第二表面微结构在垂直于衬底基板的方向上均重叠。

在一些示例中，在垂直于所述衬底基板的方向上，所述多个彩膜部的每个与对应的子像素的发光元件的第一电极的第三电极部重叠，并与所述对应的子像素的发光元件的第一电极的第一电极部不重叠。

在一些示例中，所述第一扫描线位于所述彩膜层靠近所述衬底基板的一侧；在垂直于所述衬底基板的方向上，所述第一子像素的发光元件的第一电极的第二电极部与所述第一扫描线重叠的部分还与所述第一子像素所对应的彩膜部重叠。

在一些示例中，所述第一扫描线包括交替连接的第一部分和第二部分，所述第二部分为环状结构。

在一些示例中，在垂直于所述衬底基板的方向上，所述第一子像素的发光元件的第一电极与所述第一扫描线的第一部分重叠并与所述第一扫描线的第二部分不重叠。

在一些示例中，所述显示基板还包括沿所述第一方向延伸的多条第一信号线，在垂直于所述衬底基板的方向上，所述多条第一信号线与所述第一扫描线的第二部分重叠从而定义出沿所述第二方向布置的多个第一镂空区。

在一些示例中，每个像素单元中所对应的多个第一镂空区的几何中心不在一条直线上。

在一些示例中，在垂直于所述衬底基板的方向上，所述第一子像素对应的彩膜部与所述多个第一镂空区中的至少一个重叠，所述第二子像素对应的彩膜部与所述多个第一镂空区均不重叠。

在一些示例中，在垂直于所述衬底基板的方向上，所述第一子像素对应的彩膜部与所述多个第一镂空区中的一个重叠且具有第一重叠面积，所述第二子像素对应的彩膜部与所述多个第一镂空区中的另一个重叠且具有第二重叠面积；所述第一重叠面积与所述第二重叠面积不同。

在一些示例中，所述第一重叠面积与所述第二重叠面积差值的绝对值大于（n*λ）2，λ为所述第一子像素和第二子像素发出光的波长中的较大值。

在一些示例中，所述显示基板包括多个第一表面微结构和多个第二表面微结构，所述多个第一表面微结构和多个第二表面微结构中的一部分与所述第一扫描线的第一部分在垂直于衬底基板的方向上重叠，所述多个第一表面微结构和多个第二表面微结构的另一部分与所述第一扫描线的第二部分在垂直于所述衬底基板的方向上重叠；在垂直于衬底基板的方向上，与所述第一扫描线的第二部分重叠的第一表面微结构和第二表面微结构的分布密度大于与所述第一扫描线的第一部分的重叠的第一表面微结构和第二表面微结构的分布密度。

在一些示例中，所述第一重叠面积大于所述多个第一表面微结构或所述第二表面微结构中的每个在所述衬底基板的正投影的面积；所述第二重叠面积大于所述多个第一表面微结构或所述第二表面微结构中的每个在所述衬底基板的正投影的面积。

在一些示例中，所述像素单元还包括第四子像素，所述第四子像素配置为发白光，所述多个第一镂空区中靠近所述第四子像素的第一镂空区均与所述彩膜层在垂直于所述衬底基板的方向上不重叠。

在一些示例中，所述多条第一信号线包括多条数据线，所述多条数据线

与所述多个像素列一一对应连接；对于所述第一像素行，多条数据线被划分为与所述多个像素单元一一对应的多个数据线组，每个数据线组包括分别与所述第一子像素、第二子像素和第三子像素连接的第一数据线、第二数据线和第三数据线；对于每一个所述像素单元，与所述像素单元对应连接的所述第一数据线、所述第二数据线及所述第三数据线均位于所述第一子像素和所述第三子像素之间。

在一些示例中，所述显示基板还包括沿所述第一方向延伸的多条电源线，所述多条电源线配置为为所述多个子像素提供所述第一电源电压，所述多条电源线的每条与所述多条数据线中的任意一条之间间隔有至少一个像素列。

在一些示例中，所述显示基板包括多个第一表面微结构和多个第二表面微结构，所述多个第一表面微结构和多个第二表面微结构中的一部分分布在所述多条数据线上，所述多个第一表面微结构和多个第二表面微结构的另一部分分布在所述多条电源线上；所述多个第一表面微结构和所述多个第二表面微结构在所述多条数据线上的分布密度大于所述多个第一表面微结构和所述多个第二表面微结构在所述多条电源线上的分布密度。

在一些示例中，所述第二子像素与所述第三子像素直接相邻，所述第三子像素具有在所述第二方向上相对的第一侧与第二侧，所述第二数据线和所述第三数据线位于所述第三子像素的第一侧且位于所述第二子像素与所述第三子像素之间。

在一些示例中，所述第三子像素的发光元件的第一电极的第二电极部相对于其第一电极部和其第三电极部向远离所述第三子像素的第二侧的方向凹入。

在一些示例中，在垂直于所述衬底的方向上，所述第二数据线、所述第三数据线分别与所述彩膜层至少部分重叠。

在一些示例中，所述像素单元还包括第四子像素，所述第四子像素配置为发白光，所述每个数据线组还包括与所述第四子像素连接的第四数据线；

在垂直于衬底基板的方向上，所述第四数据线与所述彩膜层不重叠。

在一些示例中，所述多个像素行还包括第二像素行，所述第二像素行与所述第一像素行在所述第一方向上直接相邻，所述第二像素行包括沿所述第二方向依次排列的第五子像素、第六子像素和第七子像素，所述第五子像素

与所述第一子像素位于同一像素列，所述第六子像素与所述第二子像素位于同一像素列，所述第七子像素与所述第三子像素位于同一像素列。

在一些示例中，所述第一子像素对应的彩膜部具有靠近所述第五子像素的侧边，所述侧边与所述第二方向平行。

在一些示例中，所述显示基板还包括沿所述第二方向延伸的第二扫描线，所述第二扫描线与所述第五子像素、第六子像素及第七子像素中的第三晶体管的栅极电连接以提供所述第二控制信号。

在一些示例中，所述第二扫描线包括交替连接的第一部分和第二部分，所述第二部分为环状结构。

在一些示例中，在垂直于所述衬底基板的方向上，所述多条第一信号线与所述第二扫描线的第二部分重叠从而定义出沿所述第二方向依次布置的多个第二镂空区。

在一些示例中，所述第一导电结构为所述多条第一信号线之一，所述第一表面微结构和所述第二表面微结构位于所述第一信号线上，且所述第一表面微结构与所述第一信号线所对应的第二镂空区在垂直于所述衬底基板的方向上至少部分重叠。

在一些示例中，在垂直于所述衬底基板的方向上，所述第一子像素对应的彩膜部与所述多个第二镂空区中的一个第二镂空区重叠且具有第三重叠面积，所述第二子像素对应的彩膜部与所述多个第二镂空区中的另一个第二镂空区重叠且具有第四重叠面积，所述第三子像素对应的彩膜部与所述多个第二镂空区中的又一个第二镂空区重叠且具有第五重叠面积；所述第三重叠面积、所述第四重叠面积和所述第五重叠面积均不相同。

在一些示例中，所述第三晶体管的第二极通过第四过孔与沿所述第二方向延伸的检测部电连接，所述检测部与沿所述第一方向延伸的检测线电连接，从而所述第三晶体管的第二极通过所述检测部和所述所述检测线与所述检测电路连接。

在一些示例中，所述第一导电结构为所述第三晶体管的第二极，所述第一表面微结构和所述第二表面微结构位于所述第三晶体管的第二极上，且所述第一表面微结构与所述第四过孔在垂直于所述衬底基板的方向上至少部分重叠。

在一些示例中，所述第三晶体管的有源层包括第一极接触区、第二极接触区以及位于所述第一极接触区和所述第二极接触区之间的沟道区，所述第三晶体管的第一极通过第五过孔与所述第三晶体管的第一极接触区电连接。

在一些示例中，所述第一导电结构为所述第三晶体管的第一极，所述第一表面微结构和所述第二表面微结构位于所述第三晶体管的第一极上，且所述第一表面微结构与所述第五过孔在垂直于所述衬底基板的方向上至少部分重叠。

本公开至少一实施例还提供一种显示基板，包括衬底基板和位于所述衬底基板上的第一导电结构，所述第一导电结构包括背离所述衬底基板的第一表面和第二表面，所述第一表面和所述第二表面的材料相同；所述第一表面上设置有第一表面微结构，所述第二表面上设置有第二表面微结构；所述第一表面微结构具有与所述衬底基板垂直的第一截面，所述第二表面微结构具有与所述衬底基板垂直的第二截面；所述第一表面微结构在所述第一截面上具有第一端点和第二端点，所述第二表面微结构在所述第二截面上具有第三端点和第四端点；所述第一端点和所述第二端点的连线的中点与所述第三端点和所述第四端点的连线的中点相对于所述衬底基板的板面的距离不同。

在一些示例中，所述第一导电结构在所述第一表面微结构处的最小厚度小于所述第一导电结构的平均厚度且大于所述第一导电结构的平均厚度的3/5。

在一些示例中，所述第一导电结构还包括靠近所述衬底基板的第三表面和第四表面，在垂直于所述衬底基板的方向上，所述第一表面微结构与所述第三表面至少部分重叠,所述第二表面微结构与所述第四表面至少部分重叠。

在一些示例中，所述第三表面和所述第四表面的至少之一为平坦表面。

在一些示例中，所述第一表面微结构在所述第三表面上的正投影的面积小于所述第一表面微结构的表面积；所述第二表面微结构在所述第四表面上的正投影的面积小于所述第二表面微结构的表面积。

在一些示例中，所述第一表面微结构在所述第一截面上还具有位于所述第一端点和所述第二端点之间的第一中间点，所述第二表面微结构在所述第二截面上还具有位于所述第三端点和所述第四端点之间的第二中间点；所述第一中间点与所述第三表面的距离和所述第一端点及第二端点与所述第三表

面的距离均不相等，所述第二中间点与所述第四表面的距离和所述第三端点及所述第四端点与所述第四表面的距离均不相等。

在一些示例中，所述第一表面与所述衬底基板的板面具有第一夹角，所述第二表面与所述衬底基板的板面具有第二夹角，所述第一夹角与所述第二夹角不同。

在一些示例中，所述第一夹角大于0度，所述第二夹角等于0。

在一些示例中，所述显示基板还包括位于所述第一导电结构靠近所述衬底基板一侧的第一绝缘层，所述第一绝缘层包括分别与所述第一导电结构的第三表面和第四表面分别直接接触的第一部分和第二部分，所述第一部分的最小厚度小于所述第二部分的最小厚度。

在一些示例中，所述显示基板还包括位于所述第一绝缘层靠近所述衬底基板一侧的第二导电结构，所述第一绝缘层的第一部分包覆所述第二导电结构的至少部分。

在一些示例中，在垂直于衬底基板的方向上，所述第一表面微结构与所述第二导电结构不重叠。

在一些示例中，所述第一导电结构通过贯穿所述第一绝缘层的第一过孔与所述第二导电结构电连接；在垂直于所述衬底基板的方向上，所述第一表面微结构与所述第一过孔的至少部分重叠。

在一些示例中，所述第一绝缘层包括层叠设置的第一子层和第二子层，所述第二子层相较于所述第一子层远离所述衬底基板；所述第一子层包括被所述第一过孔暴露的第一侧面，所述第二子层包括被所述第一过孔暴露的第二侧面，所述第一侧面与所述第二侧面中的至少之一与所述第一导电结构的第三表面直接接触。

在一些示例中，所述第一侧面与所述衬底基板的夹角大于所述第二侧面与所述衬底基板的夹角。

在一些示例中，所述第二子层的致密度高于所述第一子层。

在一些示例中，所述第一表面的氧含量高于所述第三表面的氧含量。

本公开至少一实施例还提供一种显示装置，包括如上任一实施例提供的显示基板。

附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1A 为本公开至少一实施例提供的显示基板的示意图之一；

图 1B 为本公开至少一实施例提供的显示基板的示意图之二；

图 2A 为本公开至少一实施例提供的显示基板的示意图之三；

图 2B 为本公开至少一实施例提供的显示基板中的像素电路图之一；

图 2C 为本公开至少一实施例提供的显示基板中的像素电路图之二；

图 2D-图 2F 为本公开实施例提供的像素电路的驱动方法的信号时序图；

图 3A 为本公开至少一实施例提供的一种显示基板的示意图之四；

图 3B 为图 3A 沿剖面线 I-I’的剖视图；

图 3C-3E 为本公开另一些实施例提供的显示基板的示意图；

图 4A 为本公开至少一实施例提供的显示基板中的第一导电层的平面示意图；

图 4B 为本公开至少一实施例提供的显示基板中的半导体层的平面示意图；

图 4C 为本公开至少一实施例提供的显示基板中的第二导电层的平面示意图；

图 4D 为本公开至少一实施例提供的显示基板中的第三导电层的平面示意图；

图 5A 为本公开至少一实施例提供的显示面板的示意图之一；

图 5B 为本公开至少一实施例提供的显示面板的示意图之二；以及

图 6 为本公开至少一实施例提供的显示装置的示意图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造

性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”、“一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

随着显示面板的朝向轻薄化发展，尤其是应用于大尺寸显示应用中，显示面板容易因外界应力而发生不良，例如在制作或使用过程中，显示面板中的信号线容易在外界应力作用下发生断裂，造成面板失效。

本公开至少一实施例提供一种显示基板，包括衬底基板及位于所述衬底基板上的第一导电结构，所述第一导电结构包括背离所述衬底基板的第一表面和第二表面，所述第一表面和所述第二表面的材料相同；所述第一表面与所述衬底基板的板面具有第一夹角，所述第二表面与所述衬底基板的板面具有第二夹角，所述第一夹角与所述第二夹角不同；所述第一表面上设置有第一表面微结构，所述第二表面上设置有第二表面微结构；所述第一导电结构还包括靠近所述衬底基板的第三表面和第四表面，所述第三表面与所述第一表面相对，所述第四表面与所述第二表面相对；所述第一表面微结构在第一投影面上具有第一截面，所述第一投影面垂直于所述衬底基板的板面；所述第一截面在所述第三表面具有第一正投影，所述第一正投影的长度小于所述第一截面的长度；所述第二表面微结构在所述第一投影面上具有第二截面，所述第二截面在所述第四表面上具有第二正投影，所述第二正投影的长度小于所述第二截面的长度。

本公开实施例提供的显示基板通过在第一导电结构的第一表面和第二表面分别设置第一表面微结构和第二表面微结构，从而可以使得该第一导电结

构在不同的角度或不同的方向上得到应力的释放，避免应力集中而导致面板失效。

本公开实施例中的第一表面微结构和第二表面微结构可以实现为多种具体结构，本公开对此不作限制。例如该第一应力结构和第二表面微结构为凹槽、凸起或者贯穿孔，这些结构可以有效增大该导电结构的表面积，从而有助于释放应力。

图1A示出了本公开至少一实施例提供的显示基板10的示意图，如图1A所示，该显示基板10包括位于衬底基板101上的第一导电结构110，该第一导电结构110包括背离衬底基板101的第一表面111和第二表面112，该第一表面111与衬底基板101的板面具有第一夹角α，该第二表面112与衬底基板101的板面具有第二夹角，该第一夹角与第二夹角不同。例如，该第一夹角α大于0，也即第一表面111为斜面；例如，该第二夹角为0，也即该第二表面112与衬底基板的板面平行。该第一表面111上设置有第一表面微结构11，该第二表面112上设置有第二表面微结构12。

例如，该第一表面微结构11在该第一表面111上的正投影的最大尺寸大于该第二表面微结构12在该第二表面112上的正投影的最大尺寸。例如，该第一表面微结构11在垂直于该第一表面111的方向上的最大尺寸大于该第二表面微结构12在垂直于第二表面112的方向上的最大尺寸。由于第一表面111较第二表面112相对于衬底基板更为倾斜，应力更为集中，因此将该第一表面微结构11的尺寸设置得较大有助于应力释放更加均匀。

例如，该第一表面微结构11在该第一表面111上的正投影的最大尺寸为0.15-0.35微米，例如为0.22-0.28微米；在垂直于该第一表面111的方向上，该第一表面微结构11的最大尺寸范围为0.03-0.1微米，例如为0.05-0.08微米。例如，该第一导电结构的线宽范围为5-30微米。例如，该第一表面微结构11在垂直于该第一表面111的方向上的最大尺寸为该第一导电结构的平均厚度的5%-20%。

例如，该第二表面微结构12在该第二表面112上的正投影的最大尺寸为0.1-0.2微米，例如为0.12-0.15微米；在垂直于第二表面112的方向上，该第二表面微结构12的最大尺寸范围为0.02-0.08微米，例如为0.03-0.07微米。该第一导电结构的线宽范围为5-30微米。例如，该第二表面微结构12在垂

直于该第二表面 112 的方向上的最大尺寸为该第一导电结构的平均厚度的5%-20%。

这种设置可以使得该表面微结构可以有效释放应力的同时防止该第一导电结构由于该表面微结构的设置而出现不良。如图 1A 所示，该第一导电结构 110 还包括靠近衬底基板 101 的第三表面 113 和第四表面 114，第三表面 113 与第一表面 111 相对，第四表面 114 与第二表面 112 相对。

该第一表面微结构 11 具有垂直于衬底基板的第一截面 11a，该第二表面微结构具有垂直于衬底基板的第二截面 12a。例如，如图 1A 所示，该第一截面 11a 和第二截面 12a 均位于纸面内。该第一截面 11a 在第三表面 113 具有第一正投影（C1C2），该第一正投影的长度小于该第一表面微结构 11 在该第一截面 11a 上的长度，也即曲线 A1A2 的长度。该第二表面微结构 12 在第一投影面上具有第二截面 12a，第二截面 12a 在第四表面 114 上具有第二正投影（D1D2），该第二正投影的长度小于该第二表面微结构 12 在该第二截面 12a 上的长度，也即曲线 B1B2 的长度。

该曲线 A1A2 或 B1B2 可以有效增大该第一表面微结构 11 或第二表面微结构 12 的表面积，从而提高该第一表面微结构 11 和第二表面微结构 12 的应力释放能力。例如，该曲线 A1A2 和/或曲线 B1B2 包括弧线，从而使得应力释放更加均匀。

第一截面 11a 和第二截面 12a 均投影为线形结构（一维结构），该线形结构与第三表面和第四表面的形状有关。当该第三表面和第四表面为平坦表面时，该第一正投影和第二正投影分别为直线，如图 1A 所示；当该第三表面和第四表面为曲面时，该第一正投影和第二正投影分别为曲线。

例如，需要说明的是，当投影面为曲面时，某结构在该投影面上的正投影为该结构沿该投影面上的每一点的法线的方向形成在该投影面上的投影。

例如，该第三表面 113 和第四表面 114 的至少之一为平坦表面。如图 1A 所示，该第三表面 113 和第四表面 114 均为平坦表面。在垂直于衬底基板 101 的方向上，该第一表面微结构 11 与所述第三表面 113 至少部分重叠，该第二表面微结构 12 与该第四表面 114 至少部分重叠。

需要说明的是，该第三表面 113 和第四表面 114 的平坦性是相对于该第一表面微结构 11 或第二表面微结构 12 的尺度而言的，该第三表面 113 和第

四表面114的平坦性的判断尺度应该与该第一表面微结构11或第二表面微结构12的尺度在同一量级。例如，在与该第三表面113或第四表面114平行的方向上的判断尺度在0.1微米量级，在与该第三表面113或第四表面114垂直的方向上的判断尺度在0.01微米量级。例如，当该第三表面113/第四表面114中存在平行方向上尺寸达到0.1微米量级、垂直方向上尺寸达到0.01微米量级的凹陷或凸起结构，则判断该第三表面113/第四表面114为非平坦表面。

例如,该第一表面微结构11在第三表面113上的正投影的面积小于该第一表面微结构的表面积;该第二表面微结构12在该第四表面114上的正投影的面积小于该第二表面微结构的表面积。通过这种设置增大了该第一导电结构的表面积，从而有助于应力释放。

例如，沿第一导电结构的延伸方向，第一表面微结构具有第一端点、第一中间点和第二端点，第二表面微结构具有第三端点、第二中间点和第四中间点；所述第一中间点与所述第三表面的距离和所述第一端点及第二端点与所述第三表面的距离均不相等，所述第二中间点与所述第四表面的距离和所述第三端点及所述第四端点与所述第四表面的距离均不相等。

例如，如图1A所示，该第一表面微结构11和第二表面微结构12分别包括第一凹面结构和第二凹面结构，该第一凹面结构相对于该第一表面111所在的基准平面凹入，该第二凹面结构相对于该第二表面112所在的基准平面凹入。该凹面结构增大了该第一导电结构110的表面积，从而有助于应力的释放，降低该第一导电结构110受到应力断裂的风险。

如图1A所示，该第一凹面结构与第二凹面结构分别朝向不同的方向，例如该第一凹面结构的朝向可以定义为与该第一表面111垂直的方向，该第二凹面结构的朝向可以定义为与该第二表面112垂直的方向。这有助于分散该第一导电结构110上的应力，进一步降低不良风险。例如，该凹面结构的最大深度为该第一导电结构在该凹面结构所处的厚度的十分之一到五分之二。

例如，该第一导电结构在该第一表面微结构处的最小厚度小于该第一导电结构的平均厚度且大于该第一导电结构的平均厚度的3/5。

例如，如图1A所示，该第一表面微结构11在该第一截面11a上具有第

一端点 A1 和第二端点 A2，该第二表面微结构 12 在该第二截面 12a 具有第三端点 B1 和第四端点 B2。该第一端点 A1 与第二端点 A2 的线段的中点（未示出）与该第三端点 B1 和该第四端点 B2 的线段的中点（未示出）相对于衬底基板 101 的板面的距离不同。这种设置使得第一表面微结构 11 和第二表面微结构 12 相对于衬底基板具有不同的高度，有助于进一步分散第一导电结构 110 上的应力，降低不良风险。

例如，该第一端点 A1 与第二端点 A2 之间的距离 L1 大于该第三端点 B1 与该第四端点 B2 之间的距离 L2。例如，该第一凹面结构在垂直于该第一表面 111 的方向上的最大尺寸大于该第二凹面结构在垂直于第二表面 112 的方向上的最大尺寸。

例如，该第一端点 A1 与第二端点 A2 之间的距离 L1 和该第三端点 B1 与该第四端点 B2 之间的距离 L2 分别大于 0.1 微米小于 1 微米。

例如，该第一端点 A1 与第二端点 A2 之间的距离 L1 大于该第三端点 B1 与该第四端点 B2 之间的距离 L2；也即，位于斜面上的第一表面微结构长度更长。

例如，该第一端点 A1 与第二端点 A2 之间的距离 L1 为 0.15-0.35 微米，例如为 0.22-0.28 微米；例如，该第一凹面结构在垂直于该第一表面 111 的方向上的最大尺寸为 0.03-0.1 微米，例如为 0.05-0.08 微米。在该尺寸范围内，既保证了导电结构不至于断裂，又可以充分释放应力。

例如，该第三端点 B1 与该第四端点 B2 之间的距离 L2 为 0.1-0.2 微米，例如为 0.12-0.15 微米；例如，该第二凹面结构在垂直于第二表面 112 的方向上的最大尺寸范围为 0.02-0.08 微米，例如为 0.03-0.07 微米。

由于第一表面 111 较第二表面 112 相对于衬底基板更为倾斜，应力更为集中，因此将该第一凹陷结构的尺寸设置得较大有助于应力释放更加均匀。此外没通过将第一凹面结构和第二凹面结构进行上述尺寸的设置，既保证了导电结构不至于断裂，又可以充分释放应力。

在至少一实施例中，如图 1A 所示，该第一表面微结构 11 在该第一截面 11a 上具有第一端点 A1 和第二端点 A2，该第二表面微结构 12 在该第二截面 12a 上具有第三端点 B1 和第四端点 B2；该第一端点 A1 和第二端点 A2 的连线的中点与该第三端点 B1 和第四端点 B2 的连线的中点相对于该衬底基板

101 的板面的距离不同。

这种设置使得第一表面微结构 11 和第二表面微结构 12 相对于衬底基板具有不同的高度，有助于进一步分散第一导电结构 110 上的应力，降低不良风险。例如，第一表面 111 的粗糙度高于第三表面 113 的粗糙度，第二表面 112 的粗糙度高于第四表面 114 的粗糙度。这种设置可以提高该第一导电结构 110 与位于其上的绝缘层直接的粘附性，避免绝缘层的脱落。例如，可以通过在制作过程中对第一导电结构 110 远离衬底基板一侧的表面进行轻微的氧化处理来提高该表面的粗糙度,从而提高该第一表面和第二表面的粗糙度。例如，第一表面 111 的含氧量高于第三表面 113，第二表面 112 的含氧量高于第四表面 114。

例如，如图 1A 所示，该显示基板 10 还包括位于该第一导电结构 110 靠近该衬底基板 101 一侧的第一绝缘层 103，该第一绝缘层 103 包括分别与该第一导电结构 110 的第三表面 113 和第四表面 114 分别直接接触的第一部分 103a 和第二部分 103b,该第一部分 103a 的最小厚度 d1 小于该第二部分 103b 的最小厚度 d2。需要说明的是，如图 1A 所示，此处的厚度是指该第一绝缘层 103 在垂直于膜层表面方向上的的尺寸。由于第三表面 113 为斜面，这种设置将第一绝缘层 103 的第一部分 103 进行了减薄，有助于降低第一绝缘层 103 的第一部分 103a 的爬坡难度，从而降低第一导电结构 110 的断裂风险。

例如，所述第一表面微结构距离所述第三表面最近的点不是该第一端点或第二端点，且与所述第一端点和所述第二端点的距离不相等。

例如，如图 1A 所示，该第一凹面结构包括平滑的曲面，也即该曲面的切线与衬底基板 101 的夹角连续变化；在远离衬底基板 101 的方向上，该曲面的切线与衬底基板 101 的夹角变化率逐渐增大，也即该第一凹面结构是不对称的，在上游（远离衬底基板一侧）的坡度角小于下游（靠近衬底基板的一侧）的坡度角。

由于上游的凹面更容易反射上方来的光线，这种设置使得该第一导电结构可以更好地反射位于该第一导电结构远离衬底基板一侧的发光元件所发出的光线，从而提高光线的利用利用率。后文会结合显示基板的具体结构对此详细描述。

例如，如图 1A 所示，该第二凹面结构包括平滑的曲面，该曲面例如为

对称结构，也即该曲面的切线与衬底基板 101 的夹角连续变化且变化率保持不变。这种设置有助于平面上应力的均匀释放。

如图 1A 所示，该显示基板 10 还包括位于第一绝缘层 103 靠近衬底基板一侧的第二导电结构 120，例如该第一绝缘层 103 将该第一导电结构 110 与第二导电结构 120 间隔。例如，该第一绝缘层 103 形成于该第二导电结构 102 上，该第一绝缘层 103 的第一表面 111 因该第二导电结构 102 的存在而形成为斜面。

例如，在垂直于衬底基板 101 的方向上，该第一表面微结构 11 与该第二导电结构 120 不重叠。由于第一表面微结构 11 处应力较为集中，尤其集中在该第一表面微结构 11 的最深处，将该第一表面微结构 11 设置为与该第二导电结构 120 不重叠，降低由该第一表面微结构 11 处发生断裂导致的该第一导电结构 110 与该第二导电结构 120 之间的短路风险。

例如，如图 1A 所示，该显示基板 10 还包括位于第二导电结构 120 靠近衬底基板一侧的缓冲层 102，例如该缓冲层 102 与衬底基板 101 直接接触。该缓冲层 102 有助于提高衬底基板 101 的平坦度，以及提高第二导电结构 120 对衬底基板 101 的粘附性。在衬底基板 101 为有机柔性基板时，该缓冲层 102 还可以有效隔离外界的氧气或水分从而对基板上的电路结构形成保护。

图 1B 为本公开另一实施例提供的显示基板的示意图，图中仅示出了第一表面微结构 11。如图 1B 所示，第一导电结构 110 通过绝缘层 103 中的过孔 130 与第二导电结构 120 电连接，该过孔 130 与第一表面微结构 11 在垂直于衬底基板 101 的方向上至少部分重叠。

由于过孔处的应力较为集中，将该表面微结构 11 对应于该过孔 130 设置，可以有助于缓解过孔处的应力，降低断线风险。

如图 1B 所示，该第一绝缘层 103 包括层叠设置的第一子层 131 和第二子层 132，第二子层 132 相较于第一子层 131 远离衬底基板 101。过孔 130 贯穿该第一子层 131 和第二子层 132。该第一子层 131 包括被该过孔 130 暴露的第一侧面 131a，该第二子层 132 包括被该过孔 130 暴露的第二侧面 132a，该第一侧面 131a 与该第二侧面 132a 中的至少之一与该第一导电结构 130 的第三表面 133 直接接触。如图 1B 所示，该第一侧面 131a 与该第一导电结构 130 的第三表面 133 直接接触。

如图 1B 所示，该第一侧面 131a 与该衬底基板 101 的夹角（坡度角）为 β1，该第二侧面 132a 与衬底基板 101 的夹角为 β2，β1 小于 β2。

通过这种设置，一方面可以减缓第一绝缘层 103 在过孔 130 处的坡度，从而防止过孔过于陡直所带来的断线风险，另一方面可以防止过孔过于平缓而导致过孔占用的空间过大。

例如，在制作过程中，可以采用高温沉积工艺形成该第一子层 131，并采用低温沉积工艺形成该第二子层 132，如此该第二子层 132 的致密度高于第一子层 131 的致密度；然后采用干法刻蚀工艺刻蚀该第一绝缘层，从而使得第一子层 131 的坡度角小于第二子层 132 的坡度角。

图 2A 是本公开至少一实施例提供的显示基板的框图。如图 2A 所示，显示基板 10 包括呈阵列排布的多个子像素 100，例如，每个子像素 100 包括发光元件以及驱动该发光元件发光的像素电路。例如，该显示基板是有机发光二极管（OLED）显示基板，该发光元件为 OLED。该显示基板还可以包括多条扫描线、多条数据线以用于为该多个子像素提供扫描信号（控制信号）和数据信号，从而驱动该多个子像素。根据需要，该显示基板还可以进一步包括电源线、检测线等。

该像素电路包括用于驱动发光元件发光的驱动子电路和用于检测该子像素电特性以实现外部补偿的检测子电路。本公开实施例对于该像素电路的具体结构不作限制。

图 2B 示出了一种用于该显示基板的一种 3T1C 像素电路的示意图。根据需要，该像素电路还可以进一步包括补偿电路、复位电路等，本公开的实施例对此不作限制。

请一并参照图 2A 和图 2B，该像素电路包括第一晶体管 T1、第二晶体管 T2、第三晶体管 T3 和存储电容 Cst。第二晶体管 T2 的第一极与存储电容 Cst 的第一电容电极和第一晶体管 T1 的栅极电连接，第二晶体管 T2 的第二极配置为接收数据信号 GT，第二晶体管 T2 配置为响应于第一控制信号 G1 将该数据信号 DT 写入第一晶体管 T1 的栅极和存储电容 Cst；第一晶体管 T1 的第一极与存储电容 Cst 的第二电容电极电连接，并配置为与发光元件的第一电极电连接，第一晶体管 T1 的第二极配置为接收第一电源电压 V1（例如为高电源电压 VDD），第一晶体管 T1 配置为在第一晶体管 T1 的栅极的电

压的控制下控制用于驱动发光元件的电流；第三晶体管 T3 的第一极与第一晶体管 T1 的第一极以及存储电容 Cst 的第二电容电极电连接，第三晶体管 T3 的第二极配置为与检测线 230 连接以连到外部检测电路 21，第三晶体管 T3 配置为响应于第二控制信号 G2 检测所属的子像素的电特性以实现外部补偿；该电特性例如包括第一晶体管 T1 的阈值电压和/或载流子迁移率，或者发光元件的阈值电压、驱动电流等。该外部检测电路 21 例如为包括数模转换器（DAC）和模数转换器（ADC）等的常规电路，本公开的实施例对此不作赘述。

本公开的实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件，本公开的实施例中均以薄膜晶体管为例进行说明。这里采用的晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中，为了区分晶体管除栅极之外的两极，直接描述了其中一极为第一极，另一极为第二极。此外，按照晶体管的特性区分可以将晶体管分为 N 型和 P 型晶体管。当晶体管为 P 型晶体管时，开启电压为低电平电压（例如，0V、-5V、-10V 或其他合适的电压），关闭电压为高电平电压（例如，5V、10V 或其他合适的电压）；当晶体管为 N 型晶体管时，开启电压为高电平电压（例如，5V、10V 或其他合适的电压），关闭电压为低电平电压（例如，0V、-5V、-10V 或其他合适的电压）。需要说明的是，在下面的描述中均以图 2B 中的晶体管为 N 型晶体管为例进行说明，然而不作为对本公开的限制。

下面结合图 2D-图 2F 所示的信号时序图对图 2B 所示的像素电路的工作原理进行说明，其中图 2D 示出了该像素电路在显示过程的信号时序图，图 2E 和图 2F 示出了该像素电路在检测过程的信号时序图。

例如，如图 2D 所示，每一帧图像的显示过程包括数据写入和复位阶段 1 以及发光阶段 2。图 2C 示出了每个阶段中各个信号的时序波形。该 3T1C 像素电路的一种工作过程包括：在数据写入和复位阶段 1，第一控制信号 G1 和第二控制信号 G2 均为开启信号，第二晶体管 T2 和第三晶体管 T3 导通，数据信号 DT 经第二晶体管 T2 传输至第一晶体管 T1 的栅极，第一开关 K1 关闭，模数转换器通过检测线 230 及第三晶体管 T3 向发光元件的第一电极（例如 OLED 的阳极）写入复位信号，第一晶体管 T1 导通并产生驱动电流

将发光元件的第一电极充电至工作电压；在发光阶段 2，第一控制信号 G1 和第二控制信号 G2 均为关闭信号，由于存储电容 Cst 的自举效应，存储电容 Cst 两端的电压保持不变，第一晶体管 T1 工作在饱和状态且电流不变，并驱动发光元件发光。

例如，图 2E 示出了该像素电路在进行阈值电压的检测时的信号时序图。该 3T1C 像素电路的一种工作过程包括：第一控制信号 G1 和第二控制信号 G2 均为开启信号，第二晶体管 T2 和第三晶体管 T3 导通，数据信号 DT 经第二晶体管 T2 传输至第一晶体管 T1 的栅极；第一开关 K1 关闭，模数转换器通过检测线 230 及第三晶体管 T3 向发光元件的第一电极（节点 S）写入复位信号，第一晶体管 T1 导通并对节点 S 进行充电直至第一晶体管截止，数模转换器对检测线 230 上的电压取样即可得到第一晶体管 T1 的阈值电压。该过程例如可以在显示装置关机时进行。

例如，图 2F 示出了该像素电路在进行载流子迁移率的检测时的信号时序图。该 3T1C 像素电路的一种工作过程包括：在第一阶段，第一控制信号 G1 和第二控制信号 G2 均为开启信号，第二晶体管 T2 和第三晶体管 T3 导通，数据信号 DT 经第二晶体管 T2 传输至第一晶体管 T1 的栅极；第一开关 K1 关闭，模数转换器通过检测线 230 及第三晶体管 T3 向发光元件的第一电极（节点 S）写入复位信号；在第二阶段，第一控制信号 G1 为关闭信号，第二控制信号 G1 为开启信号，第二晶体管 T2 关断，第三晶体管 T3 导通，并将第一开关 K1、第二开关 K2 断开以将检测线 230 浮置；由于存储电容 Cst 的自举效应，存储电容 Cst 两端的电压保持不变，第一晶体管 T1 工作在饱和状态且电流不变并驱动发光元件发光，然后数模转换器对检测线 230 上的电压取样，并结合发光电流的大小和持续时间可以计算出第一晶体管 T1 中的载流子迁移率。例如，该过程可以在显示阶段之间的消隐阶段进行。

通过上述检测可以得到第一晶体管 T1 的电特性并实现相应的补偿算法。

例如，如图 2A 所示，显示基板 10 还可以包括数据驱动电路 23 和扫描驱动电路 24。数据驱动电路 23 配置为根据需要（例如输入显示装置的图像信号）可发出数据信号，例如上述数据信号 DT；每个子像素的像素电路还配置为接收该数据信号并将该数据信号施加至该第一晶体管的栅极。扫描驱动电路 24 配置为输出各种扫描信号，例如包括上述第一控制信号 G1 和第二

控制信号 G2，其例如为集成电路芯片（IC）或者为直接制备在显示基板上的栅驱动电路（GOA）。

例如，显示基板 10 还包括控制电路 22。例如，控制电路 22 配置为控制数据驱动电路 23 施加数据信号，以及控制栅极驱动电路施加扫描信号。该控制电路 22 的一个示例为时序控制电路（T-con）。控制电路 22 可以为各种形式，例如包括处理器 121 和存储器 127，存储器 121 包括可执行代码，处理器 121 运行该可执行代码以执行上述检测方法。

例如，处理器 121 可以是中央处理单元（CPU）或者具有数据处理能力和/或指令执行能力的其它形式的处理装置，例如可以包括微处理器、可编程逻辑控制器（PLC）等。

例如，存储器 127 可以包括一个或多个计算机程序产品，所述计算机程序产品可以包括各种形式的计算机可读存储介质，例如易失性存储器和/或非易失性存储器。易失性存储器例如可以包括随机存取存储器（RAM）和/或高速缓冲存储器（cache）等。非易失性存储器例如可以包括只读存储器（ROM）、硬盘、闪存等。在计算机可读存储介质上可以存储一个或多个计算机程序指令，处理器 121 可以运行该程序指令期望的功能。在计算机可读存储介质中还可以存储各种应用程序和各种数据，例如在上述检测方法中获取的电特性参数等。

图 3A 为本公开至少一个实施例提供的显示基板 10 的子像素的示意图，如图 3A 所示，该显示基板 10 包括衬底基板 101，多个子像素 100 位于该衬底基板 101 上。多个子像素 100 沿第一方向 D1 和第二方向 D2 分布为像素阵列，该像素阵列包括多个像素列和多个像素行，该像素阵列的列方向为第一方向 D1，行方向为第二方向 D2，第一方向 D1 与第二方向 D2 交叉，例如正交。

例如，每个像素行的子像素被划分为多个像素单元，每个像素单元配置为发出全彩光。图 3A 中示例性地示出了一个像素单元，本公开的实施不限于此布局；图 3B 示出了图 3A 沿剖面线 I-I’ 的剖视图。如图 3A 所示，该像素单元包括沿第二方向 D2 依次布置的第一子像素 P1、第二子像素 P2 和第三子像素 P3，该第一子像素 P1、第二子像素 P2 和第三子像素 P3 分别用于发出三种基本色（RGB）的光；例如，第一子像素 P1 为红色子像素，第二

子像素 P2 为蓝色子像素，第三子像素 P3 为绿色子像素。

例如，该像素单元还可以包括第四子像素 P4，该第四子像素 P4 用于发白光。例如，该第四子像素 P4 位于该第一子像素 P1 和第二子像素 P2 之间，然而本公开实施例对于第四子像素 P4 的位置不作限制。

结合参考图 3A 和图 3B，该显示基板 10 包括依次设置在衬底基板 101 上的第一导电层 501、第一绝缘层 201、半导体层 104、第二绝缘层 202、第二导电层 502、第三绝缘层 203 和第三导电层 503。

以下将对图 3A 所示的显示基板 10 中子像素的具体结构进行说明。为了方便说明，在以下的描述中用 T1g、T1s、T1d、T1a 分别表示第一晶体管 T1 的栅极、第一极、第二极和有源层，用 T2g、T2s、T2d、T2a 分别表示第二晶体管 T2 的栅极、第一极、第二极和有源层，用 T3g、T3s、T3d、T3a 分别表示第三晶体管 T3 的栅极、第一极、第二极和有源层，用 Ca、Cb 和 Cc 分别表示存储电容 Cst 的第一电容电极、第二电容电极和第三电容电极。

需要说明的是，本公开中所称的“同层设置”是指两种（或两种以上）结构通过同一道沉积工艺形成并通过同一道构图工艺得以图案化而形成的结构，它们的材料可以相同或不同。本公开中的“一体的结构”是指两种（或两种以上）结构通过同一道沉积工艺形成并通过同一道构图工艺得以图案化而形成的彼此连接的结构，它们的材料可以相同或不同。

例如，结合参考图 3A 和图 3B，该第一导电层 501 包括屏蔽层 170，该屏蔽层 170 在衬底基板 101 上的正投影覆盖第一晶体管 T1 的有源层 T1a 在衬底基板 101 上的正投影。第一晶体管 T1 作为像素电路的驱动晶体管，其电特性的稳定对于发光元件的发光特性非常重要。该屏蔽层 170 为不透光层，可以避免光线从衬底基板 101 的背面射入第一晶体管 T1 的有源层而引起第一晶体管 T1 的阈值电压的漂移，从而避免影响与之连接的对应的发光元件的发光特性。

例如，该屏蔽层 170 为不透光的导电材料，例如为金属或金属合金材料。这种设置可以缓解衬底基板 101 由于捕获电荷所导致的背沟道现象。

例如，该半导体层 104 包括第一晶体管 T1 的有源层 T1a、第二晶体管 T2 的有源层 T2a 和第三晶体管 T3 的有源层 T3a。

例如，该半导体层 104 还包括该存储电容 Cst 的第一电容电极 Ca，该第

一电容电极 Ca 由该半导体层 104 经导体化处理得到；也即第一电容电极 Ca 与第一晶体管 T1 的有源层 T1a、第二晶体管的有源层 T2a 及所述第三晶体管的有源层 T3a 同层设置。

例如，该第二导电层 502 包括第一晶体管 T1 的栅极 T1g、第二晶体管 T2 的栅极 T2g 和第三晶体管 T3 的栅极 T3g。

例如，该显示基板 10 采用自对准工艺，利用第二导电层 502 作为掩膜对该半导体层 104 进行导体化处理（例如掺杂处理），使得该半导体层 104 未被该第二导电层 502 覆盖的部分被导体化，从而得到该第一电容电极 Ca，并使得各晶体管的有源层位于沟道区两侧的部分被导体化而形成分别第一极接触区及第二极接触区，该第一极接触区和第二极接触区分别用于与该晶体管的第一极和第二极电连接。

例如，该第三导电层 503 包括第一晶体管 T1 的第一极 T1s 和第二极 T1d、第二晶体管 T2 的第一极 T2s 和第二极 T2d 以及第三晶体管 T3 的第一极 T3s 和第二极 T3d。

例如，该第三导电层 503 还包括存储电容 Cst 的第二电容电极 Cb。例如，如图 3B 所示，该第二电容电极 Cb 与第一晶体管 T1 的第二极 T1d 同层设置且彼此连接为一体的结构。如图 3B 所示，该第一电容电极 Ca 和第二电容电极 Cb 在垂直于衬底基板 101 的方向上彼此重叠形成存储电容 Cst。

图 2C 示出了本公开另一实施例提供的显示基板中的像素电路图。例如，该存储电容 Cst 还包括第三电容电极 Cc，该第三电容电极位于第一电容电极 Ca 远离第二电容电极 Cb 的一侧且与第二电容电极 Cb 通过图 3A 所示的 7 号过孔彼此电连接从而形成并联电容的结构，增大存储电容 Cst 的电容值。例如，在垂直于衬底基板 101 的方向上，该第三电容电极 Cc、第二电容电极 Cb、第一电容电极 Ca 三者均彼此重叠。

例如，如图 3B 所示，该第三电容电极 Cc 位于第一导电层 501。例如，该屏蔽层 170 与该存储电容 Cst 的第二电容电极 Cb 同层设置且材料相同。例如，该屏蔽层 170 与该存储电容 Cst 的第二电容电极 Cb 为同一电极块。在这种情形，该屏蔽层 170 连接到第三晶体管 T3 的第一极 T3s 从而避免该屏蔽层因浮置而在显示操作中发生电位变化而影响晶体管的阈值电压。

例如，结合参考图 3A-3B，对于每个子像素，第一晶体管 T1 与第二晶

体管 T2 沿第二方向 D2 排列，在该第二方向 D2 上并列设置。例如，在第一方向 D1 上，第一晶体管 T1 与第二晶体管 T2 位于第二电容电极 Cb 的同一侧，并与第三晶管 T3 位于第二电容电极 Cb 的相对两侧。

例如，该显示基板 10 还包括从第一晶体管 T1 的栅极 T1g 突出的延伸部 180，该延伸部 180 从该第一晶体管 T1 的栅极 T1g 沿第二方向 D2 延伸并与该第二晶体管 T2 的第一极 T2s 在垂直于衬底基板 101 的方向上至少部分重叠且电连接。

如图 3B 所示，第二晶体管 T2 的第一极 T2s 通过过孔 800（本公开第二过孔的一个示例）与其第一极接触区 Ta1、该延伸部 180（也即该第一晶体管 T1 的栅极 T1g）以及该第一电容电极 Ca 电连接。该第二晶体管 T2 的第一极 T2s 通过一个过孔与该三部分电连接，比起通过多个过孔与该三部分分别进行电连接，可以减小占用的版图空间，提高布线密度，从而提高像素密度。如图 3B 所示，该过孔 800 形成于该第三绝缘层 203 中，该延伸部 180 与第二绝缘层 202 位于该延伸部 180 下方的部分位于该过孔 800 中将该过孔 800 间隔为两个凹槽部分，即第一凹槽 V1 和第二凹槽 V2，该第二凹槽 V2 相对于第一凹槽 V1 更靠近第三晶体管 T3。该第二晶体管 T2 的第一极 T2s 填充在该过孔 800 中并覆盖该第一凹槽 V1 和第二凹槽 V2 且具有相对于衬底基板平行或倾斜的表面。

结合参照图 3A-3B，该第二晶体管 T2 的第一极 T2s 沿第一方向 D1 延伸，跨越该延伸部 180（与该延伸部 180 交叉）并通过该过孔 800（也即图 3A 中的 2 号过孔）与第一电容电极 Ca 电连接。例如，该延伸部 180 具有在第一方向上相对的第一侧面和第二侧面；例如，该过孔 800 沿第一方向 D1 延伸，并暴露出该延伸部 180 的表面以及该第一侧面和第二侧面的至少部分。该第二晶体管 T2 的第一极 T2s 包括第一部分 S1、第二部分 S2 和第三部分 S3，该第一部分 S1、第二部分 S2 和第三部分 S3 在第一方向 D1 上依次连接。该第二部分 S2 与该延伸部 180 重叠，该第一部分 S1 和第三部分 S3 在第一方向 D1 上分别位于该第二部分 S2 的两侧，该第三部分 S3 位于该第二部分 S2 靠近该第三晶体管 T3 的一侧；该第一部分 S1 填充该第一凹槽 V1，该第三部分 S3 填充该第二凹槽 V2。例如，通过该过孔 800，该第一部分 S1 与第二晶体管 T2 的有源层 T2a 的第一极接触区 T2a1 电连接，该第二部分 S2 与该

延伸部 180 直接接触电连接，这有助于增大接触面积降低电阻；该第三部分 S3 与第一电容电极 Ca 电连接。

例如，第二晶体管 T2 的第一极 T2s 沿第一方向延伸，并通过该过孔 800 包覆该延伸部 180 的两个侧面，例如，该第一部分 S1 覆盖第一侧面，该第三部分 S3 覆盖该第二侧面。这样使得第二晶体管 T2 的第一极 T2s 与该延伸部 180 具有较大的接触面积，从而降低二者的接触电阻。

例如，如图 3B 所示，该显示基板 10 还可以包括连接部 720，该连接部 720 与该延伸部 180 在垂直于衬底基板 101 的方向重叠且与该第一电容电极 Ca 同层的连接部 720，该连接部 720 将该第一电容电极 Ca 与第二晶体管 T2 的第一极接触区 T2a1 连接为一体的结构。该连接部 720 由于被该延伸部 180 遮挡而为未被导体化的部分。当该第二晶体管 T2 导通，将数据信号从该第二晶体管 T2 的第二极 T2d 传输至其第一极 T2s 及第一晶体管 T1 的栅极 T1g 时，该连接部 720 在其上方的延伸部 180 及该第二晶体管 T2 的第一极 T2s 中的数据信号的作用下导通，从而可以将该第二晶体管 T2 的第一极 T2s 与该第一电容电极 Ca 电连接。这样就在该第二晶体管 T2 的第一极 T2s 与该第一电容电极 Ca 之间形成了双通道结构，有助于降低通道电阻。

此外，如图 3B 所示，该连接部 720 将该第一电容电极 Ca 与该第二晶体管 T2 的第一极接触区 T2a1 连接为一体的结构，从而将该第二晶体管 T2 的第一极接触区 T2a1 也纳入该第一电容电极 Ca 范围内。这样可以使得该第一电容电极 Ca 具有较大的面积，并且与该第三电容电极 Cc 具有较大的重叠面积，从而增大该存储电容 Cst 的容值。

例如，如 3B 所示，该第三电容电极 Cc 可以与该第二晶体管 T2 的第一极接触区 T2a1 在垂直于衬底基板的方向至少部分重叠，以与该第一电容电极具有更大的重叠面积从而提高存储电容 Cst 的容值。例如，该第三电容电极 Cc 与该第二晶体管 T2 的沟道区 T2a0 在垂直于衬底基板 101 的方向上不重叠。这是为了避免该第三电容电极 Cc 上的电位对于该第二晶体管 T2 的工作造成不利影响，例如防止该第三电容电极 Cc 上的电位对该第二晶体管 T2 的沟道区 T2a0 进行作用而导致该第二晶体管 T2 不能正常关闭、漏电流较大等问题。

例如，如图 3A 所示，该显示基板 10 还可以包括与每个像素行对应连接

的第一扫描线 150 和第二扫描线 160。例如，该第一扫描线 150 和第二扫描线 160 位于第二导电层 502 中且沿第二方向 D2 延伸。

例如，该第一扫描线 150 与对应的一行子像素的第二晶体管 T2 的栅极 T2g 为一体的结构，该第二扫描线 160 分别与对应的一行子像素的第三晶体管 T3 的栅极 T3g 为一体的结构。

例如，如图 3A 所示，对于每行子像素，沿第一方向 D1，所对应的第一扫描线 150 与第二扫描线 160 分别位于该行子像素中的第一晶体管 T1 的两侧。

例如，每条第一扫描线 150 包括交替连接的第一部分 151 和第二部分 152，第二部分 152 为环状结构，且在第一方向上 D1，该第二部分 152 的尺寸大于第一部分 151。类似地，每条第二扫描线 160 包括交替连接的第一部分 161 和第二部分 162，第二部分 162 为环状结构，且在第一方向上 D1，该第二部分 162 的尺寸大于第一部分 161。

例如，所述显示基板包括多个第一表面微结构和多个第二表面微结构，所述多个第一表面微结构和多个第二表面微结构中的一部分与所述第一扫描线的第一部分在垂直于衬底基板的方向上重叠，所述多个第一表面微结构和多个第二表面微结构的另一部分与所述第一扫描线的第二部分在垂直于所述衬底基板的方向上重叠；在垂直于衬底基板的方向上，与所述第一扫描线的第二部分重叠的第一表面微结构和第二表面微结构的分布密度大于与所述第一扫描线的第一部分的重叠的第一表面微结构和第二表面微结构的分布密度。

由于具有环状结构的第二部分的应力较具有条状结构的第一部分的应力更集中，通过上述设置可以提高应力释放效果。

例如，所述第一重叠面积大于所述多个第一表面微结构或所述第二表面微结构中的每个在所述衬底基板的正投影的面积；所述第二重叠面积大于所述多个第一表面微结构或所述第二表面微结构中的每个在所述衬底基板的正投影的面积。

释放结构面积太大，容易出现应力的过释放，导致面板不良，当表面微结构的面积小于该重叠面积的时候，可以使得在该区域内的应力得到充分释放，保证该区域面板的稳定性。

需要说明的是，本公开中表面微结构的分布密度是指基板的单位面积内所分布的表面微结构的个数。

例如，该显示基板 10 还包括沿第一方向 D1 延伸的多条信号线，例如，该信号线可以是数据线、电源线或辅助电极线等。如图 3A 所示，每个第二部分 152 均与至少一条数据线在垂直于衬底基板 101 的方向上交叉，从而定义出沿第二方向 D2 布置的多个第一镂空区 H1；每个第二部分 162 均与至少一条数据线在垂直于衬底基板 101 的方向上交叉，从而定义出沿第二方向 D2 布置的多个第二镂空区 H2。

通过将扫描线与信号线交叉的部分设置为环状结构，也即双通道结构，可以有效提高器件的良率。例如，信号线交叉的位置容易因寄生电容发生静电击穿而导致短路不良，在检测过程中当检测到该环状结构的一个通道发生短路不良，可以将该通道切除（例如通过激光切割），电路结构仍可以通过另一个通道进行正常工作。

例如，如图 3A 所示，该多条信号线包括多条数据线 DL，该多条数据线 DL 与该子像素阵列中的每一列子像素一一对应连接以为子像素提供数据信号。对于一个像素行，该多条数据线被划分为与该像素行中的多个像素单元一一对应的多个数据线组，如图 3A 所示，每个数据线组包括与第一子像素 P1 连接的第一数据线 DL1、与第二子像素 P2 连接的第二数据线 DL2、与第三子像素 P3 连接的第三数据线 DL3 以及与第四子像素 P4 连接的第四数据线 DL4。对于每个像素单元，与该像素单元对应连接的数据线 DL1-DL4 均位于第一子像素 P1 与第三子像素 P3 之间。这种设置可以为检测线和电源线的设置提供空间。

例如，如图 2A 所示，显示基板 10 还包括沿第一方向 D1 延伸的多条检测线 230，该检测线 230 用于与子像素 100 中检测子电路（如第三晶体管 T3）连接，并将该检测子电路连接到外部检测电路。例如，每条检测线 230 与多条数据线 DL 中的任意一条之间间隔有至少一列所述子像素；也即，该检测线 230 不与任一数据线 DL 直接相邻。例如，如图 2A 所示，对于每个像素单元，第一数据线 DL1 与第四数据线 DL4 位于第一子像素 P1 与第四子像素 P4 之间，第二数据线 DL2 与第三数据线 DL3 位于第二子像素 P2 与第三子像素 P3 之间，检测线 230 位于第四子像素 P4 与第二子像素 P2 之间。

通过这种设置，避免数据线因与该检测线直接相邻而引起阻容负载造成数据线上的信号延迟，进一步避免了该延迟导致的显示不均等不良问题。此外，由于数据线 DL 上传输的信号通常为高频信号，将检测线 230 与数据线 DL 设置为不直接相邻可以避免检测线 230 在外部补偿充电采样过程中收到高频信号串扰从而影响采样精度。

例如，如图 3A 所示，该像素单元中的四个子像素共用一条检测线 230，该检测线 230 通过沿第二方向 D2 延伸的检测部 231 分别与四个子像素中的第三晶体管 T3 的第二极 T3d 电连接。该检测线 230 通过过孔与检测部 231 电连接，该检测部 231 通过 10 号过孔与第三晶体管 T3 的第二极 T3d 电连接。该第三晶体管 T3 的第一极 T3s 通过 6 号过孔与第三晶体管 T3 的第一极接触区 T3a1 电连接，第三晶体管 T3 的第二极 T3d 通过 5 号过孔与第三晶体管 T3 的第二极接触区 T3a2 电连接。

例如，该第三晶体管 T3 与第二电容电极 Cb 同层设置且连接为一体的结构。

例如，如图 3A 所示，该显示基板 10 还包括沿第一方向 D1 延伸的多条电源线 240，该多条电源线 240 配置为为多个子像素提供第一电源电压，该电源电压例如为高电源电压 VDD。该电源线 240 例如位于第三导电层 503 中。如图 3A 所示，该多条电源线 240 的每条与多条数据线中的任意一条之间间隔有至少一个像素列；也即，电源线 240 不与任一数据线 DL 直接相邻。通过这种设置，避免数据线因与电源线直接相邻而引起阻容负载造成数据线上的信号延迟，进一步避免了该延迟导致的色偏、显示不均等不良问题。

例如，任一电源线 240 与检测部 231 在垂直于衬底基板 101 的方向上不交叠，也即该电源线 240 对应于相邻的检测部 231 的间隔处设置。这种设置方式降低了信号线的交叠从而有效降低信号线之间的寄生电容以及由此引起的信号延迟。

例如，如图 3B 所示，该电源线 240 通过 3 号过孔与直接相邻的子像素（例如第一子像素 P1）的第一晶体管 T1 的第二极 T1d 电连接，例如该电源线与该第一晶体管 T1 的第二极 T1d 为一体的结构。例如，该电源线 240 通过连接电极 241 与和该电源线 240 不直接相邻的子像素的第一晶体管 T1 的第二极 T1d 电连接。例如，该连接电极 241 通过 11 号过孔与第二子像素或

第四子像素的第一晶体管 T1 的第二极 T1d 电连接。

例如，所述显示基板包括多个第一表面微结构 11 和多个第二表面微结构 12，所述多个第一表面微结构和多个第二表面微结构中的一部分分布在所述多条数据线 DL 上，所述多个第一表面微结构和多个第二表面微结构的另一部分分布在所述多条电源线上；所述多个第一表面微结构和所述多个第二表面微结构在所述多条数据线上的分布密度大于所述多个第一表面微结构和所述多个第二表面微结构在所述多条电源线上的分布密度。

由于数据线上加载的动态电压，对应力的敏感性更高，因此将数据线上的表面微结构的分布密度设置得更高，有助于提高面板的稳定性。

例如，该连接电极 241 与检测部 231 均位于第一导电层 501 中。

例如，在垂直于衬底基板的方向上，连接电极 241 与检测线 230 不重叠。如图 3B 所示，该连接电极 241 在对应检测线 230 的位置断开从而不与检测线 230 重叠，这样可以降低寄生电容。

例如，本公开中的第一表面微结构和第二表面微结构可以设置在上述本公开提供的显示基板中的任意信号线或任意导电结构中，例如，设置在该信号线或导电结构对应过孔处的部分，以帮助释放该信号线或导电结构在该过孔处的应力，从而降低断线风险。

例如，该第一表面微结构和第二表面微结构之间的距离小于一个子像素的尺寸的 1/10。这种设置可以有效释放像素尺寸范围内的应力。

例如，所述第一表面微结构在所述衬底基板上的正投影与所述第二表面微结构在所述衬底基板上的正投影之间的中心距离在所述第一方向和所述第二方向的分量分别小于所述多个子像素的每个在所述第一方向和所述第二方向的平均尺寸。

例如，一个子像素的大小由与其直接相邻且分别位于两侧的信号线所限定。例如，如图 3B 所示，每个子像素在第一方向上的平均尺寸（长度）为与其对应的第一扫描线 150 和第二扫描线 160 的平均间距，每个子像素在第二方向上的平均尺寸（宽度）为其对应的数据线 DL 和检测线 230/电源线 240 的平均间距。

例如，一个子像素的长度和宽度分别为 100-500 微米，该第一表面微结构 11 和第二表面微结构 12 在所述衬底基板上的正投影之间的中心距离为

5-20 微米。

例如，该第一表面微结构 11 与第二表面微结构 12 沿第一方向 D1 排列，例如位于沿第一方向 D1 延伸的信号线（如数据线、电源线、检测线等）上。例如，如图 3A 所示，第一表面微结构 11 和第二表面微结构 12 位于同一电源线 240 上，第一表面微结构 11 包括第一凹面结构，第二表面微结构 12 包括第二凹面结构，该第一凹面结构与第二凹面结构朝向颜色相同的子像素，例如，该第一凹面结构和该第二凹面结构的法线在衬底基板上的正投影与第一方向 D1 的夹角均为锐角，也即指向同一列子像素。

例如，每个像素列的子像素（也即位于同一列的子像素）发相同颜色的光。当发光元件发光的光斜射入该凹面结构上时，该凹面结构可以将该光线发生回发光元件（例如发光元件的阴极），上述设置可以使得凹面结构将光线发射回与该光线颜色相同的子像素，从而避免不同延伸的子像素的光线的串色。

以下以该第二晶体管 T2 的第一极 T2s 作为本公开的第一导电结构为例对本公开提供的显示基板进行示例性说明，然而本公开实施例并不限于此。

例如，第一表面微结构 11 位于该第二晶体管 T2 的第二极 T2 的与衬底基板倾斜的表面上，例如位于该第二晶体管 T2 的第二极 T2 的第一部分、第二部分、第三部分的至少一个上，该第二表面微结构 12 位于该第二晶体管 T2 的第二极 T2s 的与衬底基板平行的表面上，例如位于该第二晶体管 T2 的第二极 T2 的第一部分、第二部分、第三部分的至少一个上。

例如，如图 3A-3B，该第一表面微结构 11 位于该第二晶体管 T2 的第二极 T2 的第三部分 S3，该第三部分 S3 由于填充到过孔 800（或者第一第二凹槽 V2 中）中而具有相对于成基板的两个斜面（本公开第一导电结构的第一表面的一个示例），该第一表面结构 11 位于两个斜面的至少之一上。例如，如图 3B 所示，该第一表面微结构 11 位于靠近第三晶体管 T3 的斜面上。

例如，在另一些示例中，第一表面微结构 11 可以位于该第二晶体管 T2 的第二极 T2 的第一部分 S1，该第一部分 S1 由于填充到过孔 800 中而具有相对于衬底基板的斜面（本公开第一导电结构的第一表面的一个示例），该第一表面微结构 11 位于该斜面上。

例如，如图 3B 所示，该第二表面微结构位于该第三部分 S3 填充入该第

二凹槽且形成与该衬底基板的板面平行的表面的部分上。由于导电结构在凹槽中所受的应力较大，在该第三部分 S3 填充入凹槽的部分设置表面微结构可有助于应力释放。

在另一些示例中，该第二晶体管 T2 的第二极 T2 的第一部分 S1、第二部分 S2 和第三部分 S3 的与衬底基板的板面平行的表面（本公开第一导电结构的第二表面的若干示例）上分别设置有该第二表面微结构 12。例如，该第二晶体管 T2 的第二极 T2 的第一部分 S1 包括位于该过孔 800 中与该半导体层 104 直接接触的部分，该部分的上表面可以设置该第二表面微结构 12 以缓解应力。

需要说明的是，为了方便示意，图 3B 中用空白示出了该第一表面微结构 11 和第二表面微结构 12 的凹陷结构，在实际结构中，该凹陷结构可能至少被周围的绝缘层填充，例如全部被该第四绝缘层 204 填充。

由于过孔 800 的尺寸相对较大，在该第二晶体管 T2 的第二极 T2s 上设置该第一表面微结构 11 和第二表面微结构 12 可以有效缓解该第二晶体管 T2 的第二极 T2s 上的应力，从而降低不良风险。

例如，该第一表面微结构在第一方向上的尺寸小于该第三部分 S3 沿该第一方向的最大尺寸的十分之一。

例如，该第一表面微结构 11 或第二表面微结构 12 在第一方向 D1 上的尺寸（也即图 3B 中沿剖面线 I-I’ 方向的尺寸）小于该过孔 800 在衬底基板 101 上的正投影在第一方向 D1 上的最大尺寸的十分之一，例如为 2%-5%。

例如，参考图 3A-3B，每个子像素还包括发光元件 125，例如，该发光元件为有机发光二极管，包括依次层叠设置的第一电极 123、发光层 124 和第二电极 122。例如，该发光元件 125 为顶发射结构，第一电极具有反射性而第二电极 122 具有透射性或半透射性。例如，第一电极为高功函数的材料以充当阳极，例如为 ITO/Ag/ITO 叠层结构；第二电极 122 为低功函数的材料以充当阴极，例如为半透射的金属或金属合金材料，例如为 Ag/Mg 合金材料。

例如，该显示基板 10 还包括位于第三导电层 503 与发光元件的第一电极 123 之间的第四绝缘层 204 和第五绝缘层 205。例如，该第四绝缘层 204 为钝化层，例如为无机绝缘层，例如氧化硅、氮化硅、氮氧化硅等硅的氧化物、

硅的氮化物或硅的氮氧化物；该第五绝缘层 205 为有机绝缘材料，例如为聚酰亚胺（PI）、丙烯酸酯、环氧树脂、聚甲基丙烯酸甲酯（PMMA）等有机绝缘材料。例如，第五绝缘层 205 为平坦化层。

例如，显示基板 10 还包括位于发光元件 125 的第一电极 123 上的像素界定层 206，该像素界定层 206 为有机绝缘材料，例如为聚酰亚胺（PI）、丙烯酸酯、环氧树脂、聚甲基丙烯酸甲酯（PMMA）等有机绝缘材料。该发光元件 125 的第一电极 123 通过过孔 700（也即图 3A 中的 8 号过孔）与第一晶体管 T1 的第一极 T1s 以及第二电容电极 Cb 电连接，该过孔 700 例如贯穿第四绝缘层 204 和第五绝缘层 205。

例如，如图 3A-3B 所示，发光元件的第一电极 123 包括在第一方向 D1 上依次连接的第一电极部 123a、第二电极部 123b 和第三电极部 123c，该第一电极部 123a 用于与对应的第一晶体管 T1 的第一极 T1s 电连接且在垂直于衬底基板 101 的方向上与对应的第一晶体管 T1 的第一极 T1s 重叠。该第三电极部 123c 用于与发光层 124 直接接触，与发光元件的开口区（未示出）在垂直于衬底基板的方向上重叠，也即该第三电极部 123c 对应于该发光元件的有效发光区域；与过孔 700 在垂直于衬底基板的方向上不重叠，从而避免过孔 700 处界面对发光材料的发光效率造成不良影响。该第二电极部 123b 将该第一电极部 123a 与第三电极部 123c 连接。例如，发光元件的开口区为像素界定层 206 中与该发光元件对应设置的开口区，该开口区暴露出该发光元件的第一电极 123，并容纳该发光元件的发光层的至少部分。

如图 3A 所示，发光元件的第一电极 123 的第二电极部 123b 在第二方向 D2 的平均尺寸小于第一电极部 123a 在第二方向 D2 的平均尺寸，也小于第三电极部 123c 在第二方向 D2 的平均尺寸。

例如，所述第一电极部沿所述第一方向的最大尺寸和沿所述第二方向的最大尺寸之和小于所述第三电极部沿所述第一方向的最大尺寸和沿所述第二方向的最大尺寸之和；所述第二电极部沿所述第一方向的最大尺寸和沿所述第二方向的最大尺寸之和小于所述第三电极部沿所述第一方向的最大尺寸和沿所述第二方向的最大尺寸之和。

例如，显示基板包括多个第一表面微结构 11 和多个第二表面微结构 12，所述多个第一表面微结构和多个第二表面微结构中的一部分与所述第一电极

部在垂直于衬底基板的方向上重叠，所述多个第一表面微结构和多个第二表面微结构的另一部分与所述第三电极部在垂直于所述衬底基板的方向上重叠；与所述第一电极部重叠的第一表面微结构和第二表面微结构的分布密度大于与所述第三电极部的重叠的第一表面微结构和第二表面微结构的分布密度。

由于第一电极部靠近像素驱动区，例如与第一晶体管 T1 在垂直于衬底基板的方向上至少部分重叠，而像素驱动区应力更为集中，通过上述设置可以对驱动区的应力进行有效释放，提高显示基板的性能。

如图 3A 所示，在第一方向 D1 上，第一扫描线 150 位于第一电极部 123a 与第三电极部 123c 之间，该第二电极部 123b 与第一扫描线 150 在垂直于衬底基板的方向上重叠，降低该第二电极部 123b 在第二方向 D2 上的尺寸有助于减小该第二电极部 123b 与第一扫描线 150 的交叠面积从而降低寄生电容。

例如，该第二电极部 123b 与第一扫描线 150 的第一部分 151 在垂直于衬底基板 101 的方向上重叠，并与第一扫描线 150 的第二部分 152 在垂直于衬底基板 101 的方向上不重叠。

由于第一扫描线 150 的第二部分 152 与沿第一方向 D1 的信号线（如电源线、检测线、数据线等）重叠，因此该第二部分 152 容易出现短路等不良，需要在修复过程中进行修复。将该发光元件的第一电极设置为与该第一扫描线 150 的第二部分 152 不重叠，可以降低第二部分 152 处的修复难度。

如图 3A 所示，该第一子像素 P1 具有在第二方向 D2 上相对的第一侧和第二侧，该第一侧设置有电源线 240，该第二侧设置有数据线 DL（第一数据线 DL1 和第四数据线 DL4），该第二电极部 123b 相对于该第一电极部 123a 和第三电极部 123c 向第一侧凹入，也即向远离第二侧的方向凹入；也即该第二电极部 123b 距离电源线比距离数据线近。

由于电源线 240 上传输的是恒定电压，数据线 DL 上传输的是高频信号，将该第二电极部 123b 设置得更靠近电源线可以防止数据线 DL 上的高频信号对发光元件的第一电极上的电位造成影响，从而影响显示灰阶。

对于第二子像素、第三子像素和第四子像素也有类似的设置。例如，如图 3A 所示，该第二子像素 P2 与第三子像素 P3 直接相邻，该第三子像素 P3 具有在第二方向上相对的第一侧与第二侧，第二数据线 DL2 和第三数据线

DL3 位于该第三子像素 P3 的第一侧且位于第二子像素 P2 与第三子像素 P3 之间，检测线 230 位于该第三子像素 P3 的第二侧。第三子像素的发光元件的第一电极的第二电极部相对于其第一电极部和其第三电极部向远离第三子像素的第二侧的方向凹入，也即该第二电极部距离检测线 230 比距离数据线近。

由于检测线 230 上传输的是低频检测信号，数据线 DL 上传输的是高频信号，将该第二电极部设置得更靠近检测线可以防止数据线 DL 上的高频信号对发光元件的第一电极上的电位造成影响，从而影响显示灰阶。

例如，每个子像素中的发光元件 OLED 均配置为发白光，该显示基板 10 还包括彩膜层，白光透过彩膜层射出实现全彩显示。例如，该发光层 124 可以通过 Open Mask 结合蒸镀工艺整面形成，这样例如避免使用精细金属掩模（Fine Metal Mask，FMM）对发光层进行构图工艺，从而避免了 FMM 精度有限而限制了显示基板的分辨率。

例如，本公开的一些实施例提供的显示基板 10 的发光元件可以采用底发射结构。例如，如图 3A-3B 所示，彩膜层位于发光元件的第一电极靠近衬底基板 101 的一侧，例如位于第四绝缘层 204 和第五绝缘层 205 之间。彩膜层包括分别对应于除白色子像素之外多个子像素的多个彩膜部 190，也即该第一子像素 P1、第二子像素 P2 和第三子像素 P3 分别对应一个彩膜部 190，该第一子像素 P1、第二子像素 P2 和第三子像素 P3 的发光元件发出的光经过该彩膜部 90 射出形成显示光。白色子像素的光线不需要经过彩膜层，因此第四子像素 P4 并不对应设置彩膜部。

例如，相邻彩膜部在垂直于衬底基板的方向上有交叠，对应交叠处设置有第一表面微结构或第二表面微结构。由于彩膜交叠导致应力不均匀，表面微结构可以对该区域应力进行有效释放。

例如，在垂直于所述衬底基板的方向上，所述第一子像素对应的彩膜部、所述第二子像素对应的彩膜部和所述第二表面微结构在垂直于衬底基板的方向上重叠。

结合参考图 3A-3B，每个彩膜部 190 与对应的子像素的发光元件的第一电极的第一电极部 123a 重叠，并与该发光元件的第一电极的第三电极部 123c 不重叠，这是由于彩膜层仅需要对应于发光元件的发光层设置。如图 3B 所

示，在垂直于衬底基板的方向上，发光元件的第一电极的第三电极部 123c、发光层 124 以及彩膜部 190 彼此重叠。

例如，如图 3A-3B 所示，在垂直于衬底基板 101 的方向上，第一子像素 P1 的发光元件的第一电极的第二电极部 123b 与第一扫描线 150 重叠的部分还与该第一子像素 P1 对应的彩膜部 190 重叠。由于在垂直于衬底基板的方向上，彩膜部 190 位于第一扫描线 150 与发光元件的第一电极 123 之间，由于彩膜部 190 上的第五绝缘层 205 为平坦化层，因此彩膜部 190 的形成并不影响该第五绝缘层 205 在该彩膜部处相对于该衬底基板的高度，也即并不改变发光元件的第一电极与第一扫描线 150 的间距，然而彩膜部 190 的介电常数相较于该第五绝缘层 205 的介电常数更低，因此将该彩膜部 190 形成在第二电极部123b与第一扫描线150之间并与二者重叠有助于进一步降低该发光元件的第一电极与第一扫描线之间的寄生电容。

发明人发现，多个第一镂空区 H1 或第二镂空区 H2 沿第二方向 D2 规律排列时，出现一定的有规律的连续性时，会产生周期性的衍射现象，造成该镂空区与非镂空区的金属线处对于环境光的反光差异明显，从而导致显示不均。

一方面，如图 3A 所示，在一个像素单元中，多个第一镂空区 H1 的几何中心不在一条直线上，从而有助于降低该第一镂空区沿同一方向排列的规律性，降低周期性衍射带来的显示不均。

另一方面，本公开实施例提供的显示基板利用彩膜层对位于同一行且对应于一个像素单元的多个镂空区进行选择性的遮挡，从而打破镂空区在像素单元中的排列规律，削弱衍射效应，提高显示均一性。

如图 3A 所示，在第一方向 D1 上，一个像素行（第一像素行）所对应的彩膜部位于该像素行所对应的第一扫描线 150 与直接相邻的下一个像素行（第二像素行）所对应的第二扫描线 160 之间。

例如，该第二像素行包括沿第二方向 D2 依次排列的第五子像素 P5、第六子像素 P6 和第七子像素 P7，该第五子像素 P5 与第一子像素 P1 位于同一列，该第六子像素 P6 与第二子像素 P2 位于同一列，该第七子像素 P7 与第三子像素 P3 位于同一列。例如，位于同一列的子像素发相同颜色的光。

例如，如图 3B 所示，每个子像素的发光元件的第一电极还在第一方向

D1 上延伸以与相邻的下一个像素行中的子像素的第二电容电极 Cb 在垂直于衬底基板的方向上重叠。在正常状态下，该发光元件的第一电极与下一行子像素的第二电容电极 Cb 之间间隔有第四绝缘层 204 和第五绝缘层 205，当该子像素的像素电路发生不良，可以在该发光元件的第一电极与下一行子像素的第二电容电极 Cb 之间形成修复孔，例如用激光将该第四绝缘层 204 去除并使得该发光元件的第一电极填充入该修复孔中与下一行子像素的第二电容电极 Cb 电连接，而该第二电容电极 Cb 是与其所属的子像素的发光元件的第一电极电连接的，因此发生不良的子像素的发光元件的第一电极与下一行子像素的发光元件的第一电极形成了电连接，从而使得该不良子像素得到修复。图 3A 中用 9 号过孔示意出了该修复孔的位置。

例如，该第一像素行对应的彩膜部 190 分别具有靠近第二像素行的侧边，例如，该侧边为直线型并与第二方向 D2 平行。

例如，在垂直于衬底基板的方向上，第一子像素 P1 对应的彩膜部 190 与多个第一镂空区 H1 中的至少一个重叠，第二子像素 P2 对应的彩膜部 190 与多个第一镂空区 H1 均不重叠。

例如，在垂直于衬底基板的方向上，第一子像素 P1 对应的彩膜部与多个第一镂空区 H1 中的一个重叠且具有第一重叠面积，第二子像素 P2 对应的彩膜部与多个第一镂空区 H1 中的另一个重叠且具有第二重叠面积；该第一重叠面积与第二重叠面积不同。

例如，该第一重叠面积与第二重叠面积差值的绝对值大于（n*λ）2（即整数倍波长的平方），λ 为该第一子像素 P1 和第二子像素 P2 发出光的波长中的较大值。该第一重叠面积与第二重叠面积差值的绝对值越大，光衍射对显示效果的影响越小。

如图 3A 所示，在垂直于衬底基板的方向上，第一子像素 P1 对应的彩膜部 190 与多个第一镂空区 H1 中的一个重叠，第二子像素 P2 对应的彩膜部 190 与第三子像素 P3 对应的彩膜部 190 与多个第一镂空区 H1 均不重叠。

如图 3A 所示，第二像素行对应的第二扫描线 160 的第二部分 162 与电源线 240、数据线 DL 以及检测线 230 在垂直于衬底基板的方向重叠定义出沿第二方向 D2 依次布置的多个第二镂空区 H2。

如图 3A 所示，在垂直于衬底基板的方向上，第一子像素 P1 对应的彩膜

部与多个第二镂空区 H2 中的一个第二镂空区重叠且具有第三重叠面积 A3，第二子像素 P2 对应的彩膜部与多个第二镂空区 H2 中的另一个第二镂空区重叠且具有第四重叠面积 A4，第三子像素 P3 与多个第二镂空区 H2 中的又一个第二镂空区重叠且具有第五重叠面积 A5；该第三重叠面积 A3、第四重叠面积 A4 和第五重叠面积 A5 均不相同。例如，如图 3B 所示，A3＞A4＞A5。

如图 3A 所示，多个第一镂空区 H1 中靠近第四子像素 P4 的第一镂空区 H1’均与彩膜层在垂直于衬底基板的方向上不重叠；多个第二镂空区 H2 中靠近第四子像素 P4 的第二镂空区 H2’均与彩膜层在垂直于衬底基板的方向上不重叠。

如图 3A 所示，在第二方向 D2 与该第一镂空区 H1’直接相邻的第一镂空区 H1’’与彩膜层在垂直于衬底基板的方向上不重叠；在第二方向 D2 与该第二镂空区 H2’直接相邻的第二镂空区 H2’’与彩膜层在垂直于衬底基板的方向上不重叠。

由于第四子像素 P4 发白光，白光的衍射对显示的均一性较小，因此靠近该第四子像素 P4 的镂空区可以不进行遮挡。

例如，如图 3B 所示，在垂直于衬底基板的方向上，第一数据线 DL1、第二数据线 DL2 以及第三数据线 DL3 均与彩膜层重叠。这种设置可以避免数据线对光线的反射从而发生显示不均。

例如，第四数据线 DL4 与彩膜层不重叠。

如图 3B 所示，在垂直于衬底基板的方向上，检测线 230 与彩膜层重叠，且重叠面积小于第一数据线 DL1、第二数据线 DL2 以及第三数据线 DL3 中任一条数据线与彩膜层的重叠面积。

由于第四数据线 DL4 与检测线 230 相较于第一数据线 DL1、第二数据线 DL2 以及第三数据线 DL3 距离第四子像素 P4 最近，而该第四子像素 P4 发白光，白光的衍射对显示的均一性较小，因此第四数据线 DL4 和该检测线 230 对于第一子像素 P4 发出的光的反射的影响较小，可以不对该第四数据线和检测线进行遮挡。

在另一些示例中，如图 3C 所示，该第一表面微结构 11 和第二表面微结构 12 位于同一条电源线 240 上，也即该电源线 240 充当该第一导电结构；且该第一表面微结构 11 与该电源线 240 所对应的第二镂空区 H2 在垂直于衬底

基板的方向上至少部分重叠。

由于该电源线 240 在该第二镂空区 H2 处存在坡度，应力较大，将该第一表面微结构 12 设置在该电源线 240 对应于第二镂空区 H2 处有助于释放应力，提高良率。

在又一些示例中，如图 3D 所示，该第一表面微结构 11 和第二表面微结构 12 位于第三晶体管 T3 的第二极 T3d 上，也即第三晶体管 T3 的第二极 T3d 充当该第一导电结构；且该第一表面微结构与 10 号过孔（本公开第四过孔的一个示例）在垂直于衬底基板的方向上至少部分重叠。

在再一些示例中，如图 3E 所示，该第一表面微结构 11 和第二表面微结构 12 位于第三晶体管 T3 的第一极 T3s 上，也即第三晶体管 T3 的第一极 T3s 充当该第一导电结构；且该第一表面微结构与 6 号过孔在垂直于衬底基板的方向上至少部分重叠。

为了清楚起见，图 3D 和 3E 中均用黑点示出了该第一表面微结构 11 和第二表面微结构 12。由于过孔第一处导电结构的坡度较大，应力较大，在该第一导电结构对应过孔处设置该第一表面微结构可以有助于应力的释放。

本公开的至少一实施例还提供上述显示基板的制作方法。以下将结合图 3A-3B 和图 4A-图 4D、并以一个子像素为例对本公开实施例提供的显示基板的制作方法进行实例性说明，然而本公开实施例并不限于此。图 4A-图 4D 分别示出了一个子像素（例如第一子像素 P1）中第一导电层、半导体层、第二导电层、第三导电层的图案。

该制作方法包括如下步骤 S61-S65。

步骤 S61：形成第一导电材料层，并对该第一导电材料层进行构图工艺从而形成如图 4A 所示的第一导电层 501，也即遮光层 170 以及存储电容 Cst 的第三电容电极 Cc。该构图工艺还形成彼此绝缘的检测部 231 和连接电极 241。

步骤 S62：在该第一导电层 501 上形成第一绝缘层 201 并在该第一绝缘层上形成半导体材料层，并对该半导体材料层进行构图工艺从而形成如图 4B 所示的半导体层 104，也即形成彼此间隔的第一晶体管 T1 的有源层 T1a、第二晶体管 T2 的有源层 T2a 和第三晶体管 T3 的有源层 T3a。

步骤 S63：在该半导体层 104 上形成第二绝缘层 202 并在该第二绝缘层

上形成第二导电材料层，对该第二导电材料层进行构图工艺形成如图 4C 所示的第二导电层 502，也即形成彼此绝缘的第一晶体管 T1 的栅极 T1g、第二晶体管 T2 的栅极 T2g 和第三晶体管 T3 的栅极 T3g。图 4C 还示出了延伸部 180。

例如，如图 4C 所示，该第二导电层 502 还包括彼此绝缘的第一扫描线 150 和第二扫描线 160。

例如，该第一扫描线 150 和第二扫描线 160 的线宽范围为 5-15 微米。

例如，该第一扫描线 150 与对应的一行子像素的第二晶体管 T2 的栅极 T2g 为一体的结构，该第二扫描线 160 分别与对应的一行子像素的第三晶体管 T3 的栅极 T3g 为一体的结构。

步骤 S64：采用自对准工艺，利用该第二导电层 502 作为掩膜对该半导体层 204 进行导体化处理（例如掺杂处理），从而使得该半导体层 204 未被该第二导电层 502 覆盖的部分被导体化，从而得到该第一电容电极 Ca，并使得各晶体管的有源层位于沟道区两侧的部分被导体化而形成分别第一极接触区及第二极接触区，该第一极接触区和第二极接触区分别用于与该晶体管的第一极和第二极电连接。图 4B 中示出了第一晶体管 T1 的有源层 T1a 的第一极接触区 T1a1 和第二极接触区 T1a2、第二晶体管 T2 的有源层 T2a 的第一极接触区 T2a1 和第二极接触区 T2a2、以及第三晶体管 T3 的有源层 T3a 的第一极接触区 T3a1 和第二极接触区 T3a2。图 4B 中还示出了连接部 720。

例如，在对该半导体层 104 进行导体化处理之前对第二绝缘层 202 进行刻蚀工艺，使得该第二绝缘层 202 未被该第二导电层 502 覆盖的区域全部被刻蚀，也即第二绝缘层 103 与第二导电层 502 在垂直于衬底基板 101 的方向上重合。这样，在采用离子注入对半导体层 204 未被第二导电层 202 覆盖的区域进行导体化处理时，注入的离子可以不被第二绝缘层 202 阻挡。

步骤 S65：在该第二导电层 502 上形成第三绝缘层 203，并在该第三绝缘层 203 上形成第三导电材料层，对该第三导电材料层进行构图工艺形成如图 4D 所示的第三导电层 503，也即形成第一晶体管 T1 的第一极 T1s 和第二极 T1d、第二晶体管 T2 的第一极 T2s 和第二极 T2d 以及第三晶体管 T3 的第一极 T3s 和第二极 T3d。

例如，该第三导电层 503 还包括彼此绝缘的数据线 DL、检测线 230 和

电源线 240。

例如,数据线 DL 的线宽范围为 5-15 微米,检测线 230 的线宽范围为 5-30 微米，电源线 240 的线宽范围为 5-30 微米。

例如，如图 4D 所示，该电源线 240 和与之直接相邻的（最近的）子像素中的第一晶体管 T1 的第二极 T1d 为一体的结构。例如，每条数据线 110 和与之连接的子像素中的第二晶体管 T2 的第二极 T2d 为一体的结构。

例如，该半导体材料层的材料包括但不限于硅基材料（非晶硅 a-Si，多晶硅 p-Si 等）、金属氧化物半导体（IGZO，ZnO，AZO，IZTO 等）以及有机物材料（六噻吩，聚噻吩等）。

例如,上述第一导电材料层为遮光导电材料,例如包括金(Au)、银(Ag)、铜（Cu）、铝（Al）、钼（Mo）、镁（Mg）、钨（W）以及以上金属组合而成的合金材料。例如，该第一导电材料层可以是钼钛合金，例如厚度为 50-100 纳米。

例如，第二导电材料层和第三导电材料层的材料可以包括金（Au）、银（Ag）、铜（Cu）、铝（Al）、钼（Mo）、镁（Mg）、钨（W）以及以上金属组合而成的合金材料;或者导电金属氧化物材料,例如氧化铟锡(ITO)、氧化铟锌（IZO）、氧化锌（ZnO）、氧化锌铝（AZO）等。

例如，第二导电材料层为钼钛合金与铜的叠层结构，例如钼钛合金的厚度为 30-50 纳米，铜的厚度为 300-400 纳米。

例如，第三导电材料层为钼钛合金与铜的叠层结构，例如钼钛合金的厚度为 30-50 纳米，铜的厚度为 400-700 纳米。

例如，该半导体材料层的材料包括但不限于硅基材料（非晶硅 a-Si，多晶硅 p-Si 等）、金属氧化物半导体（IGZO，ZnO，AZO，IZTO 等）以及有机物材料（六噻吩，聚噻吩等）。

例如，该半导体材料层的材料为氧化铟镓锌，厚度为 30-50 纳米。

例如，第一绝缘层 201、第二绝缘层 202、第三绝缘层 203 例如为无机绝缘层，例如氧化硅、氮化硅、氮氧化硅等硅的氧化物、硅的氮化物或硅的氮氧化物，或者氧化铝、氮化钛等包括金属氮氧化物绝缘材料。例如，这些绝缘层也可以是有机材料，例如聚酰亚胺（PI）、丙烯酸酯、环氧树脂、聚甲基丙烯酸甲酯（PMMA）等，本公开实施例对此不作限制。

例如，第一绝缘层 201 的材料为氧化硅，厚度为 300-500 纳米。例如，第二绝缘层 202 的材料为氧化硅，厚度为 100-160 纳米。例如，第三绝缘层的材料为氧化硅，厚度为 400-600 纳米。

例如，参考图 3B，还可以在该第三导电层 503 上依次形成第四绝缘层 204、彩膜层以及第五绝缘层 205，并在该第五绝缘层 205 上形成发光元件的第一电极 123，然后在该第一电极 123 上形成像素界定层 206，并依次形成发光层 124 和第二电极 122，这样就形成了如图 3A 所示的显示基板 10。

例如，形成该彩膜层可以包括先形成红色彩膜层并对该红色彩膜层进行构图工艺形成对应红色子像素的彩膜部，再形成绿色彩膜层并对该绿色彩膜层进行构图工艺形成对应绿色子像素的彩膜部，然后形成蓝色彩膜层并对该蓝色彩膜层进行构图工艺形成对应蓝色子像素的彩膜部。

例如，该红色彩膜层、绿色彩膜层和蓝色彩膜层的厚度分别为 2000-3000 纳米，也即每个彩膜部的厚度为 2000-3000 纳米。

例如，相邻的子像素之间可以通过彩膜部的重叠形成遮光部避免串色。

例如，可以通过对该显示基板中的导电结构或信号线进行刻蚀形成凹面结构，或者对该导电结构或信号线的表面进行等离子体处理以形成上述第一表面微结构和第二表面微结构。

本公开至少一实施例还提供一种显示面板，包括以上任一显示基板 10。需要说明的是，本公开至少一实施例提供的上述显示基板 10 可以包括发光元件 125，也可以不包括发光元件 125，也即该发光元件 125 可以在显示基板 10 完成后在面板厂形成。在该显示基板 10 本身不包括发光元件 125 的情形下，本公开实施例提供的显示面板除了包括显示基板 10 之外，还进一步包括发光元件 125。

例如，该显示面板为 OLED 显示面板，相应地其包括的显示基板 10 为 OLED 显示基板。如图 5A 所示，例如，该显示面板 20 还包括设置于显示基板 10 上的封装层 801 和盖板 802，该封装层 801 配置为对显示基板 10 上的发光元件进行密封以防止外界的湿气和氧向该发光元件及驱动电路的渗透而造成对器件的损坏。例如，封装层 801 包括有机薄膜或者包括有机薄膜及无机薄膜交替层叠的结构。例如，该封装层 801 与显示基板 10 之间还可以设置吸水层（未示出），配置为吸收发光元件在前期制作工艺中残余的水汽或者

溶胶。盖板 802 例如为玻璃盖板。例如，盖板 802 和封装层 801 可以为一体的结构。

在另一些示例中，如图 5B 所示，该显示面板包括设置于显示基板 10 上的黏胶层 901 和金属封装层 902。该金属封装层 902 除了起到封装作用外，还可以对该显示基板 10 起到支撑和固定作用，例如在大尺寸应用中对该显示基板 10 进行支撑从而降低该显示基板 10 所受的应力冲击。例如，该显示基板 10 为底发射结构，该金属封装层 902 不会对显示光进行遮挡。

本公开的至少一实施例还提供一种显示装置 30，如图 6 所示，该显示装置 30 包括上述任一显示基板 10 或显示面板 20，本实施例中的显示装置可以为：显示器、OLED 面板、OLED 电视、电子纸、手机、平板电脑、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

例如，上述构图工艺可以采用常规的光刻工艺，例如包括光刻胶的涂布、曝光、显影、烘干、刻蚀等步骤。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权利要求书

1、一种显示基板，包括衬底基板及位于所述衬底基板上的第一导电结构，

其中，所述第一导电结构包括背离所述衬底基板的第一表面和第二表面，所述第一表面和所述第二表面的材料相同；所述第一表面与所述衬底基板的板面具有第一夹角，所述第二表面与所述衬底基板的板面具有第二夹角，所述第一夹角与所述第二夹角不同；所述第一表面上设置有第一表面微结构，所述第二表面上设置有第二表面微结构；所述第一导电结构还包括靠近所述衬底基板的第三表面和第四表面，所述第三表面与所述第一表面相对，所述第四表面与所述第二表面相对；

所述第一表面微结构具有与所述衬底基板垂直的第一截面，所述第一截面在所述第三表面具有第一正投影；所述第一正投影的长度小于所述第一表面微结构在所述第一截面上的长度；

所述第二表面微结构具有与所述衬底基板垂直的第二截面，所述第二截面在所述第四表面上具有第二正投影，所述第二正投影的长度小于所述第二表面微结构在所述第二截面上的长度。

2、如权利要求 1 所述的显示基板，其中，所述第一截面的两端之间的距离和所述第二截面的两端的距离分别大于 0.1 微米小于 1 微米。

3、如权利要求 1 或 2 所述的显示基板，其中，在垂直于所述衬底基板的方向上，所述第一表面微结构与所述第三表面至少部分重叠，所述第二表面微结构与所述第四表面至少部分重叠。

4、如权利要求 1-3 任一所述的显示基板，其中，所述第三表面和所述第四表面的至少之一为平坦表面。

5、如权利要求 1-4 任一所述的显示基板，其中，所述第一表面微结构在所述第三表面上的正投影的面积小于所述第一表面微结构的表面积；所述第二表面微结构在所述第四表面上的正投影的面积小于所述第二表面微结构的表面积。

6、如权利要求 1-5 任一所述的显示基板，其中，所述第一导电结构在所述第一表面微结构处的最小厚度小于所述第一导电结构的平均厚度且大于所述第一导电结构的平均厚度的 3/5。

7、如权利要求 1-6 任一所述的显示基板，其中，所述第一表面微结构在所述第一截面上具有第一端点、第一中间点和第二端点，所述第二表面微结构在所述第二截面上具有第三端点、第二中间点和第四端点；

所述第一中间点与所述第三表面的距离和所述第一端点及第二端点与所述第三表面的距离均不相等，

所述第二中间点与所述第四表面的距离和所述第三端点及所述第四端点与所述第四表面的距离均不相等。

8、如权利要求 1-7 任一所述的显示基板，其中，所述第一夹角大于 0 度，所述第二夹角等于 0 度。

9、如权利要求 8 所述的显示基板，其中，所述第一表面微结构在所述第一截面上具有第一端点和第二端点，所述第二表面微结构在所述第二截面上具有第三端点和第四端点；

所述第一端点和所述第二端点的构成的线段的中点与所述第三端点和所述第四端点的构成的线段的中点相对于所述衬底基板的板面的距离不同。

10、如权利要求 9 所述的显示基板，其中，所述第一端点与所述第二端点之间的距离大于所述第三端点与所述第四端点之间的距离。

11、如权利要求 8 或 9 所述的显示基板，还包括位于所述第一导电结构靠近所述衬底基板一侧的第一绝缘层，

其中，所述第一绝缘层包括分别与所述第一导电结构的第三表面和第四表面分别直接接触的第一部分和第二部分，所述第一部分的最小厚度小于所述第二部分的最小厚度。

12、如权利要求 11 所述的显示基板，还包括位于所述第一绝缘层靠近所述衬底基板一侧的第二导电结构，

其中，所述第一绝缘层的第一部分包覆所述第二导电结构的至少部分。

13、如权利要求 12 所述的显示基板，其中，在垂直于衬底基板的方向上，所述第一表面微结构与所述第二导电结构不重叠。

14、如权利要求 12 或 13 所述的显示基板，其中，所述第一导电结构通过贯穿所述第一绝缘层的第一过孔与所述第二导电结构电连接；

在垂直于所述衬底基板的方向上，所述第一表面微结构与所述第一过孔

的至少部分重叠。

15、如权利要求 14 所述的显示基板，其中，所述第一绝缘层包括层叠设置的第一子层和第二子层，所述第二子层相较于所述第一子层远离所述衬底基板；

所述第一子层包括被所述第一过孔暴露的第一侧面，所述第二子层包括被所述第一过孔暴露的第二侧面，所述第一侧面与所述第二侧面中的至少之一与所述第一导电结构的第三表面直接接触。

16、如权利要求 15 所述的显示基板，其中，所述第一侧面与所述衬底基板的夹角大于所述第二侧面与所述衬底基板的夹角。

17、如权利要求 15 或 16 所述的显示基板，其中，所述第二子层的致密度高于所述第一子层。

18、如权利要求 1-17 任一所述的显示基板，其中，所述第一表面的氧含量高于所述第三表面的氧含量。

19、如权利要求 1-18 任一所述的显示基板，其中，所述第一表面微结构在所述第一截面上具有第一端点和第二端点，所述第一截面距离所述第三表面最近的点与所述第一端点和所述第二端点的距离不相等。

20、如权利要求 1-19 任一所述的显示基板，其中，所述第一表面微结构包括第一凹面结构，所述第二表面微结构包括第二凹面结构。

21、如权利要求 1-20 任一所述的显示基板，还包括位于所述衬底基板上的多个子像素，

其中，所述多个子像素沿第一方向和第二方向布置为多个像素列和多个像素行，所述第一方向与所述第二方向交叉；

所述多个子像素中的每个包括在所述衬底基板上的第一晶体管、第二晶体管、第三晶体管和存储电容，

所述第二晶体管的第一极与所述存储电容的第一电容电极和所述第一晶体管的栅极电连接，所述第二晶体管的第二极配置为接收数据信号，所述第二晶体管的栅极配置为接收第一控制信号，所述第二晶体管配置为响应于所述第一控制信号将所述数据信号写入所述第一晶体管的栅极和所述存储电容，

所述第一晶体管的第一极与所述存储电容的第二电容电极电连接，并配置为与发光元件的第一电极电连接，所述第一晶体管的第二极配置为接收第一电源电压，所述第一晶体管配置为在所述第一晶体管的栅极的电压的控制下控制用于驱动所述发光元件的电流，

所述第三晶体管的第一极与所述第一晶体管的第一极以及所述存储电容的第二电容电极电连接，所述第三晶体管的第二极配置为与检测电路连接。

22、如权利要求 21 所述的显示基板，其中，所述第一表面微结构在所述衬底基板上的正投影与所述第二表面微结构在所述衬底基板上的正投影之间的中心距离在所述第一方向和所述第二方向的分量分别小于所述多个子像素的每个在所述第一方向和所述第二方向的平均尺寸。

23、如权利要求 21 或 22 所述的显示基板，其中，每个像素列的子像素发相同颜色的光。

24、如权利要求 23 所述的显示基板，其中，所述第一表面微结构包括第一凹面结构，所述第二表面微结构包括第二凹面结构；

所述第一凹面结构和所述第二凹面结构沿所述第一导电结构的延伸方向排列，且朝向颜色相同的子像素。

25、如权利要求 21-24 任一所述的显示基板，其中，

所述显示基板还包括从所述第一晶体管的栅极突出的延伸部，所述延伸部从所述第一晶体管的栅极沿所述第二方向延伸并与所述第二晶体管的第一极在垂直于所述衬底基板的方向上至少部分重叠且电连接。

26、如权利要求 25 所述的显示基板，其中，所述第二晶体管的有源层包括第一极接触区、第二极接触区以及位于所述第一极接触区和所述第二极接触区之间的沟道区，所述第二晶体管的第一极通过第二过孔分别与所述第一极接触区、所述延伸部以及所述第一电容电极电连接。

27、如权利要求 26 所述的显示基板，其中，

所述第二过孔沿所述第一方向延伸并暴露出所述延伸部的表面以及在所述第一方向上相对的两个侧面的至少部分。

28、如权利要求 27 所述的显示基板，其中，所述延伸部将所述第二过孔间隔为第一凹槽和第二凹槽，所述第二晶体管的第一极填充所述第一凹槽和

所述第二凹槽并包覆所述延伸部的所述两个侧面；

所述第二晶体管的第一极包括第一部分、第二部分以及第三部分，

所述第二部分覆盖所述延伸部的所述表面，所述第一部分覆盖所述第一凹槽，所述第三部分覆盖所述第二凹槽；所述第一部分和所述第三部分还分别覆盖所述延伸部的所述两个侧面。

29、如权利要求 28 所述的显示基板，其中，所述第一导电结构为所述第二晶体管的第一极，所述第一表面微结构和所述第二表面微结构均位于所述第二晶体管的第一极的第三部分。

30、如权利要求 29 所述的显示基板，其中，所述第一表面微结构在所述第一方向上的尺寸小于所述第三部分沿所述第一方向的最大尺寸的十分之一。

31、如权利要求 29 或 30 所述的显示基板，其中，所述第一表面微结构在所述第一方向上的尺寸小于所述第二过孔在所述衬底基板上的正投影在所述第一方向上的最大尺寸的十分之一。

32、如权利要求 21-31 任一所述的显示基板，其中，所述多个子像素的每个还包括所述发光元件，所述发光元件包括依次层叠设置的第一电极、发光层和第二电极，所述第一电极相较于所述第二电极更靠近所述衬底基板，所述发光元件的第一电极通过第三过孔与所述发光元件所属的子像素的第一晶体管的第一极电连接。

33、如权利要求 32 所述的显示基板，其中，所述发光元件的第一电极包括在所述第一方向上依次连接的第一电极部、第二电极部和第三电极部，所述第一电极部用于与对应的第一晶体管的第一极电连接且在垂直于所述衬底基板的方向上与所述对应的第一晶体管的第一极重叠；

所述发光元件的第三电极部与所述发光元件的开口区在垂直于所述衬底基板的方向上至少部分重叠。

34、如权利要求 33 所述的显示基板，其中，所述第一电极部沿所述第一方向的最大尺寸和沿所述第二方向的最大尺寸之和小于所述第三电极部沿所述第一方向的最大尺寸和沿所述第二方向的最大尺寸之和；

所述第二电极部沿所述第一方向的最大尺寸和沿所述第二方向的最大尺

寸之和小于所述第三电极部沿所述第一方向的最大尺寸和沿所述第二方向的最大尺寸之和。

35、如权利要求 33 或 34 所述的显示基板，其中，所述显示基板包括多个第一表面微结构和多个第二表面微结构，所述多个第一表面微结构和多个第二表面微结构中的一部分与所述第一电极部在垂直于衬底基板的方向上重叠，所述多个第一表面微结构和多个第二表面微结构的另一部分与所述第三电极部在垂直于所述衬底基板的方向上重叠；

与所述第一电极部重叠的第一表面微结构和第二表面微结构的分布密度大于与所述第三电极部的重叠的第一表面微结构和第二表面微结构的分布密度。

36、如权利要求 33-35 任一所述的显示基板，其中，所述发光元件的第一电极的第二电极部在所述第二方向的平均尺寸小于所述第一电极部在所述第二方向的平均尺寸，也小于所述第三电极部在所述第二方向的平均尺寸。

37、如权利要求 33-36 任一所述的显示基板，其中，所述多个像素行包括第一像素行，所述第一像素行划分为多个像素单元，每个像素单元包括沿所述第二方向依次布置的第一子像素、第二子像素和第三子像素，所述第一子像素、所述第二子像素和所述第三子像素分别配置为发出三种基本色的光；

所述显示基板还包括沿所述第二方向延伸的第一扫描线，所述第一扫描线与所述第一子像素、第二子像素及第三子像素中的第二晶体管的栅极电连接以提供所述第一控制信号。

38、如权利要求 37 所述的显示基板，其中，所述第一扫描线与所述第一子像素的发光元件的第一电极的第二电极部在垂直于所述衬底基板的方向上重叠。

39、如权利要求 38 所述的显示基板，还包括彩膜层，其中，所述彩膜层位于所述发光元件的第一电极靠近所述衬底基板的一侧；

所述彩膜层包括分别对应于所述第一子像素、所述第二子像素和所述第三子像素的多个彩膜部，所述第一子像素、所述第二子像素和所述第三子像素发出的光分别经所对应的彩膜部射出显示基板形成显示光。

40、如权利要求 39 所述的显示基板，其中，在垂直于所述衬底基板的方

向上，所述第一子像素对应的彩膜部、所述第二子像素对应的彩膜部和所述第二表面微结构在垂直于衬底基板的方向上均重叠。

41、如权利要求 39 或 40 所述的显示基板，其中，在垂直于所述衬底基板的方向上，所述多个彩膜部的每个与对应的子像素的发光元件的第一电极的第三电极部重叠，并与所述对应的子像素的发光元件的第一电极的第一电极部不重叠。

42、如权利要求 41 所述的显示基板，其中，所述第一扫描线位于所述彩膜层靠近所述衬底基板的一侧；

在垂直于所述衬底基板的方向上，所述第一子像素的发光元件的第一电极的第二电极部与所述第一扫描线重叠的部分还与所述第一子像素所对应的彩膜部重叠。

43、如权利要求 42 所述的显示基板，其中，所述第一扫描线包括交替连接的第一部分和第二部分，所述第二部分为环状结构。

44、如权利要求 43 所述的显示基板，其中，在垂直于所述衬底基板的方向上，所述第一子像素的发光元件的第一电极与所述第一扫描线的第一部分重叠并与所述第一扫描线的第二部分不重叠。

45、如权利要求 43 或 44 所述的显示基板，还包括沿所述第一方向延伸的多条第一信号线，

其中，在垂直于所述衬底基板的方向上，所述多条第一信号线与所述第一扫描线的第二部分重叠从而定义出沿所述第二方向布置的多个第一镂空区。

46、如权利要求 45 所述的显示基板，其中，每个像素单元中所对应的多个第一镂空区的几何中心不在一条直线上。

47、如权利要求 45 或 46 所述的显示基板，其中，在垂直于所述衬底基板的方向上，所述第一子像素对应的彩膜部与所述多个第一镂空区中的至少一个重叠，所述第二子像素对应的彩膜部与所述多个第一镂空区均不重叠。

48、如权利要求 45-47 任一所述的显示基板，其中，在垂直于所述衬底基板的方向上，所述第一子像素对应的彩膜部与所述多个第一镂空区中的一个重叠且具有第一重叠面积，所述第二子像素对应的彩膜部与所述多个第一镂

空区中的另一个重叠且具有第二重叠面积；

所述第一重叠面积与所述第二重叠面积不同。

49、如权利要求 48 所述的显示基板，其中，所述第一重叠面积与所述第二重叠面积差值的绝对值大于（n*λ）2，λ为所述第一子像素和第二子像素发出光的波长中的较大值。

50、如权利要求 48 或 49 所述的显示基板，其中，所述显示基板包括多个第一表面微结构和多个第二表面微结构，所述多个第一表面微结构和多个第二表面微结构中的一部分与所述第一扫描线的第一部分在垂直于衬底基板的方向上重叠，所述多个第一表面微结构和多个第二表面微结构的另一部分与所述第一扫描线的第二部分在垂直于所述衬底基板的方向上重叠；

在垂直于衬底基板的方向上，与所述第一扫描线的第二部分重叠的第一表面微结构和第二表面微结构的分布密度大于与所述第一扫描线的第一部分的重叠的第一表面微结构和第二表面微结构的分布密度。

51、如权利要求 50 所述的显示基板，其中，所述第一重叠面积大于所述多个第一表面微结构或所述第二表面微结构中的每个在所述衬底基板的正投影的面积；

所述第二重叠面积大于所述多个第一表面微结构或所述第二表面微结构中的每个在所述衬底基板的正投影的面积。

52、如权利要求 45-51 任一所述的显示基板，其中，所述像素单元还包括第四子像素，所述第四子像素配置为发白光，

所述多个第一镂空区中靠近所述第四子像素的第一镂空区均与所述彩膜层在垂直于所述衬底基板的方向上不重叠。

53、如权利要求 45-52 任一所述的显示基板，其中，所述多条第一信号线包括多条数据线，所述多条数据线与所述多个像素列一一对应连接；

对于所述第一像素行，多条数据线被划分为与所述多个像素单元一一对应的多个数据线组，每个数据线组包括分别与所述第一子像素、第二子像素和第三子像素连接的第一数据线、第二数据线和第三数据线；

对于每一个所述像素单元，与所述像素单元对应连接的所述第一数据线、所述第二数据线及所述第三数据线均位于所述第一子像素和所述第三子像素

之间。

54、如权利要求 53 所述的显示基板，还包括沿所述第一方向延伸的多条电源线，

其中，所述多条电源线配置为为所述多个子像素提供所述第一电源电压，所述多条电源线的每条与所述多条数据线中的任意一条之间间隔有至少一个像素列。

55、如权利要求 54 所述的显示基板，其中，所述显示基板包括多个第一表面微结构和多个第二表面微结构，所述多个第一表面微结构和多个第二表面微结构中的一部分分布在所述多条数据线上，所述多个第一表面微结构和多个第二表面微结构的另一部分分布在所述多条电源线上；

所述多个第一表面微结构和所述多个第二表面微结构在所述多条数据线上的分布密度大于所述多个第一表面微结构和所述多个第二表面微结构在所述多条电源线上的分布密度。

56、如权利要求 53-55 任一所述的显示基板，其中，所述第二子像素与所述第三子像素直接相邻，所述第三子像素具有在所述第二方向上相对的第一侧与第二侧，

所述第二数据线和所述第三数据线位于所述第三子像素的第一侧且位于所述第二子像素与所述第三子像素之间。

57、如权利要求 56 所述的显示基板，其中，所述第三子像素的发光元件的第一电极的第二电极部相对于其第一电极部和其第三电极部向远离所述第三子像素的第二侧的方向凹入。

58、如权利要求 53-57 任一所述的显示基板，其中，在垂直于所述衬底的方向上，所述第二数据线、所述第三数据线分别与所述彩膜层至少部分重叠。

59、如权利要求 53-58 任一所述的显示基板，其中，所述像素单元还包括第四子像素，所述第四子像素配置为发白光，

所述每个数据线组还包括与所述第四子像素连接的第四数据线；

在垂直于衬底基板的方向上，所述第四数据线与所述彩膜层不重叠。

60、如权利要求 45-59 任一所述的显示基板，其中，所述多个像素行还包括第二像素行，所述第二像素行与所述第一像素行在所述第一方向上直接相

邻，

所述第二像素行包括沿所述第二方向依次排列的第五子像素、第六子像素和第七子像素，所述第五子像素与所述第一子像素位于同一像素列，所述第六子像素与所述第二子像素位于同一像素列，所述第七子像素与所述第三子像素位于同一像素列。

61、如权利要求 60 所述的显示基板，其中，所述第一子像素对应的彩膜部具有靠近所述第五子像素的侧边，所述侧边与所述第二方向平行。

62、如权利要求 60 或 61 所述的显示基板，其中，所述显示基板还包括沿所述第二方向延伸的第二扫描线，所述第二扫描线与所述第五子像素、第六子像素及第七子像素中的第三晶体管的栅极电连接以提供第二控制信号。

63、如权利要求 62 所述的显示基板，其中，所述第二扫描线包括交替连接的第一部分和第二部分，所述第二部分为环状结构。

64、如权利要求 63 所述的显示基板，其中，在垂直于所述衬底基板的方向上，所述多条第一信号线与所述第二扫描线的第二部分重叠从而定义出沿所述第二方向依次布置的多个第二镂空区。

65、如权利要求 64 所述的显示基板，其中，所述第一导电结构为所述多条第一信号线之一，所述第一表面微结构和所述第二表面微结构位于所述第一信号线上，且所述第一表面微结构与所述第一信号线所对应的第二镂空区在垂直于所述衬底基板的方向上至少部分重叠。

66、如权利要求 64 或 65 所述的显示基板，其中，在垂直于所述衬底基板的方向上，所述第一子像素对应的彩膜部与所述多个第二镂空区中的一个第二镂空区重叠且具有第三重叠面积，所述第二子像素对应的彩膜部与所述多个第二镂空区中的另一个第二镂空区重叠且具有第四重叠面积，所述第三子像素对应的彩膜部与所述多个第二镂空区中的又一个第二镂空区重叠且具有第五重叠面积；

所述第三重叠面积、所述第四重叠面积和所述第五重叠面积均不相同。

67、如权利要求 21-66 任一所述的显示基板，其中，所述第三晶体管的第二极通过第四过孔与沿所述第二方向延伸的检测部电连接，所述检测部与沿所述第一方向延伸的检测线电连接，从而所述第三晶体管的第二极通过所述

检测部和所述检测线与所述检测电路连接。

68、如权利要求 67 所述的显示基板，其中，所述第一导电结构为所述第三晶体管的第二极，所述第一表面微结构和所述第二表面微结构位于所述第三晶体管的第二极上，且所述第一表面微结构与所述第四过孔在垂直于所述衬底基板的方向上至少部分重叠。

69、如权利要求 21-68 任一所述的显示基板，其中，所述第三晶体管的有源层包括第一极接触区、第二极接触区以及位于所述第一极接触区和所述第二极接触区之间的沟道区，

所述第三晶体管的第一极通过第五过孔与所述第三晶体管的第一极接触区电连接。

70、如权利要求 69 所述的显示基板，其中，所述第一导电结构为所述第三晶体管的第一极，所述第一表面微结构和所述第二表面微结构位于所述第三晶体管的第一极上，且所述第一表面微结构与所述第五过孔在垂直于所述衬底基板的方向上至少部分重叠。

71、一种显示基板，包括衬底基板和位于所述衬底基板上的第一导电结构，

其中，所述第一导电结构包括背离所述衬底基板的第一表面和第二表面，所述第一表面和所述第二表面的材料相同；所述第一表面上设置有第一表面微结构，所述第二表面上设置有第二表面微结构；

所述第一表面微结构具有与所述衬底基板垂直的第一截面，所述第二表面微结构具有与所述衬底基板垂直的第二截面；

所述第一表面微结构在所述第一截面具有第一端点和第二端点，所述第二表面微结构在所述第二截面上具有第三端点和第四端点；

所述第一端点和所述第二端点的连线的中点与所述第三端点和所述第四端点的连线的中点相对于所述衬底基板的板面的距离不同。

72、如权利要求 71 所述的显示基板，其中，所述第一导电结构在所述第一表面微结构处的最小厚度小于所述第一导电结构的平均厚度且大于所述第一导电结构的平均厚度的 3/5。

73、如权利要求 71 或 72 所述的显示基板，其中，所述第一导电结构还

包括靠近所述衬底基板的第三表面和第四表面，在垂直于所述衬底基板的方向上，所述第一表面微结构与所述第三表面至少部分重叠，所述第二表面微结构与所述第四表面至少部分重叠。

74、如权利要求 73 所述的显示基板，其中，所述第三表面和所述第四表面的至少之一为平坦表面。

75、如权利要求 73 或 74 所述的显示基板，其中，所述第一表面微结构在所述第三表面上的正投影的面积小于所述第一表面微结构的表面积；

所述第二表面微结构在所述第四表面上的正投影的面积小于所述第二表面微结构的表面积。

76、如权利要求 73-75 任一所述的显示基板，其中，所述第一表面微结构在所述第一截面上还具有位于所述第一端点和所述第二端点之间的第一中间点，所述第二表面微结构在所述第二截面上还具有位于所述第三端点和所述第四端点之间的第二中间点；

所述第一中间点与所述第三表面的距离和所述第一端点及第二端点与所述第三表面的距离均不相等，

所述第二中间点与所述第四表面的距离和所述第三端点及所述第四端点与所述第四表面的距离均不相等。

77、如权利要求 71-76 任一所述的显示基板，其中，所述第一表面与所述衬底基板的板面具有第一夹角，所述第二表面与所述衬底基板的板面具有第二夹角，所述第一夹角与所述第二夹角不同。

78、如权利要求 77 所述的显示基板，其中，所述第一夹角大于 0 度，所述第二夹角等于 0。

79、如权利要求 78 所述的显示基板，还包括位于所述第一导电结构靠近所述衬底基板一侧的第一绝缘层，

其中，所述第一绝缘层包括分别与所述第一导电结构的第三表面和第四表面分别直接接触的第一部分和第二部分，所述第一部分的最小厚度小于所述第二部分的最小厚度。

80、如权利要求 79 所述的显示基板，还包括位于所述第一绝缘层靠近所述衬底基板一侧的第二导电结构，

其中，所述第一绝缘层的第一部分包覆所述第二导电结构的至少部分。

81、如权利要求 80 所述的显示基板，其中，在垂直于衬底基板的方向上，所述第一表面微结构与所述第二导电结构不重叠。

82、如权利要求 80 或 81 所述的显示基板，其中，所述第一导电结构通过贯穿所述第一绝缘层的第一过孔与所述第二导电结构电连接；

在垂直于所述衬底基板的方向上，所述第一表面微结构与所述第一过孔的至少部分重叠。

83、如权利要求 82 所述的显示基板，其中，所述第一绝缘层包括层叠设置的第一子层和第二子层，所述第二子层相较于所述第一子层远离所述衬底基板；

所述第一子层包括被所述第一过孔暴露的第一侧面，所述第二子层包括被所述第一过孔暴露的第二侧面，所述第一侧面与所述第二侧面中的至少之一与所述第一导电结构的第三表面直接接触。

84、如权利要求 83 所述的显示基板，其中，所述第一侧面与所述衬底基板的夹角大于所述第二侧面与所述衬底基板的夹角。

85、如权利要求 83 或 84 所述的显示基板，其中，所述第二子层的致密度高于所述第一子层。

86、如权利要求 73-85 任一所述的显示基板，其中，所述第一表面的氧含量高于所述第三表面的氧含量。

87、一种显示装置，包括如权利要求 1-86 任一所述的显示基板。

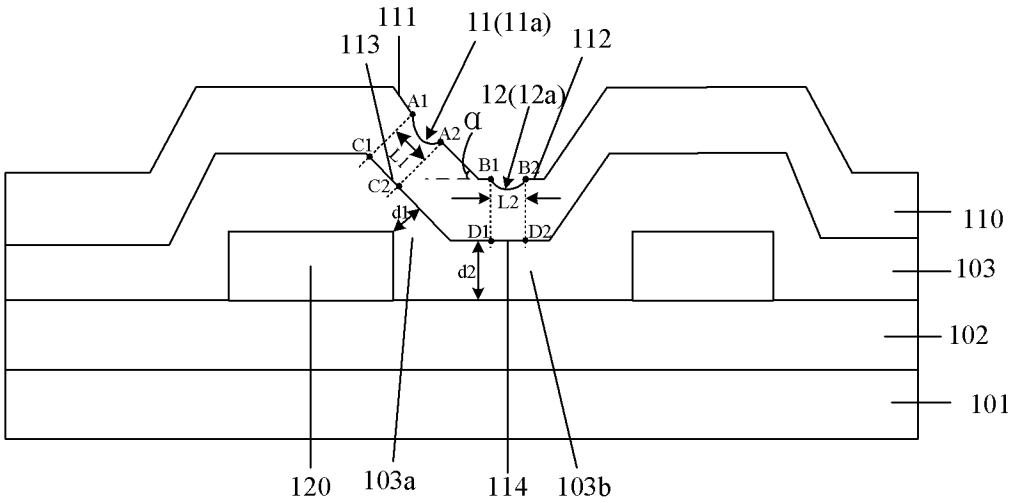

111
11(11a)
113
112
12(12a)
A1
A2
α
C1
C2
B1
B2
L2
d1
D1
D2
d2
110
103
102
101
120
103a
114
103b

图 1A

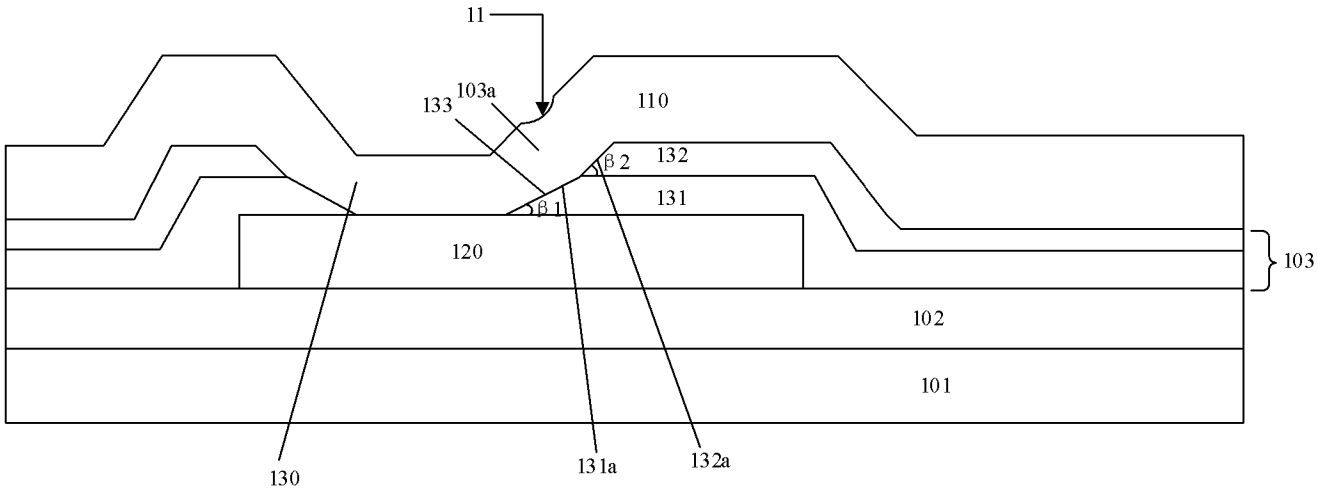

11
133
103a
110
β 2
132
131
β 1
120
103
102
101
130
131a
132a

图 1B

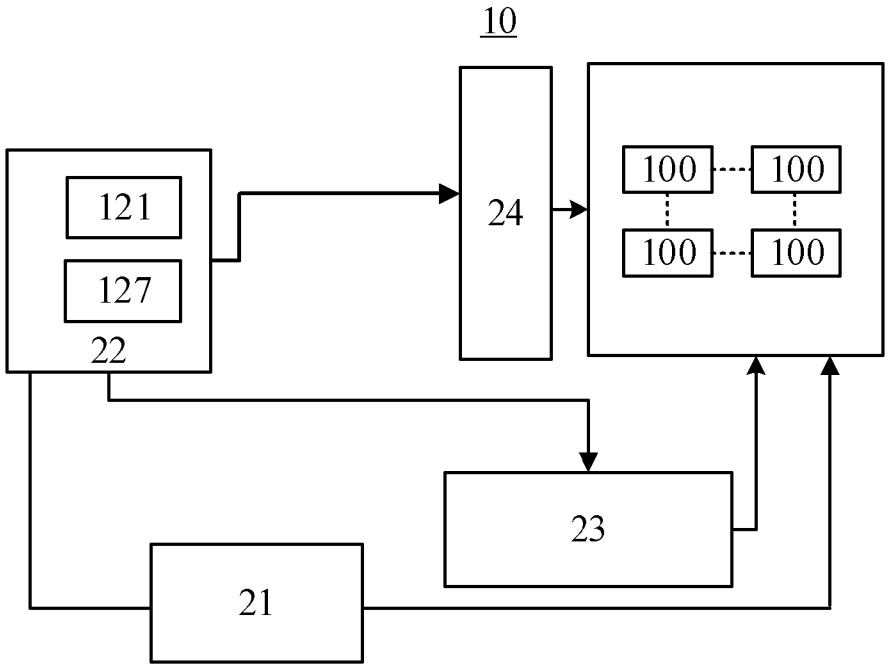

10
121
127
22
24
100
100
100
100
23
21

图 2A

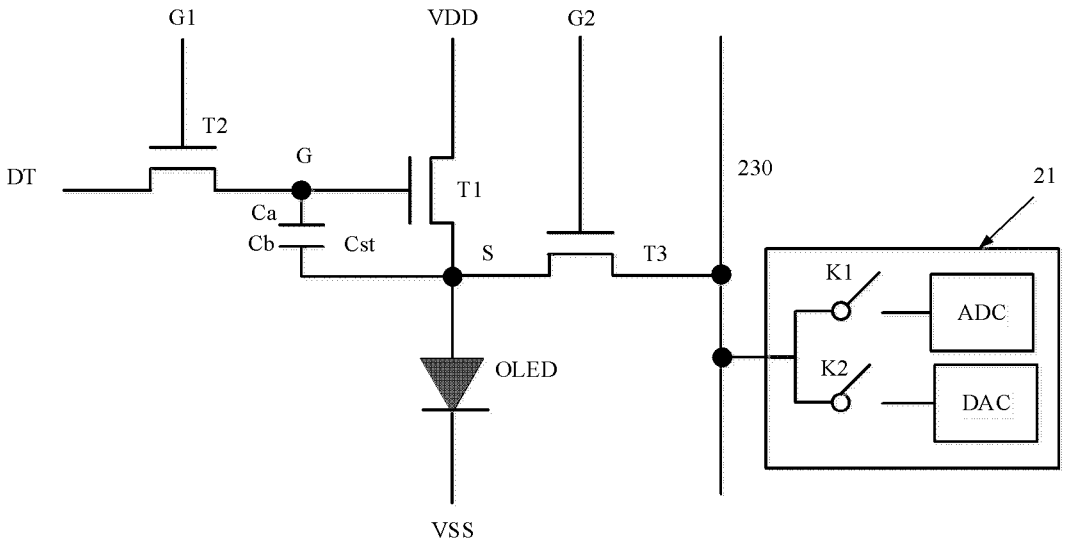

G1
VDD
G2
T2
G
DT
T1
230
21
Ca
Cb
Cst
S
T3
K1
ADC
K2
DAC
OLED
VSS

图 2B

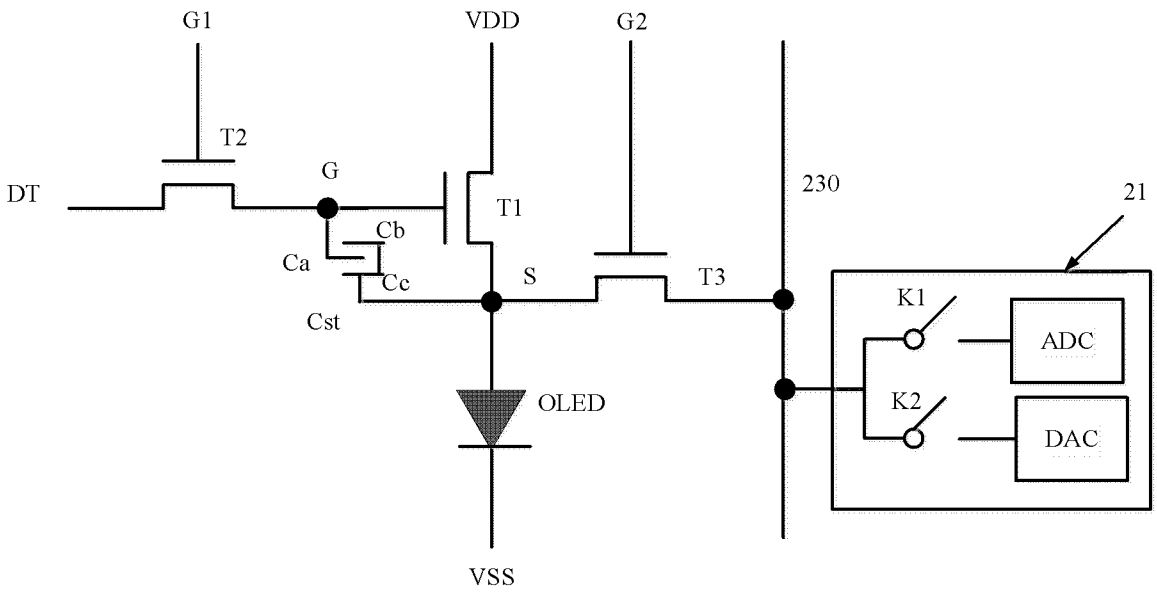

G1
VDD
G2
T2
DT
G
T1
230
21
Cb
Ca
Cc
S
T3
K1
Cst
ADC
K2
OLED
DAC
VSS

图 2C

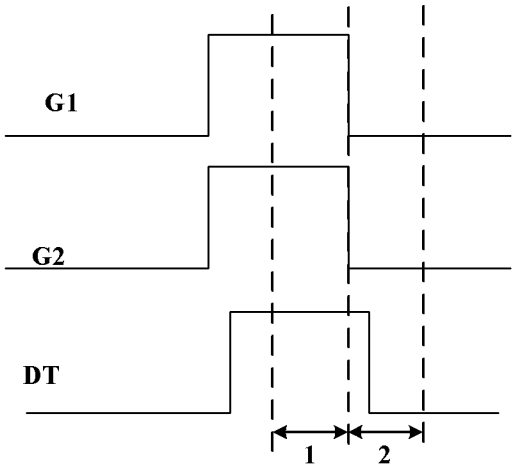

G1
G2
DT
1
2

图 2D

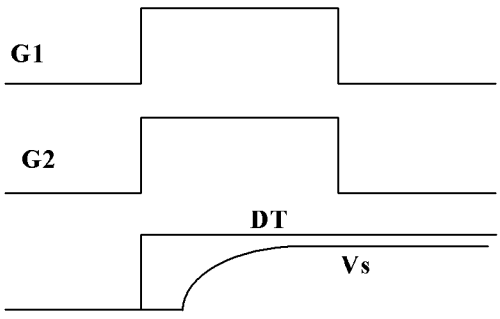

G1
G2
DT
Vs

图 2E

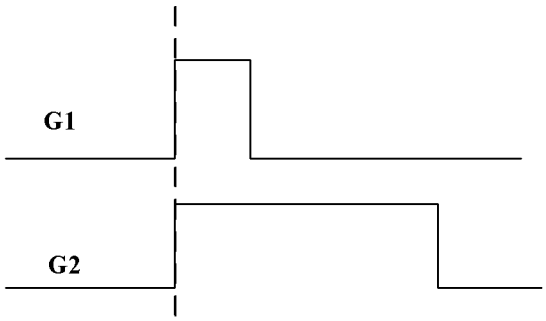


图 2F

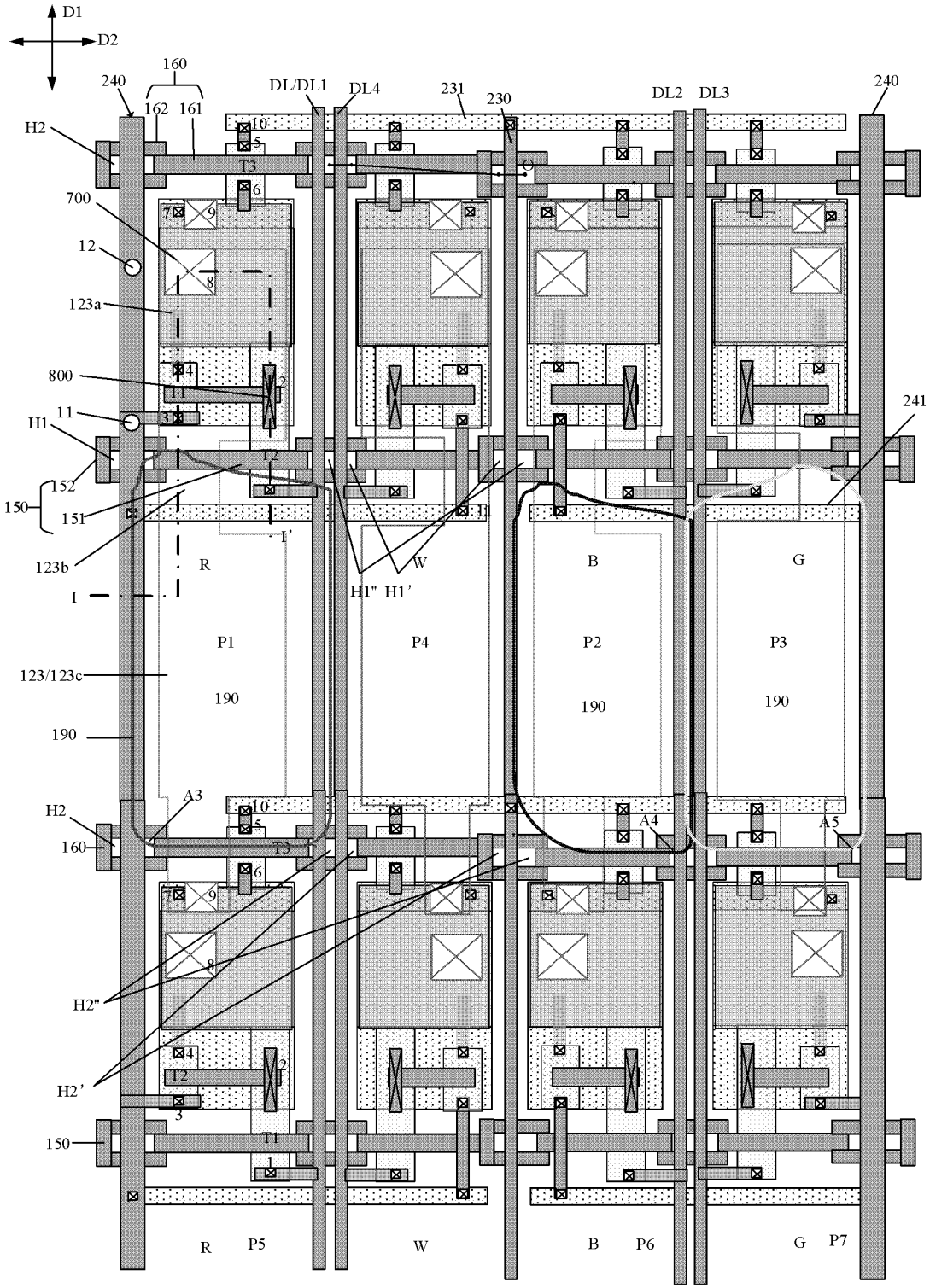

D1
D2
160
240
162
161
DL/DL1
DL4
231
230
DL2
DL3
240
H2
700
12
123a
800
11
H1
152
150
151
123b
I
I'
R
W
B
G
H1"
H1'
P1
P4
P2
P3
123/123c
190
190
190
190
241
A3
A4
A5
H2"
H2'
150
R
P5
W
B
P6
G
P7

图3A

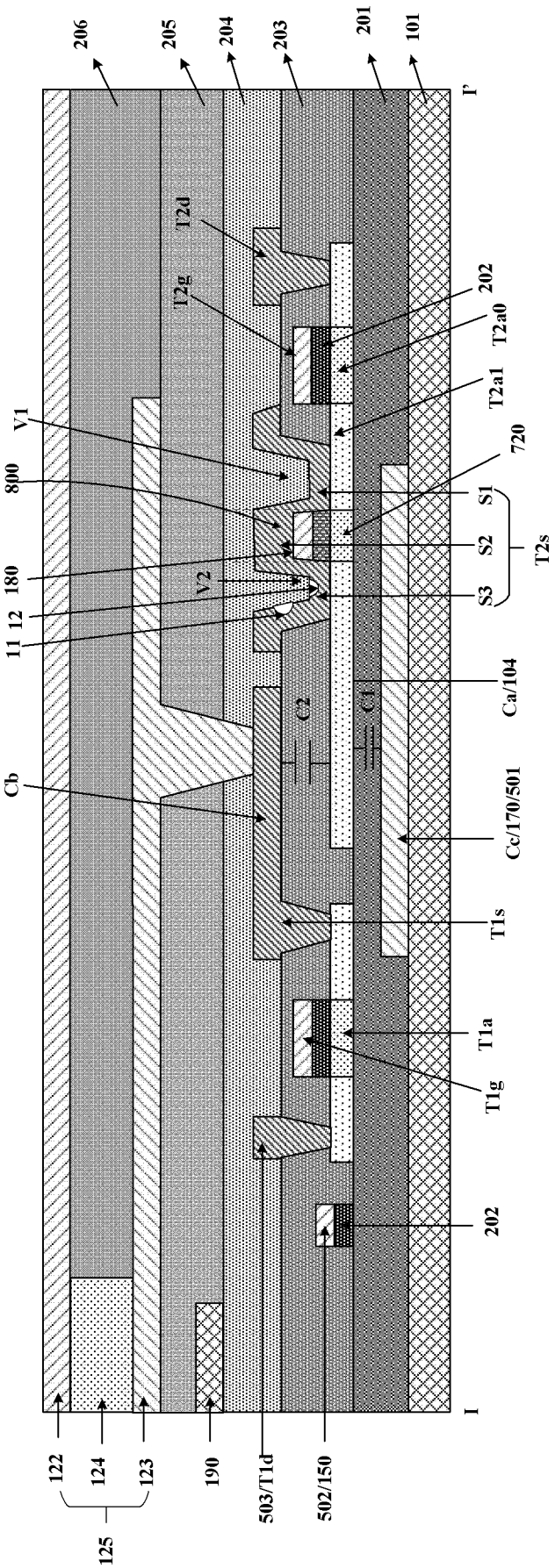

206
205
204
203
201
101
I'
T2d
T2g
202
T2a0
T2a1
V1
720
800
S1
S2
T2s
180
V2
S3
12
11
Ca/104
C2
C1
Cb
Cc/170/501
T1s
T1a
T1g
202
I
122
124
123
190
503/T1d
502/150
125

图3B

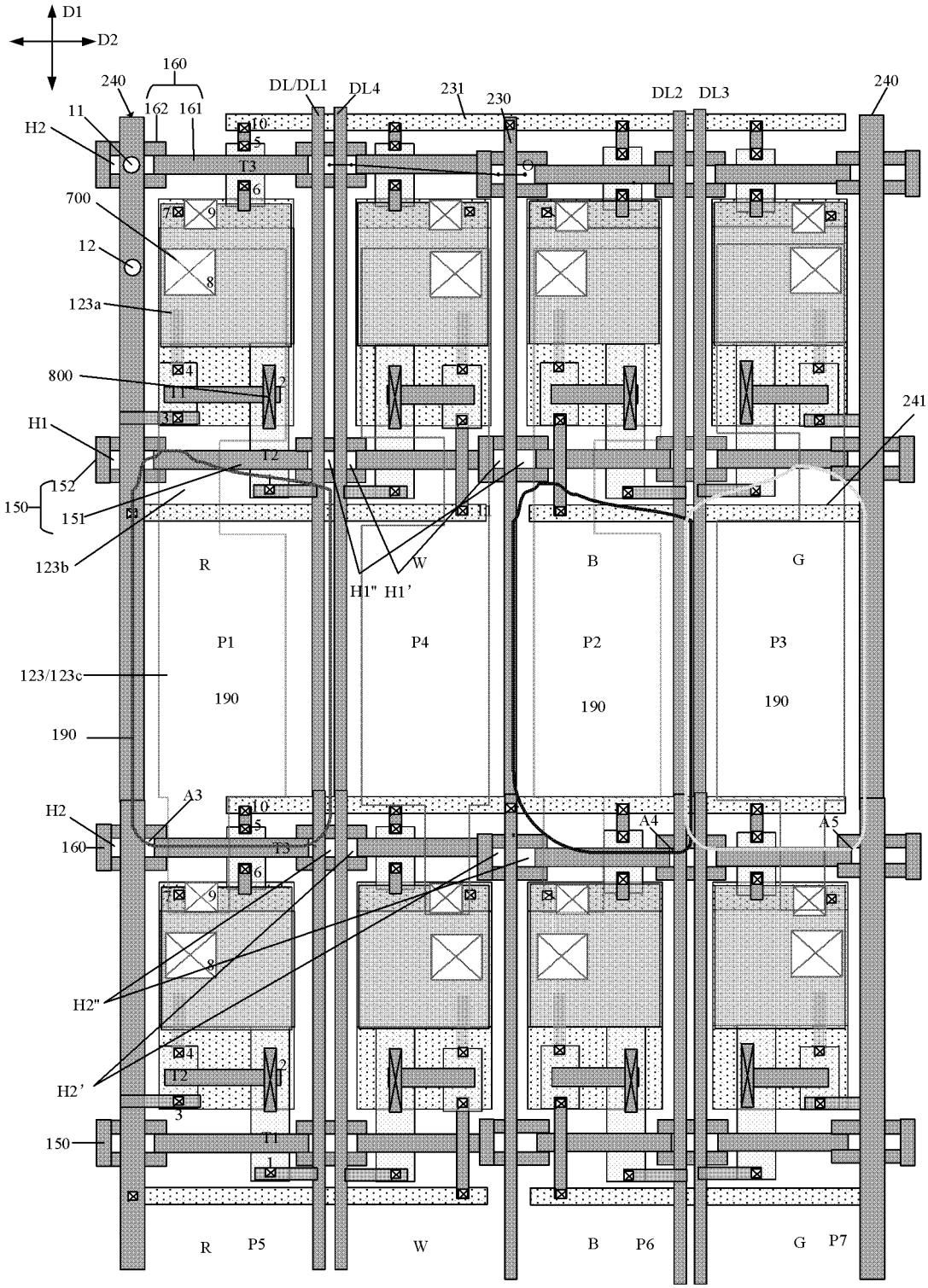

D1
D2
160
240
162
161
DL/DL1
DL4
231
230
DL2
DL3
240
11
H2
10
5
T3
6
700
7
9
12
8
123a
800
4
2
T1
3
H1
T2
152
150
151
123b
R
W
B
G
H1"
H1'
P1
P4
P2
P3
123/123c
190
190
190
190
H2
A3
10
5
T3
160
6
7
9
8
H2"
4
2
T2
H2'
3
150
T1
1
R
P5
W
B
P6
G
P7
A4
A5
241

图3C

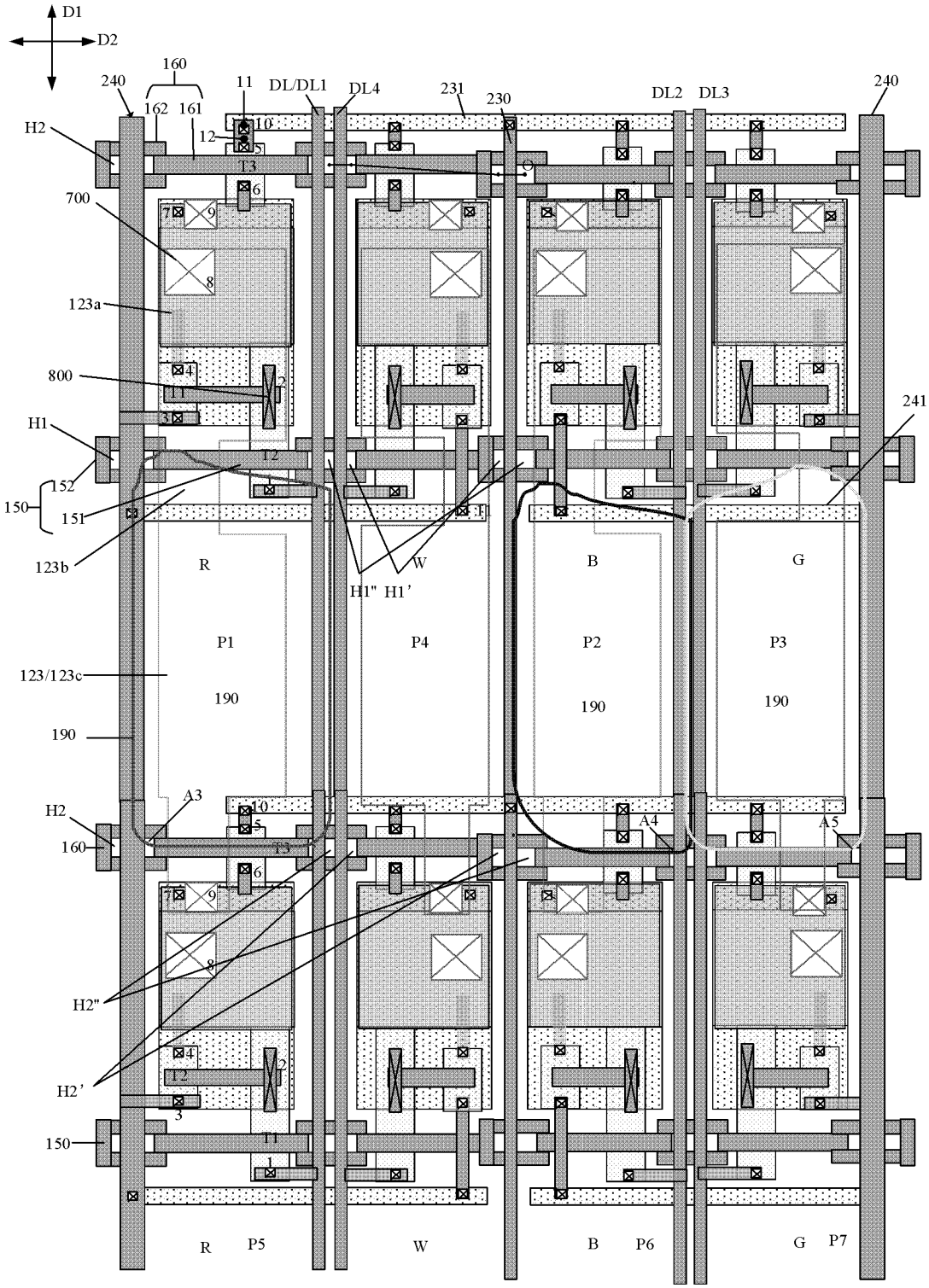

D1
D2
160
240
162
161
11
DL/DL1
DL4
231
230
DL2
DL3
240
H2
12
T3
700
123a
800
H1
152
150
151
123b
241
R
W
B
G
H1"
H1'
P1
P4
P2
P3
123/123c
190
190
190
190
A3
A4
A5
H2
160
H2"
H2'
150
T2
T1
R
P5
W
B
P6
G
P7

图3D

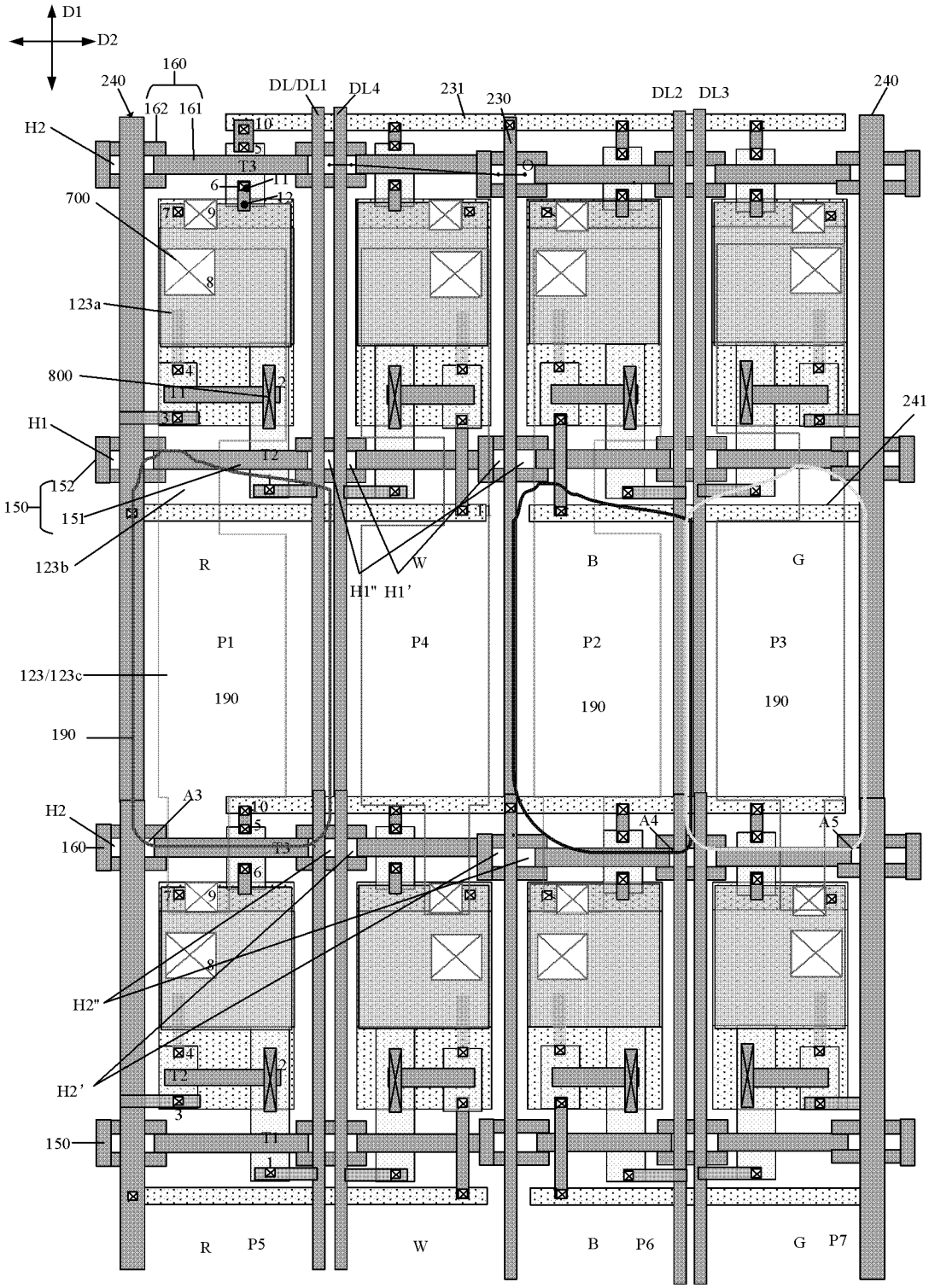

D1
D2
160
240
162
161
DL/DL1
DL4
231
230
DL2
DL3
240
H2
700
123a
800
H1
152
150
151
123b
241
R
W
B
G
H1"
H1'
P1
P4
P2
P3
123/123c
190
190
190
190
A3
A4
A5
H2
160
H2"
H2'
150
R
P5
W
B
P6
G
P7

图3E

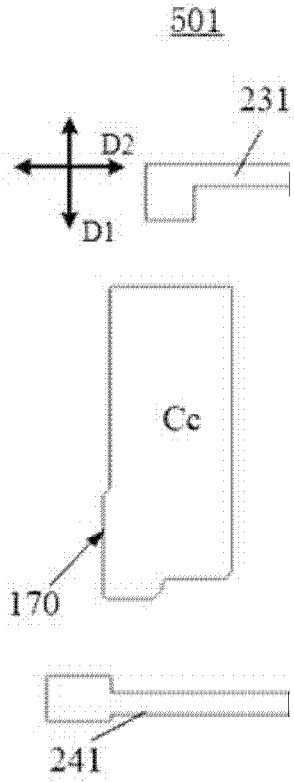

501
231
D2
D1
Cc
170
241

图 4A

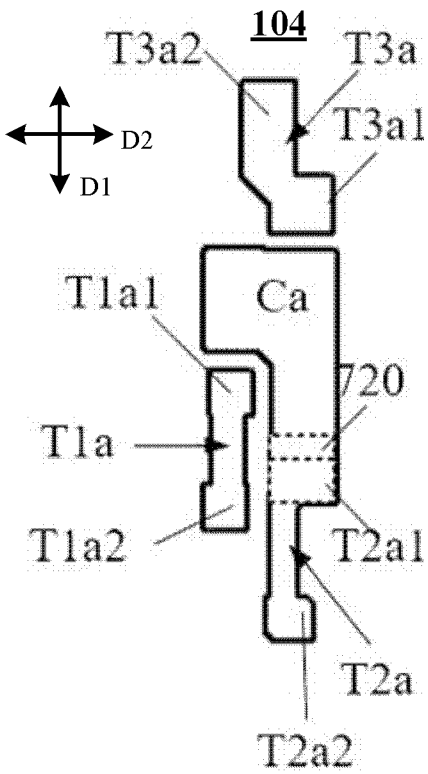

104
T3a2
T3a
T3a1
D2
D1
T1a1
Ca
720
T1a
T1a2
T2a1
T2a
T2a2

图 4B

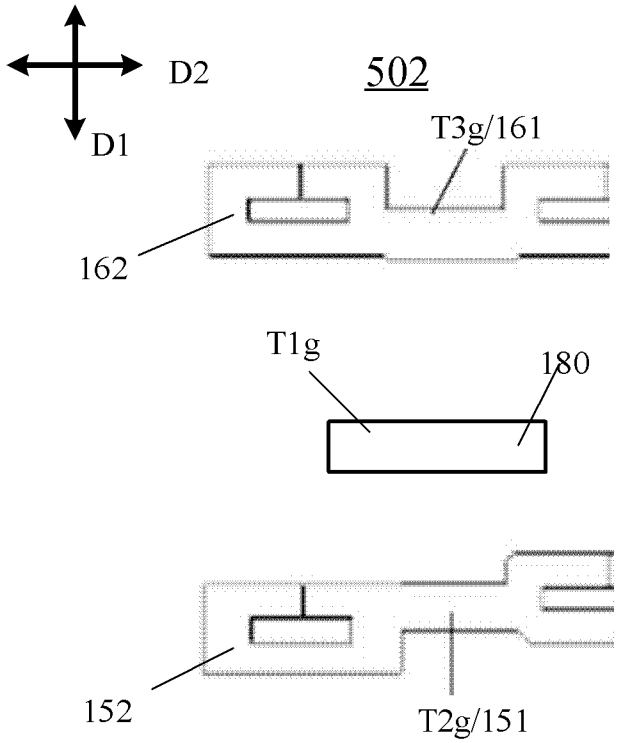


图 4C

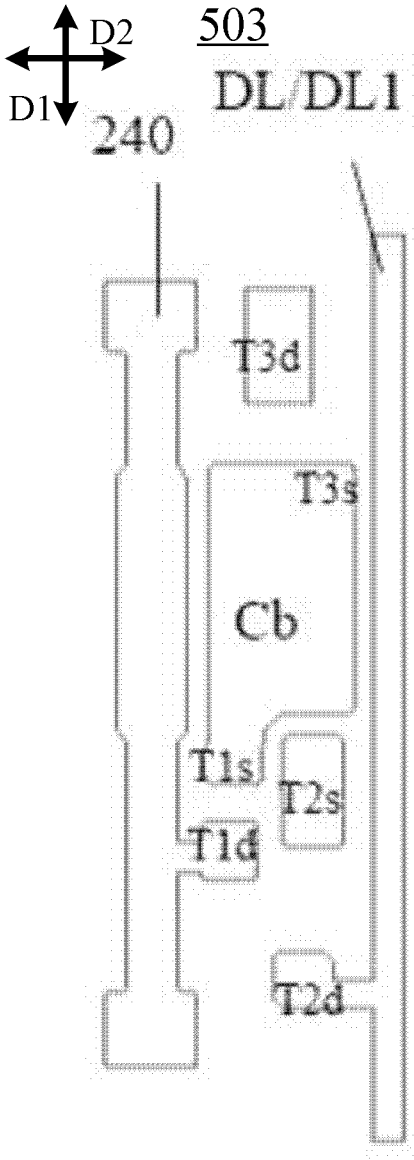


图 4D

20

802
801
10

图 5A

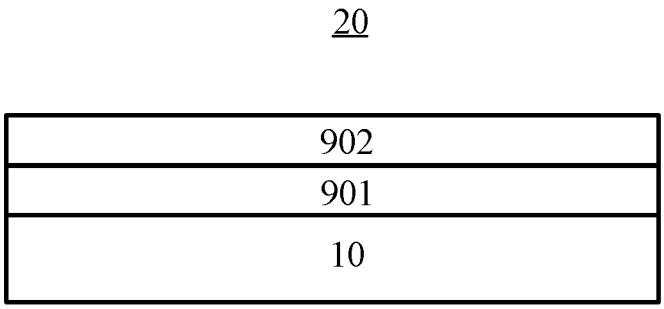


图 5B

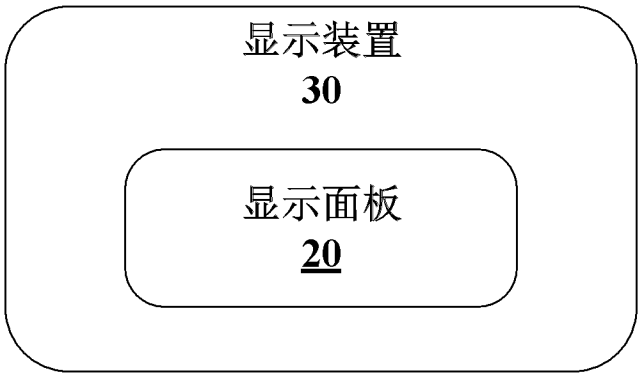


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2021/098923

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, EPODOC, WPI, IEEE: 基板, 导电层, 凹, 凸, 微结构, 应力, substrate, conductive, layer, concave, convex, microstructure, stress+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 107424520 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 December 2017 (2017-12-01) description, paragraphs [0030]-[0044], and figure 2	71-73, 77-87
PX	CN 112331714 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 05 February 2021 (2021-02-05) claims 1-87, description paragraphs [0098]-[0293], figures 1-6	1-87
A	CN 103700322 A (BOE TECHNOLOGY GROUP CO., LTD.) 02 April 2014 (2014-04-02) entire document	1-87
A	CN 102593095 A (AU OPTRONICS CORPORATION) 18 July 2012 (2012-07-18) entire document	1-87
A	CN 110956911 A (HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD. et al.) 03 April 2020 (2020-04-03) entire document	1-87
A	US 2007019143 A1 (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 25 January 2007 (2007-01-25) entire document	1-87

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 September 2021	**30 September 2021**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2021/098923

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016095422 A (DAINIPPON PRINTING CO., LTD.) 26 May 2016 (2016-05-26) entire document	1-87

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2021/098923

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107424520	A	01 December 2017	CN	107424520	B	16 April 2019
				US	2020328234	A1	15 October 2020
				WO	2019019618	A1	31 January 2019
CN	112331714	A	05 February 2021	CN	112331714	B	23 April 2021
CN	103700322	A	02 April 2014	CN	103700322	B	09 March 2016
CN	102593095	A	18 July 2012	CN	102593095	B	12 March 2014
CN	110956911	A	03 April 2020	WO	2020063356	A1	02 April 2020
US	2007019143	A1	25 January 2007	TW	200705001	A	01 February 2007
				US	7495736	B2	24 February 2009
				TW	I320495	B	11 February 2010
JP	2016095422	A	26 May 2016		None		

国际检索报告

国际申请号
PCT/CN2021/098923

A. 主题的分类

H01L 27/32(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT,CNKI,EPODOC,WPI,IEEE:基板，导电层，凹，凸，微结构，应力，substrate，conductive，layer，concave，convex，microstructure，stress+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 107424520 A (京东方科技集团股份有限公司 等) 2017年 12月 1日 (2017-12-01) 说明书第[0030]-[0044]段，图2	71-73, 77-87
PX	CN 112331714 A (京东方科技集团股份有限公司 等) 2021年 2月 5日 (2021-02-05) 权利要求1-87，说明书第[0098]-[0293]段，图1-6	1-87
A	CN 103700322 A (京东方科技集团股份有限公司) 2014年 4月 2日 (2014-04-02) 全文	1-87
A	CN 102593095 A (友达光电股份有限公司) 2012年 7月 18日 (2012-07-18) 全文	1-87
A	CN 110956911 A (合肥鑫晟光电科技有限公司 等) 2020年 4月 3日 (2020-04-03) 全文	1-87
A	US 2007019143 A1 (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 2007年 1月 25日 (2007-01-25) 全文	1-87
A	JP 2016095422 A (DAINIPPON PRINTING CO., LTD.) 2016年 5月 26日 (2016-05-26) 全文	1-87

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2021年 9月 22日	2021年 9月 30日

ISA/CN的名称和邮寄地址	受权官员
中国国家知识产权局(ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088	刘天飞
传真号 (86-10)62019451	电话号码 86-(10)-53961216

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2021/098923

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107424520	A	2017年 12月 1日	CN	107424520	B	2019年 4月 16日
				US	2020328234	A1	2020年 10月 15日
				WO	2019019618	A1	2019年 1月 31日
CN	112331714	A	2021年 2月 5日	CN	112331714	B	2021年 4月 23日
CN	103700322	A	2014年 4月 2日	CN	103700322	B	2016年 3月 9日
CN	102593095	A	2012年 7月 18日	CN	102593095	B	2014年 3月 12日
CN	110956911	A	2020年 4月 3日	WO	2020063356	A1	2020年 4月 2日
US	2007019143	A1	2007年 1月 25日	TW	200705001	A	2007年 2月 1日
				US	7495736	B2	2009年 2月 24日
				TW	I320495	B	2010年 2月 11日
JP	2016095422	A	2016年 5月 26日		无		