[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 11/02 (2006.01)
G11C 7/00 (2006.01)
H01L 27/10 (2006.01)

[12] 发明专利说明书

专利号 ZL 01117942.2

[45] 授权公告日 2009 年 4 月 1 日

[11] 授权公告号 CN 100474437C

[22] 申请日 2001.5.8 [21] 申请号 01117942.2

[30] 优先权

[32] 2000. 5. 3 [33] US [31] 09/564713

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 F·A·珀纳 K·J·埃尔德雷奇

L·T·特兰

[74] 专利代理机构 北京市柳沈律师事务所

代理人 邵亚丽

[56] 参考文献

US5371697A 1994.12.6

US6055 +178A 2000.4.25

CN1200543A 1998.12.2

审查员 孙泽竑

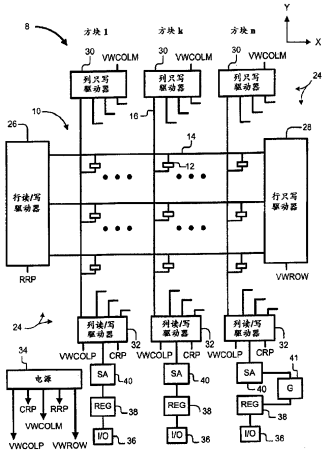
权利要求书 2 页 说明书 12 页 附图 6 页

[54] 发明名称

磁随机存取存储器件

[57] 摘要

本发明提供一种磁随机存取存储器件，其包括：存储器单元阵列；与存储器单元相交的多个字线；与存储器单元相交的多个位线；以及一种电路，包括多个列驱动器，每个列驱动器对应于一个存储器单元方块，每个存储器单元方块包括多根位线和多个存储器单元，在写入操作时，每个列驱动器向相应方块内的一根选定位线提供一个电流脉冲，至少其中一些存储器方块接收交错序列的电流脉冲。 由磁随机存取存储器(“MRAM”)器件的存储器单元组成的大阵列的写入电路可向选定的各字线和各位线提供可控的双向写入电流，又不致超过该存储器单元的击穿限。 另外，该写入电路可使该写入电流按时间展布以降低峰值电流。



1．一种磁随机存取存储器件，包括：

存储器单元阵列；

与存储器单元相交的多个字线；

与存储器单元相交的多个位线；以及

一种电路，包括多个列驱动器，每对列驱动器对应于一个存储器单元方块，每个存储器单元方块包括多根位线和多个存储器单元，在写入操作时，每对列驱动器向相应方块内的一根选定位线提供一个电流脉冲，至少其中一些存储器方块接收交错序列的电流脉冲。

2．权利要求1的磁随机存取存储器件，其特征是，其中所述电路至少包括一个产生用于列驱动器的写入启动脉冲的部件，写入启动脉冲被供给到列驱动器，每个写入启动脉冲使一个列驱动器产生一个电流脉冲，由此，电流脉冲被顺序供给到存储器单元方块。

3．权利要求2的磁随机存取存储器件，其特征是，其中对于每个方块，电路包括一个脉冲发生器，每个脉冲发生器有一个输出，用以提供一个写入启动信号，每个写入启动信号使一个列驱动器产生电流脉冲，写入启动脉冲被输入到每个方块的脉冲发生器，所述写入启动脉冲起始于第一个方块的脉冲发生器并终止于最末一个方块的脉冲发生器。

4．权利要求3的磁随机存取存储器件，其特征是，进一步包括一个全CMOS传输门，它与最末方块的一个列驱动器耦合，用以指示该列驱动器的可操作性。

5．权利要求1的磁随机存取存储器件，其特征是，其中电路包括多个第一开关、多个第二开关、多个第三开关和多个第四开关，在写入操作时，这些第一开关将未选各字线的第一端耦合到一个高阻抗；在写入操作时，这些第二开关将未选各字线的第二端耦合到一个高阻抗；在写入操作时，这些第三开关将未选各位线的第一端耦合到一个高阻抗；以及，在写入操作时，这些第四开关将未选各位线的第二端耦合到一个高阻抗。

6．权利要求5的磁随机存取存储器件，其特征是，其中在写入操作时，第一开关将阵列基准电位施加到一根选定字线的第一端；其中

在写入操作时，第二开关将行写入电位施加到一根选定字线的第二端；其中在写入操作时，第三开关将阵列基准电位和第一列写入电位之一施加到一根选定位线的第一端；且其中在写入操作时，第四开关将阵列基准电位和第二列写入电位之一施加到一根选定位线的第二端。

7．权利要求 5 的磁随机存取存储器件，其特征是，进一步包括主-从驱动器，用以将这些第一和第二写入电位施加到这些第三和第四开关。

8．权利要求 5 的磁随机存取存储器件，其特征是，进一步包括每个方块的读出放大器；其中，在读出操作时，第一开关将行读出电位施加到一根选定字线的第一端；且其中，在读出操作时，每个第三开关将一根选定位线的第一端耦合到读出放大器。

磁随机存取存储器件

本发明涉及到数据存储的随机存取存储器。更具体而言，本发明涉及到一种磁随机存取存储器器件，包括一种存储器单元阵列和将数据写入到该存储器单元的电路系统。

磁随机存取存储器（“MRAM”）是非易失性存储器的一种类型，它正被考虑作长期数据存储之用。从 MRAM 器件存取数据比起从硬盘驱动器之类的常规长期存储器件存取数据要快几个数量级。另外，MRAM 器件与硬盘驱动器和其它常规长期存储器件相比更为小巧，并且耗电更少。

一种典型的 MRAM 包括一个存储器单元阵列。字线沿存储器单元各行延伸，位线沿存储器单元各列延伸。每个存储器单元位于一根字线和一根位线的交点处。

每个存储器单元将信息的一位作为磁化的一种取向存储起来。每个存储器单元的磁化取向在任何给定时间内可取两种稳定取向之一。这两种稳定的磁化取向，即平行和逆平行，代表“1”和“0”的逻辑值。

对一个选定存储器单元的写入操作是将写入电流提供给与该选定存储器单元相交的字线和位线而执行的。写入电流感应一个外磁场，用以建立在选定存储器单元中磁化的取向。磁化取向由外磁场的方向决定。而外磁场的方向又由流过字线和位线的写入电流的方向决定。

典型情况是，数据作为 n 位字被写入 MRAM 阵列。例如，将写入电流提供给与十六个存储器单元相交的一根字线，并且将分离的写入电流提供给与十六个存储器单元相交的十六根位线，16 位字即可被写入到十六个存储器单元中去。

为 MRAM 大阵列设计写入电路面临许多挑战。一个挑战是要减少峰值写入电流，又不致降低该 MRAM 阵列的写入性能。高峰值电流能使写入电路的部件过载，并产生不可接受的电流噪声电平。况且，高峰值电流还能损坏存储器单元。

另一挑战是将写入电流控制到一个指定范围。为了执行可靠的写

入操作，应该将写入电流控制到一个指定范围．若写入电流太小，不可能使选定的存储器单元改变其磁化的取向，而若写入电流太大，又将干扰未选的存储器单元．

因为要求写入电流有双向性，使这种挑战变得复杂起来．典型情况是，位线电流在一个方向流动以建立一个平行的磁化取向，在一个相反方向流动以建立一个逆平行的磁化取向．

在存储器单元之间的电阻性交叉耦合使这种挑战进一步变得复杂起来．每个存储器单元可表示成一个电阻性元件，被存储的数据可用一个小的差分电阻表示．在一个 MRAM 阵列中，每个电阻性元件均与其它电阻性元件发生耦合．写入电流因选定存储器单元与各未选存储器单元的电阻性交叉耦合而受到影响．

本发明遇到这些设计挑战．按照本发明的一种情况，MRAM 器件包括一个写入电路，通过将写入电流提供给与存储器单元相交的一根字线，并将电流脉冲提供给与存储器单元相交的各位线，该写入电路可将一个数据字写入多个存储器单元．至少，某些电流脉冲以交错的顺序被提供给位线．因此，峰值写入电流得以减少．

按照本发明的另一种情况，写入电路对选定的字线和位线施加写入电流，并将每根未选线的两端连接到一个高阻抗．因此，电阻性交叉耦合效应例如寄生电流被减小，并且写入电流被控制到一个指定范围．

本发明另外的情况和优点，通过结合附图以举例的方法说明本发明的原理所作的如下详细描述而变得十分明显．

图 1 是一种 MRAM 器件图，按照本发明，该 MRAM 器件包括一个存储器单元阵列和一个写入电路；

图 2a 和 2b 是一种 SDT 结型存储器单元的磁化取向图；

图 3 是一个存储器单元以及写入操作时与之相交的字线和位线图；

图 4 是一个写入电路的方框图和存储器单元的对应方框图；

图 5(a)至 5(d)是写入电路的行和列驱动器开关图；

图 6 是写入电路的一个列主/从写入驱动器图；

图 7 是在列读/写驱动器之间传播一个写入启动信号的电路示意图；

图 8 是图 7 电路的时序图;

图 9 是应用写入电路写入到存储器方块的流程图;

图 10 是按照本发明的一个 MRAM 芯片的示意图; 以及

图 11 是包括一个和多个 MRAM 芯片的装置的示意图.

如供说明之用的附图所示, 本发明在一种 MRAM 器件中得到实施, 包括一个写入电路和一个存储器单元阵列. 写入电路能提供一个可控的双向写入电流给选定的字线和位线, 并且不致超过该存储器单元的击穿限. 因此, 写入电路改善了该存储器单元中存储数据的可靠性, 并且不致使电路系统过载或使存储器单元损坏. 写入电路也能减少峰值电流. 对于高度的并行模式运算(例如 64 位宽运算, 128 位宽运算), 尤其希望降低峰值电流. 写入电路也有一个固有的测试特点, 该特点改善了它的列写入驱动器的观察能力.

现在请参照图 1, 该图示出了一个 MRAM 器件 8, 它包括存储器单元 12 的一个阵列 10. 存储器单元 12 被安排在各行和各列, 各行沿 x 方向延伸, 各列沿 y 方向延伸. 为了简化对本发明的描述, 仅仅示出较少数目的存储器单元 12. 实际上, 阵列 10 可有任意大小.

作为字线 14 的走线沿存储器单元阵列 10 相对两侧一个平面内的 x 方向延伸. 作为位线 16 的走线沿存储器单元阵列 10 相对两侧一个平面内的 y 方向延伸. 对阵列 10 的每一行, 可以有一根字线 14, 对阵列 10 的每一列, 可以有一根位线 16. 每个存储器单元 12 位于一根字线 14 和一根位线 16 的交点处.

该存储器单元 12 不限于任何特定类型的器件. 例如, 存储器单元 12 可以是自旋相关隧穿(“SDT”)结型器件.

现在请参照图 2a 和 2b, 一个典型的 SDT 结型器件 12 包括有一磁化的一个钉固层 20, 该磁化虽在该钉固层的平面内被取向, 然而却是被固定的, 以致当存在感兴趣范围内的外磁场时它并不转动. SDT 结型器件 12 也包括一个“自由”层 18, 它有一未被钉固的磁化取向. 更确切地说, 该磁化能在沿位于自由层 18 平面内的一个轴(“容易”轴)的两个方向之一被取向. 若自由层 18 和钉固层 20 的磁化位于同一方向, 就称该取向是“平行”的(如图 2a 中的箭头所示). 若自由层 18 和钉固层 20 的磁化位于相反方向, 就称该取向是“逆平行”的(如图 2 b 中的箭头所示).

自由层 18 和钉固层 20 用一绝缘隧道势垒 22 隔开. 绝缘隧道势垒 22 允许在自由层 18 和钉固层 20 之间发生量子力学隧穿. 这种隧穿现象是与电子自旋相关的, 它使 SDT 结型器件 12 的电阻依赖于自由层 18 和钉固层 20 的磁化的相对取向. 例如, 若自由层 18 和钉固层 20 的磁化取向平行时, SDT 结型器件 12 的电阻有第一值 R, 若二者磁化的取向逆平行时, 则电阻有第二值 R+ΔR.

现在另请参照图 3, 该图示出了在写入操作时的一个选定存储器单元 12. 将写入电流 I_x 和 I_y 施加到与选定存储器单元 12 相交的选定字线 14 和位线 16 时, 在选定存储器单元 12 的自由层 18 内的磁化就被取向. 将电流 I_x 施加到字线 14, 则围绕字线 14 形成一个磁场 Hy. 将电流 I_y 施加到位线 16, 则围绕位线 16 形成一个磁场 Hx. 当足够大的电流 I_x 和 I_y 流过这些选定的线 14 和 16 时, 在自由层 18 附近的组合磁场就使自由层 18 的磁化从平行取向旋转到逆平行取向, 或者从逆平行取向旋转到平行取向. 应选择电流值的大小, 使得该组合磁场虽超过自由层 18 的转换磁场, 但不超过钉固层 20 的转换磁场. 因此, 同时施加两个磁场 Hx 和 Hy 就使自由层 18 的磁化取向发生转换.

位线电流 I_y 的方向将决定自由层 18 的磁化取向. 例如, 一个足够正的位线电流 I_y 将使磁化取向平行, 而一个足够负的位线电流 I_y 将使磁化取向逆平行.

参照图 1, MRAM 器件 8 进一步包括一个写入电路 24, 用以对选定存储器单元 12 执行写入操作. 该写入电路 24 包括一个行读/写 (“R/W”) 驱动器 26 和一个行只写 (“W/O”) 驱动器 28. 该写入电路 24 进一步包括多个的列 W/O 驱动器 30, 多个的列 R/W 驱动器 32 和一个电源 34. 该电源 34 将第一列写入电位 VWCOLM 供给到每一列 W/O 驱动器 30, 将第二列写入电位 VWCOLP 供给到每一列 R/W 驱动器 32, 将一个行写入电位 VWROW 供给到行 W/O 驱动器 28. 该电源进一步将一个行读出电位 RRP 供给到行 R/W 驱动器 26, 并将一个列读出电位 CRP 供给到每一列 R/W 驱动器 32.

当对一个选定存储器单元 12 执行写入操作时, 驱动器 26 至 32 将写入电流 I_x 和 I_y 供给到选定的字线 14 和位线 16. 每一对列 W/O 和 R/W 驱动器 30 和 32 将一个位线写入电流供给到存储器单元的一个方块 (即多个列). 例如, 在一个有 n = 18 个存储器单元的方块和十

八对列驱动器 30 和 32 的阵列中，在写入操作时，位线电流将被供给到十八根位线．不同对的列驱动器 30 和 32 将位线电流供给到存储器单元 12 的不同方块．

要写入到存储器单元 12 的数据经由 I/O 电极 36 被提供给 MRAM 器件 8，并被存储到数据寄存器 38（对每个 I/O 电极 36 而言，尽管图 1 仅仅示出一个数据寄存器 38，但显然对每个 I/O 电极 36，器件 8 可以包括多个数据寄存器 38，由此，数据将被串联供给到一个 I/O 电极 36，并被分离进入不同的数据寄存器 38）．每对列驱动器 30 和 32 对存储器单元 12 的一个方块执行写入操作．在任何给定的时间，列驱动器对 30 和 32 仅写入到一个方块中的一个存储器单元 12．

写入电路 24 可同时写入到所有方块．然而，该写入电路 24 也能以交替的顺序写入到这些方块．以交替顺序写入到方块的优点是，电流可以展布到整个时间内，从而削减了电流峰值．现考虑第一个例子，其中十六个方块被同时写入，再考虑第二个例子，其中十六个方块在非重叠的时间间隔以交替的顺序被写入（例如在一个时间间隔写入到一个方块），又考虑第三个例子，其中在一个时间间隔写入两个方块．假定 1 毫安的字线和位线写入电流足以建立每个存储器单元的磁化取向．在第一个例子中，同时写入到全部十六个方块要产生 16 毫安的位线写入电流．然而，在第二个例子中，位线写入电流的最大值为 1 毫安，这是选定的存储器单元以一个时间间隔写入一个的方式被写入的缘故．此外，第二个例子的峰值电流比第一个例子的要低．在第三个例子中，位线写入电流的最大值为 2 毫安，小于第一个例子中的最大峰值电流，但大于第二个例子中的最大峰值电流．然而，第三个例子的写入时间却快于第二个例子的写入时间．

电流变化和峰值电流上升部分起因于 MRAM 器件 8 中的工艺变化．不同的存储器单元将有不同的电阻，不同的字线和位线将有不同的电阻，加到不同的存储器单元和线的电压将产生不同的电流，等等．同时写入到多个存储器单元比起在一个时间间隔写入到一个存储器单元将产生较高的峰值电流．

在写入操作时，行驱动器 25 和 28 与每根未选字线的两端不连接，在写入操作时，列驱动器 30 和 32 也与每根未选位线的两端不连接．与未选各线的两端不连接，阻止了未选各线向基准电位或写入电

源提供不希望有的路径．若在写入操作时一根未选的线提供一条不希望有的路径，寄生电流就流过该阵列．这些寄生电流能够干扰写入操作．然而，当断开每根未选线的两端时（例如将两端连接一个高阻抗），寄生电流的相对值减少，就不致干扰写入操作．

当对选定的存储器单元 12 执行读出模式的操作时，行 R/W 驱动器 26 将未选各字线连接到一个基准电位，列 R/W 驱动器 32 将未选各位线连接到该基准电位 REF．在可供选择的比较方案中，行 R/W 驱动器 26 将选定的字线连接到一个行读出电位 RRP，列 R/W 驱动器 32 将选定的位线连接到一个列读出电位．不管如何，有一读出电流流过选定的存储器单元 12．读出放大器 40 读出选定存储器单元 12 的电阻状态，以决定存储在选定存储器单元 12 内的逻辑值．例如，读出放大器 40 能够计量读出电流，以决定该存储器单元是有对应于第一状态的电阻值 R，还是有对应于第二状态的电阻值 R+ΔR．对应的数据值被存储在寄存器 38 内．存储在数据寄存器 38 内的数据值可通过 I/O 电极 36 从 MRAM 器件 8 被读出．

MRAM 器件 8 可采用一种“等电位”法以减少寄生电流的量值，并允许读出电流被可靠地读出．列 R/W 驱动器 32 可将与提供给选定位线的相同的电位提供给未选各位线，或者行 R/W 驱动器 26 可将与提供给选定位线的相同的电位提供给未选各字线．等电位法在 xx 年 xx 月 xx 日提交的美国专利系列 No._____中作了更为详尽的描述，此处将其收进来以供参考（Attorney Docket No.10990673-1）．__

现在请参照图 4，该图示出了存储器 12 的一个方块的一对列驱动器 30 和 32．还示出了行驱动器 26 和 28．行 R/W 驱动器 26 可包括一个行 R/W 译码器 112 和多个的行 R/W 开关 114，每个存储器单元行有一个 R/W 开关 114．行 R/W 译码器 112 将一个存储器单元的地址 Ax 译码并使每个行 R/W 开关 114 将一根字线的第一端连接到行读出电位，基准电位，或一个高阻抗．

行 R/W 驱动器 26 的一个示范性行 R/W 开关 114 示于图 5a．该示范性行 R/W 开关 114 在读出操作和写入操作时可将一根选定字线的第一端连接到行读出电位（RRP），在读出操作时将一根未选字线的第一端连接到阵列基准电位（REF），并且在写入操作时将一根未选字线的第一端切换到高阻抗．“$W_{行}$”表示一个普遍的写入启动信号．在

写入操作时，该普遍的写入启动信号 W_{en} 进入高状态，将或非门 114a 的输出驱动到低状态．或非门输出的低状态使一个 N 沟道上拉晶体管 114b 关闭，由此迫使在字线 14 和基准电位 REF 之间接入一个高阻抗．若该行未被选上，一个下拉晶体管 114c 也关闭，使行 R/W 开关 114 形成高阻抗状态．

行 W/O 驱动器 28 可包括一个行 W/O 译码器 116 和多个的行 W/O 开关 118，每个存储器单元行有一个行 W/O 开关 118．行 W/O 译码器 116 将存储器单元的地址 Ax 译码，并且使每个行 W/O 开关 118 将一根字线的第二端连接到行写入电位 VWROW 或一个高阻抗．在写入操作时，一根选定字线的第二端被连接到行写入电位 VWROW，在读出操作时，它被连接到一个高阻抗．在读出和写入操作时，一根未选字线的第二端被连接到一个高阻抗．对于行 W/O 驱动器 28 的一个示范性行 W/O 开关 118 示于图 5b．

列 R/W 驱动器 32 包括一个列 R/W 译码器 120，一个脉冲发生器 122，一个列主写入驱动器 124 和多个的列 R/W 开关 126，每个存储器单元列有一个列 R/W 开关 126．列 R/W 译码器 120 将一个存储器单元的地址 Ay 译码，并且在读出和写入操作时使列 R/W 开关 126 将一根选定位线的第一端连接到读出放大器 40 和主写入驱动器 124，在读出操作时将未选各位线的第一端连接到列读出电位（CRP），在写入操作时将未选各位线的第一端连接到一个高阻抗．对于列 R/W 驱动器 32 的一个示范性列 R/W 开关 126 示于图 5c．

列 W/O 驱动器 30 可包括一个列 W/O 译码器 128 ，一个列从驱动器 130 和多个的列 W/O 开关 132，每个存储器单元列有一个列 W/O 开关 132．列 W/O 译码器 128 将存储器单元的地址 Ay 译码，并且在写入操作时使列 W/O 开关 132 将选定位线的第二端连接到从写入驱动器 130，以及将未选各位线的第二端连接到一个高阻抗．在读出操作时，列 W/O 译码器 128 使列 W/O 开关 132 将各位线的第二端连接到一个高阻抗．一个示范性的列 W/O 开关 132 示于图 5d．

这些开关 114，118，126 和 132 用来减少寄生电流的相对值，以不致干扰写入操作．因此，MRAM 阵列的所有四个边用开关来控制是来自行译码器 112 和 116，或是来自列译码器 120 和 128．在读出操作时，对两个边可采用简单开关以隔离列写入驱动器 30 和 32，对其它

两个边可采用图腾柱开关以允许列写入驱动器 30 和 32 在写入操作和一个等电位读出操作之间切换.

在写入操作时，列主驱动器 124 和从驱动器 130 控制写入电流的方向和持续时间. 示范性的主驱动器 124 和从驱动器 130 示于图 6. 列主驱动器 124 包括驱动器逻辑电路 134 和第一对开关 136 和 138，该对开关用来控制被耦合在第二列写入电位 VWCOLP 和基准电位 REF 之间的电流路径. 列从驱动器 130 包括第二对开关 140 和 142，用来控制被耦合在第一列写入电位 VWCOLM 和基准电位之间的电流路径.

当一个列写入启动信号 $W_{列}$进入高状态时，写入逻辑电路 134 使列主驱动器 124 和从驱动器 130 将一个列写入电位 VWCOLP 或 VWCOLM 施加到一根位线的一端，将一个基准电位 REF 施加到一根位线的另一端. 主驱动器 124 和从驱动器 130 的开关 136 至 142 以一种推拉方式工作以确立位线电流的方向. 当电流在一个方向流动时，列从驱动器 130 将选定的位线连接到第一列写入电位 VWCOLM，并且列主驱动器 124 将选定的位线连接到基准电位 REF. 当电流在相反的方向流动时，列从驱动器 130 将选定的位线连接到基准电位 REF，并且列主驱动器 124 将选定的位线连接到第二列写入电位 VWCOLP. 写入逻辑电路按照在数据寄存器 38 内数据 Din 的值选择电流流动的方向.

在读出操作时，列写入启动信号 $W_{列}$为低状态，从而主写入驱动器 124 和从写入驱动器 130 的晶体管关断. 从写入驱动器 130 藉列 W/O 开关 132 与选定的位线相隔离. 主写入驱动器 124 藉主写入驱动器开关 136 和 138 的高阻抗状态与选定的位线相隔离.

主驱动器 124 和从驱动器 130 的四个开关 136 至 142 产生双向写入电流，其性质是施加到与选定位线相连接的存储器单元的是最低可能的写入电压应力. 写入电压可通过估测写入驱动器和开关，以及字线和位线电阻的尺寸和大小来确定.

列写入启动信号 $W_{列}$可以是一个加到每个存储器单元方块的普遍的信号（在这样的情况下 R/W 驱动器 32 的多个脉冲发生器 122 可被单个脉冲发生器替代）. 普遍的列写入启动信号 $W_{列}$可使写入脉冲同时供给各选定位线. 普遍的列写入启动信号的脉冲宽度相当长，足以建立在选定存储器单元中所存储磁场的方向.

在可供选择的比较方案中，写入脉冲可以被交替供给. 这些脉冲

在一个时间间隔可供给一个，在一个时间间隔可供给两个，等等，使列写入电流脉冲展布到一个很宽的时间周期内，从而控制峰值写入电流.每个脉冲发生器122能够产生一个分离的列写入启动信号$W_{列i}$（此处，$1 \leqslant i \leqslant n$，n是阵列10的方块数）。第i个列写入启动信号$W_{列i}$的持续时间长度仅够确定写入列脉冲的宽度，因而仅够确定在第i个方块的选定存储器单元内被存储的磁场．最短的写入时间可以是1至10纳秒的量级．

图7示出了不同R/W驱动器32的脉冲发生器122如何被安排来产生列写入启动信号$W_{列i}$，该$W_{列i}$使电流脉冲以一个时间间隔内供给一个的方式供给到选定的位线．写入操作系将一个信号$W_{列0}$供给到第一R/W驱动器32的脉冲发生器122而被启动.该信号$W_{列0}$使第一R/W驱动器32的脉冲发生器122产生第一脉冲$W_{列1}$。该第一脉冲是提供给第一方块中列驱动器30和32的列写入启动信号$W_{列1}$。该第一脉冲$W_{列1}$也供给到第二R/W驱动器32的脉冲发生器122．第一个脉冲$W_{列1}$的下降沿使第二R/W驱动器32的脉冲发生器122产生第二脉冲$W_{列2}$。该第二个脉冲是提供给第二方块中列驱动器30和32的列写入启动信号$W_{列2}$。第i脉冲（亦即第i列写入启动信号$W_{列i}$）系由第i方块的脉冲发生器122产生，并且供给到第1 + i方块的脉冲发生器122．通过这种方式，列写入启动信号$W_{列i}$穿越脉冲发生器122传播（如图8所示）．结果是，写入脉冲穿越各位线传播，所以在任何给定的时间每个方块只有一个存储器单元被写入．

写入电路22可包括一个供测试列R/W驱动器32的电路．该测试电路能够产生一个信号，当测试写入电路时，该信号被供给到最末一个（第n个）数据寄存器38．施加到最末一个数据寄存器38的信号可以是从列主写入驱动器124到列从写入驱动器130的下拉信号．从逻辑上说，下拉信号是由第n个列写入启动信号$W_{列n}$选通的数据输入信号，它由最末一个方块的脉冲发生器122产生．为观察写入操作时列R/W驱动器32的作用，该测试电路是有用的．在写入操作时用不着数据输出，而在写入操作时测试数据可被多路传输到数据输出信号上．因写入测试特点而添加的逻辑电路可以是一个全CMOS传输门41，它被置于从第n个读出放大器到第n个数据寄存器38的数据输出线内（见图1）．传输门41可被已存在于列主写入驱动器电路的列

写入启动信号控制.

图 9 示出了在写入操作时列驱动器 30 和 32 的工作情况. 写入电流由三个写入电位: VWROW, VWCOLP 和 VWCOLM 建立并受它们控制(方框 202). 在写入操作开始前, 通过将地址信号 Ax 和 Ay 供给到行译码器 112 和 116, 列译码器 120 和 128 来选通一行和列的一组(方框 204). 存储在数据寄存 38 内的数据被加到列 R/W 驱动器 32(方框 206). 普遍的写入启动信号 $W_{行}$ 被确认可在一根选定字线内建立字线写入电流, 列写入启动信号 $W_{列0}$ 被确认使写入脉冲以一个时间间隔供给一个的方式供给到选定的位线, 从第一个方块的位线开始, 到最末一个方块的位线结束(方框 208). 可观察来自最末一个(第 n 个) R/W 驱动器 32 的脉冲发生器 122 的输出信号以确定写入操作在何时完成(方框 210). 对于所有的写入操作, 此过程可以重复进行.

现在请参照图 10, 该图示出了一个多层 MRAM 芯片 300. 该 MRAM 芯片 300 包括堆垛在衬底 304 上 z 方向其数目为 N 的存储器单元层 302. $N \geq 1$, 此处, N 是一正整数. 存储器单元层 302 的各层可被二氧化硅之类的绝缘材料(未示出)隔开. 读出电路和写入电路可在衬底 304 上制造. 读出电路和写入电路可包括附加的多路转换器以选通读出和写入电平.

因此, 本发明所公开的是 MRAM 大阵列的写入电路. 该写入电路能提供一个可控的双向写入电流脉冲以选通字线和位线, 但又不致超过存储器单元的击穿限. 所以, 该写入电路改善了在存储器单元内存储数据的可靠性, 又不致使电路系统过载或损伤存储器单元. 该写入电路能够使电流脉冲展布在整个时间内以减少峰值电流. 峰值电流的减少还降低了功耗和热耗散. 对于高度并行的操作模式, 减少峰值电流正是人们特别希望的.

该写入电路和读出电路系统是兼容的, 其兼容性在于在读出操作时读出电路系统可将一个相等的电位施加到选定的和未选的各线. 该写入电路有一个固有的测试特点, 用以改善对列写入驱动器的观察能力. 由于对内节点状态有观察能力, 写入电路的测试覆盖范围可得到改善.

按照本发明的 MRAM 器件可被用于各类应用之中. 图 11 示出了一个或多个 MRAM 芯片 300 的一种示范性的一般应用. 该一般应用可通

过一台装置 400 实施，该装置包括一个 MRAM 存储模块 402，一个接口模块 404 和一个处理器 406. MRAM 存储模块 402 包括一个或多个 MRAM 芯片 300 供长期存储之用．接口模块 404 提供一个在处理器 406 和 MRAM 存储模块 402 之间的接口．该装置 400 也可包括快速易失性存储器（例如 SRAM）供短期存储之用．

对于笔记本计算机和个人计算机之类的装置 400，MRAM 存储模块 402 可包括许多 MRAM 芯片 300，接口模块 404 可包括一个 EIDE 或 SCSI 接口．对于服务器之类的装置 400，MRAM 存储模块 402 可包括大量 MRAM 芯片 300，接口模块 404 可包括一根光纤通道或 SCSI 接口．这种 MRAM 存储模块 402 能取代或补充如硬盘驱动器之类的常规长期存储器件．

对于数字照相机之类的装置 400，MRAM 存储模块 402 可包括少量 MRAM 芯片 300，接口模块 404 可包括一个照相机接口．这样一种 MRAM 存储模块 402 可容许长期存储数字照相机上的数字图像．

按照本发明的 MRAM 器件表现出胜过硬盘驱动器之类的常规长期数据存储器件的许多优点．从 MRAM 器件存取数据比起从硬盘驱动器之类的常规长期存储器件存取数据要快几个数量级．另外，MRAM 比硬盘驱动器更为小巧．

MRAM 器件不限于上述特定的实施方案．例如，这些存储器单元不限 SDT 结型器件．可使用的其它类型器件包括，但不限于巨型磁阻（“GMR”）器件．

结合沿易磁化轴取向的各个行已描述了 MRAM 阵列．然而，行和列是可以互换的，在这样的情形中，各列将沿易磁化轴被取向．

行驱动器和列驱动器不限于图 5a 至 5d 的开关．然而，图 5a 至 5d 所示的开关可用 NMOS 晶体管实现，这种 NMOS 晶体管支持一种低电压设计和一种高密度布局．

电源可用任意多的手段实现．例如，电源可包括提供不同电位的可变电压源．在可供选择的比较方案中，可控电流源可包括高阻抗可控电流源或电流镜．

脉冲发生器 122 可被作成 R/W 驱动器 32 的一部分，如图 4 所示．在可供选择的比较方案中，列写入启动信号 W 列 i 可在外部产生．

可以采用与多个脉冲发生器不同的电路产生列写入启动信号．例

如，列写入启动信号可用一个或多个移位寄存器产生（例如，单个移位寄存器可用一个时间间隔内一个的方式建立写入启动信号；并行操作的两个移位寄存器可用一个时间间隔内两个的方式建立写入启动信号）.

因此，写入操作可用一个时间间隔内一个方块，一个时间间隔内两个方块等的方式被执行. 每个附加的写入脉冲也将增加峰值位线电流. 然而，每个附加的写入脉冲也将增加写入速度. 因此，设计人员在增加写入速度与减少峰值写入电流到一个可接受的水平方面要面临折衷选择.

因此，本发明不限于上述特定的实施方案. 而是，本发明可根据下述权利要求进行解释.

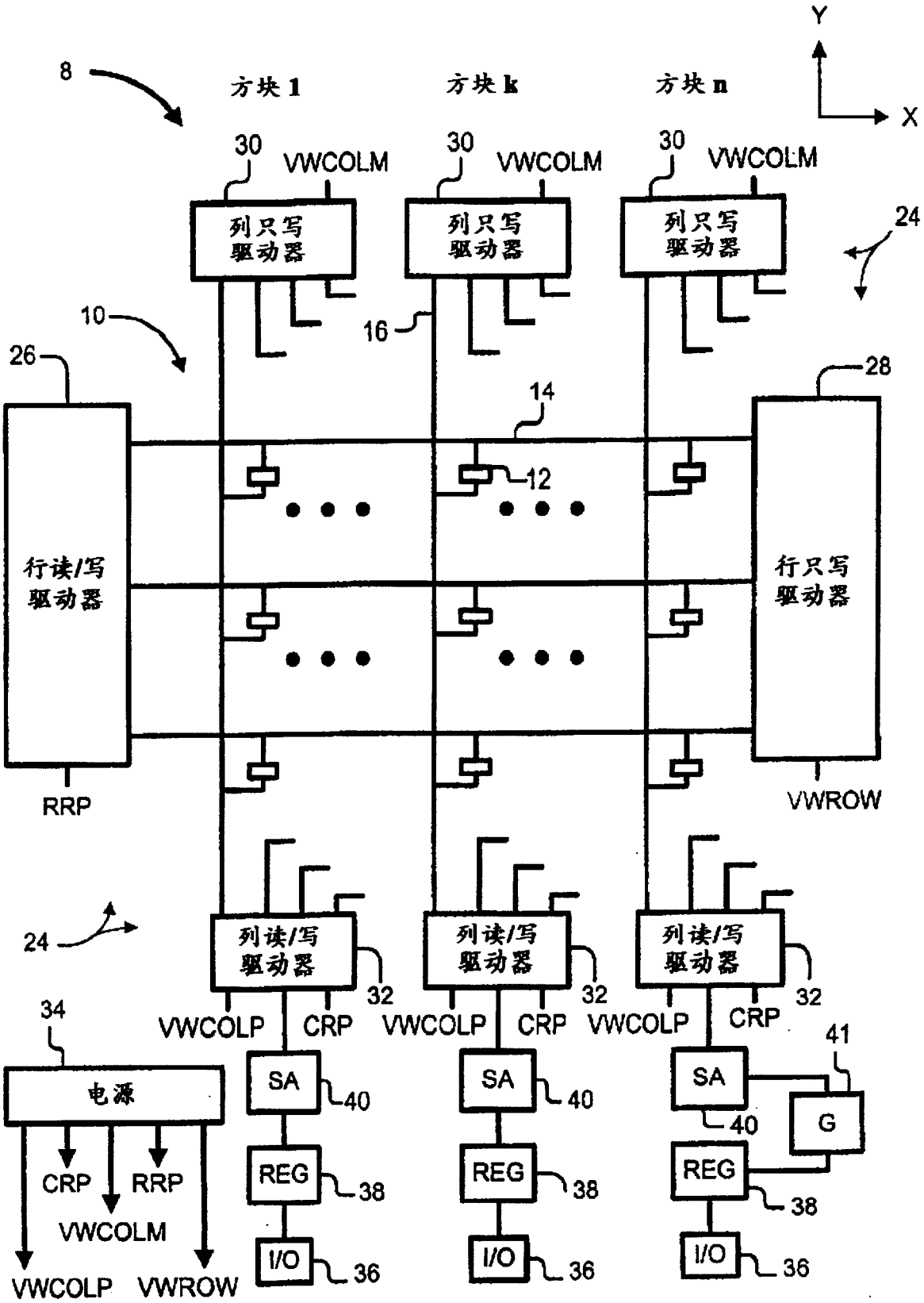

8
方块 1
方块 k
方块 n
Y
X
30
VWCOLM
列只写驱动器
24
10
16
26
28
14
12
行读/写驱动器
行只写驱动器
RRP
VWROW
列读/写驱动器
32
34
VWCOLP
CRP
电源
SA
40
REG
38
I/O
36
41
G
VWCOLM
VWROW

图 1

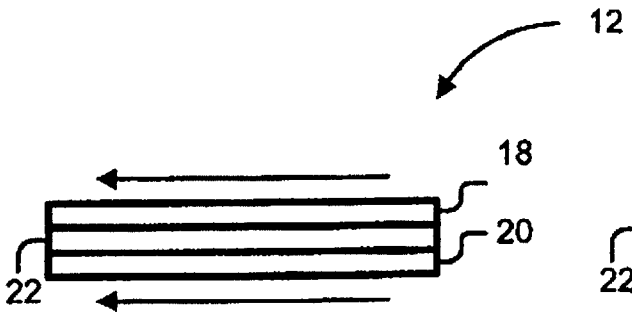


图 2a

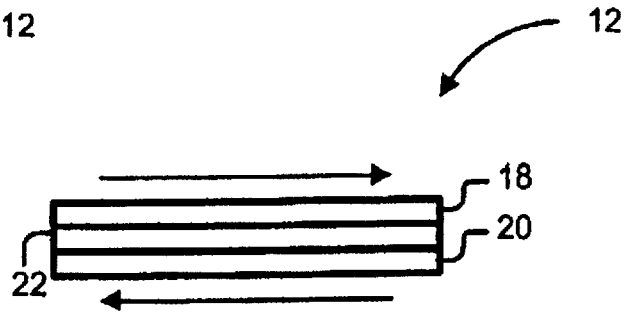


图 2b

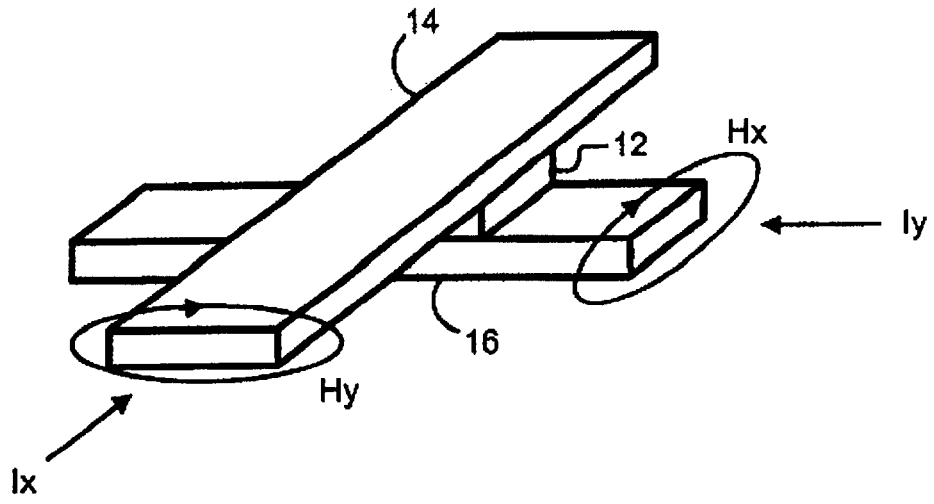


图 3

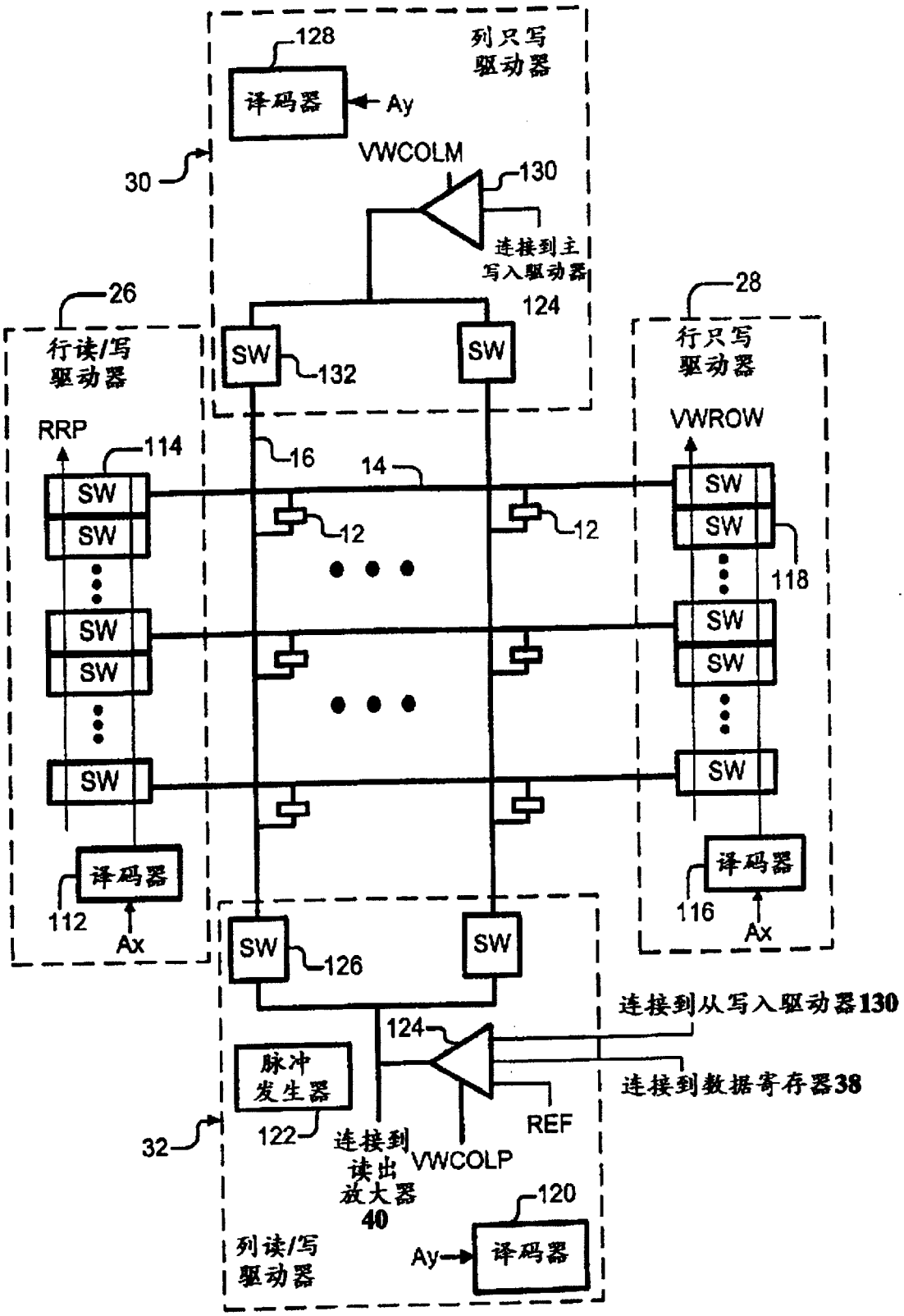

列只写
驱动器
128
译码器
Ay
30
VWCOLM
130
连接到主
写入驱动器
124
26
行读/写
驱动器
SW
132
SW
28
行只写
驱动器
RRP
114
16
14
VWROW
SW
SW
12
12
SW
SW
118
SW
SW
SW
SW
SW
译码器
112
Ax
译码器
116
Ax
SW
126
SW
连接到从写入驱动器130
124
脉冲
发生器
连接到数据寄存器38
REF
32
122
连接到
读出
放大器
40
VWCOLP
120
列读/写
驱动器
Ay
译码器

图 4

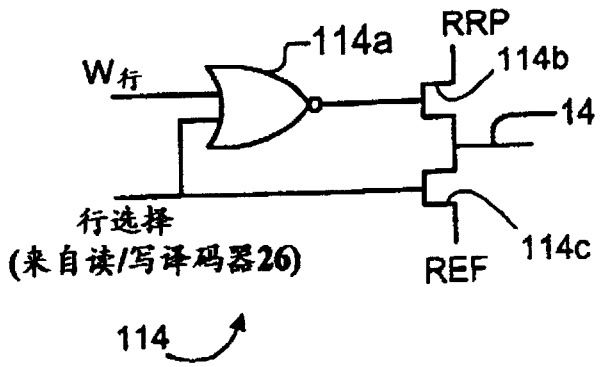


图 5a

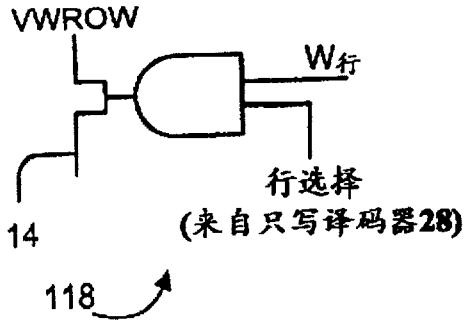


图 5b

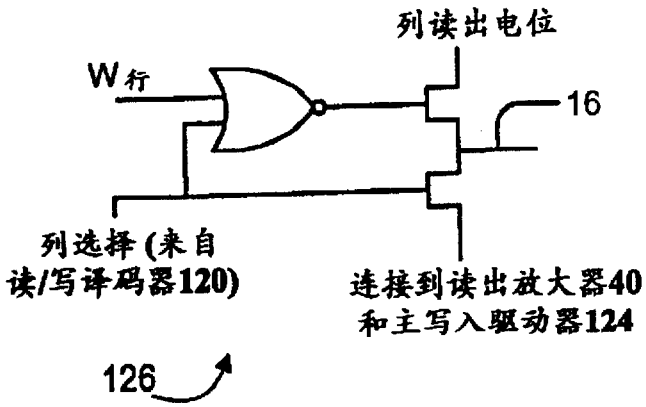


图 5c

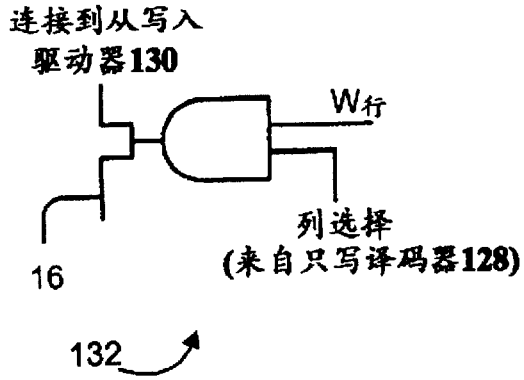


图 5d

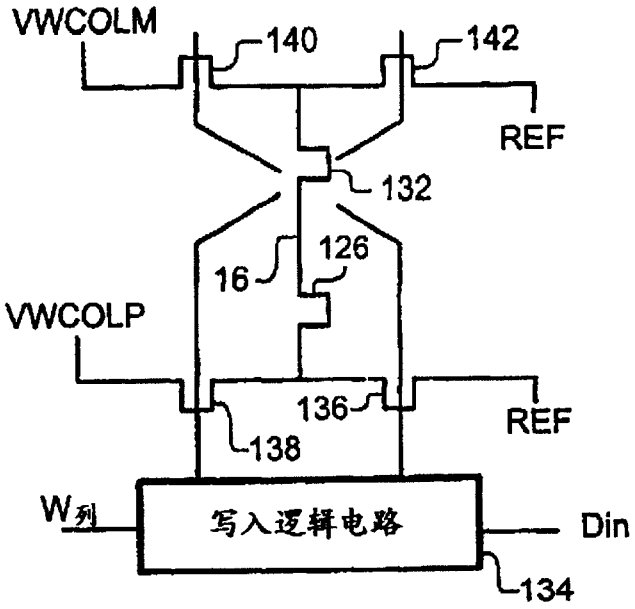


图 6

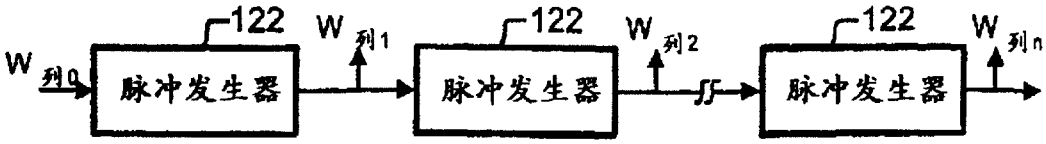

122
122
122
W 列0
W 列1
W 列2
W 列n
脉冲发生器
脉冲发生器
脉冲发生器

图 7

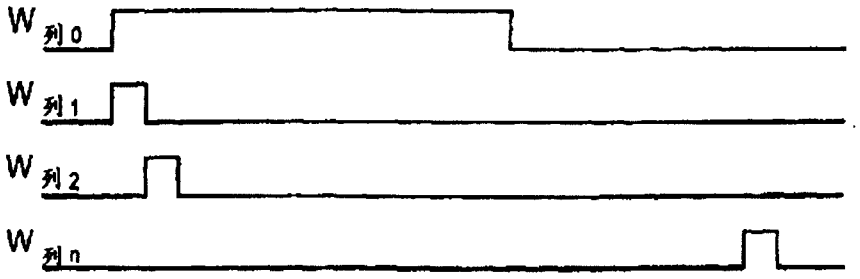

W 列0
W 列1
W 列2
W 列n

图 8

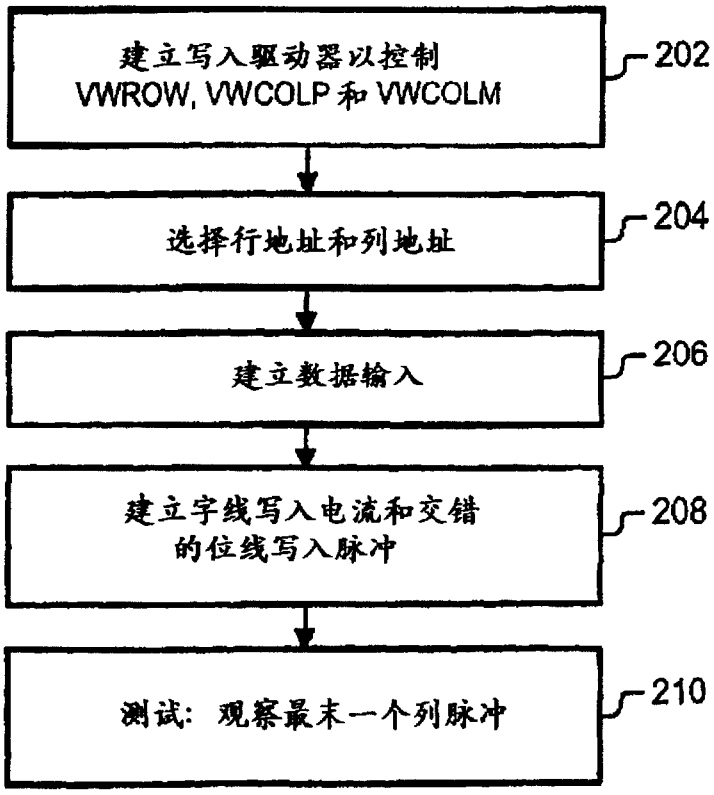

建立写入驱动器以控制
VWROW, VWCOLP 和 VWCOLM
202
选择行地址和列地址
204
建立数据输入
206
建立字线写入电流和交错
的位线写入脉冲
208
测试：观察最末一个列脉冲
210

图 9

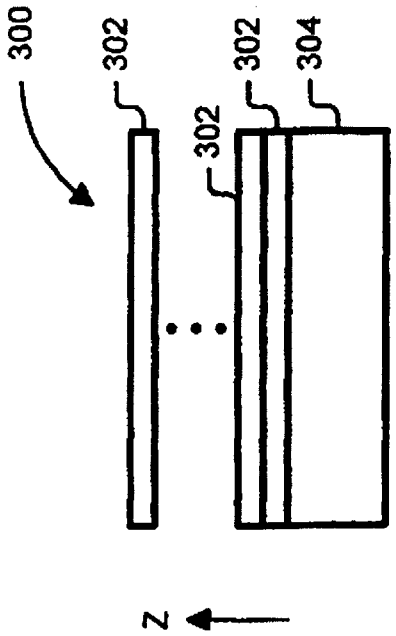

300
302
302
302
304
Z

图 10

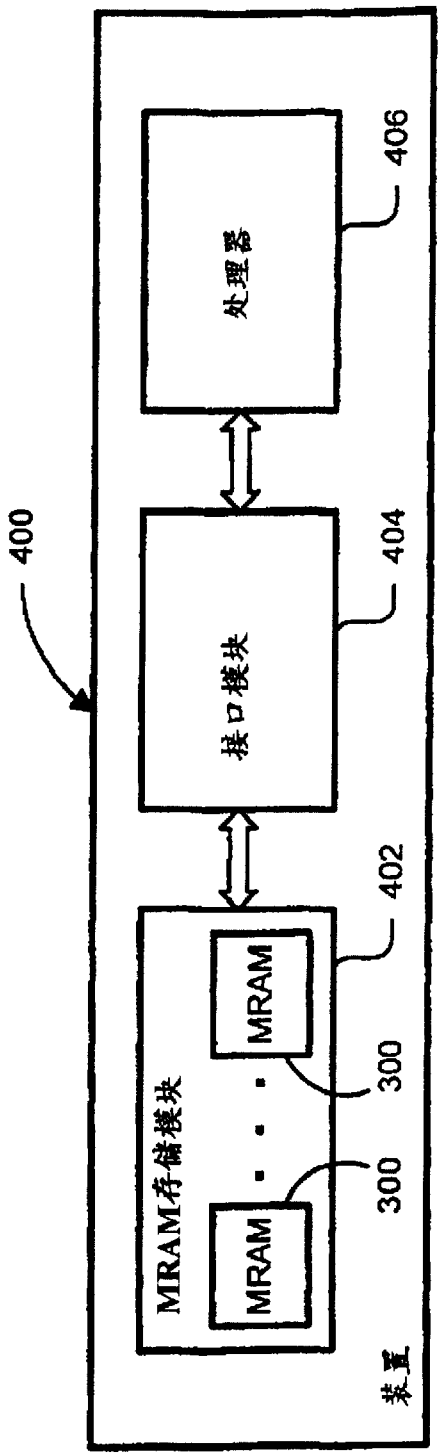

400
处理器
406
接口模块
404
MRAM存储模块
MRAM
MRAM
402
300
300
装置

图 11