

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-34226

(P2010-34226A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl. F I テーマコード (参考)
H O 1 L 31/10 (2006.01) H O 1 L 31/10 A 5 F O 4 9

審査請求 未請求 請求項の数 13 O L (全 20 頁)

(21) 出願番号	特願2008-193799 (P2008-193799)	(71) 出願人	504137912
(22) 出願日	平成20年7月28日 (2008.7.28)		国立大学法人 東京大学
			東京都文京区本郷七丁目3番1号
		(74) 代理人	100119677
			弁理士 岡田 賢治
		(74) 代理人	100115794
			弁理士 今下 勝博
		(72) 発明者	和田 一実
			東京都文京区本郷七丁目3番1号 国立大
			学法人 東京大学内
		(72) 発明者	石川 靖彦
			東京都文京区本郷七丁目3番1号 国立大
			学法人 東京大学内

最終頁に続く

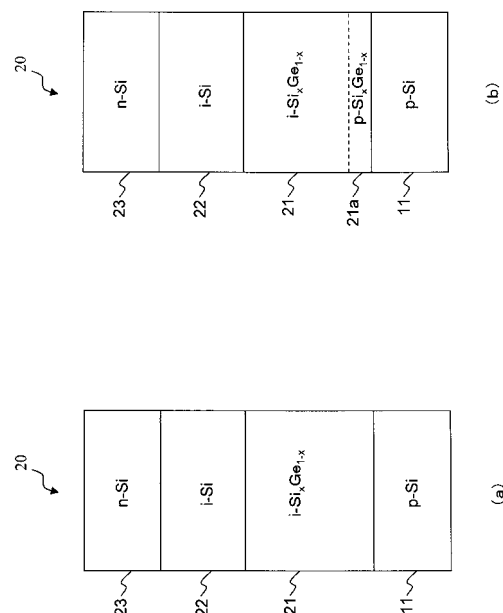
(54) 【発明の名称】 光半導体素子、光電変換素子及び光変調素子

(57) 【要約】 (修正有)

【課題】SiGe-PIN光半導体素子において、SiGe半導体層自身にPIN構造が形成されることを防止し、SiGe半導体層に印加される電界を低減する。

【解決手段】n型Si半導体層又はp型Si半導体層とi型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層(但し、 $0 < x < 0.6$)の間に、i型Si半導体層を配置することとした。つまり、p型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層(但し、 $0 < x < 0.6$)、i型Si半導体層、n型Si半導体層が順に積層されたことを特徴とする光半導体素子、又はn型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層(但し、 $0 < x < 0.6$)、i型Si半導体層、p型Si半導体層が順に積層されたことを特徴とする光半導体素子とした。

【選択図】図2



【特許請求の範囲】

【請求項 1】

光機能層及び電界制御層を備える光半導体素子であり、p型Si半導体層とn型Si半導体層との間に前記光機能層及び前記電界制御層が挟まれていることを特徴とする光半導体素子。

【請求項 2】

前記光機能層が、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $0 < x < 0.6$ ）を有することを特徴とする請求項 1 に記載の光半導体素子。

【請求項 3】

前記電界制御層が、i型Si半導体層を有することを特徴とする請求項 1 又は 2 に記載の光半導体素子。 10

【請求項 4】

前記電界制御層が、前記光機能層と前記i型Si半導体層との間にn型Si半導体層、n型Ge半導体層及びn型SiGe半導体層のいずれかの半導体層をさらに有することを特徴とする請求項 3 に記載の光半導体素子。

【請求項 5】

p型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $0 < x < 0.6$ ）、i型Si半導体層、n型Si半導体層が順に積層されたことを特徴とする光半導体素子。

【請求項 6】

n型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $0 < x < 0.6$ ）、i型Si半導体層、p型Si半導体層が順に積層されたことを特徴とする光半導体素子。 20

【請求項 7】

前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層と前記i型Si半導体層との間に、n型Si半導体層、n型Ge半導体層及びn型SiGe半導体層のいずれかの半導体層を有することを特徴とする請求項 6 に記載の光半導体素子。

【請求項 8】

前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層と前記i型Si半導体層との間に有する前記n型Si半導体層、前記n型Ge半導体層又は前記n型SiGe半導体層のn型キャリア濃度が 10^{11} cm^{-2} 以上、 10^{14} cm^{-2} 以下であることを特徴とする請求項 7 に記載の光半導体素子。 30

【請求項 9】

前記i型Si半導体層の厚さが20nm以上であることを特徴とする請求項 5 から 8 のいずれかに記載の光半導体素子。

【請求項 10】

前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x = 0$ ）とその両側の層のうち少なくとも一方との間にi型 $\text{Si}_y\text{Ge}_{1-y}$ 半導体層（ $0 < y < 1$ ）を更に有することを特徴とする請求項 5 から 9 のいずれかに記載の光半導体素子。

【請求項 11】

請求項 5 から 10 のいずれかの光半導体素子に0V以上の逆バイアスを印加し、前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に入射した光信号を電気信号に変換することを特徴とする光電変換素子。 40

【請求項 12】

請求項 5 から 10 のいずれかの光半導体素子に印加する0V以上の逆バイアスを制御することによって、前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に入射した光信号に対して吸収率を変化させることを特徴とする光変調素子。

【請求項 13】

請求項 5 から 10 のいずれかの光半導体素子に印加する0V以上の逆バイアスを制御することによって、前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に入射した光信号に対して屈折率を変化させることを特徴とする光変調素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、 i 型（真性型） Si_xGe_{1-x} 半導体を用いたPIN構造の光半導体素子に関し、特に、暗電流の少ない光半導体素子に関する。

【背景技術】

【0002】

Si （シリコン）半導体集積回路上で、長波長帯と呼ばれる $1.6\mu m$ 程度までの波長の光を検出するためには、 Si 半導体より禁制帯幅の狭い Ge （ゲルマニウム）半導体を利用する必要がある。 Si 半導体集積回路上の Ge -PIN光電変換素子としては、 p 型 Si 半導体層と n 型 Si 半導体層との間に i 型 Ge 半導体層を吸収層として形成したものがある。

10

【0003】

従来の光電変換素子10の例を図1で説明する。図1(a)に一例を示すような従来の光電変換素子10は、エピタキシャル成長によって、図には p - Si と記載した p 型 Si 半導体層11と、 i - Ge と記載した i 型 Ge 半導体層12と、 n - Si と記載した n 型 Si 半導体層13とが基板から順に積層され、PIN構造が形成されている。このPIN構造の光電変換素子10に上方から空間を介して光が照射されると光起電流が流れる。また、光導波路を組み合わせた場合は、光電変換素子10の横方向又は下方向から光が照射され、光起電流が流れるようになっている。

【0004】

20

この種の光電変換素子として、特許文献1に記載の光起電力デバイスがある。この光起電力デバイスは、 i 型層を構成するアモルファスシリコンゲルマニウムにおける Ge 原子の含有量を20乃至70原子%の範囲とし、 Ge 原子の含有量が積層方向において極大値をもつように分布させるとともに、 p 型層及び n 型層と接する側に Ge 原子を含まない非単結晶シリコンバッファ層が設けられて構成されている。

【0005】

一方、 Si （シリコン）半導体集積回路上で、長波長帯と呼ばれる $1.6\mu m$ 程度までの波長の光を変調するためには、 Si 半導体より禁制帯幅の狭くかつ伝搬する光の波長よりも禁制帯幅の広い Ge （ゲルマニウム）半導体を利用する必要がある。 Si 半導体集積回路上の Ge -PIN光変調素子としては、 p 型 Si 半導体層と n 型 Si 半導体層との間に外部電圧が0Vと特定の電圧 V_0 との間で i 型 Ge 半導体層が伝搬光を透過あるいは吸収層として作用するように形成したものがある。これは電界吸収型の光変調素子と呼ばれている。

30

【0006】

従来の光変調素子10の例を図1で説明する。図1(a)に一例を示すような従来の光変調素子10は、エピタキシャル成長によって、図には p - Si と記載した p 型 Si 半導体層11と、 i - Ge と記載した i 型 Ge 半導体層12と、 n - Si と記載した n 型 Si 半導体層13とが基板から順に積層され、PIN構造が形成されている。このPIN構造の光変調素子10に上方から空間を介して光が照射されると外部電圧が印加されている場合には光が吸収され、外部電圧が除去されると光が透過する。また、光導波路を組み合わせた場合は、光変調素子10の横方向又は下方向から光が照射されると、外部電圧が印加されている場合には光が吸収され、外部電圧が除去されると光が透過するようになっている。

40

【0007】

この種の光変調素子として、非特許文献1に記載の光変調デバイスがある。この光変調デバイスは、 i 型層を構成するシリコンゲルマニウムにおける Ge 原子の含有量を20乃至95原子%の範囲として構成されている。

【特許文献1】特開平6-21494号公報

【非特許文献1】“Waveguide-integrated ultralow-energy GeSi electro-absorption modulators

50

" J i f e n g L i u e t a l , N a t u r e P h o t o n i c s , o n l i n e : 3 0 M a y , 2 0 0 8

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、図1(a)に示した光電変換素子又は光変調素子10では、Ge半導体層を積層するとSi半導体層とGe半導体層と間で格子ミスマッチが発生する。この格子ミスマッチにより格子欠陥が発生して、暗電流の原因となる。格子欠陥を解消するため、700~900の高温アニール処理を実施する必要がある。しかし、Si半導体のエピタキシャル成長は通常650以下で行われる。Si半導体積層工程の途中で700~900になる高温アニール処理を施すことは好ましくない。

10

【0009】

一方、暗電流の他の原因としては、i型Ge半導体層の両側界面が隣接するp型Si半導体層とn型Si半導体層によって、i型Ge半導体層の両側が、それぞれp型Ge半導体層とn型Ge半導体層になってしまい、Ge半導体層自身にPIN構造が形成されてしまうことが挙げられる。図1(b)に示すように、p型Si半導体層11とi型Ge半導体層12との界面にp型Ge半導体層12aが生成されると共に、n型Si半導体層13とi型Ge半導体層12との界面にn型Ge半導体層12bが生成される。つまり、i型Ge半導体層12の中の両側にp型とn型が形成されるので、Ge半導体層自身がPIN構造となる。

20

【0010】

即ち、Ge半導体層自身にPIN構造が形成されると、Ge半導体層に電界が印加されてしまう。Ge半導体は上記したように禁制帯幅が狭いため、電界の印加によって暗電流が生じやすい。

【0011】

前記課題を解決するために、本発明は、p型Si半導体層とn型Si半導体層との間に光機能層を有する光半導体素子において、光機能層に印加される電界を低減することを目的とする。

【0012】

さらに、前記課題を解決するために、本発明は、SiGe-PIN光半導体素子において、SiGe半導体層にPIN構造が形成されることを防止し、SiGe半導体層自身に印加される電界を低減することを目的とする。

30

【課題を解決するための手段】

【0013】

上記目的を達成するために、p型Si半導体層とn型Si半導体層との間に光機能層及び電界制御層を挟むこととした。

【0014】

具体的には、本発明の光半導体素子は、光機能層及び電界制御層を備える光半導体素子であり、p型Si半導体層とn型Si半導体層との間に前記光機能層及び前記電界制御層が挟まれていることを特徴とする光半導体素子とした。

40

【0015】

この構成によれば、p型Si半導体層とn型Si半導体層との間に挟まれた光機能層で光半導体素子の機能を発揮させ、電界制御層で光機能層に電界が印加されないようにすることができる。

【0016】

更に、具体的には、本発明の光半導体素子は、前記光機能層が、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層(但し、 $0 < x < 0.6$)を有することを特徴とする光半導体素子とした。

【0017】

この構成によれば、Geが40%以上含まれることによって、長波長帯での使用を確保することができる。

50

【0018】

更に、具体的には、前記電界制御層が、 i 型 Si 半導体層を有することを特徴とする光半導体素子とした。

【0019】

この構成によれば、 i 型 Si_xGe_{1-x} 半導体層と p 型 Si 半導体層との間に i 型 Si 半導体層が配置されるため、 i 型 Si_xGe_{1-x} 半導体層の p 型 Si 半導体層側に近い側が p 型になることを避けることができ、又は、 i 型 Si_xGe_{1-x} 半導体層と n 型 Si 半導体層との間に i 型 Si 半導体層が配置されるため、 i 型 Si_xGe_{1-x} 半導体層の n 型 Si 半導体層側に近い側が n 型になることを避けることができ、 Si_xGe_{1-x} 半導体層自身に PN 構造が形成されることを防止することができる。これによって、
10 Si_xGe_{1-x} 半導体層に電界が印加されないようにすることができる。

【0020】

更に、具体的には、前記電界制御層が、前記光機能層と前記 i 型 Si 半導体層との間に n 型 Si 半導体層、 n 型 Ge 半導体層及び n 型 $SiGe$ 半導体層のいずれかの半導体層をさらに有することを特徴とする光半導体素子とした。

【0021】

この構成によれば、 i 型 Si_xGe_{1-x} 半導体層の i 型 Si 半導体層に近い側は p 型になり易い。 p 型になると、従来と同じように $SiGe$ 半導体層に電界が印加され、暗電流が増加するが、前記 i 型 Si_xGe_{1-x} 半導体層と前記 i 型 Si 半導体層との間に n 型半導体層を追加することにより、 p 型になることを避けることができる。
20

【0022】

また、上記目的を達成するために、 i 型 Si_xGe_{1-x} 半導体層（但し、 $0 < x < 0.6$ ）を反応領域とし、当該 i 型 Si_xGe_{1-x} 半導体層と n 型 Si 半導体層又は p 型 Si 半導体層との間に、 i 型 Si 半導体層を配置することとした。

【0023】

具体的には、本発明の光半導体素子は、 p 型 Si 半導体層、 i 型 Si_xGe_{1-x} 半導体層（但し、 $0 < x < 0.6$ ）、 i 型 Si 半導体層、 n 型 Si 半導体層が順に積層されたことを特徴とする光半導体素子とした。

【0024】

この構成によれば、 i 型 Si_xGe_{1-x} 半導体層と n 型 Si 半導体層との間に i 型 Si 半導体層が配置されるため、 i 型 Si_xGe_{1-x} 半導体層の n 型 Si 半導体層側に近い側が n 型になることを避けることができ、 Ge 半導体層自身に PN 構造が形成されることを防止することができる。また、 Ge が40%以上含まれることによって、長波長帯での使用を確保することができる。
30

【0025】

更に、具体的には、本発明の光半導体素子は、 n 型 Si 半導体層、 i 型 Si_xGe_{1-x} 半導体層（但し、 $0 < x < 0.6$ ）、 i 型 Si 半導体層、 p 型 Si 半導体層が順に積層されたことを特徴とする光半導体素子とした。

【0026】

この構成によれば、 i 型 Si_xGe_{1-x} 半導体層と p 型 Si 半導体層との間に i 型 Si 半導体層が配置されるため、 i 型 Si_xGe_{1-x} 半導体層の p 型 Si 半導体層側に近い側が p 型になることを避けることができ、 Si_xGe_{1-x} 半導体層自身に PN 構造が形成されることを防止することができる。また、 Ge が40%以上含まれることによって、長波長帯での使用を確保することができる。
40

【0027】

本発明の光半導体素子は、上記光半導体素子において、前記 i 型 Si_xGe_{1-x} 半導体層と前記 i 型 Si 半導体層との間に、 n 型 Si 半導体層、 n 型 Ge 半導体層及び n 型 $SiGe$ 半導体層のいずれかの半導体層を有することが望ましい。

【0028】

この構成によれば、 i 型 Si_xGe_{1-x} 半導体層の i 型 Si 半導体層に近い側は p 型
50

になり易い。p型になると、従来と同じようにSiGe半導体層に電界が印加され、暗電流が増加するが、前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層と前記i型Si半導体層との間にn型半導体層を追加することにより、p型になることを避けることができる。

【0029】

本発明の光半導体素子は、上記光半導体素子において、前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層と前記i型Si半導体層との間に有する前記n型Si半導体層、前記n型Ge半導体層又は前記n型SiGe半導体層のn型キャリア濃度が 10^{11}cm^{-2} 以上、 10^{14}cm^{-2} 以下であることが望ましい。

【0030】

界面準位がないとみなせるのは 10^{11}cm^{-2} 程度で、それを電荷補償するのに同程度のn型キャリア濃度が必要だからである。また、ドーピングの限界値としてn型キャリア濃度は 10^{14}cm^{-2} 程度である。

10

【0031】

本発明の光半導体素子は、前述した光半導体素子において、前記i型Si半導体層の厚さが20nm以上であることが望ましい。

【0032】

i型Si半導体層は $0.3\text{MeV}/\text{cm}$ で破壊され、Ge半導体の禁制帯幅が 0.6V のため、 $0.6\text{V} \div 0.3\text{MeV}/\text{cm} = 20\text{nm}$ 以上として破壊を防止することができる。

【0033】

本発明の光半導体素子は、前述した光半導体素子において、前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x=0$ ）とその両側の層のうち少なくとも一方との間にi型 $\text{Si}_y\text{Ge}_{1-y}$ 半導体層（ $0 < y < 1$ ）を更に有することが望ましい。

20

【0034】

この構成によれば、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層とn型Si半導体層又はp型Si半導体層との格子整合が容易となる。

【0035】

本発明の光電変換素子は、前述した光半導体素子に0V以上の逆バイアスを印加し、前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に入射した光信号を電気信号に変換することを特徴とする光電変換素子である。

30

【0036】

この構成によれば、 $0.8 \sim 1.6\mu\text{m}$ の波長の光信号を検出することができる。また、暗電流が少ないため、SN比の高い光信号の検出が可能となる。

【0037】

本発明の光変調素子は、前述した光半導体素子に印加する0V以上の逆バイアスを制御し、前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に入射した光信号に対して吸収率を可変とすることを特徴とする光変調素子である。

【0038】

この構成によれば、 $0.8 \sim 1.6\mu\text{m}$ の波長の光を変調することができる。また、暗電流が少ないため、低消費電力で光を変調することができる。

40

【0039】

本発明の光変調素子は、前述した光半導体素子に印加する0V以上の逆バイアスを制御し、前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に入射した光信号に対して屈折率を可変とすることを特徴とする光変調素子。

【0040】

この構成によれば、 $0.8 \sim 1.6\mu\text{m}$ の波長の光信号を変調することができる。また、暗電流が少ないため、低消費電力で光を変調することができる。

【0041】

本願において、光機能層とは光を電気に変換する光電変換機能、光を吸収する割合を可変する吸収率可変機能、光に対する屈折率を可変する屈折率可変機能のいずれかを有する

50

層をいう。

【0042】

本願において、電界制御層とは光機能層とn型Si半導体層又はp型Si半導体層との間にあって、光機能層に印加される電界を低減する機能を有する層をいう。

【0043】

本願において、i型半導体とは不純物がドーピングされていない真性半導体をいう。n型半導体とは、電子をキャリアとする半導体をいい、p型半導体とは正孔をキャリアとする半導体をいう。

【発明の効果】

【0044】

本発明によれば、p型Si半導体層とn型Si半導体層との間に光機能層を有する光半導体素子において、光機能層に印加される電界を低減することができる。

【0045】

さらに、本発明によれば、SiGe-PIN光半導体素子において、SiGe半導体層にPIN構造が形成されることを防止して、SiGe半導体層自身に印加される電界を低減することができる。

【発明を実施するための最良の形態】

【0046】

添付の図面を参照して本発明の実施形態を説明する。以下に説明する実施形態は本発明の実施例であり、本発明は、以下の実施形態に制限されるものではない。なお、本明細書及び図面において符号が同じ構成要素は、相互に同一のものを示すものとする。

【0047】

(第1の実施形態)

本発明の第1の実施形態に係る光電変換素子の構成を図2で説明する。本実施形態の光半導体素子としての光電変換素子20は、図2(a)に示すように、エピタキシャル成長によって、p型Si半導体層11と、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層(但し、 $0 < x < 0.6$)21と、i型Si半導体層22と、n型Si半導体層23とが基板から順に積層され、PIN構造が形成されている。但し、図2では、p型Si半導体層11はp-Siと記載し、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21はi- $\text{Si}_x\text{Ge}_{1-x}$ と記載し、i型Si半導体層22はi-Siと記載し、n型Si半導体層23はn-Siと記載した。

【0048】

光電変換素子20の特徴は、図1(a)に示したGe-PIN構造において、上部層のn型Si半導体層13を、図2に示すように、n型Si半導体層23及びi型Si半導体層22の2層構造とした点にある。

【0049】

i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21の厚さは、例えば、 $500\text{nm} \sim 30\mu\text{m}$ である。 500nm 以上であれば有効に光子を捕捉することができる。一方、空乏層が形成される限界の厚さは $30\mu\text{m}$ 程度である。i型Si半導体層22の厚さは、例えば、 $20\text{nm} \sim 10\mu\text{m}$ である。i型Si半導体は 0.3MeV/cm で破壊され、Ge半導体の禁制帯幅は 0.6V のため、 $0.6\text{V} \div 0.3\text{MeV/cm} = 20\text{nm}$ 以上として破壊を防止することができる。i型Si半導体層22の厚さは $10\mu\text{m}$ 程度までであれば、エピタキシャル成長ではi型Si半導体の結晶性が十分に均一性を維持できる。n型Si半導体層23の厚さは、 100nm 程度である。エピタキシャル成長で、電極として十分な厚さである。p型Si半導体層11の厚さは電極として機能できる厚さであればよい。例えば、Si基板の上面にp型Si半導体層を積層してもよいし、Si半導体基板をドーピングによりp型化して形成してもよい。

【0050】

i型Si半導体層22及びi型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21は、高速光信号の検出用にはキャリア走行時間を短くするために薄く、低速光信号の検出では光子を効率的に捕捉するために厚く積層される。

10

20

30

40

50

【0051】

更に、このPIN構造の光電変換素子20は、従来のように700～900の高温アニール処理は行わず、エピタキシャル成長のみで形成してもよい。エピタキシャル成長は通常、650以下で行い、この途中で更に温度を上昇させないようにする。また、p型Si半導体層11のドーピング材料には、B（ボロン）等のドーピング材料が選択され、n型Si半導体層23のドーピング材料には、P（リン）、As（ヒ素）、Sb（アンチモン）等が選択される。

【0052】

光電変換素子20の製造には、上述したように高温アニール処理は不要としてもよいが、図2（b）に示すように、エピタキシャル成長工程で、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21のp型Si半導体層11の側に、p- $\text{Si}_x\text{Ge}_{1-x}$ と記載したp型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21aが形成される。これは、熱拡散によって、i型 $\text{Si}_x\text{Ge}_{1-x}$ がp型Si半導体層11にドーピングされたドーピング材料に影響されてp型 $\text{Si}_x\text{Ge}_{1-x}$ となるからである。一方、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21のi型Si半導体層22の側は、i型Si半導体層22が真性型であるためドーピング材料による影響はない。

【0053】

以上説明したように、この光電変換素子において、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21のi型Si半導体層22の側がn型となることを避けることができ、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層にPIN構造が形成されることを防止できる。

【0054】

なお、本実施形態の光電変換素子では、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21において、 $x=0$ としたとき、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x=0$ ）21とp型Si半導体層11との間（図2（b）においては、p型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x=0$ ）21aとp型Si半導体層11との間）、又はi型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x=0$ ）21とi型Si半導体層22との間のうち少なくとも一方にi型 $\text{Si}_y\text{Ge}_{1-y}$ 半導体層（ $x < y < 1$ ）を更に有することが望ましい。このような構成とすれば、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x=0$ ）21とp型Si半導体層11との間（図2（b）においては、p型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x=0$ ）21aとp型Si半導体層11との間）、又はi型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x=0$ ）21とi型Si半導体層22との間の格子整合が容易となる。

【0055】

本実施形態の光電変換素子において、図2におけるi型Si半導体層22に替えて、i型 $\text{Si}_p\text{Ge}_{1-p}$ 半導体層（ $0.5 < p < x$ ）としてもよい。n型Si半導体層23との格子ミスマッチを小さくする観点から、 $p < x$ が望ましい。一方、電界印加による暗電流の発生を抑圧するためには、バンドギャップを大きくする必要があり、この観点からは $0.5 < p$ が望ましい。

【0056】

次に、n型Si半導体層とi型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $0 < x < 0.6$ ）の間に、i型Si半導体層を配置することによる効果を確認する。図3は、Ge-PINの積層方向に対して印加される外部バイアスによる禁制帯幅の変化を計算によって求めた結果である。但し、 $x=0$ で計算している。図3（a）は、p型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層、n型Si半導体層が順に積層されたモデルであり、図3（b）は、p型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層、i型Si半導体層、n型Si半導体層が順に積層されたモデルである。

【0057】

i型Si半導体層のない図3（a）では、外部バイアス電圧が0Vのときでも、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に電位差が生じ、外部バイアス電圧が3Vになると、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に大きな電位差が生じている。一方、i型Si半導体層のある図3（b）では、外部バイアス電圧が0Vのときには、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に電位差がほとんど生じず、外部バイアス電圧が3Vになっても、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層

には小さい電位差しか生じていない。このことから、 n 型 Si 半導体層と i 型 $Si_x Ge_{1-x}$ 半導体層（但し、 $0 < x < 0.6$ ）の間に、 i 型 Si 半導体層を配置することによって、 $Si_x Ge_{1-x}$ 半導体層に $PI N$ 構造が形成されないことが分かる。

【0058】

$Si_x Ge_{1-x}$ 半導体層に $PI N$ 構造が形成されないことによって、暗電流を抑圧できることを確認した。図4は、 $Ge-PI N$ に印加される外部バイアスによる暗電流の変化を実験によって求めた結果である。但し、 $x = 0$ で実験した。図4(a)は、 p 型 Si 半導体層、 i 型 $Si_x Ge_{1-x}$ 半導体層、 n 型 Si 半導体層が順に積層された光電変換素子（図中の実線）及び p 型 Si 半導体層、 i 型 $Si_x Ge_{1-x}$ 半導体層、 i 型 Si 半導体層、 n 型 Si 半導体層が順に積層された光電変換素子（図中の破線）をアニール処理した結果であり、図4(b)は、 p 型 Si 半導体層、 i 型 $Si_x Ge_{1-x}$ 半導体層、 n 型 Si 半導体層が順に積層された光電変換素子（図中の実線）及び p 型 Si 半導体層、 i 型 $Si_x Ge_{1-x}$ 半導体層、 i 型 Si 半導体層、 n 型 Si 半導体層が順に積層された光電変換素子（図中の破線）をアニール処理しなかった結果である。

【0059】

アニール処理をしない図4(b)では、 i 型 Si 半導体層のない場合は外部バイアスの印加によって、暗電流が大きく増大しているが、 i 型 Si 半導体層のある場合は暗電流の増大を大きく抑圧できていることが分かる。一方、アニール処理をした図4(a)では、 i 型 Si 半導体層のある場合もない場合も暗電流の増大を大きく抑圧できている、 i 型 Si 半導体層のある場合はさらに暗電流の増大を抑圧できることが分かる。

【0060】

i 型 Si 半導体層を配置しても感度が劣化しないことを実験によって確認した。図5は、 $Ge-PI N$ に印加される外部バイアスをパラメータとする波長-感度特性である。図5(a)は、 p 型 Si 半導体層、 i 型 $Si_x Ge_{1-x}$ 半導体層、 n 型 Si 半導体層が順に積層された光電変換素子をアニール処理した結果であり、図5(b)は、 p 型 Si 半導体層、 i 型 $Si_x Ge_{1-x}$ 半導体層、 i 型 Si 半導体層、 n 型 Si 半導体層が順に積層された光電変換素子をアニール処理しなかった結果である。

【0061】

図5(a)と図5(b)では、バイアスを印加すると波長-感度特性に大きな差はなく、 p 型 Si 半導体層、 i 型 $Si_x Ge_{1-x}$ 半導体層、 i 型 Si 半導体層、 n 型 Si 半導体層が順に積層された光電変換素子でも十分な感度を実現できることが分かる。

【0062】

i 型 $Si_x Ge_{1-x}$ 半導体層における混晶比について説明する。図6は x をパラメータとするエネルギーに対する吸収係数 α の関係を示すものである。波長 $0.85 \mu m$ 以上の光を検出することを想定すると、波長 $0.85 \mu m$ はエネルギーとして $1.45 eV$ である。このとき、吸収係数 α が $1000 cm^{-1}$ 以上の条件では、 $x < 0.6$ となる。つまり、波長 $0.85 \mu m$ 以上の波長を検出するためには、 i 型 $Si_x Ge_{1-x}$ 半導体層における Si の比率を 0.6 以下とすればよいことが分かる。

【0063】

本実施形態の $Si Ge-PI N$ 光電変換素子では、 $Si Ge$ 半導体層自身に $PI N$ 構造が形成されることを防止することができ、この結果、 $Si Ge$ 半導体層への電界の印加を低減することができた。

【0064】

（第2の実施形態）

本発明の第2の実施形態に係る光変調素子の構成を図2で説明する。本実施形態の光半導体素子としての光変調素子20は、図2(a)に示すように、エピタキシャル成長によって、 p 型 Si 半導体層11と、 i 型 $Si_x Ge_{1-x}$ 半導体層（但し、 $0 < x < 0.6$ ）21と、 i 型 Si 半導体層22と、 n 型 Si 半導体層23とが基板から順に積層され、 $PI N$ 構造が形成されている。但し、図2では、 p 型 Si 半導体層11は $p-Si$ と記載し、 i 型 $Si_x Ge_{1-x}$ 半導体層21は $i-Si_x Ge_{1-x}$ と記載し、 i 型 Si 半導

10

20

30

40

50

体層 22 は i - Si と記載し、 n 型 Si 半導体層 23 は n - Si と記載した。

【0065】

光変調素子 20 の特徴は、図 1 (a) に示した Ge - PIN 構造において、上部層の n 型 Si 半導体層 13 を、図 2 に示すように、 n 型 Si 半導体層 23 及び i 型 Si 半導体層 22 の 2 層構造とした点にある。

【0066】

i 型 $Si_x Ge_{1-x}$ 半導体層 21 の厚さは、例えば、 $200\text{ nm} \sim 10\text{ }\mu\text{m}$ である。 200 nm 以上であればこの層を伝搬する光のモードを単一モードとすることができ、変調素子を通じた光子を引き続く光導波路内を単一モードで伝搬させることができる。一方、上記はチャネル導波路の場合であるが、リブ導波路で単一モードが伝搬する厚さまで厚くすることができる。リブ導波路の単一モードが形成される限界の厚さは $10\text{ }\mu\text{m}$ 程度である。 i 型 Si 半導体層 22 の厚さは、例えば、 $20\text{ nm} \sim 10\text{ }\mu\text{m}$ である。 i 型 Si 半導体は 0.3 MeV/cm で破壊され、Ge 半導体の禁制帯幅は 0.6 V のため、 $0.6\text{ V} \div 0.3\text{ MeV/cm} = 20\text{ nm}$ 以上として破壊を防止することができる。 i 型 Si 半導体層 22 の厚さは $10\text{ }\mu\text{m}$ 程度までであれば、エピタキシャル成長では i 型 Si 半導体の結晶性が十分に均一性を維持できる。 n 型 Si 半導体層 23 の厚さは、 100 nm 程度である。エピタキシャル成長で、電極として十分な厚さである。 p 型 Si 半導体層 11 の厚さは電極として機能できる厚さであればよい。例えば、Si 基板の上面に p 型 Si 半導体層を積層してもよいし、Si 半導体基板をドーピングにより p 型化して形成してもよい。

【0067】

i 型 Si 半導体層 22 及び i 型 $Si_x Ge_{1-x}$ 半導体層 21 は、高速光信号の変調用には抵抗・容量積（充放電時間）を短くするために薄く積層される。但し、単一モードを満たす厚さ、チャネル導波路では 100 nm 程度は必要である。

【0068】

更に、この PIN 構造の光変調素子 20 は、従来のように $700 \sim 900$ の高温アニール処理は行わず、エピタキシャル成長のみで形成してもよい。エピタキシャル成長は通常、 650 以下で行い、この途中で更に温度を上昇させないようにする。また、 p 型 Si 半導体層 11 のドーピング材料には、B（ボロン）等のドーピング材料が選択され、 n 型 Si 半導体層 23 のドーピング材料には、P（リン）、As（ヒ素）、Sb（アンチモン）等が選択される。

【0069】

光変調素子 20 の製造には、上述したように高温アニール処理は不要としてもよいが、図 2 (b) に示すように、エピタキシャル成長工程で、 i 型 $Si_x Ge_{1-x}$ 半導体層 21 の p 型 Si 半導体層 11 の側に、 p - $Si_x Ge_{1-x}$ と記載した p 型 $Si_x Ge_{1-x}$ 半導体層 21a が形成される。これは、熱拡散によって、 i 型 $Si_x Ge_{1-x}$ が p 型 Si 半導体層 11 にドーピングされたドーピング材料に影響されて p 型 $Si_x Ge_{1-x}$ となるからである。一方、 i 型 $Si_x Ge_{1-x}$ 半導体層 21 の i 型 Si 半導体層 22 の側は、 i 型 Si 半導体層 22 が真性型であるためドーピング材料による影響はない。

【0070】

以上説明したように、この光変調素子において、 i 型 $Si_x Ge_{1-x}$ 半導体層 21 の i 型 Si 半導体層 22 の側が n 型となることを避けることができ、 i 型 $Si_x Ge_{1-x}$ 半導体層に PIN 構造が形成されることを防止できる。

【0071】

なお、本実施形態の光変調素子では、 i 型 $Si_x Ge_{1-x}$ 半導体層 21 において、 $x = 0$ としたとき、 i 型 $Si_x Ge_{1-x}$ 半導体層（但し、 $x = 0$ ）21 と p 型 Si 半導体層 11 との間（図 2 (b) においては、 p 型 $Si_x Ge_{1-x}$ 半導体層（但し、 $x = 0$ ）21a と p 型 Si 半導体層 11 との間）、又は i 型 $Si_x Ge_{1-x}$ 半導体層（但し、 $x = 0$ ）21 と i 型 Si 半導体層 22 との間のうち少なくとも一方に i 型 $Si_y Ge_{1-y}$ 半導体層（ $x < y < 1$ ）を更に有することが望ましい。このような構成とすれば、 i 型 S

10

20

30

40

50

$i_x \text{Ge}_{1-x}$ 半導体層（但し、 $x = 0$ ）21 と p 型 Si 半導体層 11 との間（図 2（b）においては、p 型 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層（但し、 $x = 0$ ）21a と p 型 Si 半導体層 11 との間）、又は i 型 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層（但し、 $x = 0$ ）21 と i 型 Si 半導体層 22 との間の格子整合が容易となる。

【0072】

本実施形態の光変調素子において、図 2 における i 型 Si 半導体層 22 に替えて、i 型 $\text{Si}_p \text{Ge}_{1-p}$ 半導体層（ $0.5 < p < x$ ）としてもよい。n 型 Si 半導体層 23 との格子ミスマッチを小さくする観点から、 $p < x$ が望ましい。一方、電界印加による暗電流の発生を抑圧するためには、バンドギャップを大きくする必要があり、この観点からは $0.5 < p$ が望ましい。

10

【0073】

次に、n 型 Si 半導体層と i 型 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層（但し、 $0 < x < 0.6$ ）の間に、i 型 Si 半導体層を配置することによる効果を確認する。図 3 は、Ge-PIN の積層方向に対して印加される外部バイアスによる禁制帯幅の変化を計算によって求めた結果である。但し、 $x = 0$ で計算している。図 3（a）は、p 型 Si 半導体層、i 型 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層、n 型 Si 半導体層が順に積層されたモデルであり、図 3（b）は、p 型 Si 半導体層、i 型 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層、i 型 Si 半導体層、n 型 Si 半導体層が順に積層されたモデルである。

【0074】

i 型 Si 半導体層のない図 3（a）では、外部バイアス電圧が 0 V のときでも、i 型 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層に電位差が生じ、これは、 20 kV/cm に相当する。外部バイアス電圧が 3 V になると、i 型 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層に大きな電位差が生じている。一方、i 型 Si 半導体層のある図 3（b）では、外部バイアス電圧が 0 V のときには、i 型 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層に電位差がほとんど生じず、外部バイアス電圧が 3 V になっても、i 型 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層には小さい電位差しか生じていない。このことから、n 型 Si 半導体層と i 型 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層（但し、 $0 < x < 0.6$ ）の間に、i 型 Si 半導体層を配置することによって、 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層に PIN 構造が形成されないことが分かる。また、同じ電界を印加しても、i 型 Si 半導体層のない光変調素子よりも i 型 Si 半導体層のある場合光変調素子の方が、強い FK（Franz-Keldysh）効果が得られることが分かる。なお、FK 効果とは、半導体に直流電場を印加すると、伝導帯と価電子帯のエネルギーバンドが傾き、電子と正孔の波動関数がエネルギーギャップ内に浸み出し、そのため実効的なエネルギーギャップが無電界時のエネルギーギャップ E_g より小さくなる効果をいう。

20

30

【0075】

$\text{Si}_x \text{Ge}_{1-x}$ 半導体層に PIN 構造が形成されないことによって、暗電流を抑圧できることを確認した。図 4 は、Ge-PIN に印加される外部バイアスによる暗電流の変化を実験によって求めた結果である。但し、 $x = 0$ で実験した。図 4（a）は、p 型 Si 半導体層、i 型 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層、n 型 Si 半導体層が順に積層された光変調素子（図中の実線）及び p 型 Si 半導体層、i 型 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層、i 型 Si 半導体層、n 型 Si 半導体層が順に積層された光変調素子（図中の破線）をアニール処理した結果であり、図 4（b）は、p 型 Si 半導体層、i 型 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層、n 型 Si 半導体層が順に積層された光変調素子（図中の実線）及び p 型 Si 半導体層、i 型 $\text{Si}_x \text{Ge}_{1-x}$ 半導体層、i 型 Si 半導体層、n 型 Si 半導体層が順に積層された光変調素子（図中の破線）をアニール処理しなかった結果である。

40

【0076】

アニール処理をしない図 4（b）では、i 型 Si 半導体層のない場合は外部バイアスの印加によって、暗電流が大きく増大しているが、i 型 Si 半導体層のある場合は暗電流の増大を大きく抑圧できていることが分かる。一方、アニール処理をした図 4（a）では、i 型 Si 半導体層のある場合もない場合も暗電流の増大を大きく抑圧できている、i 型 Si 半導体層のある場合はさらに暗電流の増大を抑圧できることが分かる。

50

【0077】

i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層における混晶比について説明する。図 6 は x をパラメータとするエネルギーに対する吸収係数 α の関係を示すものである。波長 $0.85\text{ }\mu\text{m}$ 以上の光を変調することを想定すると、波長 $0.85\text{ }\mu\text{m}$ はエネルギーとして 1.45 eV である。このとき、吸収係数 α が 1000 cm^{-1} 以上の条件では、 $x = 0.6$ となる。つまり、波長 $0.85\text{ }\mu\text{m}$ 以上の波長を変調するためには、i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層における Si の比率を 0.6 とすればよいことが分かる。さらに、図に示すように、電界強度が増大することにより、光の吸収が増大するため、電界吸収型の光変調素子をつくることができる。

【0078】

10

i 型 Si 半導体層を配置した光変調素子の波長 - 吸収特性を実験によって確認した。図 7 は、 Ge-PIN に印加される外部バイアスをパラメータとする波長 - 吸収特性である。図 7 において、バイアスを印加したりしなかったりと制御することにより吸収特性が大きく変化し、p 型 Si 半導体層、i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層、i 型 Si 半導体層、n 型 Si 半導体層が順に積層された光変調素子で十分な変調を実現できることが分かる。

【0079】

i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層を吸収又は透過させて光信号を変調するだけでなく、屈折率変化を利用して光信号を変調することもできる。マッハ・ツェンダ型変調器の構成を図 8 に示す。図 8 において、図上の上側から導波路 41 に入力された光は、左右の導波路に 2 分岐される。図上の左側の導波路を伝搬した光は、p 電極 42 と n 電極 43 との間に逆方向電界が印加された時に、FK 効果により導波路の屈折率が低下する。左右の導波路に 2 分岐された光が合流するとき、両者の位相が π だけずれていると、図上の下側の導波路からは光が出なくなる。このように、逆方向電界を印加したりしなかったりと制御することにより、光の強度変調が可能になる。

20

【0080】

逆方向電界の印加による屈折率変化を図 9 に示す。図 9 は波長 - 屈折率特性である。図 9 において、印加電界強度が高まるにつれて、屈折率は低下し、その低下量は、バンドギャップに近いほど大きくなることが分かる。

【0081】

本実施形態の SiGe-PIN 光変調素子では、 SiGe 半導体層自身に PIN 構造が形成されることを防止することができ、この結果、 SiGe 半導体層への電界の印加を低減することができた。

30

【0082】

(第 3 の実施形態)

次に、p 型 Si 半導体層、i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層、i 型 Si 半導体層、n 型 Si 半導体層が順に積層された光半導体素子の製造工程について説明する。但し、本製造工程では、断らない限り $x = 0$ の場合について説明する。

【0083】

まず、UHV-CVD (Ultra High Vacuum Chemical Vapor Deposition) 装置に B (ボロン) をドーピングした高濃度 p 型 Si 半導体基板を導入し、基板温度を 370°C に上昇させる。Ar 希釈 GeH_4 ガス (9%) を 70 sccm 導入し、成長室内の圧力を 2.7 Pa として、60 分間で p 型 Si 半導体層上に i 型 Ge 半導体緩衝層を 30 nm だけ成長させる。

40

【0084】

基板温度を 600°C まで上昇させ、Ar 希釈 GeH_4 ガス (9%) の流量と成長室内の圧力を維持したまま、100 分間で i 型 Ge 半導体層を i 型 Ge 半導体緩衝層と合わせて 600 nm となるまで成長させる。i 型 Ge 半導体緩衝層及び i 型 Ge 半導体層を成長中に、 Si 半導体基板にドーパされている B 原子が i 型 Ge 半導体層に拡散することにより、p 型 Si 半導体層との界面付近は p 型となってしまう。

【0085】

50

i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層 ($x \neq 0$) を成長させる場合は、まず、UHV-CVD (Ultra High Vacuum Chemical Vapor Deposition) 装置に B (ボロン) をドーピングした高濃度 p 型 Si 半導体基板を導入し、基板温度を 370 に上昇させる。ジシラン (Si_2H_6) ガスと Ar 希釈 GeH_4 ガス (9%) を 70 sccm 導入し、成長室内の圧力を 2.7 Pa として、60 分間で p 型 Si 半導体層上に i 型 SiGe 半導体緩衝層を 30 nm だけ成長させる。基板温度を 600 まで上昇させ、ジシラン (Si_2H_6) ガスと Ar 希釈 GeH_4 ガス (9%) の流量と成長室内の圧力を維持したまま、100 分間で i 型 SiGe 半導体層を i 型 SiGe 半導体緩衝層と合わせて 600 nm となるまで成長させる。i 型 SiGe 半導体緩衝層及び i 型 SiGe 半導体層を成長中に、Si 半導体基板にドーピングされている B 原子が i 型 SiGe 半導体層に拡散することにより、p 型 Si 半導体層との界面付近は p 型になってしまう。

【0086】

次に、基板温度を維持したまま、Ar 希釈 GeH_4 ガス (9%) 又はジシラン (Si_2H_6) ガスと Ar 希釈 GeH_4 ガス (9%) を止め、 Si_2H_6 ガス (100%) を 3 sccm 導入し、成長室内の圧力を 0.2 Pa として、22 分間で i 型 Ge 半導体層上又は i 型 SiGe 半導体層上に i 型 Si 半導体層を 200 nm だけ成長させる。

【0087】

試料を成長室から取り出した後、スパッタリング法等により、i 型 Si 半導体層上に 300 nm 厚の SiO_2 層を形成する。形成した SiO_2 層からフォトリソグラフィにより部分的に SiO_2 層を除去する。イオン注入法などにより SiO_2 層を除去した部分の i 型 Si 半導体層の上部に P をドーピングする。 N_2 ガス雰囲気中で 650、30 分間熱処理し、i 型 Si 半導体層中の P を活性化する。活性化により、i 型 Si 半導体層の上部が n 型化する。n 型 Si 半導体上に真空蒸着法により Al (アルミニウム) 電極を形成して、光半導体素子が完成する。

【0088】

(第4の実施形態)

本発明の第4の実施形態に係る光半導体素子の構成を図10で説明する。本実施形態の光半導体素子としての光電変換素子あるいは光変調素子30は、図10(a)に示すように、エピタキシャル成長によって、n 型 Si 半導体層31と、i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層 (但し、 $0 < x < 0.6$) 21 と、i 型 Si 半導体層22 と、p 型 Si 半導体層33 とが基板から順に積層され、PIN 構造が形成されている。但し、図10では、n 型 Si 半導体層31は n-Si と記載し、i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21は i- $\text{Si}_x\text{Ge}_{1-x}$ と記載し、i 型 Si 半導体層22は i-Si と記載し、p 型 Si 半導体層33は p-Si と記載した。

【0089】

光電変換素子あるいは光変調素子30の特徴は、図10に示すように、p 型 Si 半導体層33及び i 型 Si 半導体層22の2層構造とした点にある。

【0090】

i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21、i 型 Si 半導体層22、p 型 Si 半導体層33及び n 型 Si 半導体層31のそれぞれの厚さは、第1の実施形態又は第2の実施形態における i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21、i 型 Si 半導体層22、n 型 Si 半導体層23、p 型 Si 半導体層11のそれぞれの厚さと同様である。

【0091】

更に、この PIN 構造の光電変換素子あるいは光変調素子30は、従来のように 700 ~ 900 の高温アニール処理は行わず、エピタキシャル成長のみで形成してもよい。エピタキシャル成長は通常、650 以下で行い、この途中で更に温度を上昇させないようにする。また、p 型 Si 半導体層33のドーピング材料には、B (ボロン) 等のドーピング材料が選択され、n 型 Si 半導体層31のドーピング材料には、P (リン)、As (ヒ素)、Sb (アンチモン) 等が選択される。

【0092】

10

20

30

40

50

光電変換素子あるいは光変調素子 30 の製造には、上述したように高温アニール処理は不要としてもよいが、図 10 (b) に示すように、エピタキシャル成長工程で、 i 型 $Si_x Ge_{1-x}$ 半導体層 21 の n 型 Si 半導体層 31 の側に、 $n-Si_x Ge_{1-x}$ と記載した n 型 $Si_x Ge_{1-x}$ 半導体層 21b が形成される。これは、熱拡散によって、 i 型 $Si_x Ge_{1-x}$ が n 型 Si 半導体層 31 にドーピングされたドーピング材料に影響されて n 型 $Si_x Ge_{1-x}$ となるからである。一方、 i 型 $Si_x Ge_{1-x}$ 半導体層 21 の i 型 Si 半導体層 22 の側は、 i 型 Si 半導体層 22 が真性型であるためドーピング材料による影響はない。

【0093】

以上説明したように、この $Ge-PIN$ 光電変換素子あるいは光変調素子 30 において、 i 型 $Si_x Ge_{1-x}$ 半導体層 21 の i 型 Si 半導体層 22 の側が p 型となることを避けることができ、 i 型 $Si_x Ge_{1-x}$ 半導体層に PIN 構造が形成されることを防止できる。

【0094】

なお、本実施形態の光電変換素子あるいは光変調素子では、 i 型 $Si_x Ge_{1-x}$ 半導体層 21 において、 $x=0$ としたとき、 i 型 $Si_x Ge_{1-x}$ 半導体層 (但し、 $x=0$) 21 と n 型 Si 半導体層 31 との間 (図 10 (b) においては、 n 型 $Si_x Ge_{1-x}$ 半導体層 (但し、 $x=0$) 21b と n 型 Si 半導体層 31 との間)、又は i 型 $Si_x Ge_{1-x}$ 半導体層 (但し、 $x=0$) 21 と i 型 Si 半導体層 22 との間のうち少なくとも一方に i 型 $Si_y Ge_{1-y}$ 半導体層 ($x < y < 1$) を更に有することが望ましい。このような構成とすれば、 i 型 $Si_x Ge_{1-x}$ 半導体層 (但し、 $x=0$) 21 と n 型 Si 半導体層 31 との間 (図 10 (b) においては、 n 型 $Si_x Ge_{1-x}$ 半導体層 (但し、 $x=0$) 21b と n 型 Si 半導体層 31 との間)、又は i 型 $Si_x Ge_{1-x}$ 半導体層 (但し、 $x=0$) 21 と i 型 Si 半導体層 22 との間の格子整合が容易となる。

【0095】

ここで、本実施形態の光電変換素子あるいは光変調素子では、図 11 に示すように、 i 型 $Si_x Ge_{1-x}$ 半導体層 21 と i 型 Si 半導体層 22 との間に、 n 型 Si 半導体層、 n 型 Ge 半導体層及び n 型 $SiGe$ 半導体層のいずれかの半導体層を有することが望ましい。

【0096】

図 10 に示す光電変換素子あるいは光変調素子 30 の構成によれば、 i 型 $Si_x Ge_{1-x}$ 半導体層 21 の i 型 Si 半導体層 22 に近い側は p 型になり易く、 p 型になると、従来と同じように $SiGe$ 半導体層に電界が印加され、暗電流が増加する。そこで、図 11 に示す光電変換素子あるいは光変調素子 40 のように、 i 型 $Si_x Ge_{1-x}$ 半導体層 21 と i 型 Si 半導体層 22 との間に n 型半導体層 41 を追加することにより、 p 型になることを確実に避けることができる。これにより、 i 型 $Si_x Ge_{1-x}$ 半導体層に PIN 構造が形成されることを防止できる。

【0097】

i 型 $Si_x Ge_{1-x}$ 半導体層 21 と i 型 Si 半導体層 22 との間に配置される、 n 型 Si 半導体層、 n 型 Ge 半導体層又は n 型 $SiGe$ 半導体層 41 は、 n 型キャリア濃度が 10^{11} cm^{-2} 以上、 10^{14} cm^{-2} 以下であることが望ましい。界面順位がないとみなせるのは 10^{11} cm^{-2} 程度で、それを電荷補償するのに同程度の n 型キャリア濃度が必要だからである。また、ドーピングの限界値として n 型キャリア濃度は 10^{14} cm^{-2} 程度である。

【0098】

本実施形態の光電変換素子あるいは光変調素子において、図 10 又は図 11 における i 型 Si 半導体層 22 に替えて、 i 型 $Si_p Ge_{1-p}$ 半導体層 ($0.5 < p < x$) としてもよい。 p 型 Si 半導体層 33 との格子ミスマッチを小さくする観点から、 $p < x$ が望ましい。一方、電界印加による暗電流の発生を抑圧するためには、バンドギャップを大きくする必要があり、この観点からは $0.5 < p$ が望ましい。

【0099】

本実施形態のSiGe-PIN光電変換素子あるいは光変調素子では、SiGe半導体層自身にPIN構造が形成されることを防止することができ、この結果、SiGe半導体層への電界の印加を低減することができた。

【0100】

(第5の実施形態)

次に、n型Si半導体層、i型Si_xGe_{1-x}半導体層、n型Ge半導体層、i型Si半導体層、p型Si半導体層が順に積層された光半導体素子としての光電変換素子あるいは光変調素子の製造工程について説明する。但し、本製造工程では、断らない限りx = 0の場合について説明する。

10

【0101】

まず、UHV-CVD(Ultra High Vacuum Chemical Vapor Deposition)装置にAs(砒素)をドーピングした高濃度n型Si半導体基板を導入し、基板温度を370℃に上昇させる。Ar希釈GeH₄ガス(9%)を70sccm導入し、成長室内の圧力を2.7Paとして、60分間でn型Si半導体層上にi型Ge半導体緩衝層を30nmだけ成長させる。

【0102】

基板温度を600℃まで上昇させ、Ar希釈GeH₄ガス(9%)の流量と成長室内の圧力を維持したまま、100分間でi型Ge半導体層をi型Ge半導体緩衝層と合わせて600nmとなるまで成長させる。i型Ge半導体緩衝層及びi型Ge半導体層を成長中に、Si半導体基板にドーピングされているAs原子がi型Ge半導体層に拡散することにより、n型Si半導体層との界面付近はn型となってしまう。

20

【0103】

i型Si_xGe_{1-x}半導体層(x≠0)を成長させる場合は、まず、UHV-CVD(Ultra High Vacuum Chemical Vapor Deposition)装置にAs(砒素)をドーピングした高濃度n型Si半導体基板を導入し、基板温度を370℃に上昇させる。ジシラン(Si₂H₆)ガスとAr希釈GeH₄ガス(9%)を70sccm導入し、成長室内の圧力を2.7Paとして、60分間でn型Si半導体層上にi型SiGe半導体緩衝層を30nmだけ成長させる。基板温度を600℃まで上昇させ、ジシラン(Si₂H₆)ガスとAr希釈GeH₄ガス(9%)の流量と成長室内の圧力を維持したまま、100分間でi型SiGe半導体層をi型SiGe半導体緩衝層と合わせて600nmとなるまで成長させる。i型SiGe半導体緩衝層及びi型SiGe半導体層を成長中に、Si半導体基板にドーピングされているAs原子がi型SiGe半導体層に拡散することにより、n型Si半導体層との界面付近はn型となってしまう。

30

【0104】

次に、i型Ge半導体層又はi型SiGe半導体層の最上部又は次に成長させるi型Si半導体層の最下部にn型不純物となるP(リン)あるいはAsをドーピングする。これにより、i型Ge半導体層又はi型SiGe半導体層の最上部はn型となる。i型Si半導体層の最下部にn型不純物をドーピングしても、熱拡散により、i型Ge半導体層又はi型SiGe半導体層の最上部はn型となる。

40

【0105】

基板温度を維持したまま、Ar希釈GeH₄ガス(9%)又はジシラン(Si₂H₆)ガスとAr希釈GeH₄ガス(9%)を止め、Si₂H₆ガス(100%)を3sccm導入し、成長室内の圧力を0.2Paとして、22分間でn型Ge半導体層上又はn型SiGe半導体層上にi型Si半導体層を200nmだけ成長させる。

【0106】

試料を成長室から取り出した後、スパッタリング法等により、i型Si半導体層上に300nm厚のSiO₂層を形成する。形成したSiO₂層からフォトリソグラフィにより部分的にSiO₂層を除去する。イオン注入法などによりSiO₂層を除去した部分のi

50

型 Si 半導体層の上部に B をドーピングする。N₂ ガス雰囲気中で 650 、30 分間熱処理し、i 型 Si 半導体層中の B を活性化する。活性化により、i 型 Si 半導体層の上部が p 型化する。p 型 Si 半導体上に真空蒸着法により Al (アルミニウム) 電極を形成して、光半導体素子が完成する。

【産業上の利用可能性】

【0107】

本発明の Ge - PIN 光半導体素子は、Si 基板をベースとする Si 半導体集積回路との整合に優れ、しかも、長波長まで検出したり、変調したりすることができるため、Si 導波路と一体となった Si 半導体集積回路に適用することができる。

【図面の簡単な説明】

10

【0108】

【図1】従来の PIN 構造の光電変換素子の構成を示す図である。

【図2】本発明の実施形態に係る光半導体素子の構成を示す図である。

【図3】本発明の実施形態に係る光半導体素子のバイアスによる禁制帯幅の変化を示す図である。

【図4】本発明の実施形態に係る光半導体素子のバイアスによる暗電流の変化を実験によって求めた結果を示す図である。

【図5】本発明の実施形態に係る光電変換素子のバイアスをパラメータとする波長 - 感度特性を示す図である。

【図6】本発明の実施形態に係る光半導体素子の混晶比について説明する図である。

20

【図7】本発明の実施形態に係る光変調素子のバイアスをパラメータとする波長 - 吸収特性を示す図である。

【図8】本発明の実施形態に係る光変調素子の構成を示す図である。

【図9】本発明の実施形態に係る光変調素子の波長 - 屈折率特性を示す図である。

【図10】本発明の実施形態に係る光半導体素子の構成を示す図である。

【図11】本発明の実施形態に係る光半導体素子の構成を示す図である。

【符号の説明】

【0109】

10 : 光電変換素子

20、30、40 : 光半導体素子、光電変換素子又は光変調素子

30

11 : p 型 Si 半導体層

12 : i 型 Ge 半導体層

13 : n 型 Si 半導体層

21 : i 型 Si_xGe_{1-x} 半導体層

22 : i 型 Si 半導体層

23 : n 型 Si 半導体層

31 : n 型 Si 半導体層

33 : p 型 Si 半導体層

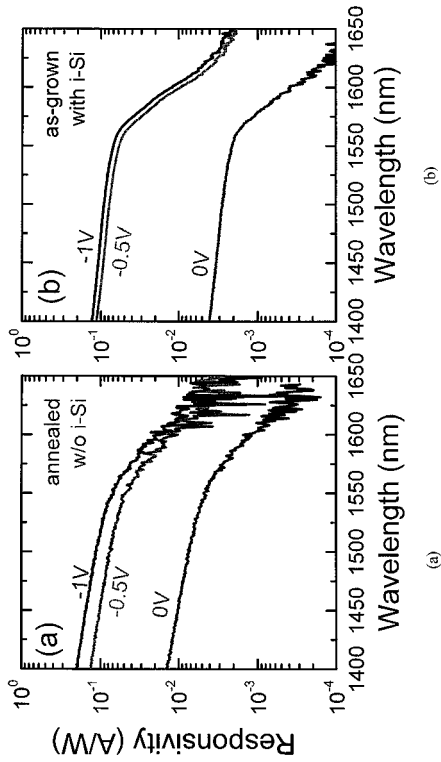
41 : 導波路

42 : p 電極

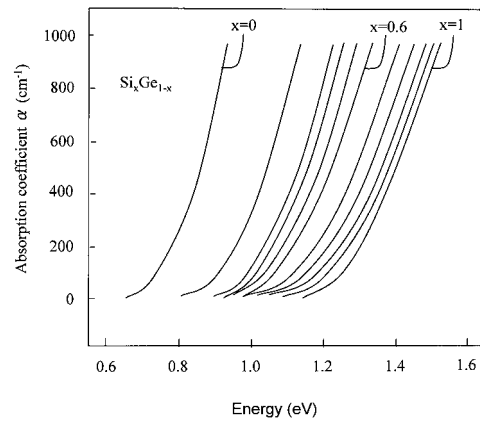
40

43 : n 電極

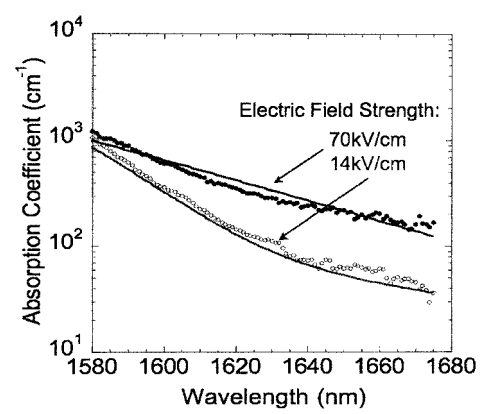
【 図 5 】



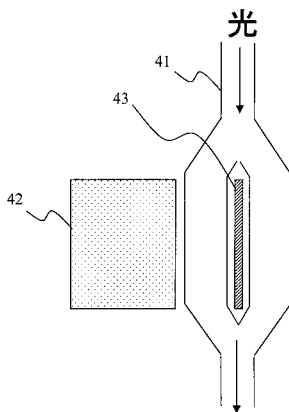
【 図 6 】



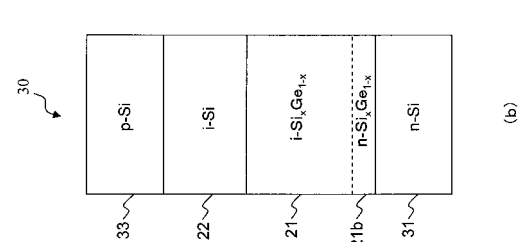
【 図 7 】



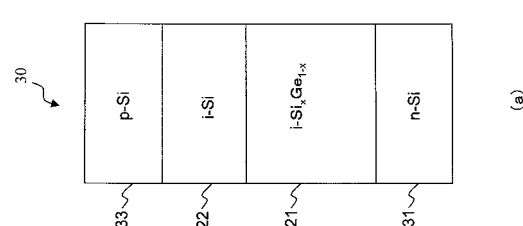
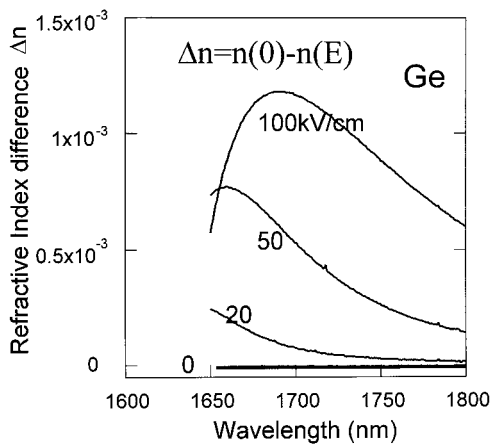
【 図 8 】



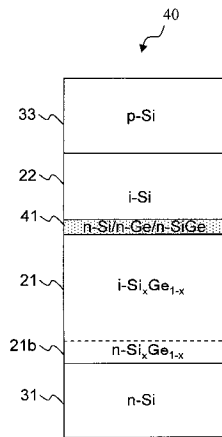
【 図 10 】



【 図 9 】



【図 11】



フロントページの続き

(72)発明者 バク ソンボン

東京都文京区本郷七丁目 3 番 1 号 国立大学法人 東京大学内

Fターム(参考) 5F049 MA04 NA04 NA05 NA18 NB01 NB07 PA09 SS03