

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 93114053

※ 申請日期： 93.5.18

※IPC 分類： H01L 23/12

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

二、申請人：(共1人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文) 桑野幸德 / KUWANO, YUKINORI

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通2丁目5番5號

5-5, 2-chome, Keihan-Hondori Moriguchi-City, Osaka, Japan

國 籍：(中文/英文) 日本國 / JAPAN

三、發明人：(共1人)

姓 名：(中文/英文)

高尾幸弘 / TAKAO, YUKIHIRO

國 籍：(中文/英文)

日本國 / JAPAN

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本國；2003年06月09日；特願2003-164115（主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關多個球狀導電端子配列成球柵陣列(Ball Grid Array : BGA)型之半導體裝置，及其製造方法者。

【先前技術】

近幾年來，有所謂的三次元封裝技術，以新封裝技術之CSP(Chip Size Package，晶片尺寸)頗受注目。所謂的晶片尺寸封裝(CSP)，係指一種具有與半導體晶片的外形尺寸，略為同一尺寸外形的小型封裝體者。

而於近來，且有一種作為晶片尺寸封裝(CSP)的BGA(Ball grid array，球柵陣列)型半導體裝置為人所知。該球柵陣列(BGA)型半導體裝置，係將由銻錫等金屬構件所成之多個球狀導電端子以柵狀配列於之一主面上，與搭載於封裝之其他面上的半導體晶片形成電氣連接者。

而於電子機器組裝該球柵陣列型半導體裝置時，係僅需將各導電端子壓接於印刷線路基板之配線型樣上，使之與半導體晶片及印刷線路基板上搭載的外部電路成為電氣連接。

上述球柵陣列型半導體裝置，係較側部突出引腳(lead pin)的SOP(Small Outline Package，小外形)及QFP(Quad Flat Package，四方平面)等其他晶片尺寸(CSP)型半導體裝置，可設多個導電端子，且具得為小型化的優點。此種球柵陣列型半導體裝置，係用於搭載在攜帶式電話機(手機)

之數位攝影機的影像感測器晶片 (image sensor chip) 者。

第 28 圖為習用球柵陣列型半導體裝置之概略構成。而第 28 圖 (A) 即為該球柵陣列型半導體裝置之表面側斜視圖。第 28 圖 (B) 即為該球柵陣列型半導體裝置之背面側斜視圖。

該球柵陣列型半導體裝置 101，係在第 1 及第 2 玻璃基板 102、103 間，藉由環氧樹脂層 105a、105b 將半導體晶片 104 予以封裝者。且在第 2 玻璃基板 103 之一主面上，也就是在球柵陣列型半導體裝置 101 之背面上，將多個導電端子 106 以柵狀予以配置。而於該導電端子 106，藉由第 2 配線 110，連接半導體晶片 104。且於多個第 2 配線 110 分別連接由半導體晶片 104 內部導出的鋁製第 1 配線 107，以使各導電端子 106 與半導體晶片 104 形成電氣連接。

茲以第 29 圖詳述該球柵陣列型半導體裝置 101 之剖面構造。第 29 圖係表示沿著切割線 (dicing line) 分割為各晶片的球柵陣列型半導體裝置 101 之剖面圖。

配置在半導體晶片 104 表面的絕緣膜 108 上設有第 1 配線 107。而該半導體晶片 104 係由樹脂層 105a 黏貼於第 1 玻璃基板 102。又於該半導體晶片 104 背面，以樹脂層 105b 黏貼於第 2 玻璃基板 103。

然後，將第 1 配線 107 的一端連接在第 2 配線 110。該第 2 配線 110 即由第 1 配線 107 的一端，延伸於第 2 玻璃基板 103 表面。且於延伸在第 2 玻璃基板 103 上的第 2

置之損傷。

又，因導電端子係形成於較半導體晶片第2正面為厚緩衝層膜厚之較高位置。由此，使該半導體裝置組裝於印刷電路基板時所產生之應力容易被吸收，因而，得以竭力防止導電端子之損傷。

【實施方式】

其次，就本發明之第1實施形態，參照附圖詳述如下：首先，說明該半導體裝置之構造。第12圖為該半導體裝置之剖面圖。係將經過後述製程之矽晶圓(silicon wafer)沿其切割線區域分割為各晶片者。又於第12圖中，DS係表示切割線中心。

矽晶片51A例如為CCD(Charge Coupled Device，電荷耦合元件)影像感測器晶片，在該第1正面表面，藉由BPSG(Boro-Phospho-Silicate Glass，硼磷矽酸玻璃)等之層間絕緣膜52，形成鋅墊電極53。而該鋅墊電極53係將通常用於引線結合(wire-bonding)的鋅墊電極擴大於切割線區域者。亦稱為擴張鋅墊電極。

該鋅墊電極53，係由矽氮化膜等之保護層(passivation)膜54覆蓋。且在形成該鋅墊電極53的矽晶片51A表面，藉由例如環氧樹脂所成之樹脂層55，黏貼玻璃基板56。係將玻璃基板56作為保護矽晶片51A的保護基板，同時，亦作為支持矽晶片51A的支持基板使用。

若矽晶片51A為電荷耦合元件(CCD)影像感測器晶片時，即需由矽晶片51A表面之電荷耦合元件(CCD)接受外部

光線，係使用玻璃基板 56 等之透明基板，或半透明基板。若矽晶片 51A 為不受光或為不發光時，亦可使用不透明基板。

然後，由矽晶片 51A 第 2 主面的背面形成到達鋸墊電極 53 的通孔 VH。在通孔 VH 側壁形成側壁絕緣膜 59A。而該側壁絕緣膜 59A 係將後述配線層 63 及矽晶片 51A 予以電氣絕緣者。

又於矽晶片 51A 背面，在與通孔 VH 鄰接的區域，藉由第 1 絶緣膜 57 形成緩衝層 60。

然後，經由該通孔 VH，以電氣連接鋸墊電極 53，且將由通孔 VH 延伸於矽晶片 51A 背面上的配線層 63 予以形成。配線層 63 係被稱為“再配線層”，係例如於銅(Cu)上層積 Ni/Au 等之隔離層 64 構造者。

在配線層 63 下層設有種晶層 61，係將配線層 63 以電解電鍍形成時，作為電鍍電極之金屬層，而該配線層 63 係以覆蓋緩衝層 60 狀延伸於矽晶片 51A 背面上。

配線層 63 係由保護膜的防鋸罩 65 覆蓋，且於防鋸罩 65 之緩衝層 60 上方部分形成開口部 K。通過該防鋸罩 65 之開口部 K，搭載導電端子的鋸錫球 66。由於，將鋸錫球 66 與配線層 63 予以電氣連接。形成上述多個鋸錫球 66 即可形成球柵陣列(BGA)構造。

由此，可由矽晶片 51A 之鋸墊電極 53 配線至形成於其背面之鋸錫球 66。且係通過通孔 VH 予以配線，因此不易發生斷線，且階梯覆蓋性亦較優異，配線的機械性強度也

高。

又因銻錫球 66 係配置在緩衝層 60 上，能於藉由該銻錫球 66 將該半導體裝置搭載於印刷線路基板時，由緩衝層 60 形成一種緩衝作用，將衝擊予以緩和，故得以防止銻錫球 66 或半導體裝置本身的損傷。

且因形成銻錫球 66 位置，係較矽晶片 51A 背面高出緩衝層 60 厚度，由此，得於將該半導體裝置搭載於印刷線路基板時，可由印刷線路基板與銻錫球 66 之熱膨脹率差形成之應力，得以防止銻錫球 66 或矽晶片 51A 之損傷。

緩衝層 60 雖可用有機絕緣物或無機絕緣物、金屬、矽、抗光蝕物 (photoresist) 等各種材質形成，唯因作為緩衝作用即需以具有彈性的有機絕緣物或無機絕緣物、抗光蝕物等為宜。

而矽晶片 51A 得為 GaAs、Ge、Si-Ge 等其他材料的半導體晶片。玻璃基板 56 即以具有近於矽晶圓 51 熱膨脹係數 K_s 的熱膨脹係數 K_g 為宜。而該熱膨脹係數 K_g 的範圍為 Si 的熱膨脹係數 K_s (2.6 至 3.0 ppm/ $^{\circ}$ K) 之 $\pm 30\%$ 以內者。也就是說：玻璃基板的熱膨脹係數 K_g 於上述矽晶圓 51 熱膨脹係數為 K_s 時，可成立 $0.7K_s \leq K_g \leq 1.3K_s$ 之關係者。

由此，得以防止玻璃基板 56 與矽晶圓 51 的熱膨脹係數差造成之玻璃基板 56 翹曲。又於矽晶片 51A 為其他材料之半導體晶片時亦同。

其次，就該半導體裝置之製造方法說明於後：如第 1 圖所示，在矽晶圓 51 的第 1 主面的表面形成未圖示之半導

體積層電路(如：電荷耦合元件影像感測器)。而於第 1 圖表示後述切割製程所予定加以分割之鄰接晶片區域之剖面者。

在該矽晶圓 51 表面，係藉由硼磷矽酸玻璃(BPSG)等層間絕緣層 52，形成一對鋯墊電極 53。而該一對鋯墊電極 53 係例如以鋁、鋁合金、銅等金屬層所成，厚度為 $1\mu\text{m}$ 左右者。且將一對鋯墊電極 53 擴大在切分割線區域 DL，而將該擴大的端部配置在切分割線中心 DS 前面。

再形成覆蓋一對鋯墊電極 53 之氮化矽膜等保護層膜 54，復於該保護層膜 54 上，例如塗抹由環氧樹脂所成之樹脂層 55。

然後，藉由該樹脂層 55，將矽晶圓 51 表面黏貼於玻璃基板 56。此時，該玻璃基板 56 係作為矽晶圓 51 之保護基板或支持基板作用。而後，以黏貼該玻璃基板 56 之狀態，依需要進行矽晶圓 51 之背面蝕刻，或所謂的背面研磨，將厚度加工為 $150\mu\text{m}$ 左右。

之後，將「酸(例如 HF 與硝酸等的混合液)」作為蝕刻劑蝕刻矽晶圓 51 約 $20\mu\text{m}$ 。由此，去除因背面研磨而產生於矽晶圓 51 之機械性損傷(damage)層，予以有效地改善形成在矽晶圓 51 表面的元件特性。在本實施形態中，該矽晶圓 51 之最終精整厚度雖為 $130\mu\text{m}$ ，但得對應於元件種類予以適宜選擇。

然後，由上述製程，可在研削矽晶圓 51 之背面全面形成第 1 絝緣膜 57。而該第 1 絝緣膜 57 係例如由電漿 CVD

法予以形成，係適合於 PE-SiO₂ 膜，或 PE-SiN 膜。

其次，如第 2 圖所示，於第 1 絶緣膜 57 上選擇性地形
成光阻層 58，以該光阻層 58 為遮罩，進行第 1 絶緣膜 57
及矽晶圓 51 的蝕刻，形成貫穿矽晶圓 51 的通孔 VH。且在
通孔 VH 底部露出層間絕緣膜 52，以接觸鋅墊電極 53。而
該通孔 VH 即為約 40 μm 寬，200 μm 長者。

為形成通孔 VH，有使用雷射光束予以蝕刻的方法，及
使用乾式蝕刻的方法。該通孔 VH 的剖面形狀，為使後述之
種晶層 61 的覆蓋性良好，係以加工為順傾斜狀為宜。

再次，如第 3 圖所示，於形成通孔 VH 的矽晶圓 51 背
面全體形成第 2 絶緣膜 59。第 2 絶緣膜 59 可例如由電漿
CVD 法予以形成，適於 PE-SiO₂ 膜，或 PE-SiN 膜。第 2 絶
緣膜 59 係形成於通孔 VH 底部、側壁及第 1 絶緣膜 57 上。

又次，如第 4 圖所示，鄰接於通孔 VH，在第 2 絶緣膜
59 上形成緩衝層 60。緩衝層 60 可用軟片抗蝕層 (film
resist)，以遮罩曝光及顯影處理，可形成在預定區域內。
唯緩衝層 60 可不限於此，得使用有機絕緣物或無機絕緣
物、金屬、矽、光阻膜等各種材質，若作為緩衝作用即以
富有彈性的有機絕緣物或無機絕緣物、光阻膜等為宜。

其次，如第 5 圖所示不使用光阻層而進行異向性乾式
蝕刻，即可僅於通孔 VH 側壁留存第 2 絶緣膜 59 為側壁絕
緣膜 59A。而在該蝕刻製程，可將通孔 VH 底部之第 2 絶緣
膜 59 及層間絕緣膜 52 以蝕刻去除，露出鋅墊電極 53。又
於蝕刻第 2 絶緣膜 59 時，僅將通孔 VH 底部的第 2 絶緣膜

59 蝕刻去除過程中，可省略第 1 絶緣膜 57 的形成製程。

由上述，於本實施形態係在形成通孔 VH 後，將第 2 絶緣膜 59 形成於通孔 VH 中，形成緩衝層 60 後，將通孔 VH 底部的第 2 絶緣膜 59 及層間絕緣膜 52 以蝕刻去除，露出鋅墊電極 53。

相反地，亦可於蝕刻通孔 VH 底部露出鋅墊電極 53 後，再形成緩衝層 60，唯以上述方式於形成緩衝層 60 時，該露出之通孔 VH 底部被污染，而有使後續通孔 VH 內形成的配線層 63 與鋅墊電極 53 的電氣連接不良問題。因此，如本實施形態在形成緩衝層 60 後，再蝕刻通孔 VH 底部，為較容易獲得配線層 63 與鋅墊電極 53 間的良好電氣連接。

又於第 5 圖之製程，係於緩衝層 60 形成後，將通孔 VH 內之絕緣膜予以蝕刻形成為側壁絕緣膜 59A 者，因該蝕刻作業可使緩衝層 60 表面粗糙化而有提升與後述種晶層 61 的貼合性利點。

茲將形成配線層 63 之製程說明於後，如第 6 圖所示，將銅(Cu)層、或 TiW 層、TiN 層、TaN 層等之阻障(Barrier)金屬層，或由銅層與阻障金屬層之積層構造所成種晶層 61，以濺射法、MOCVD 法、無電解電鍍等任一方法，形成於矽晶圓 51 背面側之包含通孔 VH 內之全面。種晶層 61 係於通孔 VH 內與鋅墊電極 53 成電氣連接，且係以覆蓋側壁絕緣膜 59A 狀地予以形成。

又因係以種晶層 61 覆蓋緩衝層 60。構成種晶層 61 的阻障金屬層可防止銅(Cu)經由側壁絕緣膜 59A 擴散於矽晶

圓 51 內。但若側壁絕緣膜 59A 係以 SiN 膜形成時，該 SiN 膜將成為對銅擴散的隔離，種晶層 61 僅為銅(Cu)亦無問題。

種晶層 61 係後述電解電鍍時之為電鍍成長用之電鍍電極。厚度約為 $1\mu\text{m}$ 。若通孔 VH 被加工為順傾斜面時，該種晶層 61 的形成可用濺射法行之。

然後，進行銅(Cu)的電解電鍍，之前，需於不形成電鍍膜的區域，選擇性地形成光阻層 62(如第 7 圖)。而該區域係去除配線層 63 及鋸錫球形成區域者。

其次，如第 8 圖所示，進行銅(Cu)的電解電鍍，以形成配線層 63。而該配線層 63 係由通孔 VH 引出於矽晶圓 51 背面，延伸於該背面上，以覆蓋緩衝層 60。由此，配線層 63 係與鋸墊電極 53 成電氣連接。又於第 8 圖，係將配線層 63 完全掩埋於通孔 VH 內，但得視電鍍時間的調節，可不完全埋入。

然後，去除光阻層 62，以配線層 63 為遮罩，將殘存於光阻層 62 下的種晶層 61，由蝕刻予以去除。此時，配線層 63 亦受蝕刻，但配線層 63 較種晶層 61 為厚，故不致於有問題。

其次，如第 9 圖所示，由 Ni、金(Au)之無電解電鍍、或由濺射法在配線層 63 上形成以 Ni/Au 層所成的阻障層 64。

再次，如第 10 圖所示，於配線層 63 上覆蓋防鋸罩 65。而該防鋸罩 65 之緩衝層 60 上部分，即予以去除且設為開

口部 K。

之後，如第 11 圖所示，使用網版印刷法在配線層 63 之預定區域上印刷銻錫，再由熱處理使該銻錫回銻，形成為銻錫球 66。而該銻錫球 66 不限於銻錫，亦可使用無鉛之低融點金屬材料形成亦可。

配線層 63 可在矽晶圓 51 背面之所需區域，形成所需條數，亦可自由選擇銻錫球 66 數量及形成區域。

然後，如第 12 圖所示，沿切割線中心 DS 進行切割製程，將矽晶圓 51 分割為多個矽晶片 51A。而於切割製程即可使用切割刀刃或雷射光束。又於切割製程中，可將玻璃基板 56 之裁斷面加工為傾斜狀，即可防止玻璃基板 56 之破裂。

其次，參照附圖將本發明之第 2 實施形態詳述於後：首先，說明該半導體裝置的構造。第 15 圖為該半導體裝置之剖面圖。係表示將經過後述製程的矽晶圓，沿其切割線分割為各晶片者。

於第 15 圖中，DS 為劃線中心。於圖中，其與第 1 實施形態有關的第 12 圖為同一的構成部分，係賦予同一符號，省略該詳細說明。

本實施形態中，緩衝層 60A 係形成於除通孔 VH 近傍以外之矽晶片 51A 背面的全面。而配線層 63 即由通孔 VH 跨於緩衝層 60A，且延伸於緩衝層 60A 上，終於緩衝層 60A 上。由此，較第 1 實施形態可使形成於緩衝層 60A 上之配線層 63 及防銻罩 65 之覆蓋率提升。其餘各點即與第 1 實

施形態完全相同。

其次，就本實施形態之半導體裝置的製造方法予以說明之。其由最初之製程至形成第 2 絶緣膜 59 為止之製程（第 1 圖至第 3 圖製程）係與第 1 實施形態完全相同。

形成第 2 絶緣膜 59 後，如第 13 圖所示，可將緩衝層 60A 形成於除通孔 VH 近傍以外之矽晶片 51A 背面的全面。

然後，如第 14 圖所示，與第 1 實施形態一樣地形成配線層 63、防鋸罩 65 及鋸錫球 66 等。再如第 15 圖所示，沿切割線中心 DS 進行切割製程，將矽晶圓 51 分割為多個矽晶片 51A。

接著，將本發明之第 3 實施形態參照附圖詳述於後：在第 1 及第 2 實施形態中，係於通孔 VH 內形成配線層 63 前，係先形成緩衝層 60 及 60A，但於本實施形態係於通孔 VH 內形成掩埋配線層後，再形成緩衝層 73 者。

以下，參照第 16 至 27 圖詳細說明於後：如第 16 圖所示，將通孔 VH 底部之第 2 絶緣膜 59 及層間絕緣膜 52，以蝕刻去除，使鋸墊電極 53 露出。此時，係以未形成緩衝層 73 而與第 1 實施形態相異外，其餘各點即與第 1 實施形態相同。

如第 17 圖所示，將銅(Cu)層、或 TiW 層、TiN 層、TaN 層等之阻障金屬層，或由銅層與阻障金屬層之積層構造所成種晶層 61A 以濺射法、MOCVD 法、無電解電鍍等任一方法，形成於矽晶圓 51 背面側之包含通孔 VH 內之全面。

種晶層 61A 係於通孔 VH 內與鋸墊電極 53 成電氣連

接，且係以覆蓋側壁絕緣膜 59A 狀地予以形成。種晶層 61A 係電解電鍍時為電鍍成長用之電鍍電極。厚度約為 $1 \mu\text{m}$ 。若通孔 VH 被加工為順傾斜面時，該種晶層 61A 的形成可用濺射法行之。

之後，如第 18 圖所示，在包含通孔 VH 內之矽晶圓 51 背面的全面，進行銅(Cu)的電解電鍍，形成電鍍層 70。通孔 VH 內即由電鍍層 70 予以完全或不完全地掩埋。

再次，係如第 19 圖，於掩埋在通孔 VH 內之電鍍層 70 部分上，以曝光・顯影處理選擇性地形成光阻層 71。

如第 20 圖所示，以光阻層 71 為遮罩，將不遮蓋於光阻層 71 的電鍍層 70 部分予以蝕刻，再將其下層之種晶層 61A 予以蝕刻去除。由此，可於光阻層 71 下層之通孔 VH 內，選擇性地形成被掩蓋的埋入電極 72。

又次，如第 21 圖所示，去除光阻層 71 後，在鄰接埋入電極 72 之第 1 絶緣膜 57 上形成緩衝層 73。

再次，如第 22 圖所示，再次將種晶層 74 形成於矽晶圓 51 背面全體。亦為提升種晶層 74 與第 1 絶緣膜 57 之貼合性，可使 TiN 等阻障膜介存於種晶圓 74 與第 1 絶緣膜 57 間。尤於採用 SiN 膜為第 1 絶緣膜 57 時有效。

之後，在種晶層 74 上形成光阻層 75。而該光阻層 75 係選擇性地形成於不形成電鍍膜之區域者。而該種晶層 74 即由 Cu 層、或 Cu/Cr 層所成。

然後，如第 23 圖所示，進行銅(Cu)的電解電鍍予以形成配線層 76，且以配線層 76 覆蓋埋入電極 72 的全部或一

部分使之電氣連接，亦延伸為覆蓋於緩衝層 73 者。

其次，如第 24 圖所示，去除光阻層 75 後，由鎳(Ni)及金(Au)的無電解電鍍在配線層 76 上形成由 Ni/Au 層構成的阻障層 77。

上述配線層 76，係以電解電鍍法形成，但得以將鋁或鋁合金由濺射法成膜於矽晶圓 51 背面的全面，之後，由微影術(lithography)及蝕刻，予以選擇性地形成配線層 76。此時，即宜以在鋁或鋁合金與銅(Cu)所成的埋入電極 72 間，以無電解電鍍法將 Ni 膜或 TiN 等之阻障膜作為銅擴散防止膜予以形成。

再次，如第 25 圖所示，於隔離層 77 覆蓋的配線層 76 上，覆蓋防鋸罩 78。而於該防鋸罩 78 在緩衝層 73 上部分，即予以去除，設為開口部 K。

再如第 26 圖，採用網版印刷法，在因開口部 K 而露出且以阻障層 77 覆蓋的配線層 76 上印刷鋸錫，將該鋸錫由熱處理之回鋸，形成為鋸錫球 79。且因配線層 76 可在矽晶圓 51 背面的預定區域形成所需數目，亦可自由選擇鋸錫球 66 數目及其形成區域。

因此，得如第 27 圖所示，沿切割線中心 DS 進行切割製程，將矽晶圓 51 分割為多個矽晶片 51A。又於該切割製程可使用切割刀刀或雷射光束。若於切割製程中，將玻璃基板 56 之裁斷面加工成傾斜狀，即可防止玻璃基板 56 之破裂。

於上述第 1 及第 2 實斂形態中，係於通孔 VH 內，由電

解電鍍將配線層 63、63A 以掩埋方式形成，而於第 3 實施形態中，即以電解電鍍在通孔 VH 內形成掩埋電極 71。但得不限於此，亦可使用如：於通孔 VH 內，由 CVD 法或 MOCVD 法埋入銅(Cu)等金屬之其他方法。

更於上述第 1、第 2 及第 3 實施形態中，係將通常使用於引線結合(wire bonding)的鋅墊電極擴大至切割區域形成為鋅墊電極 53。但得不限於此，亦可直接利用未擴大至切割線區域 DL 之通常使用於引線結合的鋅墊電極來取代鋅墊電極 53。此時，係將通孔 VH 的形成位置對正於該鋅墊電極即可。而其他製程即完全相同。

[發明的效果]

如依本發明，即可防止其由半導體晶片之鋅墊電極，至該導電端子止的配線斷線，及階梯覆蓋性(step coverage)劣化而獲得高信賴性球柵陣列(BGA)半導體裝置。亦因導電端子係形成於緩衝層上，故可緩和組裝在印刷線路基板時之衝擊而防止該半導體裝置之損傷。

亦因導電端子係形成於較半導體晶片第 2 主面高出緩衝層厚度部分的高位置上，由而可使該半導體裝置組裝於印刷線路基板時產生的應力容易被吸收，因而得以防止導電端子之損傷者。

【圖式簡單說明】

第 1 圖係有關本發明第 1 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 2 圖係有關本發明第 1 實施態樣之半導體裝置製造

方法的說明用剖面圖。

第 3 圖係有關本發明第 1 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 4 圖係有關本發明第 1 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 5 圖係有關本發明第 1 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 6 圖係有關本發明第 1 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 7 圖係有關本發明第 1 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 8 圖係有關本發明第 1 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 9 圖係有關本發明第 1 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 10 圖係有關本發明第 1 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 11 圖係有關本發明第 1 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 12 圖係有關本發明第 1 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 13 圖係有關本發明第 2 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 14 圖係有關本發明第 2 實施態樣之半導體裝置製造

方法的說明用剖面圖。

第 15 圖係有關本發明第 2 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 16 圖係有關本發明第 3 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 17 圖係有關本發明第 3 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 18 圖係有關本發明第 3 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 19 圖係有關本發明第 3 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 20 圖係有關本發明第 3 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 21 圖係有關本發明第 3 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 22 圖係有關本發明第 3 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 23 圖係有關本發明第 3 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 24 圖係有關本發明第 3 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 25 圖係有關本發明第 3 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 26 圖係有關本發明第 3 實施態樣之半導體裝置製造

方法的說明用剖面圖。

第 27 圖(A)及(B)係有關本發明第 3 實施態樣之半導體裝置製造方法的說明用剖面圖。

第 28 圖係有關習知半導體裝置之說明圖。

第 29 圖係有關習知半導體裝置之說明圖。

【主要元件符號說明】

| | | | |
|-------------|----------|--------------|----------|
| 51 | 矽晶圓 | 51A | 矽晶片 |
| 52 | 層間絕緣膜 | 53 | 銻墊電極 |
| 54 | 保護膜 | 55、105a、105b | 樹脂層 |
| 56 | 玻璃基板 | 57 | 第 1 絝緣層 |
| 58、62、71、75 | 光阻層 | 59 | 第 2 絝緣層 |
| 59A | 側壁絕緣膜 | 60、60A、73 | 緩衝層 |
| 61、61A、74 | 種晶層 | 63、63A、76 | 配線層 |
| 64、77 | 阻障層 | 65、78 | 防銻罩 |
| 66、79 | 銻錫球 | 70 | 電鍍層 |
| 72 | 埋入電極 | 101 | 半導體裝置 |
| 102 | 第 1 玻璃基板 | 103 | 第 2 玻璃基板 |
| 104 | 半導體晶片 | 106 | 導電端子 |
| 107 | 第 1 配線 | 108 | 絕緣膜 |
| 110 | 第 2 配線 | 111 | 保護膜 |
| VH | 通孔 | K | 開口部 |

五、中文發明摘要：

本發明係提供一種信賴性較高的具有球柵陣列(BGA)之半導體裝置。

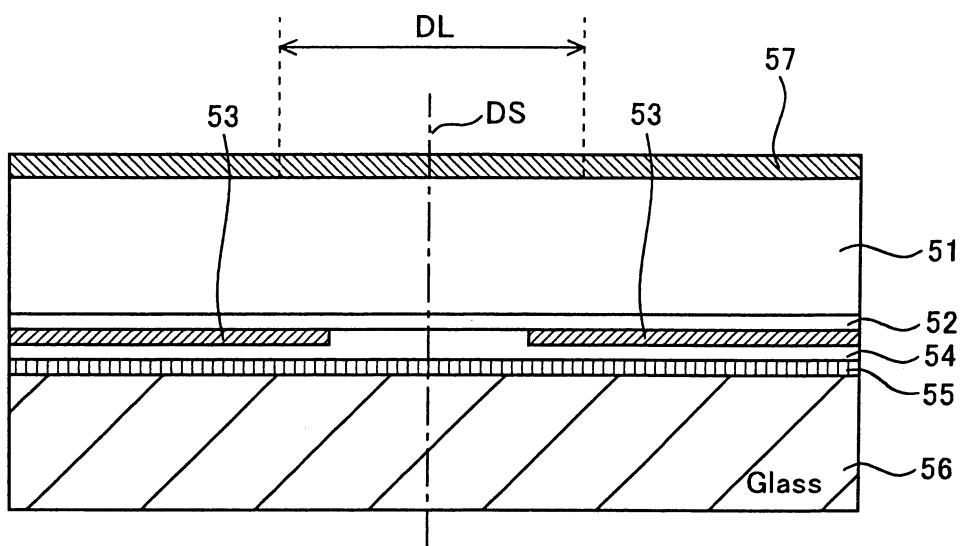
係於半導體基板(51)表面形成鋅墊(pad)電極(53)，且在半導體基板(51)表面黏貼玻璃基板(56)。由半導體基板(51)背面形成到達鋅墊電極(53)表面的通孔(via hole)VH。在包含通孔VH內的半導體基板(51)背面之全面形成絕緣膜(59)。而於絕緣膜(59)上形成緩衝層(60)。再由蝕刻作業去除通孔VH底部的絕緣膜(59)。形成為與鋅墊電極(53)成電氣連接，且由通孔VH延伸於緩衝層(60)上之配線層(64)。在配線層(64)上形成導電端子(66)。然後，將半導體基板(51)分割為多個半導體晶片(51A)者。

六、英文發明摘要：

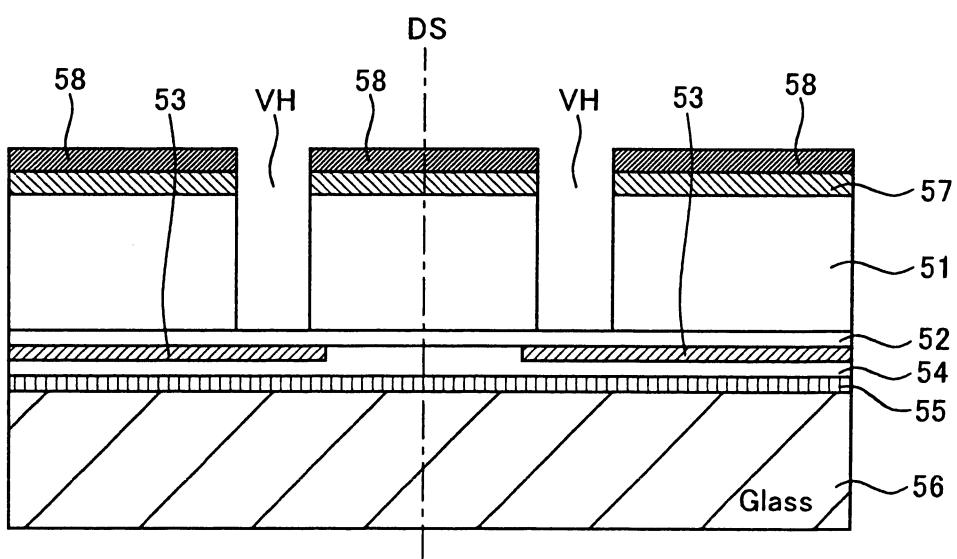
A semiconductor device having a ball grid array of high reliability is proposed.

A pad electrode (53) is formed on a surface of a semiconductor substrate (51), and a glass substrate (56) is adhered to the surface of the semiconductor substrate (51). A via hole VH reaching from a back surface of the semiconductor substrate (51) to the surface of the pad electrode (53) is formed. An insulation film (59) is formed over the entire surface of the semiconductor substrate (51) including the via hole VH. A buffer film (60) is formed on the insulation film (59). The insulation film (59) on the bottom of the via hole VH is removed by etching. A wiring layer (64) electrically connected to the pad electrode (53) and extending from the via hole VH over the buffer layer (60) is formed. Conductive terminals (66) are formed on the wiring layer (64). And then the semiconductor substrate (51) is separated into a plurality of semiconductor chips (51A).

I245379

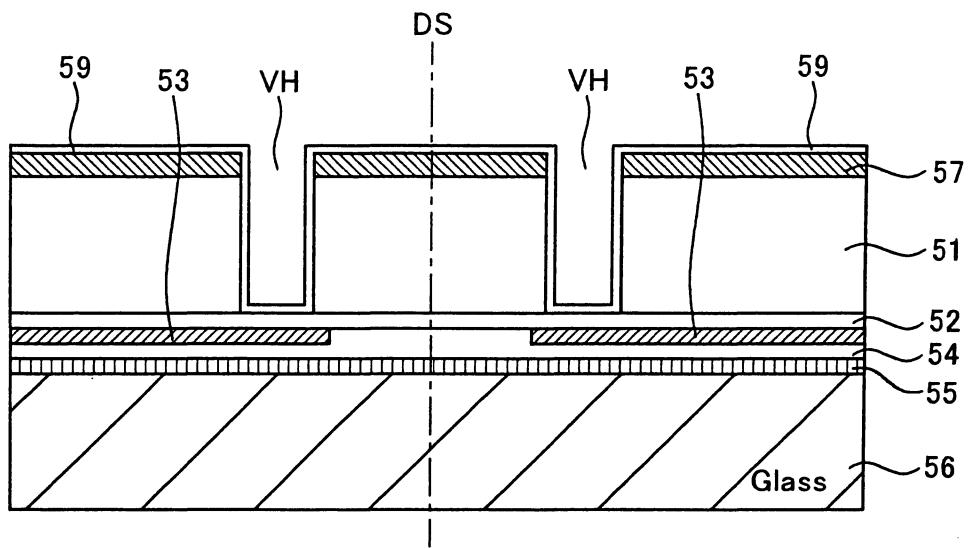


第 1 圖

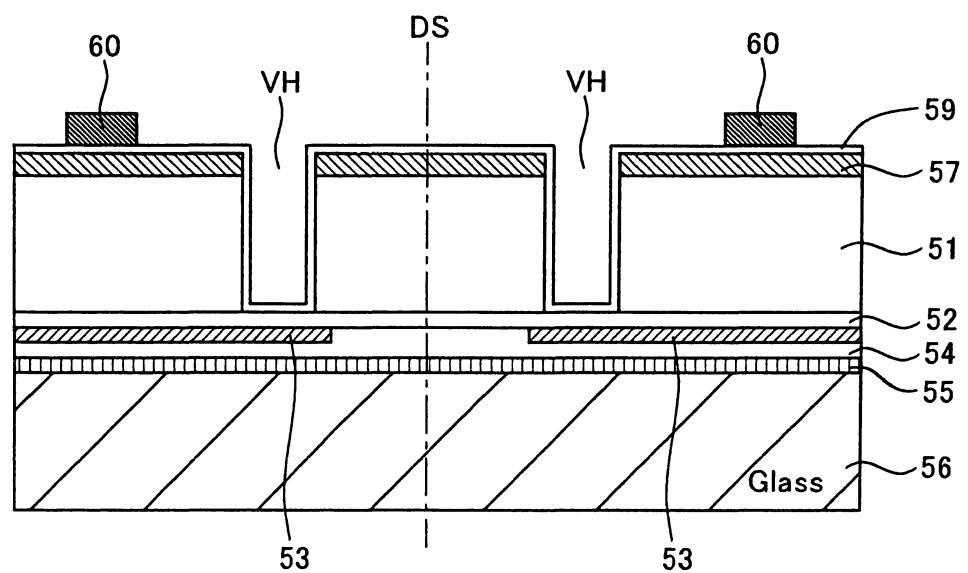


第 2 圖

I245379

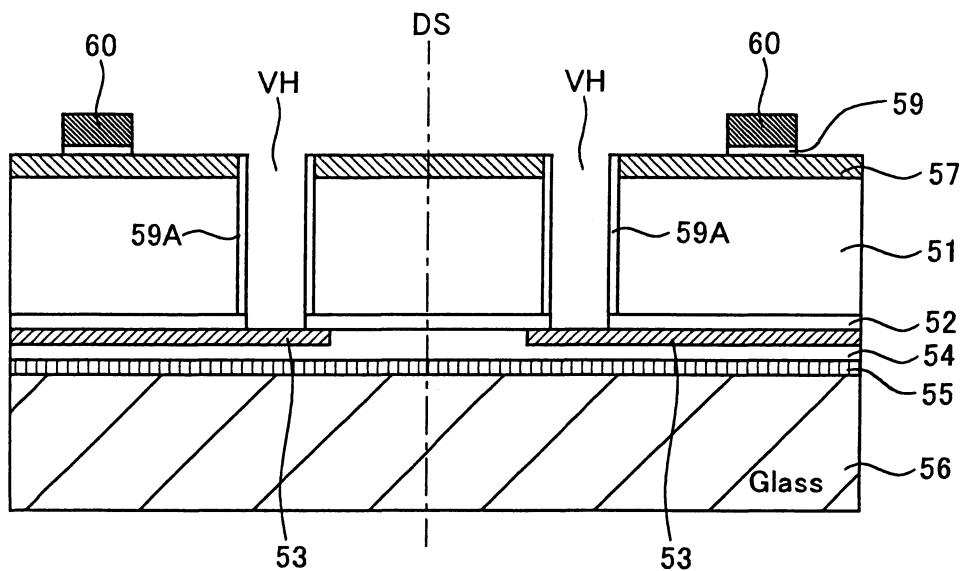


第 3 圖

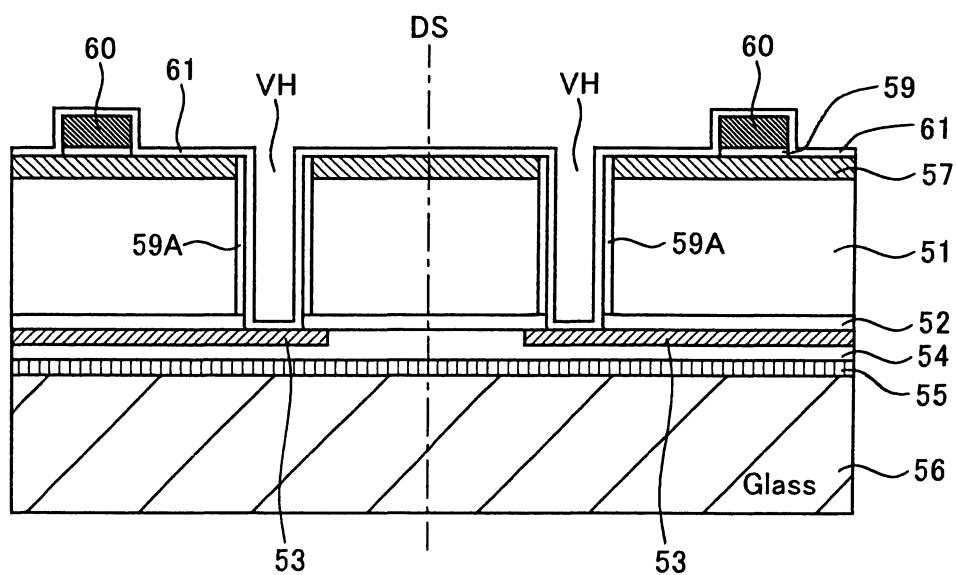


第 4 圖

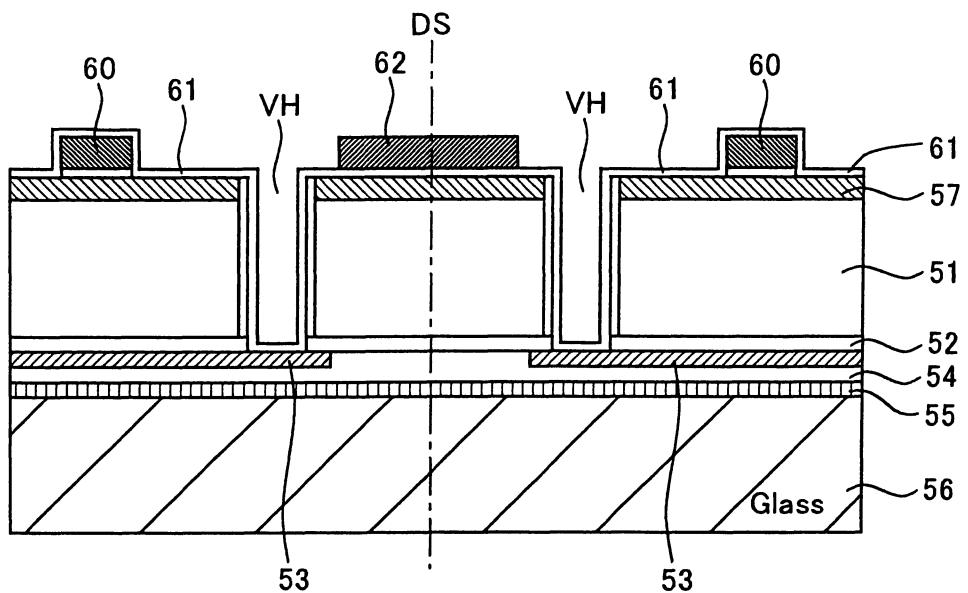
I245379



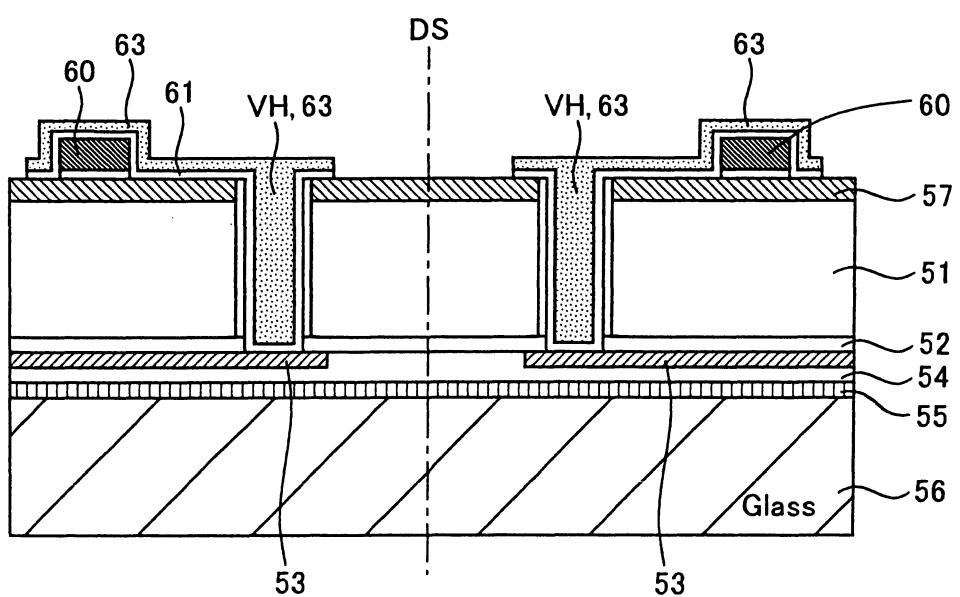
第 5 圖



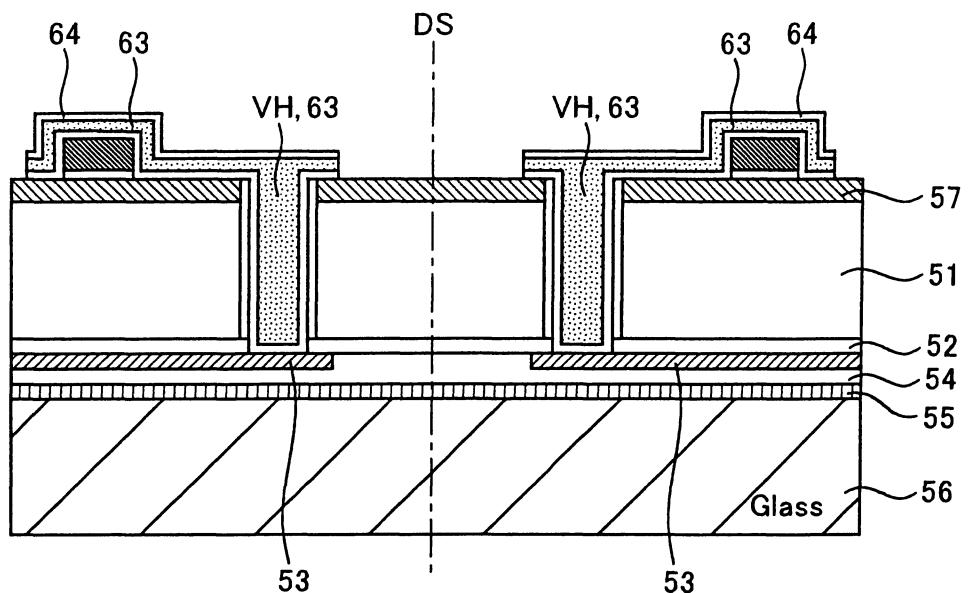
第 6 圖



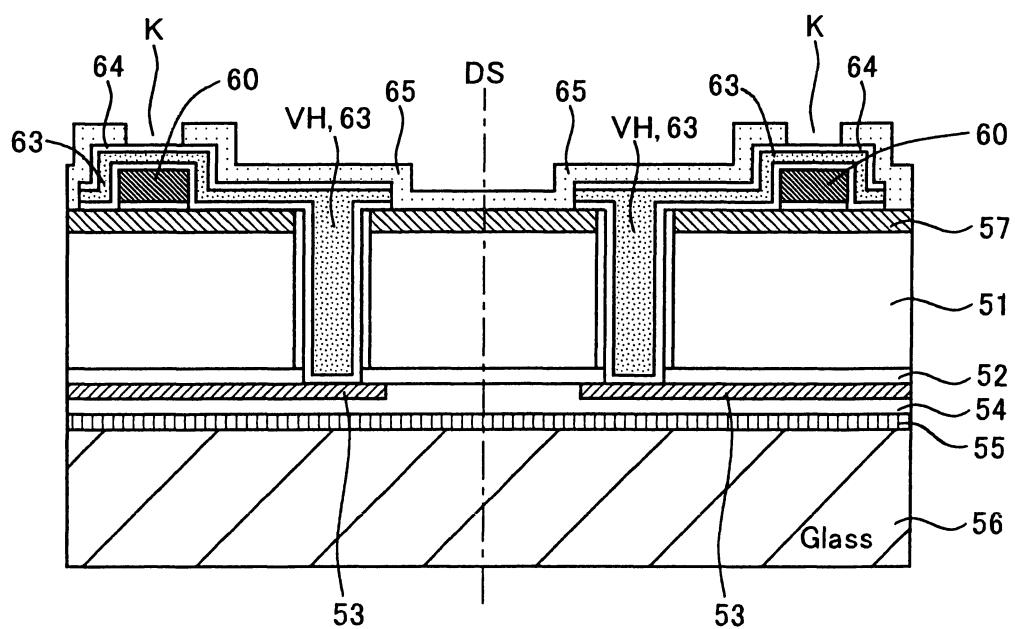
第 7 圖



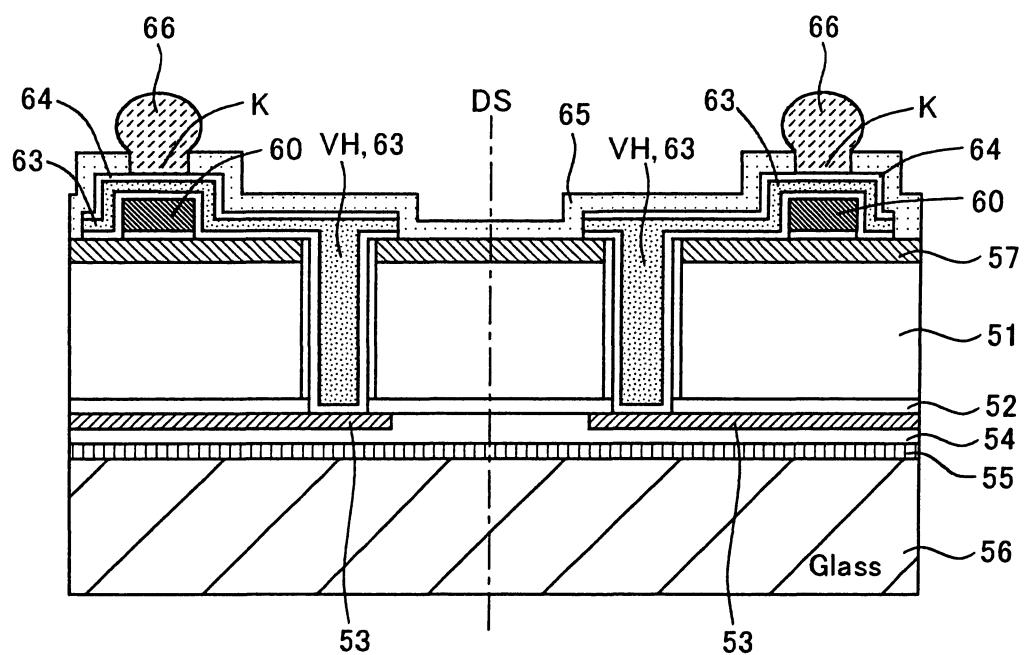
第 8 圖



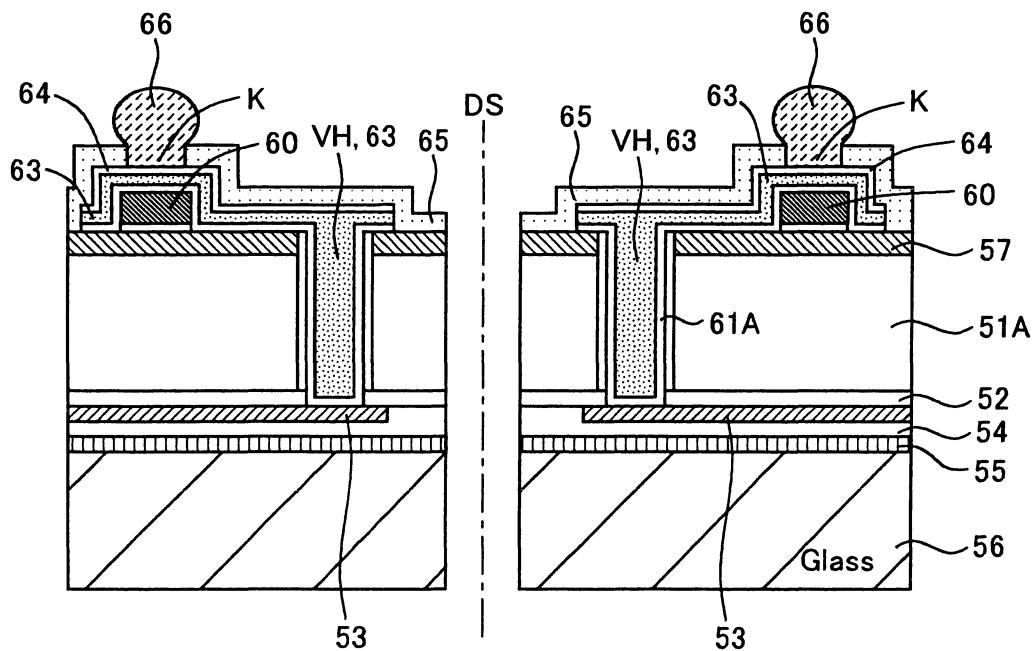
第9圖



第10圖

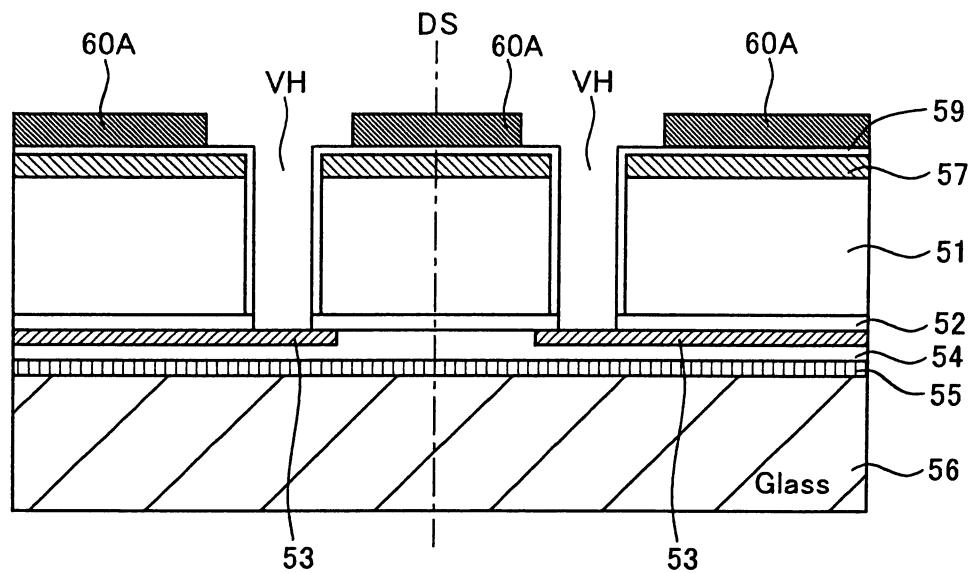


第11圖

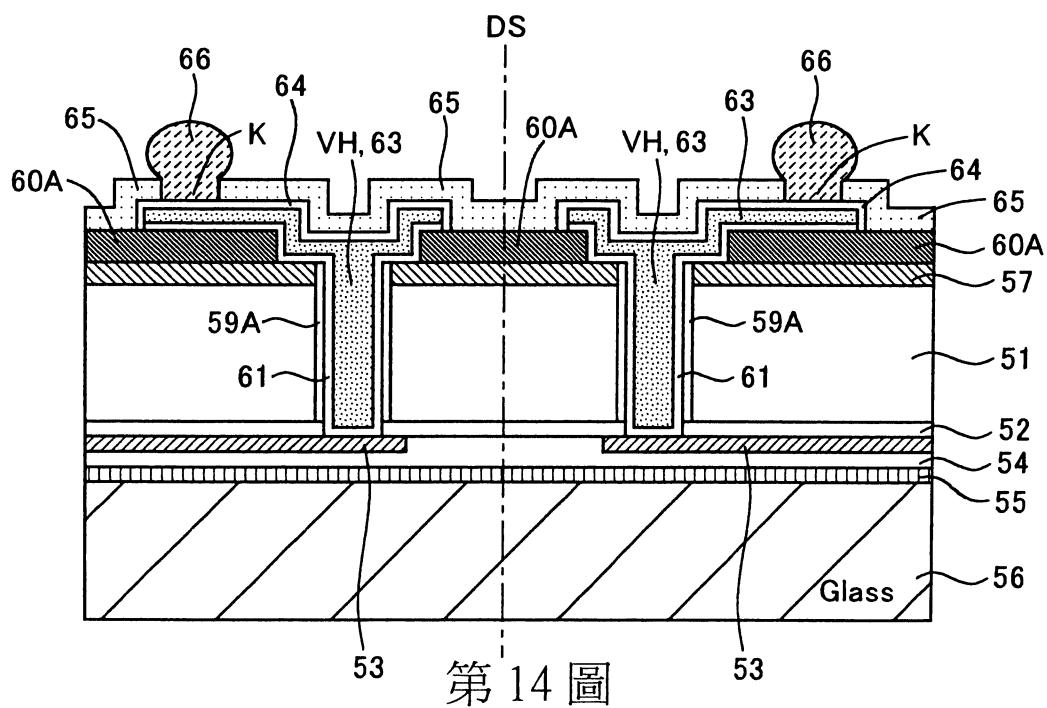


第12圖

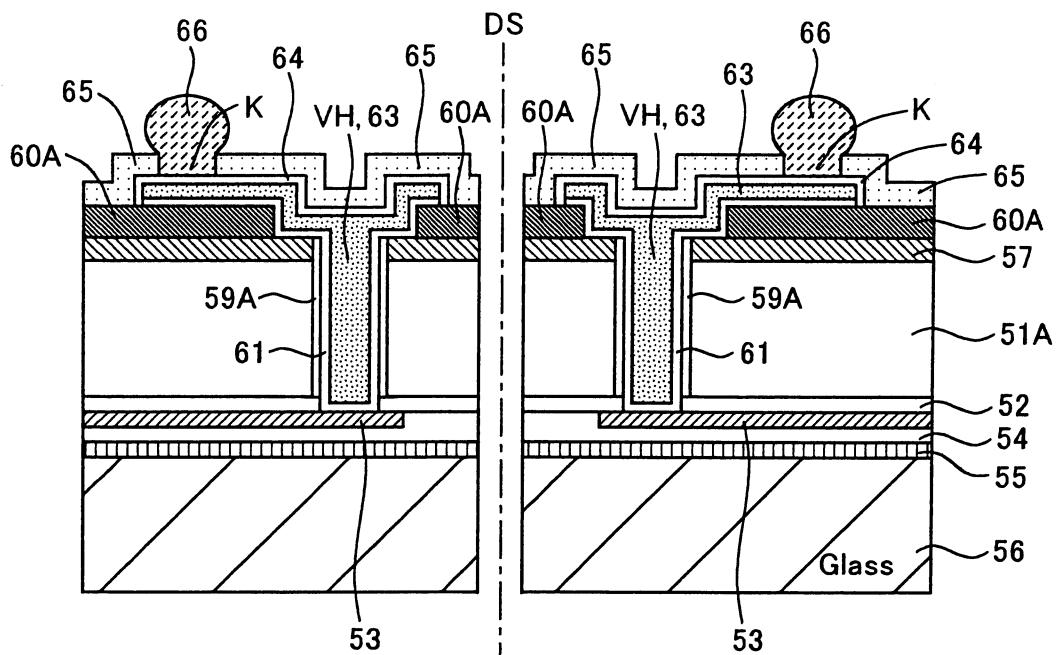
I245379



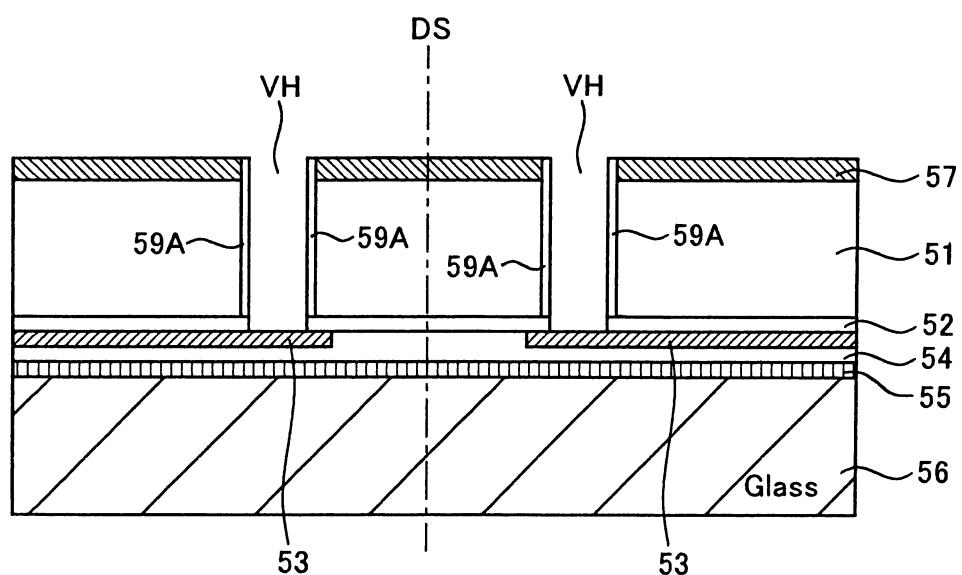
第 13 圖



第 14 圖

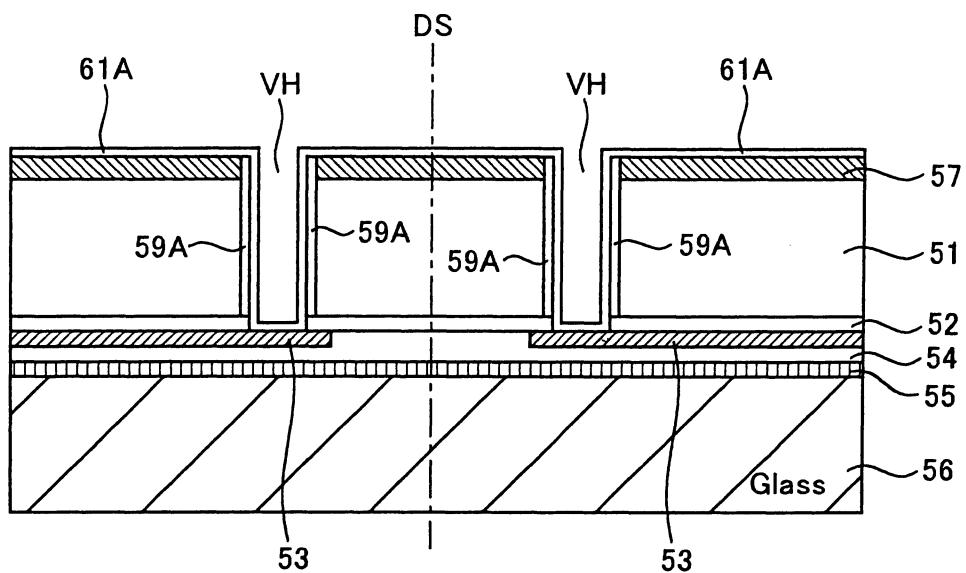


第 15 圖

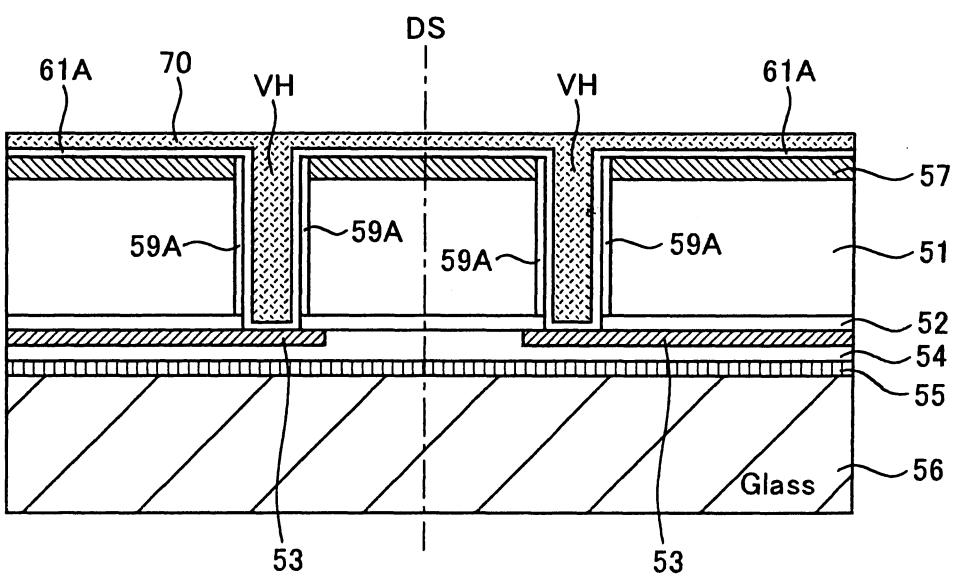


第 16 圖

I245379

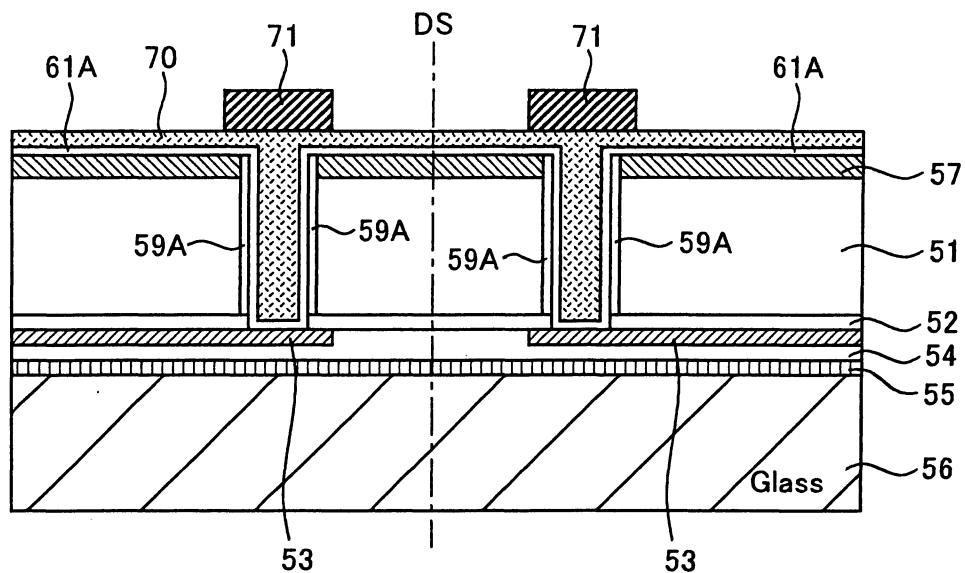


第 17 圖

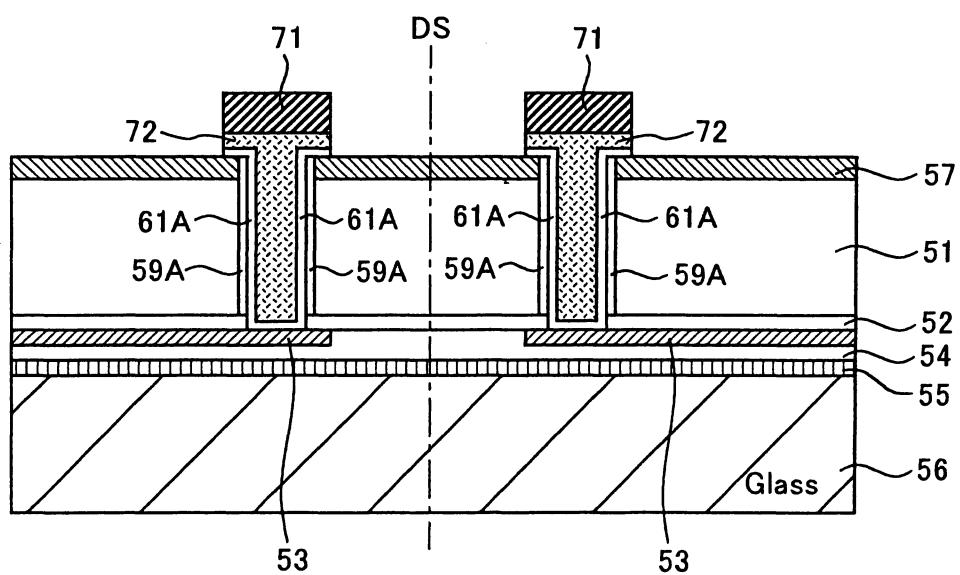


第 18 圖

I245379

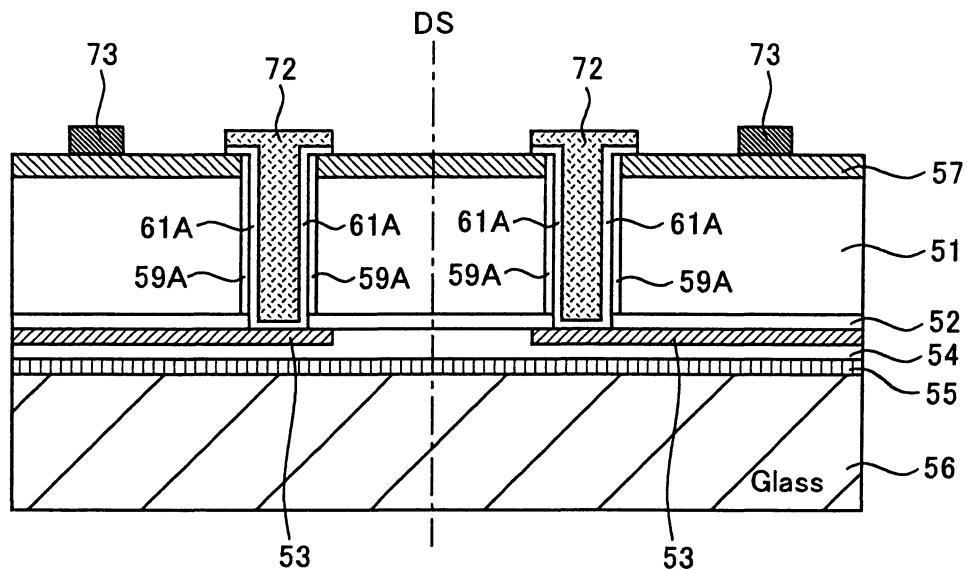


第 19 圖

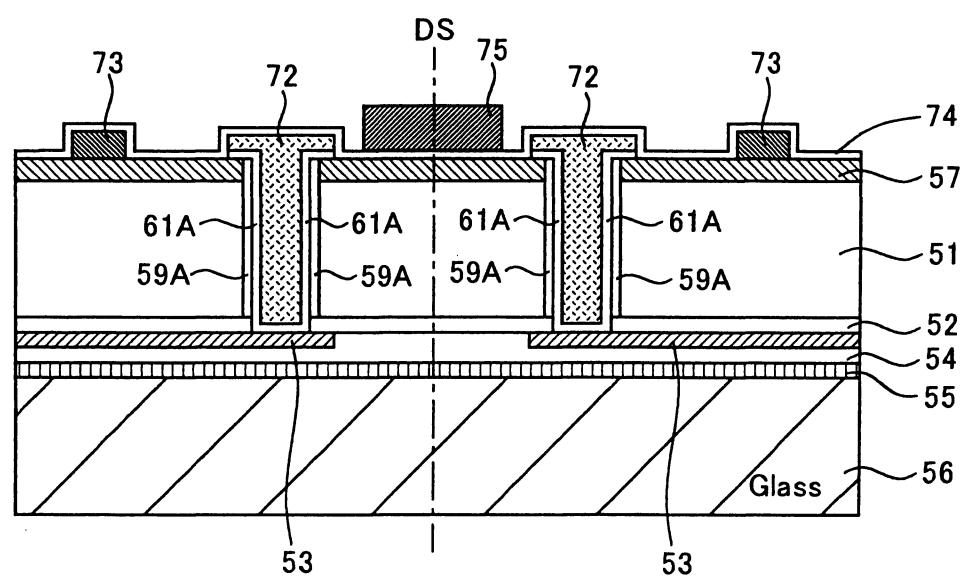


第 20 圖

I245379

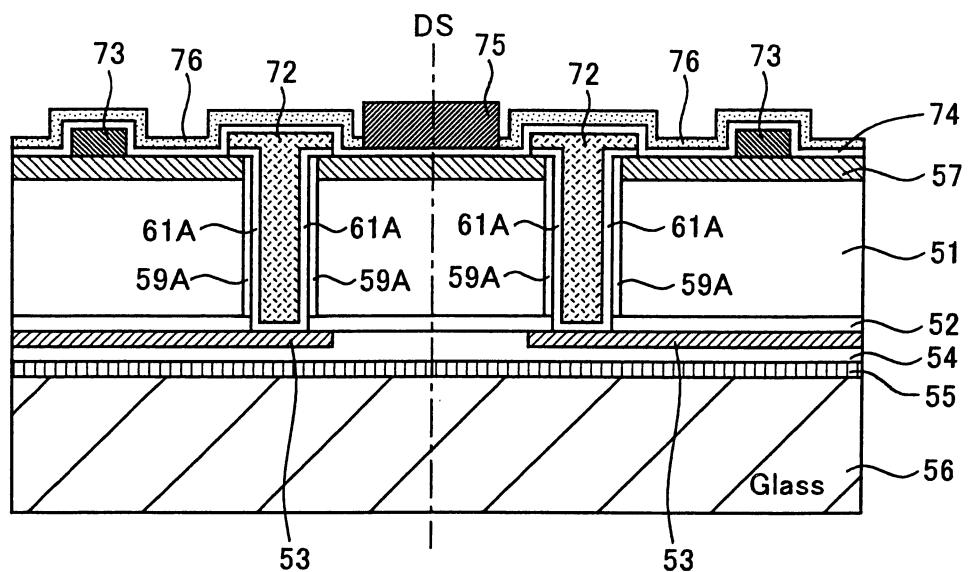


第 21 圖

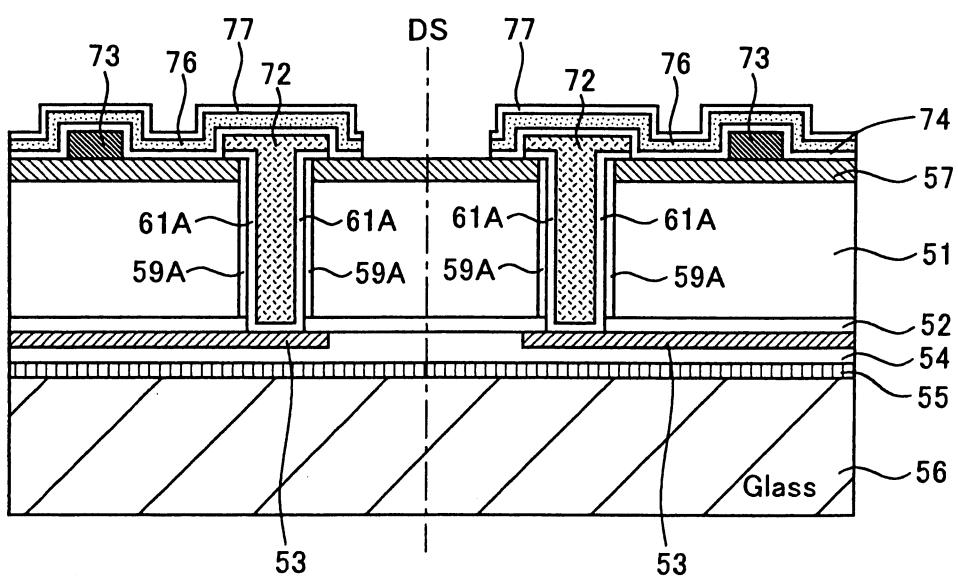


第 22 圖

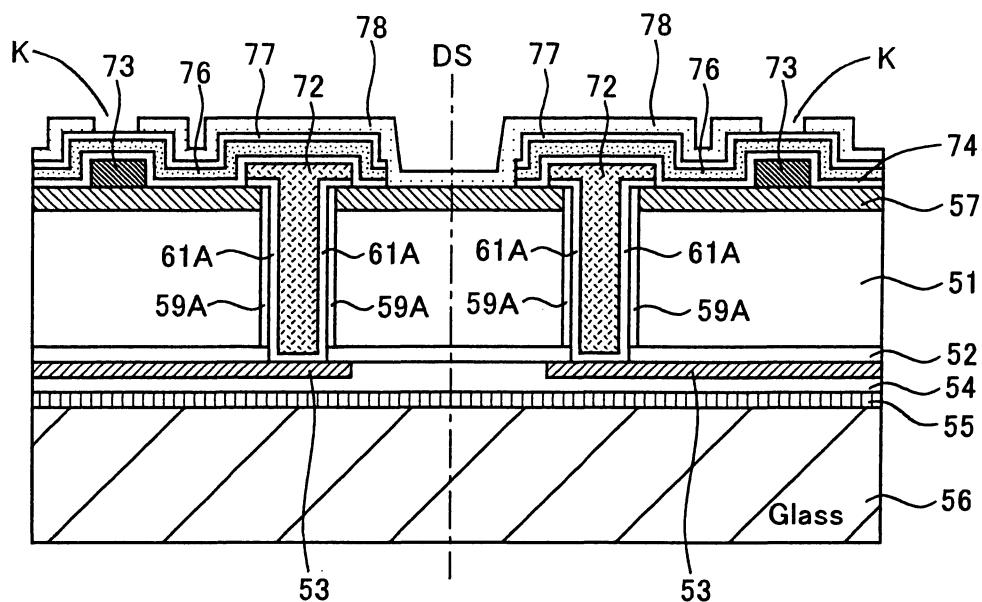
I245379



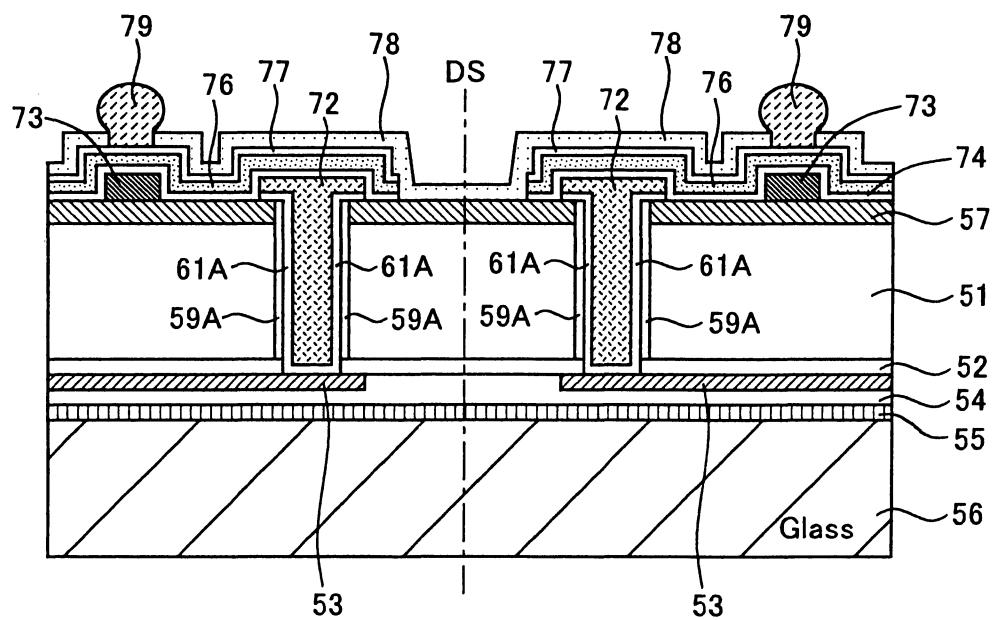
第 23 圖



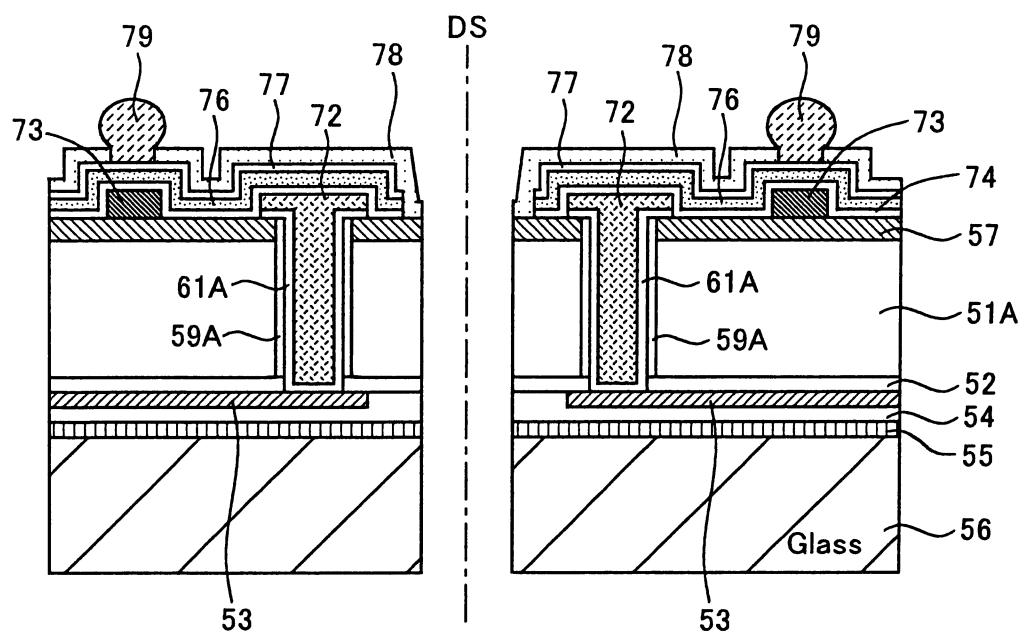
第 24 圖



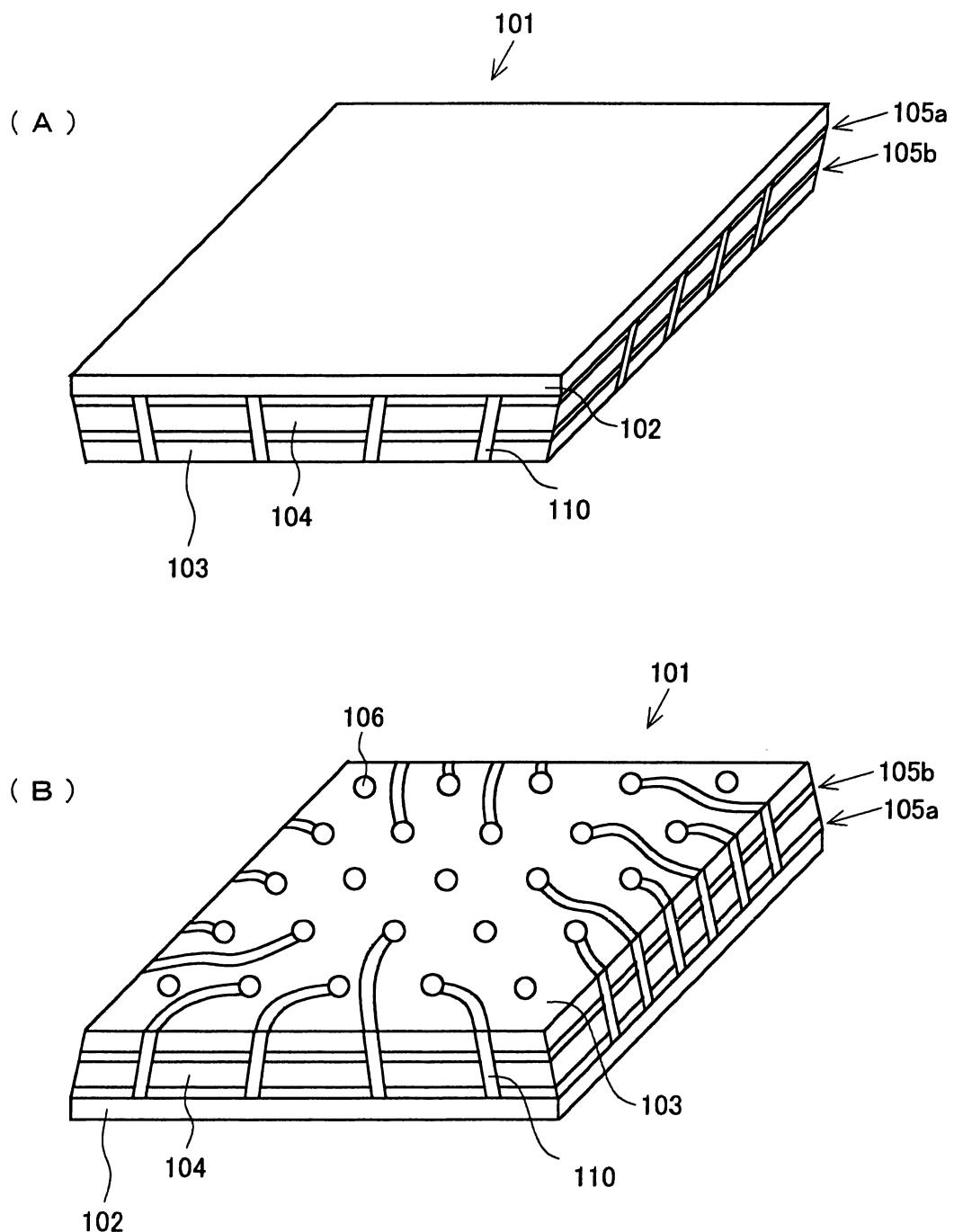
第 25 圖



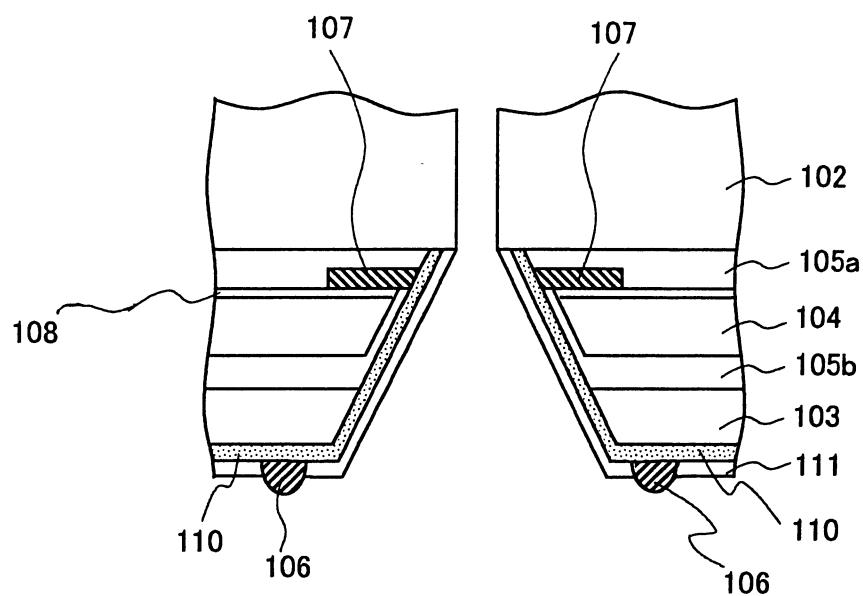
第 26 圖



第 27 圖



第 28 圖



第 29 圖

七、指定代表圖：

(一)本案指定代表圖為：第（12）圖。

(二)本代表圖之元件符號簡單說明：

| | | | |
|-----|-------|----|-------|
| 51A | 矽晶片 | 52 | 層間絕緣膜 |
| 53 | 鋸墊電極 | 54 | 保護膜 |
| 55 | 樹脂層 | 56 | 玻璃基板 |
| 57 | 第1絕緣層 | 60 | 緩衝層 |
| 63 | 配線層 | 64 | 阻障層 |
| 65 | 防鋸罩 | 66 | 鋸錫球 |
| VH | 通孔 | K | 開口部 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

配線 110 上，形成球狀導電端子 106。

上述技術係例如記載於下記之專利文獻 1 者。

《專利文獻 1》日本特表 2002-512436 號公報。

[發明所需解決的問題]

然而於上述球柵陣列型半導體裝置 101 中，其第 1 配線 107 與第 2 配線 110 之接觸面積極小，因而，在該接觸部分有斷線之虞。且在第 2 配線 110 之階梯覆蓋性(step coverage)亦有問題。

【發明內容】

[解決問題的手段]

本發明之半導體裝置製造方法，係具備：於形成鋯墊電極之半導體基板之第 1 主面黏貼支持基板的製程；形成由上述半導體基板之第 2 主面到達上述鋯墊電極表面之通孔的製程；在包含上述通孔內之上述半導體基板之第 2 主面之全面形成絕緣膜的製程；蝕刻上述絕緣膜，去除上述通孔底部之絕緣膜的製程；形成通過上述通孔電氣連接於上述鋯墊電極，且由上述通孔延伸於上述第 2 主面上的配線層之製程；在上述配線層上形成導電端子的製程；及將上述半導體基板分割為複數個半導體晶片之製程。此外還具有在上述絕緣膜上形成緩衝層的製程。

由此，可防止自半導體晶片之鋯墊電極，至該導電端子為止的配線斷線及階梯覆蓋性劣化，以獲得高信賴性球柵陣列型半導體裝置。又因導電端子係形成於緩衝層上，故可緩和組裝時對印刷電路基板的衝擊而得防止半導體裝

第 93114055 號專利申請案
申請專利範圍修正本

(94 年 9 月 30 日)

1. 一種半導體裝置之製造方法，係具備：

於形成鋱墊電極之半導體基板之第 1 主面黏貼支持基板的製程；

形成由上述半導體基板之第 2 主面到達上述鋱墊電極表面之通孔的製程；

在包含上述通孔內之上述半導體基板之第 2 主面之全面形成絕緣膜的製程；

蝕刻上述絕緣膜，去除上述通孔底部之絕緣膜的製程；

形成通過上述通孔電氣連接於上述鋱墊電極，且由上述通孔延伸於上述第 2 主面上的配線層之製程；

在上述配線層上形成導電端子的製程；及

將上述半導體基板分割為複數個半導體晶片之製程。

2. 如申請專利範圍第 1 項之半導體裝置製造方法，其中，

形成上述配線層的製程，係由電解電鍍法，或濺鍍法進行者。

3. 如申請專利範圍第 1 項之半導體裝置製造方法，係具有：

於上述絕緣膜上形成緩衝層之製程，而上述緩衝層係形成於除上述通孔附近外之上述半導體基板第 2 主

面之全面者。

4. 如申請專利範圍第 1 項之半導體裝置製造方法，其中，
將上述支持基板之熱膨脹係數設為 K_g ，將上述半
導體基板之熱膨脹係數設為 K_s 時，即成立 $0.7K_s \leq K_g$
 $\leq 1.3K_s$ 之關係。

5. 一種半導體裝置之製造方法，係具備：

於形成鋱墊電極之半導體基板之第 1 主面黏貼支
持基板的製程；

形成由上述半導體基板之第 2 主面到達上述鋱墊
電極表面通孔的製程；

在包含上述通孔內之上述半導體基板第 2 主面之
全面形成絕緣膜的製程；

蝕刻上述絕緣膜，去除上述通孔底部之絕緣膜的製
程；

形成一種埋入上述通孔內，且與上述鋱墊電極電氣
連接之埋入電極之製程；

於上述第 2 主面上形成緩衝層的製程；

形成與上述埋入電極電氣連接，且延伸於上述緩衝
層上之配線層之製程；

在上述配線層上形成導電端子的製程，及

將上述半導體基板分割為複數個半導體晶片之製
程。

6. 如申請專利範圍第 5 項之半導體裝置製造方法，其中，
形成上述埋入電極的製程，係由電解電鍍法，或濺

鍍法進行者。

7. 如申請專利範圍第 5 項之半導體裝置製造方法，其中，形成上述配線層的製程，係由電解電鍍法，或濺鍍法進行者。

8. 如申請專利範圍第 5 項之半導體裝置製造方法，其中，將上述支持基板之熱膨脹係數設為 K_g ，將上述半導體基板之熱膨脹係數設為 K_s 時，即成立 $0.7K_s \leq K_g \leq 1.3K_s$ 之關係。

9. 一種半導體裝置，係具有：

設於半導體基板之第 1 主面之鋅墊電極；

黏貼於上述半導體基板之第 1 主面之支持基板；

形成於上述半導體基板之由上述半導體基板之第 2 主面至上述鋅墊電極表面之通孔；

形成於上述半導體基板之第 2 主面之上述通孔附近以外的全面之緩衝層；

通過上述通孔與上述鋅墊電極形成電氣連接，且由上述通孔延伸於上述緩衝層上之配線層；及

形成於延伸在上述緩衝層上的配線層部分上，而與該配線層部分形成電氣連接的導電端子。

10. 如申請專利範圍第 9 項之半導體裝置，其中具有：

形成於上述通孔側壁，將上述配線層及上述半導體晶片予以電氣絕緣之絕緣層。

11. 如申請專利範圍第 9 項之半導體裝置，其中，

將上述支持基板之熱膨脹係數設為 K_g ，將上述半

1245379

導體基板之熱膨脹係數設為 K_S 時，即成立 $0.7K_S \leq K_g \leq 1.3K_S$ 之關係。