



(12) 发明专利

(10) 授权公告号 CN 1679116 B

(45) 授权公告日 2011.04.27

(21) 申请号 03805239.3

(22) 申请日 2003.01.06

(30) 优先权数据

10/035,197 2002.01.04 US

(85) PCT申请进入国家阶段日

2004.09.03

(86) PCT申请的申请数据

PCT/US2003/000239 2003.01.06

(87) PCT申请的公布数据

W003/058634 EN 2003.07.17

(73) 专利权人 微米技术有限公司

地址 美国爱达荷州

(72) 发明人 J·莫雷 J·巴克

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 王岳 王勇

(51) Int. Cl.

G11C 11/34(2006.01)

(56) 对比文件

US 5883827 A, 1999.03.16, 说明书第 8 栏 8-15 行, 第 2 栏 6-10 行、附图 1, 2, 6, 7.

全文.

US 6314014 B1, 2001.11.06, 全文.

US 6462981 B2, 2002.10.08, 说明书第 6 栏 11 行 - 第 7 栏 37 行, 第 11 栏 13-25 行、附图 1, 2, 4.

审查员 林萍娟

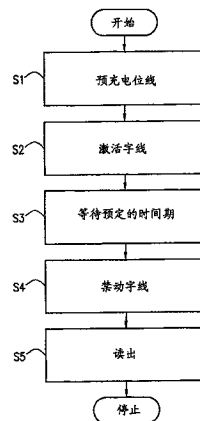
权利要求书 4 页 说明书 10 页 附图 10 页

(54) 发明名称

存储器件和基于处理器的系统

(57) 摘要

本发明涉及用于读出 PCRAM 存储单元而不刷新该单元的方法和设备。传感放大器读出可编程导体存储单元但不重写该单元的内容。如果可编程触点存储单元具有接入晶体管,则接入晶体管被断开以在预定时间量后把该单元从位线分离。预定时间量足够长,以使该单元的逻辑状态被传输到位线,还足够短,以在传感放大器操作之前把该单元与位线隔离。对于不使用接入晶体管的可编程触点存储单元,可在从传感放大器到隔离晶体管的位线部分和从隔离晶体管到存储单元位线的部分之间串行连接隔离晶体管。通常导通的隔离晶体管在位线开始通过可编程触点存储单元放电时间的预定时间之后被断开,从而在传感操作开始之前把可编程触点存储单元与传感放大器隔离。



1. 一种存储器件,包括:

用于从可编程导体随机存取存储器单元读数据的装置,所述装置包括:

接入电路,用于在读操作期间把所述可编程导体随机存取存储器单元耦合在编址和启动的字线与编址和启动的位线之间;

被耦合到所述编址和启动的位线的读出放大器,用于读出所述可编程导体随机存取存储器单元的逻辑状态;以及

防止电路,用于防止所述可编程导体随机存取存储器单元响应所述读操作而被刷新,所述防止电路包括晶体管,所述晶体管被连接在所述编址和启动的字线和用于所述编址和启动的字线的驱动器或地之间或者被连接在所述编址和启动的位线和所述读出放大器之间,

其中所述防止电路在所述可编程导体随机存取存储器单元的逻辑状态被转移到所述编址和启动的位线之后并且在所述读出放大器读出所述可编程导体随机存取存储器单元的逻辑状态之前使得所述编址和启动的字线被禁动。

2. 如权利要求 1 所述的存储器件,其中所述晶体管使所述编址和启动的字线被禁动。

3. 如权利要求 2 所述的存储器件,其中所述晶体管被串联连接在所述编址和启动的字线和用于所述编址和启动的字线的驱动器之间,并且在所述读操作期间被导通并且被断开以便禁动所述编址和启动的字线。

4. 如权利要求 2 所述的存储器件,其中所述晶体管被连接在所述编址和启动的字线和地之间,并且在所述读操作期间被断开并且被导通以便禁动所述编址和启动的字线。

5. 如权利要求 1 所述的存储器件,其中所述晶体管被串联连接在所述编址和启动的位线和所述读出放大器之间,所述串联连接的晶体管在读操作期间被导通并且在所述可编程导体随机存取存储器单元能够被刷新之前被断开。

6. 如权利要求 1 所述的存储器件,其中所述防止电路在所述可编程导体随机存取存储器单元开始把逻辑状态转移到所述编址和启动的位线之后使得所述编址和启动的字线被禁动预定时间量。

7. 如权利要求 6 所述的存储器件,其中所述读出放大器还包括第一读出放大器部分和第二读出放大器部分。

8. 如权利要求 7 所述的存储器件,其中所述预定时间量是在所述第一读出放大器部分被启动之后并且在所述第二读出放大器部分被启动之前。

9. 如权利要求 7 所述的存储器件,其中所述第一读出放大器部分是 N- 读出放大器,而所述第二读出放大器部分是 P- 读出放大器。

10. 如权利要求 1 所述的存储器件,还包括:

预充电电路,用于将编址和启动的位线以及另一位线预充电到预充电电压,其中所述编址和启动的位线以及所述另一位线被耦合到读出放大器。

11. 如权利要求 10 所述的存储器件,其中所述预充电电路在读出放大器读出所述编址和启动的位线之前对编址和启动的位线以及另一位线进行预充电。

12. 一种基于处理器的系统,包括:

处理器;和

存储器,所述存储器还包括:

用于从可编程导体随机存取存储器单元读数据的装置,所述装置包括:

接入电路,用于在读操作期间把所述可编程导体随机存取存储器单元耦合在编址和启动的字线与编址和启动的位线之间;

被耦合到所述编址和启动的位线的读出放大器,用于读出所述可编程导体随机存取存储器单元的逻辑状态;以及

防止电路,用于防止所述可编程导体随机存取存储器单元响应所述读操作而被刷新,所述防止电路包括晶体管,所述晶体管被连接在所述编址和启动的字线和用于所述编址和启动的字线的驱动器或地之间或者被连接在所述编址和启动的位线和所述读出放大器之间,

其中所述防止电路在所述可编程导体随机存取存储器单元的逻辑状态被转移到所述编址和启动的位线之后并且在所述读出放大器读出所述可编程导体随机存取存储器单元的逻辑状态之前使得所述编址和启动的字线被禁动。

13. 如权利要求 12 所述的系统,其中所述晶体管使得所述编址和启动的字线被禁动。

14. 如权利要求 13 所述的系统,其中所述晶体管被串联连接在所述编址和启动的字线和用于所述编址和启动的字线的驱动器之间,并且在所述读操作期间被导通并且被断开以便禁动所述编址和启动的字线。

15. 如权利要求 13 所述的系统,其中所述晶体管被连接在所述编址和启动的字线和地之间,并且在所述读操作期间被断开并且被导通以便禁动所述编址和启动的字线。

16. 如权利要求 12 所述的系统,其中所述晶体管被串联连接在编址和启动的位线和与编址和启动的位线相关联的读出放大器之间,所述串联连接的晶体管在读操作期间被导通并且在所述可编程导体随机存取存储器单元能够被刷新之前被断开。

17. 如权利要求 12 所述的系统,其中所述防止电路在所述可编程导体随机存取存储器单元开始把逻辑状态转移到所述编址和启动的位线之后使得所述编址和启动的字线被禁动预定时间量。

18. 如权利要求 17 所述的系统,其中所述读出放大器还包括第一读出放大器部分和第二读出放大器部分。

19. 如权利要求 18 所述的系统,其中所述预定时间量是在所述第一读出放大器部分被启动之后并且在所述第二读出放大器部分被启动之前。

20. 如权利要求 18 所述的系统,其中所述第一读出放大器部分是 N- 读出放大器,而所述第二读出放大器部分是 P- 读出放大器。

21. 如权利要求 12 所述的系统,还包括:

预充电电路,用于将编址和启动的位线以及另一位线预充电到预充电电压,其中所述编址和启动的位线以及所述另一位线被耦合到读出放大器。

22. 如权利要求 21 所述的系统,其中所述预充电电路在读出放大器读出所述编址和启动的位线之前对编址和启动的位线以及另一位线进行预充电。

23. 一种用于从可编程导体随机存取存储器单元读数据的方法,所述方法包括步骤:

将编址的位线和参考位线预充电到预定的预充电电压;

启动包含所述可编程导体随机存取存储器单元的编址的字线并且把所述可编程导体随机存取存储器单元中的逻辑值转移到相关联的编址的位线;

在所述可编程导体随机存取存储器单元的所述逻辑值被转移到所述编址的位线之后，禁动所述编址的字线；

在所述编址的字线被禁动之后读出被转移到所述编址的位线的逻辑值；以及

在读出放大器读出所述可编程导体随机存取存储器单元的逻辑值之前通过启动晶体管以防止所述可编程导体随机存取存储器单元因所述读出操作而被刷新，所述晶体管被连接在所述编址的字线和用于所述编址的字线的驱动器或地之间或者被连接在所述编址的位线和所述读出放大器之间。

24. 如权利要求 23 所述的方法，其中所述禁动是在启动包含所述可编程导体随机存取存储器单元的编址的字线之后的预定的时间量进行的。

25. 如权利要求 23 所述的方法，其中所述读出放大器包括第一读出放大器单元和第二读出放大器单元，其中所述读出进一步包括，

启动第一读出放大器单元；以及

在所述第一读出放大器单元启动之后的第二预定时间启动第二读出放大器单元。

26. 如权利要求 25 所述的方法，其中所述禁动是在编址的字线的所述启动之后的第一预定时间量进行的。

27. 如权利要求 26 所述的方法，其中所述第一预定时间量是在所述第一读出放大器单元的所述启动之后并且在所述第二读出放大器单元的所述启动之前。

28. 如权利要求 26 所述的方法，其中所述第一预定时间量是在所述第一读出放大器单元的所述启动之前并且在所述第二读出放大器单元的所述启动之前。

29. 一种用于从可编程导体随机存取存储器单元读数据的方法，所述方法包括步骤：

启动连接到所述可编程导体随机存取存储器单元的编址的字线并且把所述可编程导体随机存取存储器单元中的逻辑值转移到相关联的编址的位线；

断开位于相关联的编址的位线上的并且串联连接读出放大器和所述可编程导体随机存取存储器单元的隔离晶体管，其中所述断开是在编址的字线的所述启动之后的第一预定时间量进行的；以及

在所述断开之后在读出放大器处读出被转移到所述位线的所述可编程导体随机存取存储器单元的逻辑值。

30. 如权利要求 29 所述的方法，其中所述读出放大器包括第一读出放大器单元和第二读出放大器单元，其中所述读出进一步包括，

启动第一读出放大器单元；以及

在所述第一读出放大器单元的所述启动之后的第二预定时间启动第二读出放大器单元。

31. 如权利要求 30 所述的方法，其中所述第一预定时间量是在所述第一读出放大器单元的所述启动之后并且在所述第二读出放大器单元的所述启动之前。

32. 如权利要求 30 所述的方法，其中所述第一预定时间量是在所述第一读出放大器单元的所述启动之前并且在所述第二读出放大器单元的所述启动之前。

33. 一种用于从可编程导体随机存取存储器单元读数据的方法，所述方法包括步骤：

对被耦合到可编程导体随机存取存储器单元的第一位线进行预充电，所述可编程导体随机存取存储器单元包括可编程导体存储元件；

预充电第二位线；

增加在所述第一位线上的电压；

接通所述可编程导体随机存取存储器单元的接入晶体管以便把可编程导体存储元件耦合到所述第一位线；

禁动编址的字线以断开所述可编程导体随机存取存储器单元的接入晶体管，以便把可编程导体存储元件与所述第一位线分离；以及

在读出放大器处读出所述第一位线和所述第二位线上的电压，以便确定所述可编程导体存储元件的逻辑状态；

其中所述禁动是在所述读出之前的预定的时间执行的并且所述第二位线在通过读出操作被改变之前保持预充电电压。

34. 一种用于从可编程导体随机存取存储器单元读数据的方法，所述方法包括步骤：

接通隔离晶体管，以便把第一位线耦合到读出放大器，所述第一位线还被耦合到可编程导体随机存取存储器单元的可编程导体存储元件；

预充电所述第一位线；

预充电第二位线；

增加所述第一位线上的电压；

断开所述隔离晶体管，以便把所述可编程导体存储元件与所述读出放大器分离；

读出所述第一位线和所述第二位线上的电压，以便确定所述可编程导体存储元件的逻辑状态；

其中所述断开是在所述读出之前并在编址的字线的启动之后的第一预定时间量执行的。

## 存储器件和基于处理器的系统

### 发明领域

[0001] 本发明涉及集成存储电路。尤其涉及一种用于读出可编程导体随机存取存储器 (PCRAM) 单元的方法。

### [0002] 发明背景

[0003] 动态随机存储器 (DRAM) 集成电路阵列已经存在三十多年并且随着半导体制造技术与电路设计技术的进展而使存储容量显著增加。这两种技术的巨大进展还实现了高水平的集成,使得存储器阵列尺寸和成本的显著降低以及生产量的增加。

[0004] 图 1 是一个 DRAM 存储单元 100 的示意图,包括接入晶体管 101 和电容器 102。耦合到  $V_{cc}/2$  电位源和晶体管 101 的电容器 102 以电荷的形式储存数据的一个比特。通常,一个极性的电荷(例如对应于跨在  $+V_{cc}/2$  的电容器 102 上电位差的电荷)被存储在电容器 102 中以便表示一个二进制“1”,而一个相反极性的电荷(例如对应于跨在  $-V_{cc}/2$  的电容器 102 上电位差的电荷)则表示一个二进制“0”,晶体管 101 的栅极耦合到字线 103,从而使得该字线 103 控制该电容 102 是否经过该晶体管 101 导通耦合到位线 104。每一字线 103 的缺省状态是地电位,该地电位使得晶体管 101 被断开,因此与电容器 102 电绝缘。

[0005] 与 DRAM 单元 100 有关的缺陷之一是在该电容器 102 上的电荷可能随着时间而自然减少,即使该电容器 102 保持电绝缘。因此,DRAM 单元 100 需要周期地刷新。另外如下面所述,在存储单元 100 已经接入之后,例如作为读取操作的一部分,也需要刷新。

[0006] 图 2 示出包括多个存储器阵列 150a、150b 的存储装置 200。(在附图中通常以相同数字表示同样类型的元件。例如,图 2 中的传感放大器 300a 和 300b 与图 3 的传感放大器 300 具有完全相同的电路。小写的字母后缀通常用于区别相同类型的不同单元。但是,大写前缀,例如“N”和“P”可以表示与负或正类型变化相关的不同电路。)存储器阵列 150a、150b 的每一个都包括多个存储单元 100a-100d、100e-100h 通过铺放多个存储单元 100 排列在一起,使得存储单元 100 沿着任意给定的位线 104a、104a'、104b、104b' 不共享一个共用的字线 103a-103d。相反,存储单元 100 沿着任意字线 103 不共享一个共同的 104a、104a'、104b、104b'。每一个存储器阵列都具有其自己的位线组。例如,存储器阵列 150a 包括位线 104a、104b,而存储器阵列 150b 包括位线 104a'、104b'。存储器阵列 150a、150b 的每一个相邻对的位线被耦合到一个共用传感放大器 300a、300b。例如,位线 104a、104a' 耦合到传感放大器 300a,而位线 104b、104b' 耦合到传感放大器 300b。如下面解释的那样,传感放大器 300a、300b 被用于在存储单元 100a-100h 被读出时导通该传感 / 刷新部分。

[0007] 读出一个 DRAM 存储单元包括接入和传感 / 更新操作。

[0008] 存取操作的目的是把存储在电容器 102 上的电荷传送到与存储单元 100 相关的位线 104。通过把位线 104a、104b 的每一个耦合至一个电位源(没示出)存取操作开始把位线 104a、104a'、104b、104b' 的每一个预充电到一个预定的电位(例如  $V_{cc}/2$ )。位线 104a、104b 的每一个都被随后电断开。由于位线 104a、104a'、104b、104b' 的固有电容的作用,位线 104a、104a'、104b、104b' 将浮在该预定的电位。随后,通过把与正被读出的存储单元(例如 100a)相关的字线(例如 103a)的电位提高到使得晶体管 101a、101e 把该字线 103a 耦

合到栅极的一个电平来启动该字线 103a。应该指出,由于在位线 104 和字线 103 之间的固有寄生电容的原因,字线 103 的起动作使得在每一相关的位线 104 的电位稍有增加。但在通常的 DRAM 系统中,与在由于电荷共享引起的位线上的电位改变的幅值比较,这种电位变化的幅度是微不足道。因此,仅相对于 DRAM 系统来说,将省略该寄生电容效果的进一步的讨论。

[0009] 字线 103a 的起动作使得耦合到该字线 103a 的每一个存储单元 100a、100e 的每一电容器 102a、102e 与其相关的位线 104a、104b 共享其电荷。在另一阵列 150b 中的位线 104a'、104b' 保持在预充电的电位。这种电荷共享使得位线 104a、104b 的电位按照存储在电容器 102a、102e 中的电荷增减。由于仅一个存储器阵列的位线 104a、104b 改变了其电位,所以在每一传感放大器 300a、300b 在与该启动字线 103a 相关的位线 104a、104b 和与同一个传感放大器 300a、300b 相关的另一位线 104a'、104b' 之间生成一个差分电位。因此,该存取操作使得与正被读出的单元 100a 相关的位线 104a、104b 具有的电位大于或小于该预充电的电压。但是,在电位中的这种变化是小的,并且在其能被使用之前需要放大。

[0010] 该传感/刷新操作用于两个目的。首先,该传感/刷新操作在电位中的小变化放大到耦合到被访问的该单元的位线电位。如果该位线具有比该预充电的电位低一个电位,则该位线在传感过程中将被驱动到地电位。另外,如果该位线具有比该预充电的电位高的电位,则在传感过程中该位线将被驱动到  $V_{cc}$ 。该传感/刷新操作的第二个目的是把在被存取单元的电容器的中的电荷状态恢复到在该存取操作之前所具有的状态。由于该存取操作通过与该位线共享该电容器,所以冲淡了储存在该电容器上的电荷。

[0011] 图 3 是传感放大器 300 的一个详细示意图,包括一个 N- 传感放大器 310N 和一个 P- 传感放大器部分 310P。该 N- 传感放大器 310N 和 P- 传感放大器 310P 分别包括节点 NLAT\* 和 ACT。这些节点耦合到可控制的电位源(没示出)。节点 NLAT\* 被最初偏置到位线 104 的预充电电位(例如  $V_{cc}/2$ ),而节点 ACT 被最初偏置到地电位。在此初始状态中, N 和 P- 传感放大器 310N、310P 的晶体管 301-304 被截止。该传感/刷新操作是一种两段操作,其中该 N- 传感放大器 310N 被在该 P- 传感放大器 310P 之前触发。

[0012] 通过把节点 NLAT\* 的电位从预充电电位(例如  $V_{cc}/2$ ) 带向地电位而触发 N- 传感放大器 310N。随着节点 NLAT\* 和位线 104a、104a'、104b、104b' 之间的电位差接近 NMOS 晶体管 301、302 的阈值电位,栅极耦合到高电压位线的晶体管开始导通。这将使得低电压的位线朝向 NLAT\* 节点的电压放电。因此,当节点 NLAT\* 达到地电位时,低电压的位线也将达到地电位。由于其栅极耦合到正在向地放电的低电压的数位驱动线,所以另一 NMOS 晶体管决不导通。

[0013] 通过把节点 ACT 的电位从地电位带到  $V_{cc}$ , 触发该 P- 传感放大器 310P (在该 N- 传感放大器 310N 已经触发之后)。随着低电压的位线的电位接近地电位(由该 N- 传感放大器 310N 的在先触发引起),其栅极耦合到该低电位的位线的 PMOS 晶体管将开始导通。这将使得该最初高电位的位线被充电到  $V_{cc}$  的电位。在该 N 和 P- 传感放大器 310N、310P 都已经触发之后,该高电压位线将其电位升高到  $V_{cc}$ , 同时该低电位的位线将其电位减小到地电位。因此,触发传感放大器 310N、310P 的过程把由该存取操作产生的电位差放大到适于使用在数字电路的一个电平。具体地说,如果该存储单元 100a 存储一个对应于一个二进制 0 的一个充电电荷,则与正被读出的存储单元 100a 相关的位线 104a 被从  $V_{cc}/2$  的预充电电

位驱动到地电位；或如果该存储单元 100a 存储一个对应于一个二进制 1 的一个充电电荷，则与正被读出的存储单元 100a 相关的位线 104a 被从  $V_{cc}/2$  的预充电电位驱动到  $V_{cc}$  电位，从而使得耦合到位线 104a、104a' 的比较器（或差动放大器）350a 根据在信号线 351 上的单元 100a 中存储的数据而输出一个二进制 0 或 1。另外，最初存储在存取单元的电容器 102a 上的电荷被恢复到其预先存取状态。

[0014] 继续努力识别使用在存储单元中的存储元件的其它形式。最近的研究已经集中在能够被编程来展现更高或更低稳定的欧姆状态的阻性材料。这样的材料的一种可编程的电阻元件将能够被程序（设置）到一个高阻性状态，存储例如一个二进制“1”数据比特，或编程到一个低阻性状态，存储一个二进制“0”数据比特。能够通过检测由一个接入装置切换的经过该阻性存储元件的一个读出电流的幅值来提取该存储的数据位，从而指示其先前已经被编程到的该稳定的电阻状态。

[0015] 最近利用固态电解质，例如金属掺杂硫族化物制造的硫族化物玻璃已经被研究作为使用在存储装置，例如 DRAM 存储装置中的数据存储器的存储单元。美国专利 5761115、5896312、5914893 和 6084796 都描述了这种技术，并且在此引作参考。该存储单元被称之为可编程的导体单元（另外也称之为可编程的金属化单元）。这样的单元的特性是，通常包括固体金属电解质，例如金属掺杂硫族化物，和在该快离子导体的表面上的空间分离的阴极和阳极。该阴极和阳极的两端的电压的施加使其生长一个金属树枝状结晶，其改变该单元的电阻与电容，能因此被用于存储数据。

[0016] 一种特定折衷的可编程双稳态的阻性材料是包括 Ge:Se:Ag 的一个合金体系。包括一个硫族化物材料的一个存储元件具有一个自然稳态高阻性状态，但是能够利用来自适当极性的电压的一个电流脉冲经过该单元而被编程到一个低电阻状态。这使得一个可编程的导体，也称之为一个树枝状晶体在阳极和阴极之间生长而降低该单元的电阻。利用适当的电流脉冲和电压极性简单地改写一个硫族化物存储元件（写入该单元的反相将到一个低电阻状态），来重新编程该硫族化物存储元件，并且因此不需要被擦除。而且，硫族化物材料的存储元件是近乎非易失的，为了保持其编程后的低电阻状态，其仅需要很少（例如每周一次）被连接到电源或被刷新。这样的存储单元不同于 DRAM 单元，将不需要刷新就能够被存取。

[0017] 虽然例如与 DRAM 单元相关的那些传统的传感放大器电路能够读出可编程的导体随机存取存储器 (PCRAM) 单元，但是在一个 PCRAM 背景下不需要与这些传感放大器有关的自然刷新操作。实际上不希望 PCRAM 单元频繁重写，因为频繁重写将使得 PCRAM 单元变得对重写产生抵抗。因此，需要并且渴望一种电路和方法来读出 PCRAM 单元而不刷新它们。

## 发明概要

[0018] 本发明涉及一种方法和设备，用于读出一个 PCRAM 存储单元而不刷新该存储单元。在该 PCRAM 单元的可编程的导体已经耦合到其位线以后的一个预定的时间，该可编程导体被从该位线电分离。该预定的时间被选择在该 N 和 P- 传感放大器已经启动之前的一个时间点。以此方式，该 N 和 P- 传感放大器能够改变在该位线上的电位而不引起该改变的电位重写该 PCRAM 单元。在使用具有耦合到字线的栅极的接入晶体管的 PCRAM 阵列中，可以通过在该字线已经启动之后的预定的时间禁动该字线而实践本发明。在不包括接入晶体



管的 PCRAM 阵列中,可以在该 PCRAM 单元和该传感放大器之间的每一个位线上添加隔离晶体管,把该 PCRAM 单元从其相关的位线分离。

[0019] 本发明的一个方面涉及一种存储器件,包括:

[0020] 用于从可编程导体随机存取存储器单元读数据的装置,所述装置包括:

[0021] 接入电路,用于在读操作期间把所述可编程导体随机存取存储器单元耦合在编址和启动的字线与编址和启动的位线之间;

[0022] 被耦合到所述编址和启动的位线的读出放大器,用于读出所述可编程导体随机存取存储器单元的逻辑状态;以及

[0023] 防止电路,用于防止所述可编程导体随机存取存储器单元响应所述读操作而被刷新,所述防止电路包括晶体管,所述晶体管被连接在所述编址和启动的字线和用于所述编址和启动的字线的驱动器或地之间或者被连接在所述编址和启动的位线和所述读出放大器之间,

[0024] 其中所述防止电路在所述可编程导体随机存取存储器单元的逻辑状态被转移到所述编址和启动的位线之后并且在所述读出放大器读出所述可编程导体随机存取存储器单元的逻辑状态之前使得所述编址和启动的字线被禁动。

[0025] 本发明的另一个方面涉及一种基于处理器的系统,包括:

[0026] 处理器;和

[0027] 存储器,所述存储器还包括:

[0028] 用于从可编程导体随机存取存储器单元读数据的装置,所述装置包括:

[0029] 接入电路,用于在读操作期间把所述可编程导体随机存取存储器单元耦合在编址和启动的字线与编址和启动的位线之间;

[0030] 被耦合到所述编址和启动的位线的读出放大器,用于读出所述可编程导体随机存取存储器单元的逻辑状态;以及

[0031] 防止电路,用于防止所述可编程导体随机存取存储器单元响应所述读取操作而被刷新,所述防止电路包括晶体管,所述晶体管被连接在所述编址和启动的字线和用于所述编址和启动的字线的驱动器或地之间或者被连接在所述编址和启动的位线和所述读出放大器之间,

[0032] 其中所述防止电路在所述可编程导体随机存取存储器单元的逻辑状态被转移到所述编址和启动的位线之后并且在所述读出放大器读出所述可编程导体随机存取存储器单元的逻辑状态之前使得所述编址和启动的字线被禁动。

[0033] 本发明的另一个方面涉及一种用于从可编程导体随机存取存储器单元读数据的方法,所述方法包括步骤:

[0034] 将编址的位线和参考位线预充电到预定的预充电电压;

[0035] 启动包含所述可编程导体随机存取存储器单元的编址的字线并且把所述可编程导体随机存取存储器单元中的逻辑值转移到相关联的编址的位线;

[0036] 在所述可编程导体随机存取存储器单元的所述逻辑值被转移到所述编址的位线之后,禁动所述编址的字线;

[0037] 在所述编址的字线被禁动之后读出被转移到所述编址的位线的逻辑值;以及

[0038] 在读出放大器读出所述可编程导体随机存取存储器单元的逻辑值之前通过启动

晶体管以防止所述可编程导体随机存取存储器单元因所述读出操作而被刷新,所述晶体管被连接在所述编址的字线和用于所述编址的字线的驱动器或地之间或者被连接在所述编址的位线和所述读出放大器之间。

[0039] 本发明的另一个方面涉及一种用于从可编程导体随机存取存储器单元读数据的方法,所述方法包括步骤:

[0040] 启动连接到所述可编程导体随机存取存储器单元的编址的字线并且把所述可编程导体随机存取存储器单元中的逻辑值转移到相关联的编址的位线;

[0041] 断开位于相关联的编址的位线上的并且串联连接读出放大器和所述可编程导体随机存取存储器单元的隔离晶体管,其中所述断开是在编址的字线的所述启动之后的第一预定时间量进行的;以及

[0042] 在所述断开之后在读出放大器处读出被转移到所述位线的所述可编程导体随机存取存储器单元的逻辑值。

[0043] 本发明的另一个方面涉及一种用于从可编程导体随机存取存储器单元读数据的方法,所述方法包括步骤:

[0044] 对被耦合到可编程导体随机存取存储器单元的第一位线进行预充电,所述可编程导体随机存取存储器单元包括可编程导体存储元件;

[0045] 预充电第二位线;

[0046] 增加在所述第一位线上的电压;

[0047] 接通所述可编程导体随机存取存储器单元的接入晶体管以便把可编程导体存储元件耦合到所述第一位线;

[0048] 禁动编址的字线以断开所述可编程导体随机存取存储器单元的接入晶体管,以便把可编程导体存储元件与所述第一位线分离;以及

[0049] 在读出放大器处读出所述第一位线和所述第二位线上的电压,以便确定所述可编程导体存储元件的逻辑状态;

[0050] 其中所述禁动是在所述读出之前的预定的时间执行的并且所述第二位线在通过读出操作被改变之前保持预充电电压。

[0051] 本发明的另一个方面涉及一种用于从可编程导体随机存取存储器单元读数据的方法,所述方法包括步骤:

[0052] 接通隔离晶体管,以便把第一位线耦合到读出放大器,所述第一位线还被耦合到可编程导体随机存取存储器单元的可编程导体存储元件;

[0053] 预充电所述第一位线;

[0054] 预充电第二位线;

[0055] 增加所述第一位线上的电压;

[0056] 断开所述隔离晶体管,以便把所述可编程导体存储元件与所述读出放大器分离;

[0057] 读出所述第一位线和所述第二位线上的电压,以便确定所述可编程导体存储元件的逻辑状态;

[0058] 其中所述断开是在所述读出之前并在编址的字线的启动之后的第一预定时间量执行的。

[0059] 附图描述

[0060] 从下面参考附图给出的本发明示例实施例的详细描述中将显见本发明的上述和其它优点与特征,其中:

[0061] 图 1 是一个传统的 DRAM 单元的示意图;

[0062] 图 2 是一个传统的 DRAM 阵列的示意图;

[0063] 图 3 是一个传统的传感放大器的示意图;

[0064] 图 4 是一个 PCRAM 单元的示意图;

[0065] 图 5 是一个 PCRAM 阵列的示意图;

[0066] 图 6A 和 6B 是时序图,说明当一个 PCRAM 单元被分别以高阻和低阻状态读出时在该字与位线上的电压。

[0067] 图 7 是说明本发明方法的一个流程图;

[0068] 图 8 是基于一个处理器的系统框图,包括根据本发明原理的一个 PCRAM;

[0069] 图 9 是根据本发明第二最佳实施例的一个 PCRAM 阵列的示意图;和

[0070] 图 10 是供图 9 的 PCRAM 阵列利用的一个 PCRAM 单元的可选实施例的示意图。

[0071] 本发明最佳实施例的详细描述

[0072] 现在参见附图,其中相同的标号表示相同的部件,图 4 示出一个 PCRAM 单元 400,而图 5 示出由多个 PCRAM 单元 400a-400h 组成的一个存储装置 500。如图 4 中示出,PCRAM 单元 400 包括一个接入晶体管 401、一个可编程的导体存储元件 402 和一个单元板极 403。该接入晶体管 401 的栅极耦合到字线 405 而一端子耦合到一个位线 406。这种单元的一个阵列小部分在图 5 中示出,包括位线 406a、406a'、406b、406b',和字线 405a、405b、405c 和 405d。如图 5 所示,位线 406a、406b 耦合到各自的预充电电路 501a、105b,可切换地把一个预充电电位加到位线 406a、406a'、406b、406b'。该接入晶体管 401 的另一端耦合到可编程导体存储元件 402 的一个末端,同时该可编程导体存储元件 402 的另一末端耦合到一个单元板极 403。该单元板极 403 可以横跨复盖与耦合到几个其它 PCRAM 单元。该单元板极 403 还耦合到一个电位源。示例的实施例中,该电位源是  $1.25V(V_{dd}/2)$ 。

[0073] 接入晶体管 401 以及其它接入晶体管被描述为 N 型 CMOS 晶体管,但是应该理解,可以使用 P 型 CMOS 晶体管,只要相应地更改其它部件和电压的对应极性即可。该可编程的导体存储元件 402 最好由硫族化物制成,但是应该理解,任何其它对普通本专业技术人员已知的双稳定阻性材料也可被使用。在该示例的实施例中,当该可编程的导体存储元件 402 具有大约 10K 欧姆的一个电阻时存储一个二进制 0,而当其具有大于 10M 欧姆的一个电阻时存储一个二进制 1。通过一个 +0.25V 的电压理想地编程该可编程的导体以存储一个低电阻,例如二进制 0,而能够通过 -0.25V 的一个编程电压恢复到一个高阻值,例如二进制 1。该可编程导体能够通过具有小于 0.25V 的一个幅值的读出电压而被非破坏地读出。在示例的实施例中,该读出电压是 0.2V。但是显见的是,可以在不背离本发明精神和范围的条件针对 PCRAM 单元选择可选的参数。

[0074] 图 5 示出包括多个存储器阵列 550a、550b 的存储装置 500。每一存储器阵列 550a、550b 都包括由铺放多个存储单元 400 在一起的多个存储单元 400a-400d、400e-400h,使得沿着任意给定位线 406a、406a'、406b、406b' 的存储单元 400 不共用一个共同字线 405a-405d。相反地,该存储单元 400 沿着任意字线 405a-405d 不共享一个共用位线 406a、406a'、406b、406b'。每一字线可经由一个晶体管 510a-510d 切换到一个字线驱动器

512a-512d。另外,每一个字线还可以经由晶体管 520a-520d 可切换地耦合到地。晶体管 510a-510d、520a-520d 的栅极耦合到信号线 511a-511d,用于有选择地把字线 405a-405d 耦合到该字线驱动器 512a-512b/地,以及从该字线驱动器 512a-512b/地相分离。每一个存储器阵列 550a、550b 都具有其自己的位线设置。例如,存储器阵列 550a 包括位线 406a、406b,而存储器阵列 550b 包括位线 406a'、406b'。存储器阵列 550a、550b 的每一个相邻对的位线被耦合到一个共用传感放大器 600a、600b。例如,位线 406a、406a' 被耦合到传感放大器 600a,而位线 406b、406b' 被耦合到传感放大器 600b。为了简化起见,图 5 示出仅具有两个阵列 550a、550b 和八个单元 400a-400h 的一个存储装置。但是,应该理解,实际存储装置将有很多的单元与阵列。例如,一个真实的存储装置可以包括几百万个单元 400。

[0075] 存储装置 500 还包括多个预充电电路 501a-501b。一个预充电电路(例如 501a)用于每一对耦合到传感放大器(例如 406a、406a')的位线。每一预充电电路(例如 501a)包括两个晶体管(例如 501a、501b)。每一个晶体管的一端耦合到一个电位源。示例的实施例中,该电位源是 2.5V(V<sub>dd</sub>)。每一个晶体的另一端(例如 502a、502b)耦合到其对应位线(例如分别耦合到 406a、406a')。每一个晶体管(例如 502a、502b)的栅极耦合到一个预充电控制信号。如示出的那样,晶体管(例如 502a、502b)是 P-MOS 型晶体管。因此,当该预充电信号是低值时,晶体管(例如 502a、502b)导通,由此预充电该位线(例如 406a、406a')。当预充电信号是高值时,晶体管(例如 502a、502b)断开。由于该位线(例如 406a、406a')的固有电容,位线将保持在近似 2.5V 的预充电电压电平一个预定的时期。

[0076] 在该 PCRAM 装置 500 中,读出一个 PCRAM 单元,例如单元 400a,包括接入和传感操作。

[0077] 接入操作的目的是产生在耦合到该被读出的存储单元 400a 的同一个传感放大器(例如 300a)的位线(例如 406a、406a')之间的小电位差。此小电位差能够被随后由一个传感放大器 300 放大到随后驱动耦合到该位线的一个比较器所需求的阈值,以便输出端对应于该存储单元 400a 内容的一个值。现在参见图 7,接入操作从经过预充电电路 501a-501b 的存储装置 500 的位线 406a、406a'、406b、406b' 的预充电开始(步骤 S1)。可以通过暂态造成该预充电信号低值预充电该位线,使得晶体管 502a-502d 把该预充电电压(V<sub>dd</sub>)导通到该位线 406a、406a'、406b、406b'。一旦该预充电信号返回到一个高值状态,晶体管 502a-502d 停止导通,但由于该位线固有的电容,位线 406a、406a'、406b、406b' 将保持在该预充电电位一个预定的时期。

[0078] 在示例的实施例中,位线 406a、406a'、406b、406b' 被预充电到 2.5V,单元板极 403a、403b 被约束到 1.25V。位线和单元板极之间的该 1.25V 的电位差将使得该位线经过该接入晶体管 401(当其是在一个导通状态时)和该可编程导体存储元件 402 对该单元板极放电。该放电速率取决于该可编程导体存储元件 402 的阻性状态。即一个低阻性状态将使得该位线的放电比一个高阻性状态要快。随着位线放电,其电压将从该预充电电压向这单元板极电压下降。

[0079] 在存储装置 500 中,字线 405a-405d 通常是地电位。接入晶体管 401a-401e 是常态断开。现在参见图 6A 和 6B,在时间 T1,通过把与将要读出的单元 400a 相关的字线 405a 的电位从地带到预定的电平而启动该字线 405a(步骤 S2)。设计该预定的电平以产生在该可编程的触点 402a 的一个读出电压,如先前解释的那样,该读出电压具有小于写入电压的幅

值。在该示例的实施例中，字线 401a 被移到 2.25V。由于晶体管 401a 的门限电压是 0.8V，所以在晶体管 401a 和可编程的触点 402a 之间的接口的电位是 1.45V。由于在可编程的触点 402a 和该单元板极 403a 之间的接口电压被保持在 1.25V，所以这将产生 0.2V 的一个读出电压。

[0080] 由于在字线 401a 和其相关的位线 406a 之间的固有寄生电容，与位线 406a 相关的电位将随着字线 401a 的启动而增加。在该示例的实施例中，位线 406a 中的电位增加了 0.1V 而到 2.6V。应该指出，耦合到互补位线 406a'、406b' 的字线 405c、405d 被保持在地电位。因此位线 406a'、406b' 被保持在预充电电位，在该示例的实施例中是 2.5V。

[0081] 位线 406a 的该增加的电位与该可编程的触点 402a 的两个双稳态阻性状态组合使用，使得耦合到传感放大器（例如 300a）的一个位线（例如 406a）具有比耦合到同一个传感放大器 300a 的另一位线（例如 406a'）更大或更小的电压。实质上，在字线和相关位线之间的这种寄生电容被用于实现一个初始状态，其中与正被读出的单元 400a 相关的位线（例如 406a）是在比耦合到同一个传感放大器 300a 的另一位线 406a' 更高的电位。该存储器的设计和操作使得如果该可编程的触点 402a 具有一个高阻性状态，则位线 406a 缓慢放电，由此引起其保持它的相对高电位。但是，如果该可编程触点 402a 具有一个低阻性状态，则位线 406a 以一个较快速率放电，使得位线 406 转变到比位线 406a' 低的电位状态。可以通过比较图 6A（说明在高阻性状态的一个可编程触点的效果）和图 6B（说明在低阻性状态的一个可编程触点的效果）而看到这两个效果。

[0082] 在 T1 的一个预定的时间 t 之后的 T2（步骤 S3），通过把与单元 400a 相关的字线 405a 的电位返回到地电位而禁动该字线 405a 的读出（步骤 S4）。可以通过例如把端子 511a 接地来实现字线的禁动，这将使得晶体管 510a 把字线驱动器 512a 串联耦合到字线 405a，以便停止其导通。这将切断接入晶体管 401a、401、从而防止该位线通过可编程的触点 402a、402e 的进一步放电。这也防止了在该随后读出操作过程中生成的放大的电位差刷新（写）该可编程的触点 402a、402e。在很少的情况中，可能希望刷新该可编程触点 402a、402e 的内容，该字线能够被长时间地保持高电平。通过图 6A 和 6B 中的虚线轨迹示出这种操作模式。在该示例的实施例中，该预定的时间 t 近似为 15 纳秒（即  $T2 = T1 + 15\text{ns}$ ）

[0083] 应该指出，在不背离本发明精神的条件下，t 和 T2 的值可以改变。具体地说，本发明的目标将通过在该位线电压由传感放大器 310N、310P 放大到导致跨越该可编程触点的电位差达到写该可编程触点所需阈值之前的任何时候把该可编程触点从该位线电分离而实现的。所以，虽然图 6A 和 6B 示出 T2 出现在传感放大器 310N、310P 的任何一个的启动之前，但是根据存储装置 500 的电特性，T2 可以出现在例如该 N- 传感放大器 310N 和 P- 传感放大器 310P 的启动之间。无论如何，预定的时间 t 必须足够的长，以便使得该可编程导体 402a 的逻辑状态被反映在该位线 406a 上；即，该位线 406a 电压将通过该可编程导体 402a 的放电从该预充电电压充分地改变，使得该可编程导体 402a 的两个阻性状态能够由该传感放大器 300a 区别和放大。

[0084] 在时间周期 T3，启动 N- 传感放大器 310N（步骤 S5 的开始）。如前面参考 DRAM 系统指出的那样，启动该 N- 传感放大器使得具有较低电位的位线（例如 406a'）被以该 NLAT 信号拉向地。在该示例的实施例中，T3 近似为 T1 之后的 30 纳秒。但应该指出，在不背离本发明精神的条件下，T3 的值可以改变。

[0085] 在时间周期 T4, 启动传感放大器 310P。如前面参考 DRAM 系统指出的那样, 启动该 P- 传感放大器使得具有较高电位的位线 (例如 406a) 被拉向 Vcc。在示例的实施例中, T4 近似为 T1 之后的 35 纳秒 (步骤 S5 的结束)。但应该指出, 在不背离本发明精神的条件下, T4 的值可以改变。

[0086] 在时间 T5, 与正被读出的单元 400a 相关的传感放大器 300a 将使其位线之一 (例如 406a) 在 Vcc 电位而另一位线 (例如 406a') 在地电位。由于耦合到传感放大器 300a 的一个位线现在是地电位而另一位线是 Vcc 电位, 所以比较器 (或差动放大器) 350 可用于输出对应于在信号线 351a 上的单元 400a 的内容的一个值。

[0087] 图 9 示出根据本发明其它实施例的存储装置 900。这一可选实施例设计供不包括接入晶体管 401 的 PCRAM 单元使用。例如, 图 10 示出一个 PCRAM 单元 400' 的实例, 其使用了一对二极管 1001a、1001b 替代一个接入晶体管。如示出的那样, 该 PCRAM 单元 400' 特征在于耦合到一个位线 104 的可编程导体存储元件 402。该可编程导体存储元件 402 还经由二极管电路 1002 耦合到字线。二极管电路由如图所示的并列放置的两个二极管 1001a、1001b 组成。

[0088] 存储装置 900 很类似于第一实施例的存储装置 500。但是, 存储装置 900 包括新的隔离晶体管 901a-901d, 把传感放大器 300a、300d 串联连接到位线 406a、406a'、406b、406b'。本发明存储装置 900 中的操作方式很类似于存储装置 500, 但是不是在检测之前禁动字线 405a 来把存储单元 400a 从位线 406a 上的放大电压电分离, 而是把通常导通的隔离晶体管 901a 断开, 从而分路该位线 406a。然后传感该晶体管 901a 和该传感放大器 300a 之间的位线部分, 同时把晶体管 901a 和预充电电路 501a 之间的位线部分与传感放大器隔离。

[0089] 图 8 是基于一个处理器的系统 800, 例如一个计算机系统的框图, 包括与另一图结合描述的一个 PCRAM 半导体存储器 802。存储器 802 可以构成作为安装在一个存储器模块, 例如象 SIMM、DIMM 的加载存储器模块或者其它加载存储器模块上的一个或者多个存储器芯片或存储器集成电路。该基于处理器的系统 800 包括处理器 801、存储器 802、大容量存储器 803、和 I/O 装置 804, 每一都耦合到总线 805。虽然示出的是单个处理器 801, 但是应该理解该处理器 801 可以是任意类型的处理器, 并且可以包括多重处理器和 / 或几个处理器以及协处理器。图 9 示出的存储器 802 具有多个 PCRAM 码段 500。但是, 存储器 802 可以只包括单一 PCRAM 装置 500, 或比示出的情况更大的多个 PCRAM 装置 500, 和 / 或可以包括另外的存储器形式, 例如非易失存储器或高速缓存存储器。虽然示出的是一个大容量存储器 803, 但该基于处理器的系统 800 可以包括多个大容量存储装置, 可能的不同类型不局限地包括例如软盘、CDROM、CD-R、CD-RW、DVD、硬盘和盘阵列。I/O 装置 804 可同样地包括多个不同类型的 I/O 装置, 不局限地包括键盘、鼠标、图形卡、监视器、和网络接口。总线 805 虽然以单一总线示出, 但是可以包括多个总线和 / 或桥接器, 它们可以彼此耦合或通过其它部件桥接。装置 801-804 的某些可能仅耦合到总线 805, 而其它可以耦合到多个总线 805。

[0090] 本发明提供了一种 PCRAM 单元 400 以及使用传感放大器读出该单元 400 的内容但不重写该单元内容的方法。通过在该可编程的导体 402 已经电耦合到该位线 406 之后的一预定时间量而把该单元 400 的可编程导体 402 与位线 406 隔离来实现防止重写。该预定的时间量对应于 N 和 P- 传感放大器 310N、310P 的启动时间之前的一个时间。在示例的实施例中, 该 PCRAM 单元 400 一个接入晶体管 401, 用于该单元到位线的电耦合和去耦合。该接

入晶体管 401 具有耦合到一个字线的一个栅极。所以,在示例的实施例中,该字线在其已经启动之后被禁动预定的时间量,从而保证该 N 和 P- 传感放大器 310N、310P 的启动不重写该单元 400。在另一个实施例中,该 PCRAM 单元 400 不包括接入晶体管。例如该 PCRAM 单元改为使用二极管。在任何不用接入晶体管的实施例中,隔离晶体管可被插入在该可编程序的触点存储单元和与该可编程的触点存储单元相关的位线之间。该通常导通的隔离晶体管可在该字线已经启动之后的与最佳实施例相同的预定的时间被断开,从而实现把该可编程的触点存储单元与在读出过程中产生的升高的电压隔离的同样结果。

[0091] 虽然已经结合最佳实施例详细描述了本发明,但是应该理解,本发明并不局限于上述公开的实施例。相反,本发明能够结合至今没有所述但是与本发明的精神和范围相称的数目变化、更改、替代或等效设计上改进。因此,本发明将不由上述说明或附图所限制,而是仅由所附的权利要求书的范围所限定。

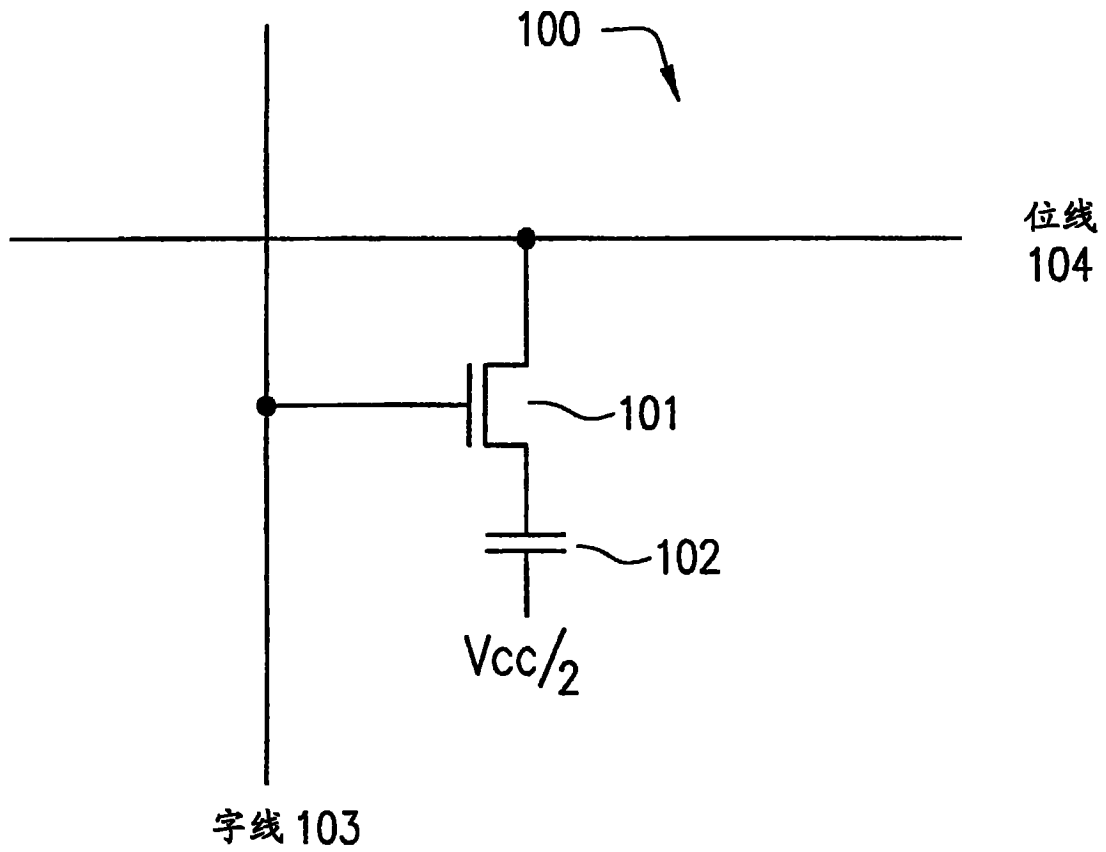


图 1

已有技术



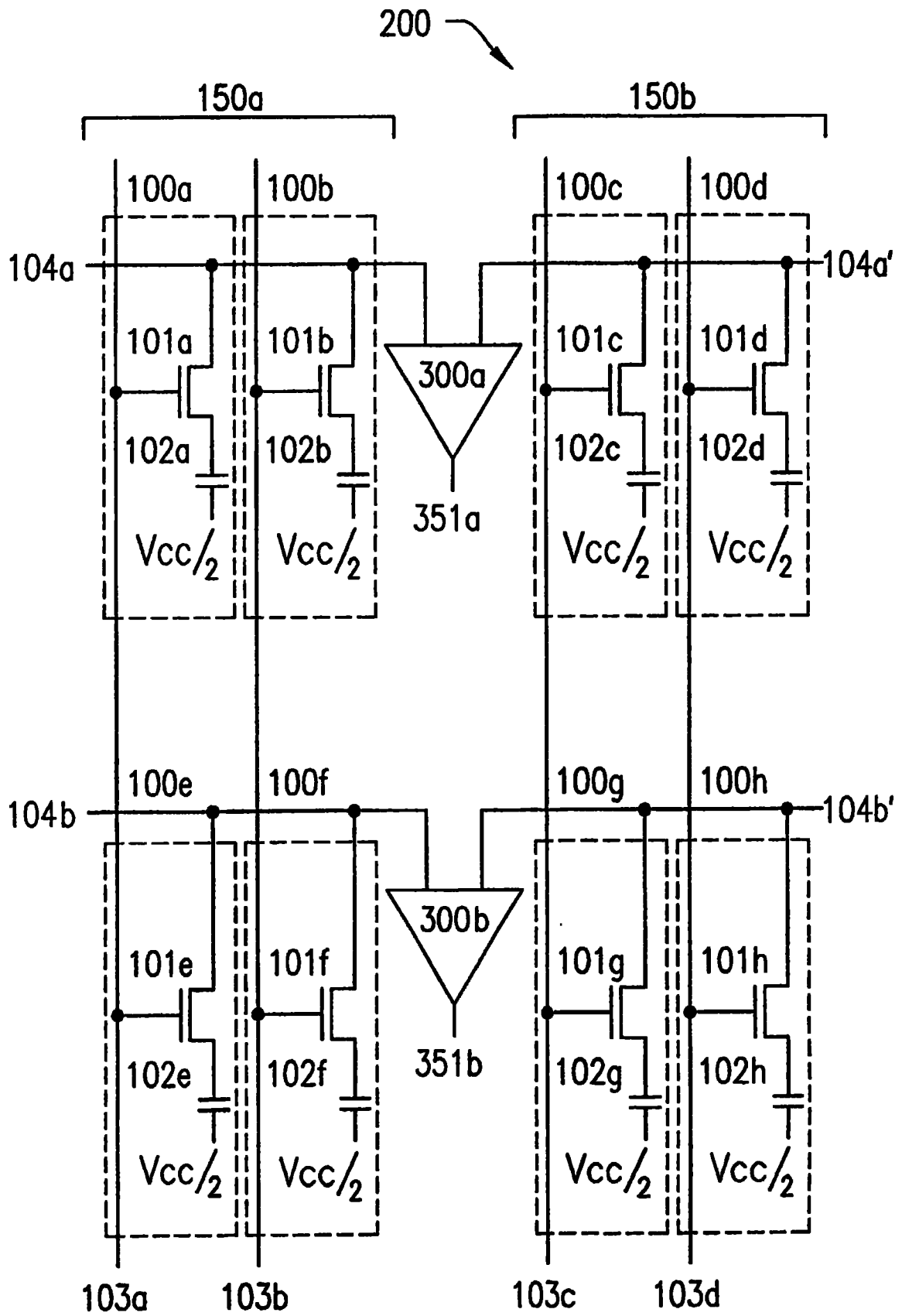


图2 已有技术

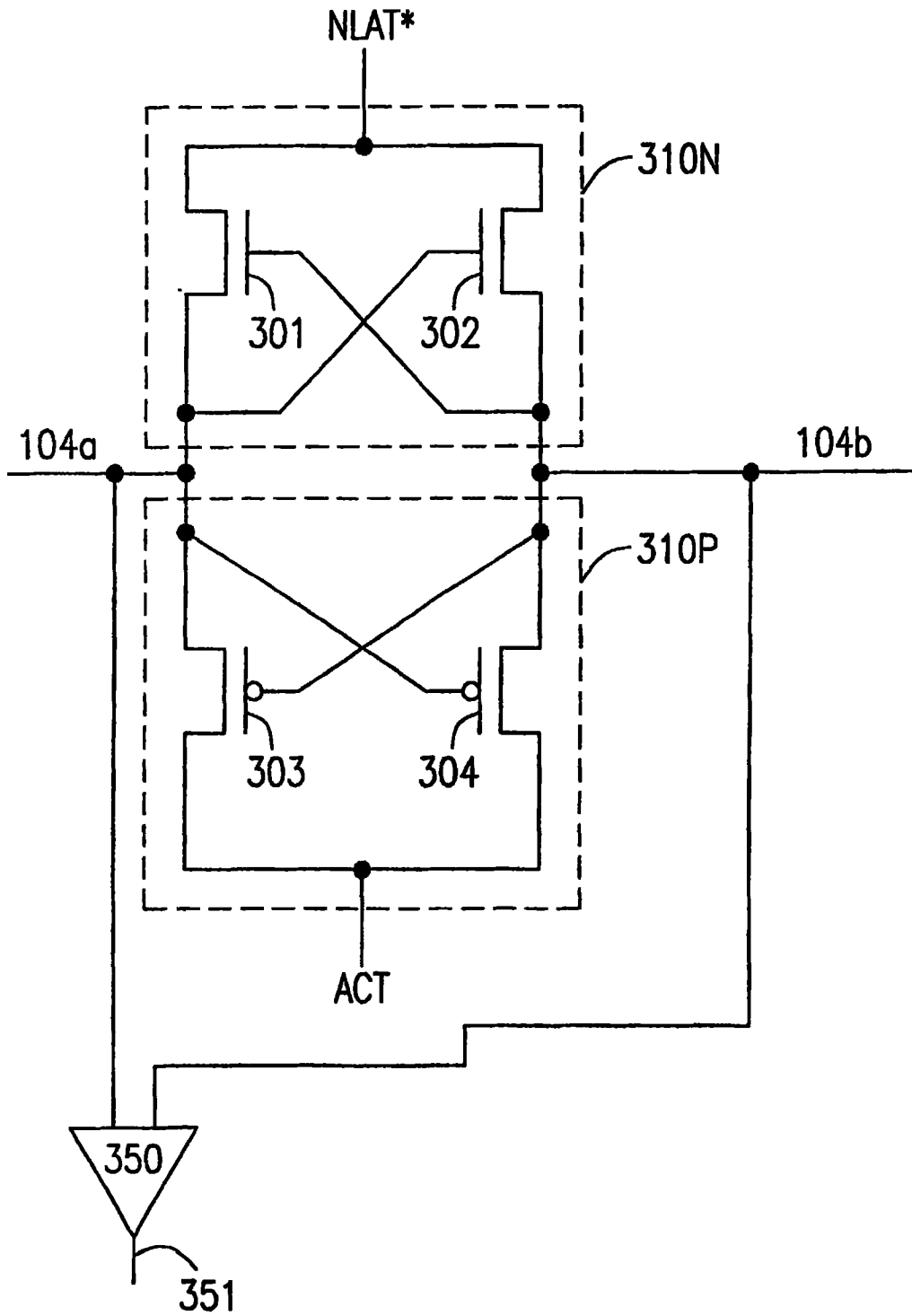


图 3 已有技术

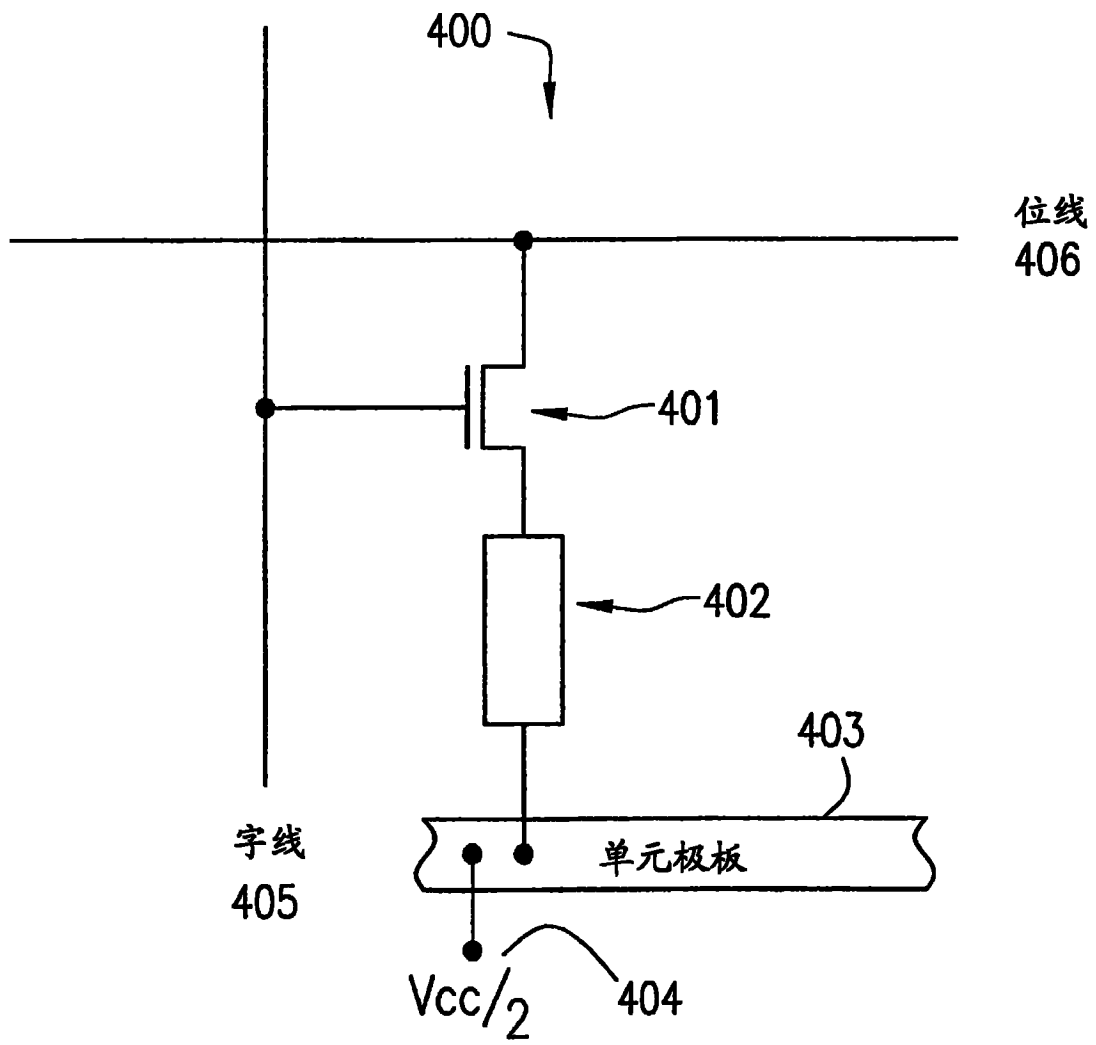


图 4

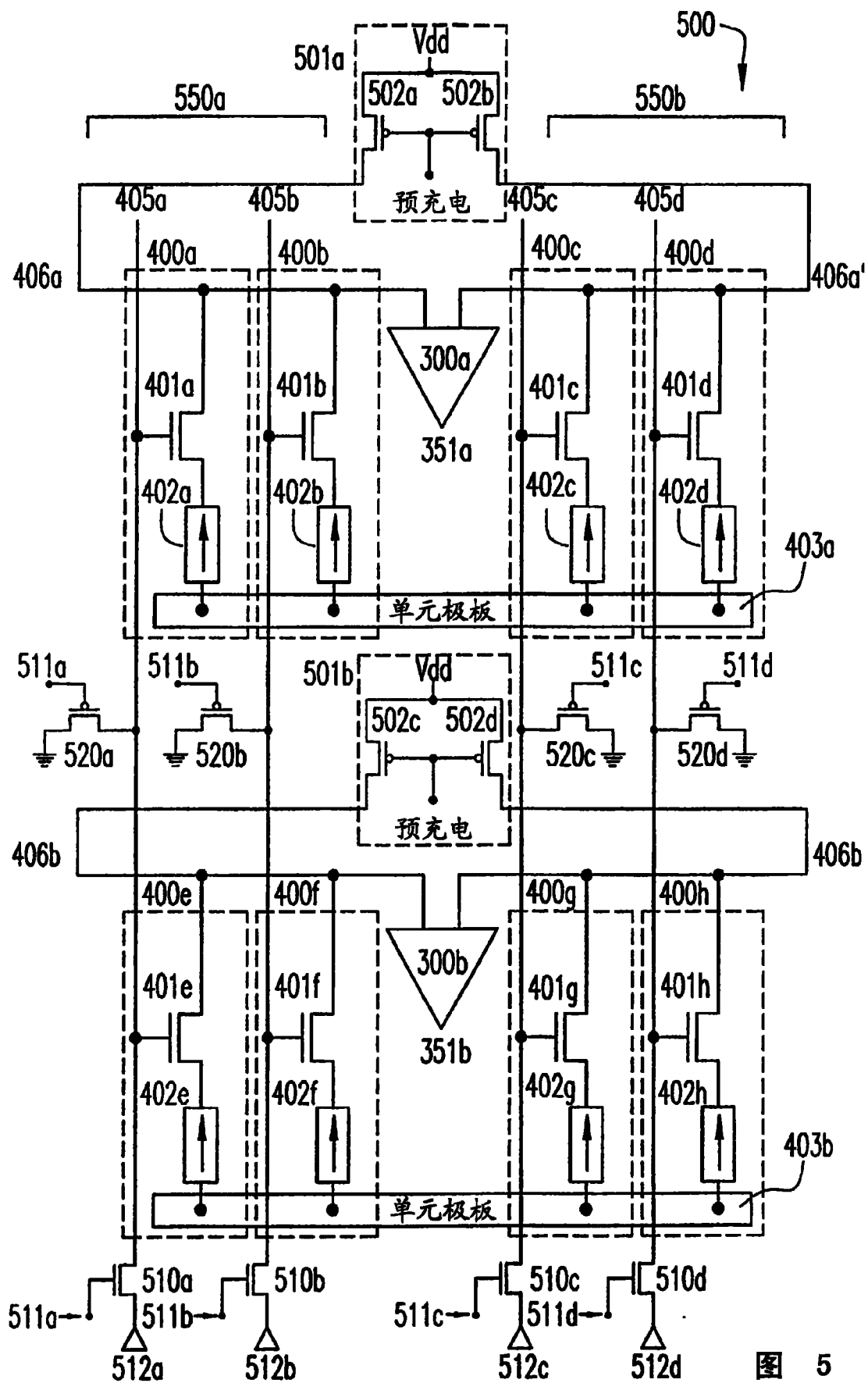


图 5

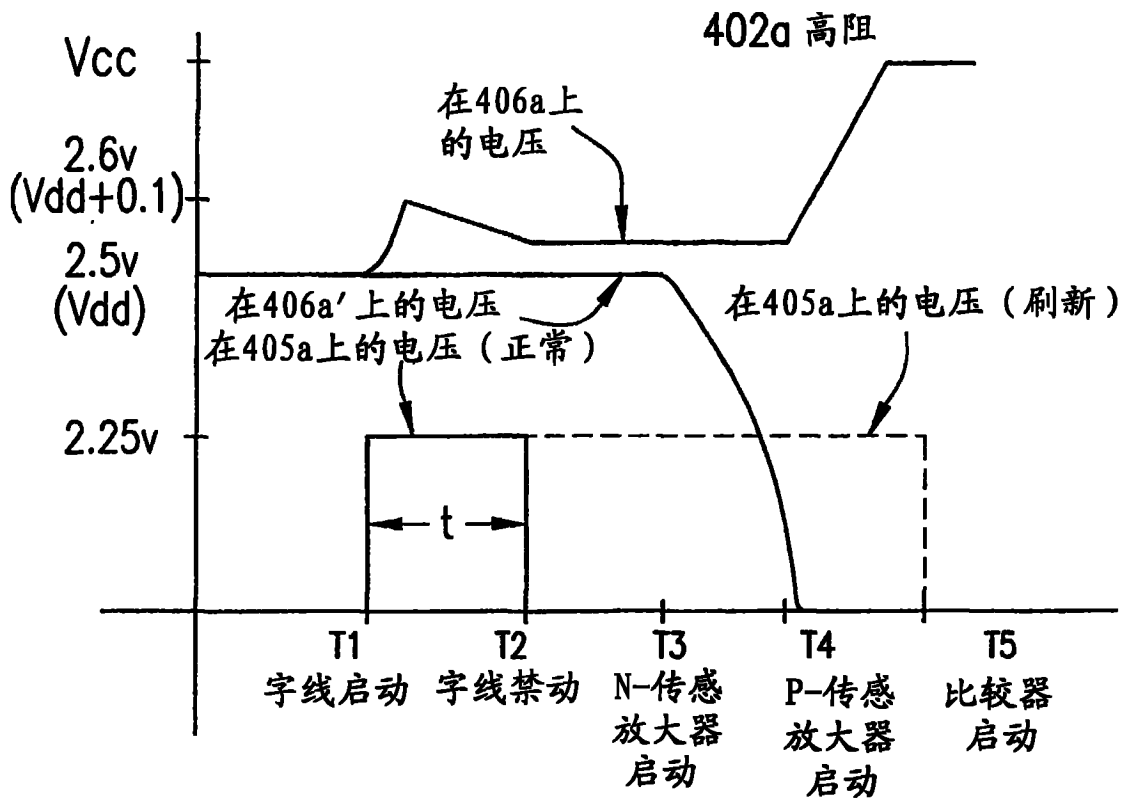


图 6A

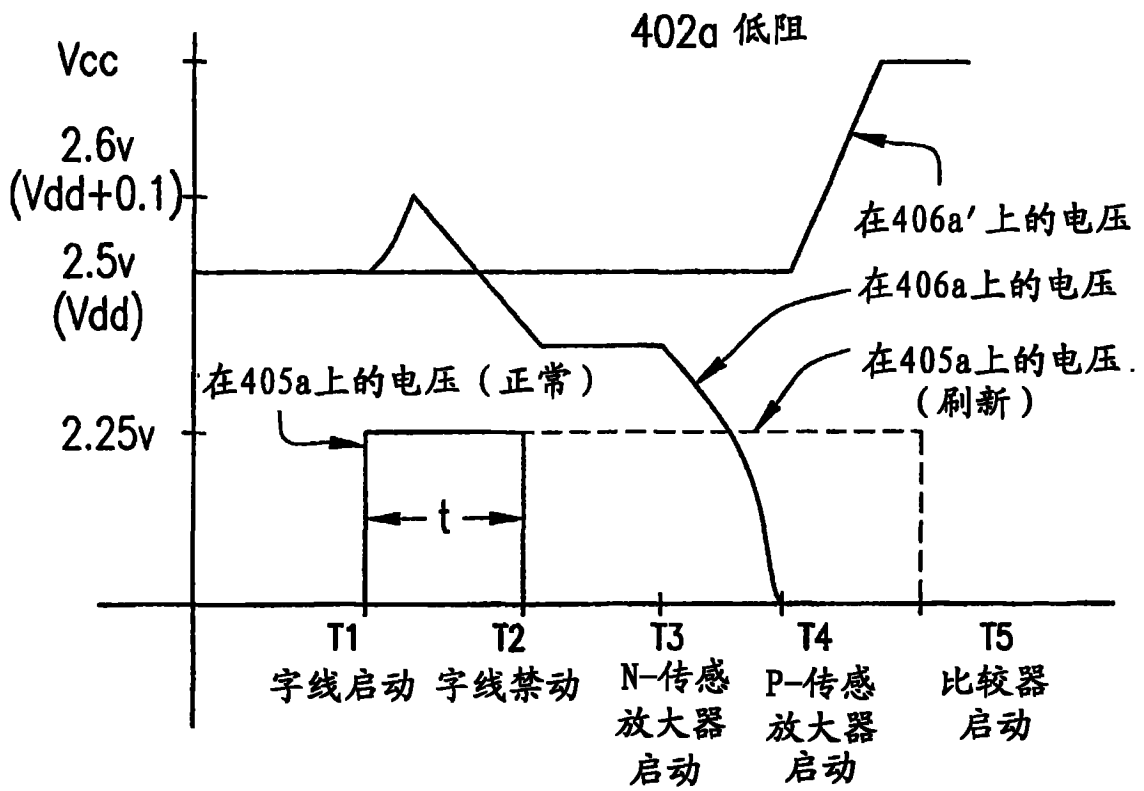


图 6B

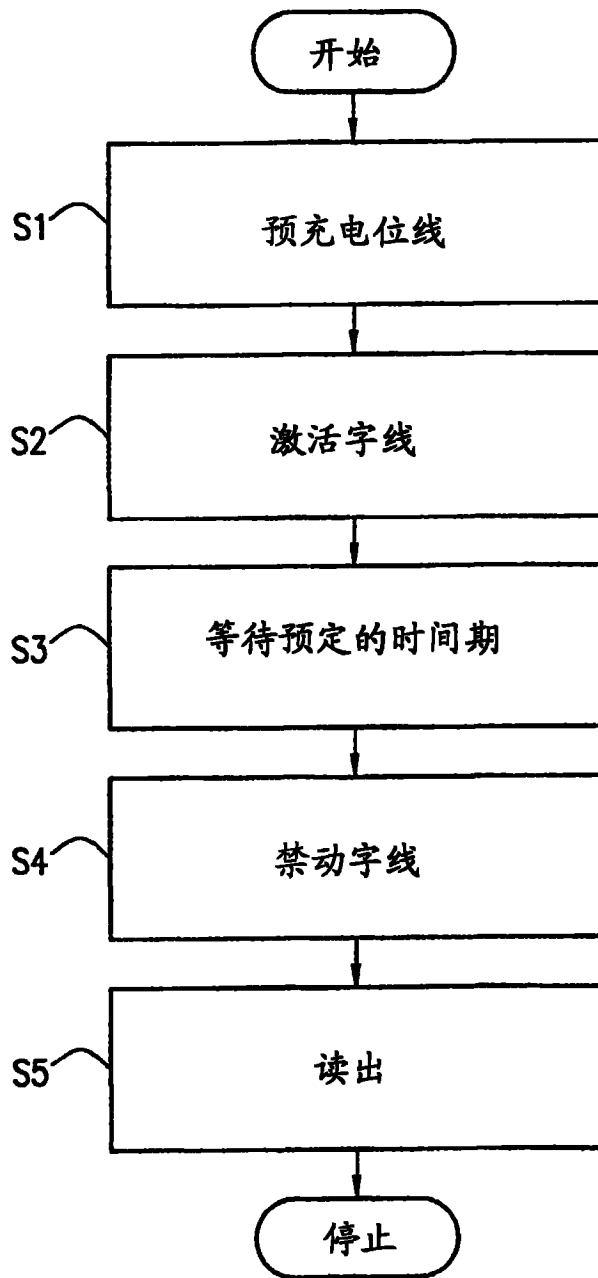


图 7

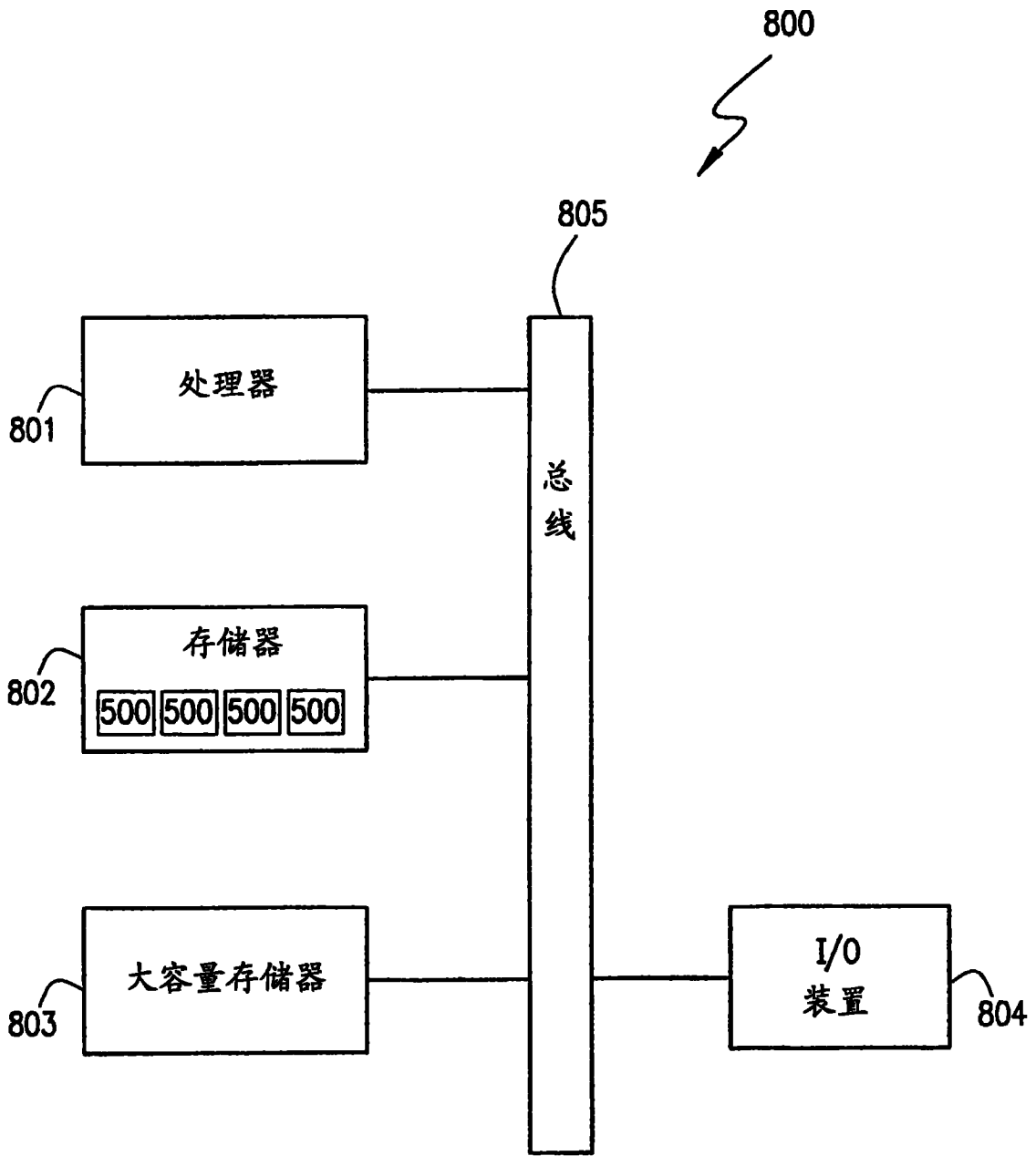


图 8

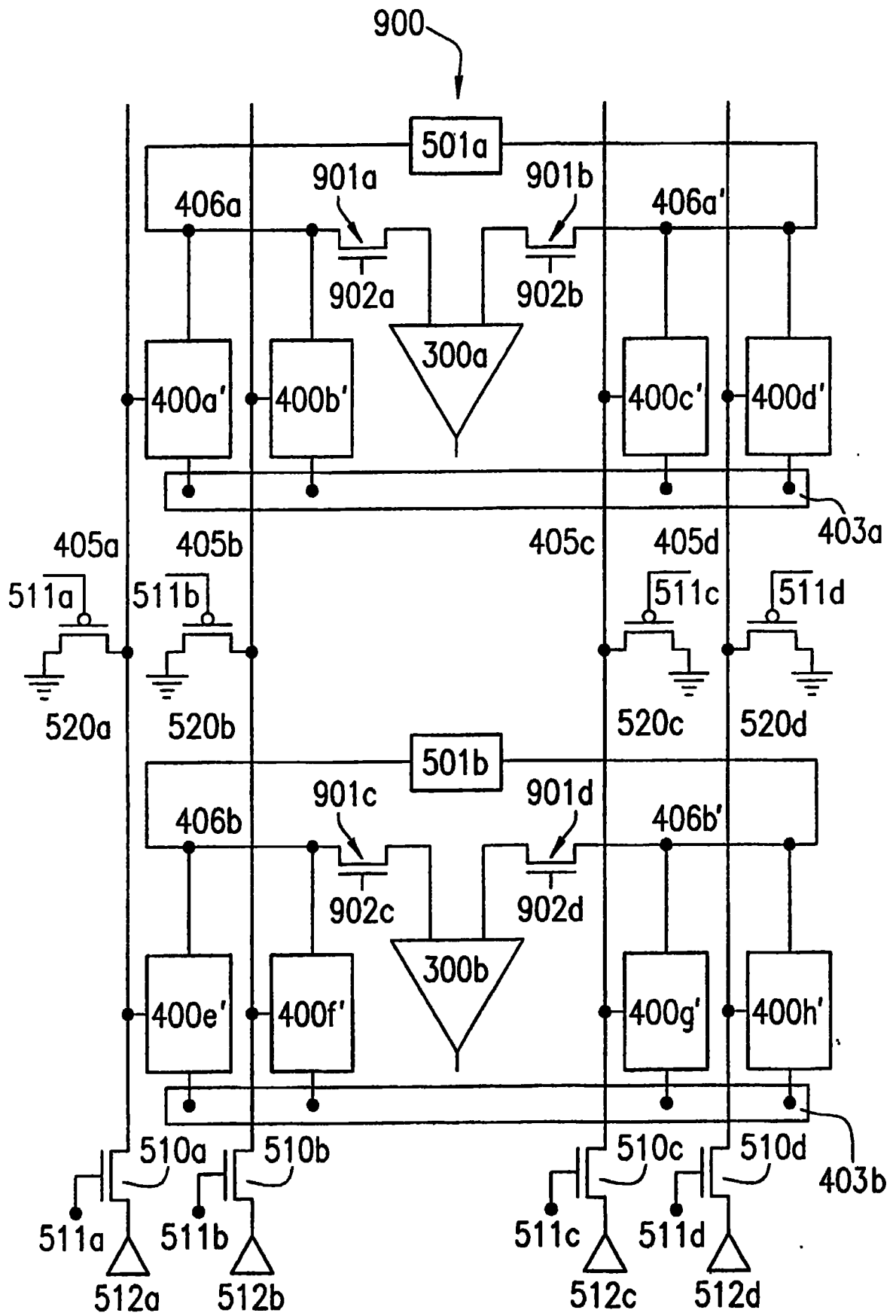


图 9



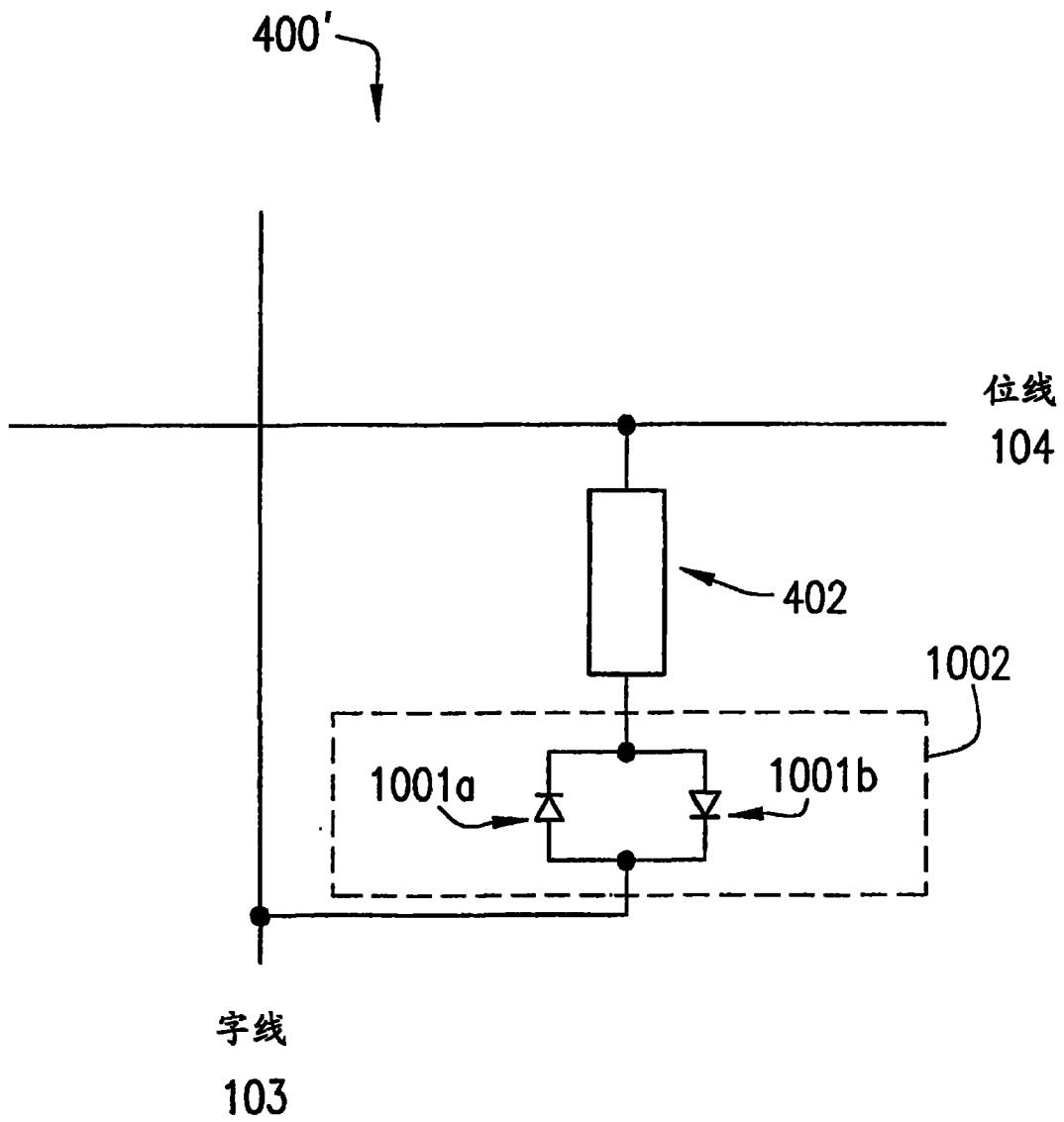


图 10