

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-64526
(P2009-64526A)

(43) 公開日 平成21年3月26日(2009.3.26)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 5 4 C	5 J 0 0 1
H 0 3 K 5/135 (2006.01)	H 0 3 K 5/135	5 M 0 2 4
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 S	

審査請求 未請求 請求項の数 20 O L (全 34 頁)

(21) 出願番号 特願2007-233001 (P2007-233001)
(22) 出願日 平成19年9月7日(2007.9.7)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100080816
弁理士 加藤 朝道
(72) 発明者 井出 昭
東京都中央区八重洲2-2-1 エルピー
ダメモリ株式会社内
(72) 発明者 高井 康浩
東京都中央区八重洲2-2-1 エルピー
ダメモリ株式会社内
(72) 発明者 関口 知紀
東京都千代田区丸の内一丁目6番6号 株
式会社日立製作所内

最終頁に続く

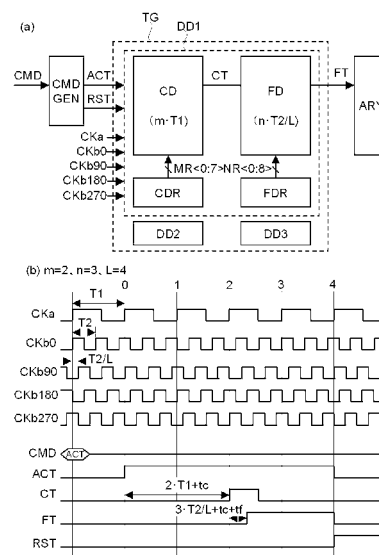
(54) 【発明の名称】 タイミング制御回路及び半導体記憶装置

(57) 【要約】 (修正有)

【課題】 プロセスや動作環境等の変化に対して、遅延変動の小さいタイミング制御回路。

【解決手段】 周期 T_1 を持つ第1のクロック CKa と、周期 T_2 を持ち L を整数 L 相の第2のクロック群 CKb が入力する。 m 、 n を整数としたときに第1のクロックの立ち上がりエッジからの遅延量が $t_d = m \cdot T_1 + n \cdot (T_2 / L)$ となる微調タイミング信号 FT を発生する。疎調遅延回路 (CD) は活性化信号 (ACT) の活性化を受けてから第1のクロック CKa の立ち上がりエッジをカウントし第1のクロックからの遅延量が $m \cdot T_1$ である疎調タイミング信号 CT を生成し、微調遅延回路 (FD) は L 相の第2のクロック群のうち活性化信号 (ACT) の活性化を受けた後第1のクロックの立ち上りエッジの直後に立ち上がりエッジを有する第2のクロックを検出し、疎調タイミング信号 (CT) からの遅延量がほぼ $n \cdot (T_2 / L)$ となる微調タイミング信号 (FT) を発生する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の周期を有する第 1 のクロック信号と、
 第 2 の周期を有し位相が互いに所定の間隔で離間している第 2 のクロック群と、
 活性化信号と、
 遅延量を設定する選択信号と、
 を入力し、

前記活性化信号が活性化された時点における、前記第 1 のクロック信号の有効エッジを基準として、前記選択信号によって規定される、前記第 1 の周期の所定倍の遅延時間と、前記第 2 のクロック群の隣接クロック間の位相間隔に対応する時間の所定倍の遅延時間とを合成した遅延量、遅延させたタイミング信号を出力するデジタル遅延回路を備えている、ことを特徴とするタイミング制御回路。

10

【請求項 2】

前記第 1 の周期を T_1 とし、前記第 2 の周期を T_2 とし、前記第 2 のクロック群を、隣接する第 2 のクロック信号間の位相が T_2 / L (但し、 L は所定の正整数) 離間している L 相クロックとし、前記第 1、第 2 の選択信号で規定される値を非負の整数 m 、 n とし、前記活性化信号が活性化された時点における前記第 1 のクロック信号の有効エッジから、前記タイミング信号の有効エッジまでの遅延時間を t_d とすると、前記 t_d は、 T_1 の m 倍の時間 $m \cdot T_1$ と、 (T_2 / L) の n 倍の時間 $n \cdot (T_2 / L)$ との和で規定される、ことを特徴とする請求項 1 記載のタイミング制御回路。

20

【請求項 3】

前記デジタル遅延回路において、

前記第 1 の周期を T_1 とし、前記第 2 の周期を T_2 とし、前記第 2 のクロック群を、隣接する第 2 のクロック信号間の位相が T_2 / L (但し、 L は所定の正整数) 離間している L 相クロックとし、前記選択信号で規定される値を非負の整数 m 、 n とし、

前記活性化信号が活性化された時点における前記第 1 のクロックの有効エッジから、 $m \cdot T_1$ の遅延量で疎調タイミング信号を出力する疎調遅延回路と、

前記活性化信号の活性化されたタイミングでの前記第 1 のクロック信号の有効エッジと、同時または直後のタイミングに有効エッジをもつ第 2 のクロック信号の検出結果に基づき、前記活性化信号の活性化されたタイミングにおける前記第 1 のクロック信号の有効エッジから、 m サイクル目に前記疎調タイミング信号の有効エッジと同一タイミングの有効エッジを持つ第 2 のクロック信号を導出し、

30

前記導出された第 2 のクロック信号が L 相クロックの第 1 相クロックに位置するように、前記第 2 のクロック群を並び替えることで、 L 相の微調クロック群を生成し、

前記生成された L 相の微調クロック群に基づき、前記疎調タイミング信号の有効エッジから、 $n \cdot (T_2 / L)$ の遅延量の微調タイミング信号を出力する微調遅延回路と、

を備えている、ことを特徴とする請求項 1 記載のタイミング制御回路。

【請求項 4】

前記 m 、 n は、レジスタに可変自在に記録される、ことを特徴とする請求項 2 又は 3 に記載のタイミング制御回路。

40

【請求項 5】

第 1 の周期 ($= T_1$) の第 1 のクロック信号と、活性化信号と、疎調レジスタからの選択信号 (値 = m) とを入力し、前記活性化信号が活性化された時点における前記第 1 のクロック信号の有効エッジから、 $m \cdot T_1$ の遅延量にて、疎調タイミング信号を出力する疎調遅延回路と、

第 2 の周期 ($= T_2$) を有し位相が T_2 / L (ただし、 L は 2 以上の所定の整数) で離間している L 個の第 2 のクロック信号からなる第 2 のクロック群と、前記疎調遅延回路から出力される前記疎調タイミング信号と、前記疎調レジスタからの選択信号 (値 = m)、及び、微調レジスタからの選択信号 (値 = n) と、を入力とし、

前記活性化信号の活性化されたタイミングでの前記第 1 のクロック信号の有効エッジと

50

同時または直後のタイミングに有効エッジをもつ第2のクロック信号の検出結果に基づき、前記第1のクロック信号の有効エッジからmサイクル目に、前記疎調タイミング信号の有効エッジと同一タイミングの有効エッジを持つ第2のクロック信号を導出し、

前記導出された第2のクロック信号がL相クロックの第1相クロックに位置するように、前記第2のクロック群を並び替えることでL相の微調クロック群を生成し、

前記生成されたL相の微調クロック群に基づき、前記疎調タイミング信号の有効エッジから、 $n \cdot (T2 / L)$ の遅延量の微調タイミング信号を出力する微調遅延回路と、

を備えている、ことを特徴とするタイミング制御回路。

【請求項6】

前記疎調遅延回路は、

入力されるシフトクロックに応答して固定値を順次後方に転送するシフトレジスタと、前記第1のクロック信号と前記活性化信号を入力し、前記活性化信号が活性状態のとき、前記第1のクロック信号を伝達出力し、前記活性化信号が非活性状態のとき、前記第1のクロック信号をマスクするゲート回路と、

を備え、

前記ゲート回路から出力されるクロック信号が、前記シフトクロックのシフトクロックとして用いられ、

前記ゲート回路からのクロック信号が入力端に共通に接続され、出力端が1つのノードに共通に接続され、前記疎調レジスタからの選択信号に対応して設けられた複数のスイッチを備え、

前記複数のスイッチのうち、前記疎調レジスタからの前記選択信号の値mに対応して選択されたスイッチは、前記シフトレジスタの出力に基づき、前記シフトレジスタの前記選択信号に対応するm段まで前記固定値がシフトされた時点でオンとされ、

前記活性化信号が活性化された時点における前記第1のクロック信号の有効エッジから、前記選択信号で選択されたmサイクル後に、前記ゲート回路からのクロック信号を前記ノードに出力し、前記疎調タイミング信号を出力する、ことを特徴とする請求項3又は5記載のタイミング制御回路。

【請求項7】

前記疎調遅延回路は、

前記選択信号に対応するスイッチを、前記選択信号が活性化されているとき、前記シフトレジスタの出力に基づき、前記シフトレジスタの前記選択信号の値mに対応するm段まで前記固定値がシフトされた時点でオフからオンに設定し、

前記シフトレジスタにおいて前記m+1段まで前記固定値がシフトされた時点で、オンからオフに設定し、

前記選択信号が非活性化状態のとき、オフとする回路を備えている、ことを特徴とする請求項6記載のタイミング制御回路。

【請求項8】

前記疎調遅延回路は、

前記複数のスイッチの出力端が共通に接続される前記ノードの信号をバッファして前記疎調タイミング信号を出力するバッファ回路を備え、

前記バッファ回路は、前記ノードの信号を入力する反転回路を備え、前記反転回路の出力が第1の論理値のとき、前記ノードを第2の論理値に対応する電位の端子に接続するスイッチを備えている、ことを特徴とする請求項6又は7記載のタイミング制御回路。

【請求項9】

前記疎調遅延回路において、前記シフトレジスタには、前記ゲート回路から出力されるクロック信号を反転した信号が、前記シフトクロックとして用いられる、ことを特徴とする請求項6記載のタイミング制御回路。

【請求項10】

前記微調遅延回路は、

前記第2のクロック群を入力し、前記第2のクロック群のうち、前記活性化信号が活性

10

20

30

40

50

状態のときに入力される前記第 1 のクロックの有効エッジと同時又は直後に遷移する有効エッジを持つ第 2 のクロック信号を検出するエッジ検出回路と、

前記エッジ検出回路からの検出信号を受け、前記選択信号（値 m ）に基づき、前記活性化信号の活性化されたタイミングにおける前記第 1 のクロックの有効エッジから m サイクル目に前記疎調タイミング信号と同一タイミングの有効エッジをもつ第 2 のクロック信号を導出し、前記導出された第 2 のクロック信号が L 相クロックの第 1 相クロックに位置するように位相選択信号を生成し、前記位相選択信号に基づき、前記第 2 のクロック群を並び替えて、 L 相の微調クロック群を生成する位相選択回路と、

前記微調クロック群に基づき（ T_2 / L ）毎に互いに異なる位相で、前記疎調タイミング信号をサンプルして得た信号から、（ T_2 / L ）の n 倍の遅延に対応する信号を選択して前記微調タイミング信号として出力する遅延生成回路と、

を備えている、ことを特徴とする請求項 3 又は 5 記載のタイミング制御回路。

【請求項 1 1】

前記微調遅延回路において、前記エッジ検出回路は、

前記第 2 のクロック群を前記活性化信号が活性化状態のときに入力される前記第 1 のクロック信号でサンプルする複数のフリップフロップと、

前記複数のフリップフロップに対応して設けられ、隣接フリップフロップの出力同士の一一致を検出する、複数の一致検出回路と、

前記一致検出回路と隣の一一致検出回路の出力とを受け、前記一致検出回路が一致を示し、且つ、前記隣の一一致検出回路が不一致を示しているとき、活性化した検出信号を出力するゲート回路と、

を備えている、ことを特徴とする請求項 1 0 記載のタイミング制御回路。

【請求項 1 2】

前記微調遅延回路において、前記位相選択回路は、

前記エッジ検出回路からの検出信号を受け、前記選択信号（値 m ）とに基づき、前記活性化信号の活性化されたタイミングにおける前記第 1 のクロック信号の有効エッジから m サイクル目に、前記疎調タイミング信号と同一タイミングの有効エッジをもつ第 2 のクロック信号を導出し、前記導出された第 2 のクロック信号が、 L 相クロックの第 1 相クロックとなるように位相選択信号を生成する位相演算回路と、

前記第 2 のクロック群の中から、前記位相選択信号に基づき、第 1 乃至第 L 相のクロックをそれぞれ選択する第 1 乃至第 L のセレクタと、

を備えている、ことを特徴とする請求項 1 0 記載のタイミング制御回路。

【請求項 1 3】

前記微調遅延回路において、前記遅延生成回路は、

前記疎調タイミング信号を共通に入力し、入力した前記疎調タイミング信号を前記微調クロック群のそれぞれのクロック信号でサンプルするフリップフロップ群と、

前記フリップフロップ群の出力のうち前記微調レジスタからの選択信号 n に対応するフリップフロップ群の出力を前記微調タイミング信号として出力する選択回路と、

を備えている、ことを特徴とする請求項 1 0 記載のタイミング制御回路。

【請求項 1 4】

前記微調遅延回路において、前記遅延生成回路は、

前記フリップフロップ群のそれぞれの出力を入力し、それぞれ前記微調クロック群の各クロック信号でサンプルする別のフリップフロップ群を備え、

前記選択回路は、前記フリップフロップ群と前記別のフリップフロップ群の出力のうち前記微調レジスタからの選択信号 n に対応するフリップフロップの出力を前記微調タイミング信号として出力する、ことを特徴とする請求項 1 3 記載のタイミング制御回路。

【請求項 1 5】

前記微調遅延回路の前記エッジ検出回路において、

前記一致検出回路の 1 つは、対応するフリップフロップの出力信号と、隣接するフリップフロップの出力の反転信号とを入力する、ことを特徴とする請求項 1 1 記載のタイミン

10

20

30

40

50

グ制御回路。

【請求項 16】

前記微調遅延回路の前記位相選択回路において、

前記第 1 乃至第 L のセレクタの各第 1 の入力には、前記第 2 のクロック群の第 1 乃至第 L 相のクロックがそれぞれ入力され、

前記第 1 乃至第 L のセレクタの各第 2 の入力は、前記第 2 のクロック群の第 2 乃至第 L 相、第 1 相のクロックが入力され、

以下、前記第 1 乃至第 L のセレクタの各第 L の入力には、前記第 2 のクロック群の第 L、第 1 乃至第 L - 1 相のクロックが入力され、

前記第 1 乃至第 L のセレクタは、前記位相選択信号に基づき、第 1 乃至第 L の入力の 1 つを選択して出力する、ことを特徴とする請求項 12 記載のタイミング制御回路。

10

【請求項 17】

請求項 1 乃至 16 のいずれか一に記載のタイミング制御回路を有し、チップ内部のタイミングを制御する半導体記憶装置。

【請求項 18】

請求項 17 に記載の半導体記憶装置において、半導体記憶装置は DRAM (ダイナミックランダムアクセスメモリ) であり、

前記タイミング制御回路で発生したタイミングを、

ビット線イコライズの解除、

ワード線の活性化、

センスアンプの活性化、

列選択線の活性化、

メインアンプの活性化のうちの少なくとも一つに用いることを特徴とする半導体記憶装置。

20

【請求項 19】

チップ内部のタイミングを制御する回路として、

請求項 1 乃至 16 のいずれか一に記載のタイミング制御回路を有する半導体装置。

【請求項 20】

第 1 の周期の第 1 のクロックと、活性化信号と、遅延を設定する第 1 の選択信号 (値 = m) とを入力し、前記活性化信号が活性化された時点における前記第 1 のクロックの有効エッジから、 $m \cdot$ (前記第 1 の周期) の遅延量にて第 1 のタイミング信号を出力する第 1 のユニットと、

30

第 2 の周期を有し位相が (第 2 の周期 / L) (ただし、L は 2 以上の所定の整数) で離間している L 個の第 2 のクロック信号からなる第 2 のクロック群と、前記第 1 の遅延ユニットから出力される前記第 1 のタイミング信号と、前記第 1 の選択信号 (値 = m)、及び、遅延を設定する第 2 の選択信号 (値 = n) と、を入力とし、前記活性化信号の活性化されたタイミングでの前記第 1 のクロックの有効エッジと同時または直後に位置する有効エッジをもつ第 2 のクロックの検出結果に基づき、前記第 1 のクロック信号の有効エッジから m サイクル目に前記第 1 のタイミング信号の有効エッジと同一タイミングの有効エッジを持つ第 2 のクロック信号を導出し、

40

前記導出された第 2 のクロック信号が L 相クロックの第 1 相クロックに位置するように、前記第 2 のクロック群を並び替えることで L 相の微調クロック群を生成し、

前記生成された L 相の微調クロック群に基づき、前記第 1 のタイミング信号の有効エッジから、 $n \cdot$ (第 2 の周期 / L) の遅延量の第 2 のタイミング信号を出力する第 2 のユニットと

を備えている、ことを特徴とするタイミング生成システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、タイミング制御回路に関し、特に、半導体記憶装置のタイミング信号の生成

50

に好適なタイミング制御回路及び該タイミング制御回路を有する半導体記憶装置に関する。

【背景技術】

【0002】

図19(a)は、ロジックLSIチップの典型的な構成を模式的に示す図である。図19(a)を参照すると、ロジックLSIチップ(LOGIC)においては、データ処理のスループットを上げるために、データ入力(DIN)からデータ出力(DOUT)の間を、フリップフロップ回路(FF)で複数の論理回路ブロック(LGK)に分割し、フリップフロップ(FF1、FF2、FF3)をクロック(CK)で制御するパイプライン動作を行っている。ロジックLSIチップ(LOGIC)では、それぞれの論理回路ブロック(LGK)を、ほぼ同じ遅延を有するように分割することが可能であるため、上記に示したように、共通クロックで制御されるフリップフロップ(FF1、FF2、FF3)を用いパイプライン動作させることで動作周波数を向上することができる。パイプライン動作において、フリップフロップ(FF)は前段の論理回路ブロック(LGK)の出力をクロックに同期してサンプルしサンプルした値を後段の論理回路ブロック(LGK)に入力し、各段の論理回路ブロック(LGK)での演算は1クロックサイクル内に行われる。

10

【0003】

図19(b)は、クロック同期型のシンクロナスDRAM(SDRAM)の典型的な構成を模式的に説明する図である。なお、図19(b)では、簡単のため、コマンド(CMD)、アドレス(ADD)をそれぞれサンプルする入力段のフリップフロップをFF1で表しており、コマンドデコーダ、アドレスデコーダをデコーダ(DEC)で表している。図19(b)を参照すると、シンクロナスDRAM(SDRAM)においては、コマンドやアドレスの入力段とデータ出力段のフリップフロップFF1、FF4はクロックCK(の立ち上がりエッジ)で制御しているが、その他のチップ内部のフリップフロップ(例えばFF2、FF3)は、タイミング制御回路(TG)において、外部端子から入力されたクロック(CK)からパルスジェネレータ(PG)で発生したパルスアナログ遅延回路(ADLY1、ADLY2)で遅らせて生成したタイミング制御信号で制御している。

20

【0004】

シンクロナスDRAMにおいては、チップ内部の機能ブロックであるデコーダ(DEC)、メモリアレイ(MEMCORE)、データバス(DB)の遅延は大きく異なる。このため、共通のクロックでタイミングを制御したとすると、メモリアレイの遅延によって動作可能なクロック周波数が決定されることになる。すなわち、シンクロナスDRAMにおいては、図19(a)のロジックLSIのように、機能ブロックの遅延をほぼ同一とすることはできず、共通クロックで制御されるフリップフロップ(FF)を用いパイプライン動作させることはできず、この結果、周波数を向上することが難しい。

30

【0005】

図19(b)に示したシンクロナスDRAMについて、リード動作を例にとってその動作を説明する。シンクロナスDRAMに、コマンド(CMD)、アドレス(ADD)が入力されると、これらは、それぞれ、対応する入力段のフリップフロップFF1にて、クロック(CK)に同期してチップ内部に取り込まれる。FF1に取り込まれたコマンド、アドレスはデコーダ(DEC)でデコードされ、動作(この場合、リード)と、選択すべきアドレスが確定する。この時間(タイミング)と一致するように、パルスジェネレータ(PG)からのクロックパルスをアナログディレイ(ADLY1)で遅延させて、次のフリップフロップFF2のクロック端子CKに供給し、メモリアレイ(MEMCORE)において選択アドレスのメインワード線(MWL B)(不図示)が活性化される。

40

【0006】

続いて、メモリアレイ(MEMCORE)内において選択されたメモリセル(不図示)からビット線(不図示)に信号が発生する時間と一致するように、アナログディレイ(ADLY1)で遅延させたパルスをさらにアナログディレイ(ADLY2)で遅延させ、フリップフロップFF3のクロック端子CKに供給し、センスアンプ起動信号(SAN)が

50

活性化され、発生した信号がセンスアンプ（不図示）で増幅される。

【0007】

センスアンプ（不図示）で増幅された信号は、引き続きリードコマンドが入力されたときに、データバス（DB）を通して出力バッファまで伝送され、FF4において、カウンタ（COUNT）からのクロックに同期して、チップの外部データ出力端子（DOU）からチップ外部に出力される。

【0008】

なお、クロック位相の粗調整を行う粗調整回路とクロック位相の微調整を行う微調整回路を備えた構成として特許文献1等がある（なお、特許文献1に記載された発明は、後述される本発明とは構成が全く相違している）。また特許文献2には、直列接続した粗遅延部と微小遅延部に電源電圧を供給する第1、第2のDLL（Delay Locked Loop）を備え、第1、第2のDLLのモニタ回路として用いる遅延部を粗遅延部と微小遅延部と同じ回路形式としたタイミング発生回路が開示されている。

10

【0009】

【特許文献1】特開2004-110490号公報

【特許文献2】特開2006-186547号公報

【非特許文献1】Kohtaroh Gotoh, Shigetoshi Wakayama, Miyoshi Saito, Junji Ogawa, Hirota Ka Tamura, Yoshinori Okajima, and Masao Taguchi, 'All-Digital Multi-Phase Locked Loop for Internal Timing Generation in Embedded and/or High-Speed DRAMs', 1997 Symposium on VLSI Circuits Digest of Technical Papers pp.107-108)

20

【発明の開示】

【発明が解決しようとする課題】

【0010】

上記非特許文献、特許文献等の開示事項は、本書に引用をもって繰り込み記載されているものとする。以下の分析は、本発明によって与えられたものである。

【0011】

近年、LSI内のMOSトランジスタや配線の微細化、及び低電圧化の進展により、デバイス特性のばらつきが大きな問題となっている。

30

【0012】

図20(a)は、上記したアナログディレイ（ADLY）の回路構成の一例を示す図である。図20(a)には、一例として、多段のインバータ（INV）を従属接続した構成が示されている。

【0013】

図20(b)は、図20(a)のアナログディレイ（ADLY）の遅延量（td）を各種の条件でシミュレーションにより求めた値を相対値として示している。ここで、Low-voltage/High-voltageは、動作電圧が高めにばらついている場合と、低めにばらついている場合にそれぞれ対応している。Slow/fastは、MOSトランジスタのしきい値が高い場合と、低い場合にそれぞれ対応している。High temp/Low tempは動作温度が高い場合と、低い場合にそれぞれ対応している。

40

【0014】

図20(b)において、例えば、Low-voltage、slow、High tempの組み合わせは、

- ・動作電圧が低めにばらつき、且つ、
- ・MOSトランジスタのしきい値が高く、且つ、
- ・動作温度が高い、

場合の遅延に対応しており、アナログディレイ（ADLY）の遅延量（td）は大とな

50

る。また、High-voltage、fast、Low tempの組み合わせは、

- ・動作電圧が高めにばらつき、且つ、
- ・MOSトランジスタのしきい値が低く、且つ、
- ・動作温度が低い、

場合の遅延に対応しており、アナログディレイ (ADLY) の遅延量 (t_d) は小となる。他の組み合わせも同様に読み取れる。

【0015】

図20(b)からも明らかなように、アナログディレイ (ADLY) において、最も遅延が長くなる場合 (最大遅延) と、最も短くなる場合 (最小遅延) では約2倍の違いがある。シンクロナスDRAMの内部にある遅延回路において、このように遅延量が大きく変化すると、アクセス時間が増大する。

10

【0016】

図21(a)は、シンクロナスDRAM内部の回路が最も早く動作する条件 (Best) における、回路ブロックの動作タイミングを模式的に示した図である。図21(a)において、デコーダ (DEC)、メモリアレイ (MEMCORE)、データバス (DB) の動作時間を横軸にとっている。

【0017】

これらの回路ブロックの動作時間が重ならないように、クロック (CK) からメインワード線 (MWLB) までの遅延量 t_{d1} と、メインワード線 (MWLB) からセンスアンプ起動信号 (SAN) までの遅延量 t_{d2} を決定し、図19(b)に示したように、タイミング制御回路 (TG) に、アナログディレイ (ADLY1、ADLY2) が設けられている。この場合、アナログディレイ (ADLY1) の遅延量を t_{d1} 、アナログディレイ (ADLY2) の遅延量を t_{d2} としている。

20

【0018】

図21(b)には、上記のように遅延量を決定して回路を設計した場合の、回路が最も遅く動作する条件 (Worst) における、動作タイミングを示している。

【0019】

デコーダ (DEC)、メモリアレイ (MEMCORE)、データバス (DB) の各回路ブロックの動作時間が、図21(a)の各回路ブロックの動作時間と比べて、増加しているのに加えて、アナログディレイ (ADLY1、ADLY2) の遅延量も増加している。このとき、デコーダ (DEC)、メモリアレイ (MEMCORE) のそれぞれの動作時間の増加分よりも、アナログディレイ (ADLY1、ADLY2) の遅延量 (t_{d1} 、 t_{d2}) の増加分の方が大きいため、デコーダ (DEC) の動作の終了とメモリアレイ (MEMCORE) の動作開始の間、メモリアレイ (MEMCORE) の動作の終わりと、データバス (DB) の動作開始の間にそれぞれ、デッドマージン (DM1、DM2) が発生する。このタイミングマージンのために、デコーダ (DEC)、メモリアレイ (MEMCORE)、データバス (DB) の各回路ブロックの持つ遅延量の和よりも、アクセス時間が長くなってしまふ。このため、本来のデバイス・回路の性能が生かされない、という問題が発生している。

30

【0020】

反対に、図21(b)に示したWorstの条件においてタイミングマージンを設けずに、図19(b)のアナログディレイ (ADLY1、ADLY2) の遅延量を決定した場合、図21(a)に示したBestの条件では、各回路ブロック動作が終了するよりも速く次の回路ブロックが起動されるため (すなわち遅延量 t_{d1} 、 t_{d2} が、それぞれ、デコーダ (DEC)、メモリアレイ (MEMCORE) の動作時間よりも短くなる)、回路ブロックの動作が重なってしまい、誤動作する。

40

【0021】

この問題を解決するために、デジタル遅延素子 (回路) をメモリ回路に適用する例が報告されている。デジタル遅延素子 (回路) とは、一般に、クロック信号及び多相クロックを用いて、これらの周期の整数倍の遅延を発生する回路をいう。デジタル遅延素子 (回路

50

)を用いると、デバイス、温度、電源電圧が変化した場合でも、外部より供給されるクロック周期で定まる遅延を発生することができるため、遅延量の変動幅が小さいという利点がある。一例としては、非特許文献1には、DLL(Delay Lock Loop)で多相のクロックを発生し、該多相クロックを内部で用いるDRAMが開示されている。

【0022】

しかしながら、DLLは、クロックが供給されてから、DLL内部での遅延がクロックと同期するまでには、所定の時間(一例として、100サイクル程度)を要する。このため、DRAMが動作していないスタンバイモードにおいても、クロックを止めることが出来ず、スタンバイモードの消費電流が増加する、という問題がある。

【0023】

本発明の目的は、短時間で起動できるデジタル遅延回路を有するタイミング制御回路を提供することにある。

【0024】

本発明の他の目的は、プロセスや動作環境等の変化に対して、遅延変動の小さいタイミングを生成するタイミング制御回路、及び該タイミング制御回路を備えた半導体記憶装置を提供することにある。

【課題を解決するための手段】

【0025】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0026】

本発明の1つの側面によれば、第1の周期を有する第1のクロックと、第2の周期を有し位相が互い所定の間隔で離間している第2のクロック群と、活性化信号と、遅延量を設定する選択信号と、を入力し、前記活性化信号が活性化された時点における前記第1のクロック信号の有効エッジを基準として、前記選択信号によって規定される、

前記第1の周期の所定倍の遅延時間と、

前記第2のクロック群の隣接クロック間の位相間隔に対応する時間の所定倍の遅延時間と、を合成した遅延量、遅延させたタイミング信号を出力する回路を備えているタイミング制御回路が提供される。

【0027】

本発明において、前記第1の周期を T_1 とし、前記第2の周期を T_2 として前記第2のクロック群を隣接クロック間の位相が T_2/L (但し、 L は所定の正整数)離間している L 相クロックとし、前記第1、第2の選択信号で規定される値を非負の整数 m 、 n とし、前記活性化信号が活性化された時点における前記第1のクロック信号の有効エッジから前記タイミング信号の有効エッジまでの遅延時間を t_d とすると、

前記 t_d は、 T_1 の m 倍の遅延時間 $m \cdot T_1$ と (T_2/L) の n 倍の遅延時間 $n \cdot (T_2/L)$ の和 $m \cdot T_1 + n \cdot (T_2/L)$ に、

T_1 、 T_2 には依存しない遅延量を加えた値とされる。

【0028】

本発明においては、前記デジタル遅延回路において、前記第1の周期を T_1 とし、前記第2の周期 T_2 として前記第2のクロック群を隣接クロック間の位相が T_2/L (但し、 L は所定の正整数)離間している L 相クロックとし、前記選択信号で規定される値を非負の整数 m 、 n とし、

前記活性化信号が活性化された時点における前記第1のクロックの有効エッジから、 $m \cdot T_1$ の遅延量で疎調タイミング信号を出力する疎調遅延回路と、

前記活性化信号の活性化されたタイミングでの前記第1のクロックの有効エッジと、同時または直後のタイミングに有効エッジをもつ第2のクロックの検出結果に基づき、前記活性化信号の活性化されたタイミングにおける前記第1のクロックの有効エッジから m サイクル後に、前記疎調タイミング信号の有効エッジと同一タイミングの有効エッジを持つ第2のクロックを導出し、前記導出された第2のクロックが L 相の第1相となるように前

10

20

30

40

50

記第2のクロック群を並び替えることでL相の微調クロック群を生成し、前記生成されたL相の微調クロック群に基づき、 $n \cdot (T2 / L)$ の遅延量の微調タイミング信号を出力する微調遅延回路と、を備えている。

【0029】

本発明において、前記m、nは、レジスタに可変自在に記録される構成としてもよい。

【0030】

本発明に係るタイミング制御回路においては、第1の周期(=T1)の第1のクロックと、活性化信号と、疎調レジスタからの選択信号(値=m)とを入力し、前記活性化信号が活性化された時点における前記第1のクロックの有効エッジから、 $m \cdot T1$ の遅延量にて、疎調タイミング信号を出力する疎調遅延回路と、第2の周期(=T2)を有し位相が $T2 / L$ (ただし、Lは2以上の所定の整数)で離間しているL個のクロックからなる第2のクロック群と、前記疎調遅延回路から出力される前記疎調タイミング信号と、前記疎調レジスタからの選択信号(値=m)、及び、微調レジスタからの選択信号(値=n)とを入力とし、前記活性化信号の活性化されたタイミングでの前記第1のクロックの有効エッジと同時または直後のタイミングに有効エッジをもつ第2のクロックの検出結果に基づき、前記第1のクロックの有効エッジからmサイクル目に前記疎調タイミング信号の有効エッジと同一タイミングの有効エッジを持つ第2のクロックを導出し、前記導出された第2のクロックがL相の第1相となるように前記第2のクロック群を並び替えることでL相の微調クロック群を生成し、前記生成されたL相の微調クロック群に基づき、 $n \cdot (T2 / L)$ の遅延量の微調タイミング信号を出力する微調遅延回路と、を備えている。

10

20

【0031】

本発明において、前記疎調遅延回路は、入力されるシフトクロックに応答して固定値を順次後方に転送するシフトレジスタと、前記第1のクロックと前記活性化信号を入力し、前記活性化信号が活性状態のとき、前記第1のクロックを伝達出力し、前記活性化信号が非活性状態のとき、前記第1のクロックをマスクするゲート回路と、を備え、前記ゲート回路から出力されるクロックが、前記シフトクロックのシフトクロックとして用いられる。さらに、前記疎調遅延回路は、前記ゲート回路からのクロックが入力端に共通に接続され、出力端が1つのノードに共通に接続され、前記疎調レジスタからの選択信号の本数に対応して設けられた複数のスイッチを備え、前記複数のスイッチのうち、前記疎調レジスタからの前記選択信号の値mに対応して選択されたスイッチは、前記シフトレジスタの出力に基づき、前記シフトレジスタの前記選択信号に対応するm段まで固定値がシフトされた時点でオンとされ、前記活性化信号が活性化された時点における前記第1のクロックの有効エッジから、前記選択信号で選択されたmサイクル後に、前記ゲート回路からのクロックを前記ノードに出力し前記疎調タイミング信号を出力する。

30

【0032】

本発明において、前記選択信号に対応するスイッチを、前記選択信号が活性化されているとき、前記シフトレジスタの出力に基づき、前記シフトレジスタの前記選択信号の値mに対応するm段まで前記固定値がシフトされた時点でオフからオンに設定し、前記シフトレジスタにおいて前記m+1段まで前記固定値がシフトされる時点でオンからオフに設定し、前記選択信号が非活性化状態のとき、オフとする回路を備えた構成としてもよい。

40

【0033】

本発明において、前記複数のスイッチの出力端が共通に接続される前記ノードの信号をバッファして前記疎調タイミング信号を出力するバッファ回路を備え、前記バッファ回路は、前記ノードの信号を入力する反転回路を備え、前記反転回路の出力が第1の論理値のとき、前記ノードを第2の論理値に対応する電位の端子に接続するスイッチを備えた構成としてもよい。本発明において、前記シフトレジスタには、前記ゲート回路から出力されるクロックの反転クロックが前記シフトクロックとして用いられる構成としてもよい。

【0034】

本発明において、前記微調遅延回路は、前記第2のクロック群を入力し、前記第2のクロック群のうち前記活性化信号が活性状態のときに入力される前記第1のクロックの有効

50

エッジと同時又は直後に遷移する有効エッジを持つクロックを検出するエッジ検出回路と、

前記エッジ検出回路からの検出信号を受け、前記選択信号（値 m ）に基づき、前記活性化信号の活性化されたタイミングにおける前記第 1 のクロックの有効エッジから m サイクル目に前記疎調タイミング信号と同一タイミングの有効エッジをもつ第 2 のクロックを導出し、前記導出された第 2 のクロックが、 L 相の第 1 相となるように位相選択信号を生成し、前記位相選択信号に基づき、前記第 2 のクロック群を並び替えて L 相の微調クロック群を生成する位相選択回路と、

前記微調クロック群に基づき、前記第 2 の周期 / L 毎に異なる位相で前記疎調タイミング信号をサンプルして得た信号から前記第 2 の周期 / L の n 倍の遅延に対応する信号を選択して前記微調タイミング信号として出力する遅延生成回路と、を備えている。

10

【 0 0 3 5 】

本発明において、前記微調遅延回路の前記エッジ検出回路は、前記第 2 のクロック信号群を前記活性化信号が活性化状態のときに入力される前記第 1 のクロックでサンプルする複数のフリップフロップと、

前記複数のフリップフロップに対応して設けられ、隣接フリップフロップの出力同士の一一致を検出する一致検出回路と、

前記一致検出回路と隣の一一致検出回路の出力とを受け、前記一致検出回路が一致を示し、且つ、前記隣の一一致検出回路が不一致を示しているとき、活性化した信号を出力するゲート回路と、を備えている。

20

【 0 0 3 6 】

本発明において、前記微調遅延回路の前記位相選択回路は、前記エッジ検出回路からの検出信号を受け、前記選択信号（値 m ）に基づき、前記活性化信号の活性化されたタイミングにおける前記第 1 のクロックの有効エッジから m サイクル目に前記疎調タイミング信号と同一タイミングの有効エッジをもつ第 2 のクロックを導出し、前記導出された第 2 のクロックが、 L 相の第 1 相となるように位相選択信号を生成する位相演算回路と、

前記第 2 のクロック群の中から前記位相選択信号に基づき第 1 乃至第 L 相のクロックをそれぞれ選択する第 1 乃至第 L のセレクタと、を備えている。

【 0 0 3 7 】

本発明において、前記微調遅延回路の前記遅延生成回路は、

30

前記疎調タイミング信号を共通に入力し、前記疎調タイミング信号を前記微調クロック群のそれぞれのクロックでサンプルするフリップフロップ群と、前記フリップフロップ群の出力のうち前記微調レジスタからの選択信号 n に対応するフリップフロップの出力を前記微調タイミング信号として出力する選択回路と、を備えている。

【 0 0 3 8 】

本発明において、前記フリップフロップのそれぞれの出力を入力し、それぞれ、前記微調クロック群の各クロックでサンプルする別のフリップフロップ群を備え、前記選択回路は、前記フリップフロップ群と前記別のフリップフロップ群の出力のうち前記微調レジスタからの選択信号 n に対応するフリップフロップの出力を前記微調タイミング信号として出力する構成としてもよい。

40

【 0 0 3 9 】

本発明において、前記エッジ検出回路において、前記一致検出回路の 1 つは、対応するフリップフロップの出力と隣接するフリップフロップの出力の反転信号を入力する構成としてもよい。

【 0 0 4 0 】

本発明において、前記微調遅延回路の前記位相選択回路において、

前記第 1 乃至第 L のセレクタの各第 1 の入力には、前記第 2 のクロック群の第 1 乃至第 L 相のクロックがそれぞれ入力され、

前記第 1 乃至第 L のセレクタの各第 2 の入力には、前記第 2 のクロック群の第 2 乃至第 L 相、第 1 相のクロックが入力され、

50

以下、前記第 1 乃至第 L のセレクタの各第 L の入力には、前記第 2 のクロック群の第 L 、第 1 乃至第 L - 1 相のクロックが入力され、

前記第 1 乃至第 L のセレクタは、位相選択信号に基づき、第 1 乃至第 L の入力の 1 つを選択して出力する。

【 0 0 4 1 】

本発明によれば、上記タイミング制御回路を有し、チップ内部のタイミングを制御する半導体記憶装置が提供される。本発明において、半導体記憶装置は D R A M であり、前記タイミング制御回路で発生したタイミングをビット線イコライズの解除、ワード線活性化、センスアンプ活性化、列選択線活性化、メインアンプ活性化のうち少なくとも一つに用いる。

10

【発明の効果】

【 0 0 4 2 】

本発明によれば、短時間で起動できるデジタル遅延素子を備えたタイミング制御回路を提供することができる。

【 0 0 4 3 】

本発明によれば、プロセス、電源電圧、温度が変動しても、発生するタイミング信号の遅延量の変動を低減することができる。本発明のタイミング制御回路を備えた半導体記憶装置によれば、デッドマージンを解消できるため、アクセス時間を短縮することができる。

【発明を実施するための最良の形態】

20

【 0 0 4 4 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。また、図面において、P M O S トランジスタにはゲートに矢印の記号を付すことで、N M O S トランジスタと区別することとする。また、図面において、M O S トランジスタの基板電位の接続は明記していないが、M O S トランジスタが正常動作可能な範囲であれば、その接続方法は特に限定しない。

【 0 0 4 5 】

本発明に係るタイミング制御回路においては、第 1 の周期 (T 1) を持つ第 1 のクロック信号と、第 2 の周期 (T 2) を持ち L 相 (L は 2 以上の所定の正整数) クロックをなす第 2 のクロック群 (互いにほぼ T 2 / L で位相が異なる、L 個の第 2 のクロック信号) を入力し、遅延を選択する選択信号の値を m 、 n (m 、 n は非負整数) としたときに、第 1 のクロックからの遅延量が、ほぼ、 $t_d = m \cdot T_1 + n \cdot (T_2 / L)$ となるタイミング信号 (微調タイミング信号 : F T) を発生する。

30

【 0 0 4 6 】

本発明に係るタイミング制御回路においては、疎調遅延回路 (C D ; C o a r s e D e l a y) と、微調遅延回路 (F D ; F i n e D e l a y) とを備えている。疎調遅延回路 (C D) は、活性化 (アクティベート) 信号 (A C T) が活性化してから、第 1 のクロック信号の有効エッジ (例えば立ち上がりエッジ) をカウントするカウンタを有し、m クロックサイクル計数した時点で、第 1 のクロック信号の有効エッジからの遅延量がほぼ $m \cdot T_1$ の疎調タイミング信号 (C T) を発生する。

40

【 0 0 4 7 】

微調遅延回路 (F D) においては、L 相の第 2 のクロック信号群のうち、アクティベート信号 (A C T) が活性化してから第 1 のクロック信号の有効エッジ (例えば立ち上がりエッジ) の直後に有効エッジ (例えば立ち上がりエッジ) を持つ第 2 のクロック信号を検出し、該エッジ検出結果に基づき、疎調タイミング信号 (C T) からの遅延量が、ほぼ $n \cdot (T_2 / L)$ となる微調タイミング信号 (F T) を発生する。

【 0 0 4 8 】

より詳細には、微調遅延回路 (F D) においては、L 相の第 2 のクロック信号群のうち、例えば第 1 のクロック信号の有効エッジの直後に有効エッジを持つ第 2 のクロック信号

50

が第 i 相 (i は $1 \sim L$ のいずれか) である場合、該エッジ検出結果に基づき、第 i 相の第 2 のクロック信号を、 L 相クロックの第 1 相クロックとし、第 $i + 1$ 相 (ただし、 $i + 1$ が L を超えた場合、 1 に戻る) の第 2 のクロック信号を第 2 相クロックとし、以下、同様に時間的な置き換えを行って、 L 相クロックを生成し、生成された L 相クロックと n に基づき、疎調タイミング信号 (CT) からの遅延量が、ほぼ $n \cdot (T_2 / L)$ となる微調タイミング信号 (FT) を発生する。なお、遅延を選択する選択信号 m 、 n の値 (いずれも 0 以上の整数) は、レジスタにより設定可能とされる。以下具体的な実施例に即して説明する。

【実施例】

【0049】

図 1 (a) は、本発明の一実施例のタイミング制御回路 (TG) の構成を示す図である。図 1 (b) は、本発明の一実施例のタイミング制御回路 (TG) の動作波形を示す図である。

【0050】

図 1 (a) を参照すると、本実施例のタイミング制御回路 (TG) には、クロック周期が T_1 であるクロック A (CKa) (本発明の第 1 のクロック信号に対応する) と、クロック周期が T_2 であるクロック B (CKb) が入力される。クロック B (CKb) は、位相が $360^\circ / L$ ずつ離間している L 相のクロック (本発明の第 2 のクロック群に対応する) である。 L 相クロックは、立ち上がりエッジが T_2 / L の時間差で等間隔に離間している。特に制限されないが、本実施例では、 L を 4 とし、クロック B (CKb) を、互いに位相が 90° 離間している 4 相クロック CKb0、CKb90、CKb180、CKb270 とする。

【0051】

メモリチップ内のコマンドジェネレータ (CMDGEN) には、コマンド (CMD) が入力され、コマンドジェネレータ (CMDGEN) で発生したアクティベート信号 (活性化信号) (ACT)、及び、リセット信号 (RST) が、タイミング制御回路 (TG) に入力される。

【0052】

タイミング制御回路 (TG) は、複数のデジタル遅延回路 (DD1、DD2、DD3) を備えている。複数のデジタル遅延回路 (DD1、DD2、DD3) でそれぞれ生成された微調タイミング信号 (FT) がメモリアレイ (ARY) に入力される。なお、図 1 (a) には、簡単のため、デジタル遅延回路 (DD1) から生成された微調タイミング信号 (FT) がメモリアレイ (ARY) に入力される構成が示されており、デジタル遅延回路 (DD2、DD3) からの微調タイミング信号 (FT)、デジタル遅延回路 (DD2、DD3) からそれぞれ生成される微調タイミング信号 (FT) を入力するメモリアレイ (ARY) は図示されていない。

【0053】

微調タイミング信号 (FT) は、 m 、 n を整数として、アクティベート信号 (ACT) の活性化時において、クロック A (CKa) の立ち上がりエッジ (有効エッジ) から、遅延時間

$$m \cdot T_1 + n \cdot T_2 / L \quad \dots (1)$$

だけ遅延した立ち上がりエッジを有する。

【0054】

実際の回路では、クロック信号が回路内部を通過する部分の固定遅延分 (クロック周期に依存しないで発生する遅延分) $t_c + t_f$ が付加される。

【0055】

なお、本実施例では、クロック A (CKa) の有効エッジを立ち上がりエッジとして説明するが、本発明においてかかる構成に限定されるものでないことは勿論である。例えばクロック A (CKa) の立ち下がりエッジを有効エッジとし、クロック A (CKa) の立ち下がりから、 $m \cdot T_1 + n \cdot T_2 / L$ だけ遅延した立ち下がりエッジを有する微調タイ

10

20

30

40

50

ミング信号 (FT) を生成するようにしてもよいことは勿論である。

【0056】

デジタル遅延回路 (DD1、DD2、DD3) は同一構成とされ、図1(a)では、デジタル遅延回路 (DD1) の内部構成のみが示されている。

【0057】

図1(a)を参照すると、デジタル遅延回路 (DD1) は、疎調遅延回路 (CD) と、微調遅延回路 (FD) と、疎調遅延レジスタ (CDR) と、微調遅延レジスタ (FDR) と、を備えている。なお、疎調遅延レジスタ (CDR) と、微調遅延レジスタ (FDR) は、デジタル遅延回路 (DD1、DD2、DD3) 内に個別に備えるかわりに、レジスタ群 (レジスタファイル) として、デジタル遅延回路 (DD1、DD2、DD3) に対して共通に設けるようにしてもよいことは勿論である。

10

【0058】

疎調遅延回路 (CD) には、クロック A (CKa) が入力され、アクティベート信号 (ACT) が活性化された状態においてクロック A (CKa) の立ち上がりエッジから、

$$m \cdot T_1 + t_c \quad \dots (2)$$
 だけ遅れた疎調タイミング信号 (CT) を発生する。

【0059】

ここで、 t_c は、疎調遅延回路 (CD) に固有の遅延時間である。m の値は、疎調遅延レジスタ (CDR) より、疎調遅延回路 (CD) に伝達される。

【0060】

図1(b)には、 $m = 2$ の場合 (図1(a)の疎調遅延レジスタ (CDR) からの $MR < 2 >$ が High) が示されている。アクティベート信号 (ACT) が活性化された状態 (High) におけるクロック A (CKa) の立ち上がりエッジから (図1(b)のサイクル0の開始から)、 $2 \cdot T_1 + t_c$ 遅れた疎調タイミング信号 (CT) が、疎調遅延回路 (CD) から出力される。

20

【0061】

微調遅延回路 (FD) には、クロック B (CKb0、CKb90、CKb180、CKb270) が入力され、疎調タイミング信号 (CT) の立ち上がりエッジから

$$n \cdot T_2 / L + t_f \quad \dots (3)$$

だけ遅れた微調タイミング信号 (FT) を発生する。ここで、 t_f は、微調遅延回路 (FD) に固有の遅延時間である。n の値は微調遅延レジスタ (FDR) より微調遅延回路 (FD) に伝達される。図1(b)では、 $n = 3$ の場合 (図1(a)の微調遅延レジスタ (FDR) からの $NR < 2 >$ が High) が示されている。

30

【0062】

アクティベート信号 (ACT) が活性化した状態における、クロック A (CKa) の立ち上がりエッジから、微調タイミング信号 (FT) の立ち上がりまでの遅延時間 t_d は、

$$t_d = 2 \cdot T_1 + 3 \cdot T_2 / L + t_c + t_f \quad \dots (4)$$
 で表される。

【0063】

式(4)から、遅延時間 t_d は、m の値を1つ増やすごとに T_1 増加し、n の値を1つ増やすごとに T_2 / L 増加する。

40

【0064】

本実施例のタイミング生成回路を用いると、微調タイミング信号 (FT) は、
 $T_1、T_2、L、m、n$
 で決まるため、温度変化、電源電圧やデバイスのばらつきによる変動を受けにくい、という特徴がある。温度変化、電源電圧やデバイスのばらつきの影響を受けるのは、全体に比べると小さい固定遅延分 $t_c + t_f$ のみであることから、全体の遅延に対する、遅延変動分の割合を特段に減少することができる。

【0065】

図2は、図1の疎調遅延回路 (CD) の回路構成の一例を示す図である。図2を参照す

50

ると、疎調遅延回路 (CD) は、複数のフリップフロップ (FF1 ~ FF8) をカスケード接続してなるシフトレジスタ (クロックを計数するカウンタとして機能) を有し、疎調遅延レジスタ (CDR) からの m 選択信号 MR < 0 : 7 > とシフトレジスタの該当する段の出力とに基づき、オンする CMOS 型のトランスファゲート (TG0、TG1、・・・TG7) を選択することにより、クロック A (CKa) を、m 周期分遅延させた疎調タイミング信号 (CT) を生成する。

【0066】

ANDゲート (AND8) は、アクティベート信号 (ACT) とクロック (CKa) を入力し、アクティベート信号 (ACT) が活性状態 (High) のときに、クロック (CKa) を伝達してクロック (CKc) として出力し、一方、アクティベート信号 (ACT) が活性状態 (Low) のときに固定値 Low を出力する (クロックをマスクする)。

10

【0067】

複数のトランスファゲート (TG0、TG1、・・・TG7) はクロック (CKa) を共通に入力し、出力はノード (N0) に共通に接続されている。ノード (N0) は、インバータ (INV2)、インバータ (反転バッファ) (INV3) を介して CT に接続される。

【0068】

m 選択信号のうち活性化された MR < 0 > に対応するトランスファゲート TG0 は、次段のフリップフロップ FF1 の出力 Q1 が Low のとき、選択的にオンとされ、CKc を CT として出力し、次のクロックサイクルで FF1 の出力 Q1 が High となると、TG1 はオフし、この結果、CT としてワンショットパルスが出力される制御が行われる。

20

【0069】

また、m 選択信号のうち活性化された MR < i > (ただし、i は 1 ~ 7) に対応するトランスファゲート TG i は、対応する段のフリップフロップ FF i の出力 Q i が High であり、且つ、次段のフリップフロップ FF i + 1 の出力 Q i + 1 が Low のとき、選択的にオンとされ、CKc を CT として出力し、次のクロックサイクルで対応する段の FF i の出力 Q i が High、且つ、次段の FF i + 1 の出力 Q i + 1 が High となると、TG i はオフし、この結果、CT としてワンショットパルスが出力される制御が行われる。なお、INV2 の出力をゲートに受け、ソースが接地され、ドレインがノード (N0) に接続された NMOS トランジスタ (NM1) は、INV2 の出力が High のときオンしノード (N0) の電荷を放電して接地電位とする。

30

【0070】

より詳細には、m 選択信号 MR < 0 : 7 > のうち MR < 0 > と、フリップフロップ FF1 の出力 Q1 を反転するインバータ (INV1) の出力とを入力する NANDゲート (NAND0) と、INV1 の出力と MR < 0 > とを入力する ANDゲート (AND0) の出力は、トランスファゲート (TG0) の PMOS トランジスタと NMOS トランジスタのゲートにそれぞれ接続される。アクティベート信号 (ACT)、MR < 0 > が活性状態 (High) のとき、FF1 の出力 Q1 が Low の場合、NAND0、AND0 の出力がそれぞれ Low、High となり、TG0 がオンする。アクティベート信号 (ACT)、MR < 0 > が活性状態 (High) のとき、FF1 の出力 Q1 が High となると、NAND0、AND0 の出力はそれぞれ High、Low となり、TG0 はオフする。すなわち、アクティベート信号 (ACT) が活性化された時点のサイクル 0 (クロックの CKc の立ち上がりエッジは 0 発) で、TG0 がオンし、CKa をノード N0 に出力しバッファ (INV2、INV3) を介して CT に出力する。

40

【0071】

1 段目の FF1 のデータ入力端子 (D) は電源 (VDD) に接続され、フリップフロップ FF1 のクロック端子 (CK) には、クロック CKc をインバータで反転した信号が入力され、FF1 の出力 Q1 は、次段の FF2 のデータ入力端子 (D) に接続されるとともに、NOR 回路 (NOR1) に反転入力 (負論理入力) で入力される (したがって、NOR1 のこの入力には FF1 の反転出力端子 Q1B (不図示) を接続してもよい)。FF1

50

の出力Q1は、前述したようにINV1を介して、AND0に入力される。NOR1の他の入力には、次段のFF2の出力Q2が入力され、NOR1の出力はAND1に入力される。ここで、NOR1は、FF1の出力Q1がHigh、FF2の出力Q2がLowのとき、Highを出力し、それ以外はLowを出力する。MR<1>とNOR1の出力とを入力するNAND1と、NOR1の出力とMR<1>とを入力するAND1の出力は、トランスファゲートTG1のPMOSTランジスタとNMOSTランジスタのゲートにそれぞれ接続される。

【0072】

アクティベート信号(ACT)、MR<1>が活性状態(High)のとき、フリップフロップFF1が電源電位をCKcの立ち下がりエッジでサンプルした結果、その出力Q1がHigh、FF2の出力Q2がLowの場合(FF2までは電源電位はシフトされていない状態)、NOR1の出力がHighとなり、NAND1、AND1の出力はそれぞれLow、Highとなり、TG1がオンする。アクティベート信号(ACT)、MR<1>が活性状態(High)のとき、FF1の出力Q1、FF2の出力Q2がともにHighとなると(FF2まで電源電位がシフトされると)、その時点でNOR1の出力がLowとなり、NAND1、AND1の出力はそれぞれHigh、Lowとなり、TG1はオフする。すなわち、アクティベート信号(ACT)が活性化された時点から1発目のクロックCKcの立ち下がりに応答して、TG1がオンし、クロックCKcをノードN0に出力しバッファ(INV2、INV3)を介してCTに出力する。TG1がオンのとき、CKaのHighからLowへの遷移に応答してノードN0はNMOSTランジスタNM1を介して接地端子に放電される。つづいて2発目のクロックCKcの立ち下がりに応答してTG1はオフする。

10

20

【0073】

後段のフリップフロップFF2～FF7についても同様の構成とされる。なお、フリップフロップFF8の出力は前段のフリップフロップFF7に対応するNOR7に入力される。FF1～FF8は、リセット端子(R)にRSTが共通に接続され、RSTがHighのとき、出力端子Q1～Q8はLowにリセットされる。フリップフロップFF1は1発目のCKcの立ち下がりエッジに応答してHigh電位(電源電位)をサンプル出力する。フリップフロップFF2～FF7は、それぞれ2～7発目のCKcの立ち下がりエッジに応答して前段のFF1～FF6より出力されるHigh電位をサンプル出力する。FF8は、7発目のCKcの立ち下がりエッジに応答してFF7より出力されるHigh電位をサンプル出力する。

30

40

【0074】

図3は、図2の疎調遅延回路(CD)の動作を説明するためのタイミング図である。クロックA(CKa)をアクティベート信号(ACT)とAND(図2のAND8)をとったものをCKcとし、FF1～FF8よりなるシフトレジスタにシフトクロックとして入力される。シフトレジスタは、CKcを反転した信号をクロックに入力しているため、立ち下がりエッジでQ1～Q7へとHigh電位が1クロックサイクルずつ、転送されていく。なお、図3では、アクティベート信号(ACT)がHighとなった時点以降のクロックサイクル0～3でQ1～Q4がCKcの立ち下がりエッジに応答して順次High電位となり、クロックサイクル4でRSTがHighに設定されて、FF1～FF8の出力Q1～Q8はLowにリセットされる。

【0075】

アクティベート信号(ACT)が活性化されてから、クロックサイクル1のCKcの立ち下がりエッジ(2回目の立ち下がりエッジ)で、FF2の出力端子Q2がLowからHighに遷移する。m=2の場合、MR<2>がHighとされており、セレクタ(AND2、NAND2、NOR2)を通してトランスファゲート(TG2)が導通状態とされる。すなわち、MR<2>がHigh、FF2の出力Q2がHigh、且つ、FF3の出力Q3がLowのときに、NOR2の出力はHigh、NAND2の出力がLow、AND2の出力がHighとなり、TG2のPMOSTランジスタとNMOSTランジスタが

50

ともにオンする。この状態で、CKcの2つ目の立ち上がりエッジは、TG2を通過しノード(N0)において、 $2 \cdot T1 + tc$ の遅延を発生する。

【0076】

アクティベート信号(ACT)が活性化されてからクロックサイクル2のCKcの立ち下がりエッジ(3回目の立ち下がりエッジ)以降、FF2の出力Q2がHigh、且つ、FF3の出力Q3がHighとなるため、NOR2の出力はLow、NAND2の出力がHigh、AND2の出力がLowとなり、TG2のPMOSTランジスタとNMOSTランジスタがともにオフし、非導通となる。

【0077】

クロックサイクル2において、ノード(N0)に伝達されたクロックCKcのパルスはインバータINV2、INV3を介して疎調タイミング信号(CT)として出力される。ノード(N0)に伝達されたクロックCKcがHighからLowに遷移すると、インバータINV2の出力はHighとなり、パストランジスタNM1がオンし、ノード(N0)の電荷は放電され、ノード(N0)はLow電位となる。

【0078】

これによって、疎調タイミング信号(CT)は、CDRから $m(MR < 0 > \sim < 7 >)$ で規定される遅延 $m \cdot T1 + tc$ を有する、単発パルス(ワンショットパルス)を発生できる。ここで、tcは、クロックパルスCKaが図2の疎調遅延回路(CD)内を通過する場合の遅延量である。例えば、AND8、トランスファゲート、INV2、INV3の各伝搬遅延時間の和に対応する。

【0079】

本実施例の疎調タイミング発生回路(CD)は、温度やプロセスばらつきに対して変動の小さい遅延を発生することができる。

【0080】

また、本実施例の疎調タイミング発生回路(CD)は、シフトレジスタの出力自体を疎調タイミングとして出力するのではなく、前のクロックサイクルのCKcの立ち下がりエッジで、CKcが通るトランスファゲートを事前に導通状態(オン状態)としている。このため、クロックが通過するパスが短くなり、出力とクロックエッジの時間差を減らすことが出来る。例えば、図3において、 $MR < 2 >$ がHighのとき、クロックサイクル1のクロックCKcの立ち下がりエッジで、FF2の出力Q2がHighに立ち上がり、これを受けて、トランスファゲートTG2を導通状態(オン状態)としておき、クロックサイクル2のCKcのHighパルスをTG2を介してノードN0に伝達させるようにしている。クロックCKcがノードN0に出力されるまでに通過するパスは、導通状態となっているTG2のみであり、出力とクロックCKcのエッジの時間差を減らしている。したがって、疎調タイミング信号(CT)の、プロセス、電圧、温度の変化による遅延時間の変動による影響を抑制している。

【0081】

図4は、図1の微調タイミング発生回路(FD)の構成を示す図である。図4を参照すると、微調タイミング発生回路(FD)は、エッジ検出型の構成とされる。図4を参照すると、微調タイミング発生回路(FD)は、エッジ検出回路(EGDT)と、位相選択回路(PSEL)と、遅延生成回路(FGEN)とを備えている。

【0082】

エッジ検出回路(EGDT)は、アクティベート信号(ACT)と、クロックA(CKa)と、クロックB(CKb0、CKb90、CKb180、CKb270)とを入力し、アクティベート信号(ACT)の活性化されたタイミング(LowからHighへ立ち上がり遷移のタイミング)のクロックA(CKa)の立ち上がりエッジと同時または直後に立ち上がるクロックB(CKb0、CKb90、CKb180、CKb270)を検出し、検出結果を出力する。

【0083】

図6は、微調タイミング発生回路(FD)の動作波形を示す図である。図6において、

10

20

30

40

50

アクティベート信号 (ACT) の活性化されたタイミングにおいて、クロック A (CKa) の 0 番目 (クロックサイクル 0) の立ち上がりエッジと同時に立ち上がっているのは、クロック B (CKb0、CKb90、CKb180、CKb270) のうち、2 番目 (2 番目の位相) の CKb90 である。

【0084】

エッジ検出回路 (EGDT) は、エッジ検出結果を、エッジ検出結果信号 (P0、P90、P180、P270) として出力する。エッジ検出回路 (EGDT) は、アクティベート信号 (ACT) の活性化されたタイミングにおけるクロック A (CKa) の立ち上がりエッジと同時に立ち上がっているクロックが CKb90 の場合には、P90 を活性化させる (High レベルとする)。

10

【0085】

ここで、クロック A (CKa) とクロック B とは、互いに周波数が異なるために、クロック A (CKa) の 0 番目の立ち上がりエッジと同一タイミング (同一位相) で CKb90 が立ち上がるとしても、クロック A (CKa) の m サイクル目に立ち上がりエッジを有するクロック B は、m の値によって異なる (CKb90 とは限らない)。図 6 に示す例では、アクティベート信号 (ACT) の活性化後、クロック A (CKa) のサイクル 2 の立ち上がりエッジで立ち上がるクロック B は、CKb90 ではなく、CKb270 である。

【0086】

そこで、図 4 の位相選択回路 (PSEL) は、

- ・エッジ検出回路 (EGDT) からのエッジ検出結果信号 (P0、P90、P180、P270)、
- ・クロック A (CKa)、
- ・クロック B (CKb0、CKb90、CKb180、CKb270)、
- ・疎調遅延レジスタ (CDR) からの m 選択信号 $MR < 0 : 7 >$

20

を入力し、アクティベート信号 (ACT) が活性化されてからクロック (CKa) の m サイクル後に、立ち上がりエッジが、クロック A (CKa) と立ち上がりエッジのタイミングと一致しているクロックをクロック B (CKb0、CKb90、CKb180、CKb270) の中から導出し、4 相の微調用クロック (CKf0、CKf90、CKf180、CKf270) として出力する。

【0087】

このうち、CKf0 は、アクティベート信号 (ACT) が活性化されてからクロック (CKa) の m サイクル後に、疎調タイミング信号 (CT) の立ち上がりと同じタイミングで立ち上がり、CKf0、CKf90、CKf180、CKf270 は互いに 90° ずつ位相がずれた周期 $T/2$ のクロックとして出力される。

30

【0088】

遅延生成回路 (FGEN) は、

- ・微調遅延レジスタ (FDR) から n 選択信号 $NR < 0 : 8 >$ として出力される n (n は整数) の値と、
- ・微調用クロック (CKf0、CKf90、CKf180、CKf270)

とを入力して、遅延

$$n \cdot T/2 / L + t_f$$

40

を生成し、疎調タイミング信号 (CT) に加えて微調タイミング信号 (FT) を生成する。ここで、 t_f は、遅延生成回路 (FGEN) に固有の遅延であり、 $NR < 0 >$ が High の場合における、CT から FT までの遅延量である。

【0089】

図 5 は、図 4 の遅延生成回路 (FGEN) の回路構成を示す図である。図 5 を参照すると、遅延生成回路 (FGEN) は、微調用クロック (CKf0、CKf90、CKf180、CKf270) をクロック端子 (CK) に入力するフリップフロップ (FF0 ~ FF3、FF4 ~ FF8) と、n 選択信号 $NR < 0 : 8 >$ を入力し、フリップフロップ (FF0 ~ FF3、FF4 ~ FF8) の出力を選択するセレクタからなる。セレクタは、FF0

50

の出力ノード (F 0) と NR < 0 >、 F F 1 の出力ノード (F 1) と NR < 1 >、 F F 2 の出力ノード (F 2) と NR < 2 > を入力する 3 つの 2 入力 AND と、 3 つの 2 入力 AND の出力を入力とする 3 入力 OR の組を、 F F 3 ~ F F 5、 F F 6 ~ F F 8 についても備え、 3 つの OR の出力を入力とする 3 入力 OR の出力を FT としている。

【 0 0 9 0 】

F F 0 ~ F F 3 は、データ入力端子 (D) に疎調タイミング信号 (C T) が共通に入力され、クロック端子 (C K) に微調用クロック (C K f 0、 C K f 9 0、 C K f 1 8 0、 C K f 2 7 0) がそれぞれ入力され、 0 番目から 3 番目までの微調タイミングを発生する。 F F 4 ~ F F 7 は、データ入力端子 (D) に F F 0 ~ F F 3 の出力端子 (Q) がそれぞれ接続されており、クロック端子 (C K) には微調用クロック (C K f 0、 C K f 9 0、 C K f 1 8 0、 C K f 2 7 0) がそれぞれ入力され、 4 番目から 7 番目の微調タイミングを発生する。 NR < i > (i は 1 ~ 8) が High のとき、 F F i の出力 F i が、微調タイミング信号 (F T) として出力される。

10

【 0 0 9 1 】

図 6 には、図 5 の遅延生成回路 (F G E N) の動作波形が示されている。アクティベート信号 (A C T) が活性化した 2 サイクル後に、すなわち、クロックサイクル 2 において、フリップフロップに疎調タイミング信号 (C T) が入力されると、微調クロック (C K f 0、 C K f 9 0、 C K f 1 8 0、 C K f 2 7 0) の立ち上がりに対応して、 T 2 / L の等間隔で、図 5 のノード F 0、 F 1、 F 2 . . . F 8 が、信号が順次、立ち上がる。 F 0、 F 1、 F 2 . . . F 8 のうち、どれを微調タイミングとして選択するかは n 選択信号 NR < 0 : 8 > を使い、 NR < i > (i は 1 ~ 8) が High のとき、 AND ゲート、 OR ゲートを介して F i が微調タイミング信号 (F T) として出力される。図 6 では、 NR < 3 > が活性化された (High) 例を示しており、疎調タイミング信号 (C T) から、 3 . T 2 / L だけ遅延した微調タイミング信号 (F T) が出力される。

20

【 0 0 9 2 】

図 7 は、図 4 のエッジ検出回路 (E G D T) 及び位相選択回路 (P S E L) の回路構成を示す図である。 AND ゲート AND は、アクティベート信号 (A C T) とクロック A (C K a) を入力し、 A C T が High のとき C K a を C K e として出力し、アクティベート信号 (A C T) が Low のとき、固定値 Low を出力する。

【 0 0 9 3 】

C K e の立ち上がりエッジと同時または直後に立ち上がるクロック B (C K b 0、 C K b 9 0、 C K b 1 8 0、 C K b 2 7 0) のエッジを、フリップフロップ (F F 1 ~ F F 4) によって検出し、クロック B (C K b 0、 C K b 9 0、 C K b 1 8 0、 C K b 2 7 0) にそれぞれ対応したエッジ検出結果信号 P 0、 P 9 0、 P 1 8 0、 P 2 7 0 が出力される。

30

【 0 0 9 4 】

フリップフロップ F F 1 の出力 S 0 と F F 4 の出力 S 2 7 0 を反転した信号が、一致検出回路をなす排他的否定論理和ゲート E X N O R 1 に入力される。フリップフロップ F F 2 の出力 S 9 0 と F F 1 の出力 S 0 が E X N O R 2 に入力される。フリップフロップ F F 3 の出力 S 1 8 0 と F F 2 の出力 S 9 0 が E X N O R 3 に入力される。フリップフロップ F F 4 の出力 S 2 7 0 と F F 3 の出力 S 1 8 0 が E X N O R 4 に入力される。

40

【 0 0 9 5 】

E X N O R 0 の出力 U 0 の反転と E X N O R 1 の出力 U 9 0 の NOR (出力 U 0 が High、 U 9 0 が Low のとき High) をとる NOR 0 と、 E X N O R 1 の出力 U 9 0 の反転と E X N O R 2 の出力 U 1 8 0 の NOR (出力 U 9 0 が High、 U 1 8 0 が Low のとき High) をとる NOR 1 と、 E X N O R 2 の出力 U 1 8 0 の反転と E X N O R 3 の出力 U 2 7 0 の NOR (出力 U 1 8 0 が High、 U 2 7 0 が Low のとき High) をとる NOR 2 と、 E X N O R 3 の出力 U 2 7 0 の反転と E X N O R 1 の出力 U 0 の NOR (出力 2 7 0 が High、 U 0 が Low のとき High) をとる NOR 3 とを備えている。

50

【0096】

位相選択回路 (PSEL) において、位相演算回路 (PCAL) は、エッジ検出回路 (EGDT) からの P0、P90、P180、P270 と、疎調遅延レジスタ (CDR) から m 選択信号 MR<0:7> を入力し、0 サイクル目で位相が一致しているクロックの情報 (P0、P90、P180、P270 のうち High の信号) と、m 選択信号 MR<0:7> の値 (High の MR<i>) を用いて、m サイクル目において、疎調タイミング信号 (CT) と一致するクロック B のエッジを求める。

【0097】

位相選択回路 (PSEL) において、クロック B (CKb0、CKb90、CKb180、CKb270) を位相選択信号 PS<0:3> によってセクタ (SEL1) で選択し、微調クロック CKf0 として出力する。クロック B (CKb0、CKb90、CKb180、CKb270) を位相選択信号 PS<0:3> によってセクタ (SEL2、SEL3、SEL4) で選択し、微調クロック CKf0 から、90 度ずつ等間隔で位相がずれたクロック B を、微調クロック CKf90、CKf180、CKf270 として出力する。

10

【0098】

セクタ (SEL1) は、PS0、PS1、PS2、PS3 の活性化に対応して CKb0、CKb90、CKb180、CKb270 をそれぞれ選択し、CKf0 を出力する。セクタ (SEL2) は、PS0、PS1、PS2、PS3 の活性化に対応して CKb90、CKb180、CKb270、CKb0 をそれぞれ選択し、CKf90 を出力する。セクタ (SEL3) は、PS0、PS1、PS2、PS3 の活性化に対応して CKb180、CKb270、CKb0、CKb90、をそれぞれ選択し、CKf180 を出力する。セクタ (SEL4) は、PS0、PS1、PS2、PS3 の活性化に対応して CKb270、CKb0、CKb90、CKb180 をそれぞれ選択し、CKf270 を出力する。

20

【0099】

PS0 が High、PS1、PS2、PS3 が Low のとき、(CKf0、CKf90、CKf180、CKf270) = (CKb0、CKb90、CKb180、CKb270) となる。

【0100】

PS1 が High、PS0、PS2、PS3 が Low のとき、(CKf0、CKf90、CKf180、CKf270) = (CKb90、CKb180、CKb270、CKb0) となる。

30

【0101】

PS2 が High、PS0、PS1、PS3 が Low のとき、(CKf0、CKf90、CKf180、CKf270) = (CKb180、CKb270、CKb0、CKb90) となる。

【0102】

PS3 が High、PS0、PS1、PS2 が Low のとき、(CKf0、CKf90、CKf180、CKf270) = (CKb270、CKb0、CKb90、CKb180) となる。

40

【0103】

図 8 は、エッジ検出回路 (EGDT) の動作波形を示す図である。リセット状態ではフリップフロップの出力信号 S0 ~ S270 は Low レベルにある。

【0104】

S0 ~ S270 の隣接信号同士の EXNOR 演算をとった U0 - U270 は、U0 のみ Low でその他は High になるように、S270 と EXNOR0 の入力の間にインバータが挿入されている。

【0105】

U0 ~ U270 の隣接信号の EXNOR 演算 (一致検出) をとって、P0 ~ P270 と

50

して出力される。初期状態では、P 2 7 0 が H i g h に選択された状態になる。

【 0 1 0 6 】

図 8 では、アクティベート信号 (A C T) が活性化されたときの 0 サイクル目で、C K a と C K b 9 0 の立ち上がりエッジの位相が一致している (C K b 0 の立ち上がりエッジは C K a の立ち上がりエッジよりも進んでいる)。このため、図 7 において、C K e の立ち上がりに応じて C K b 0 ~ C K b 2 7 0 をサンプルする F F 1 ~ F F 4 の出力 S 0 ~ S 2 7 0 のうち、S 0 と S 9 0 が H i g h になり、S 1 8 0 と S 2 7 0 は L o w のままである。これにより、E X N O R 0、E X N O R 1 の出力 U 0、U 9 0 は H i g h、U 1 8 0、U 2 7 0 は L o w に遷移し、N O R 1 の出力である P 9 0 のみが H i g h となり (活性化され)、エッジの検出結果として出力される。

10

【 0 1 0 7 】

このエッジ検出結果を受け、位相演算回路 (P C A L) により、P S 3 が活性化され (P S 3 = H i g h)、アクティベート信号 (A C T) が活性化されてから、2 サイクル目に疎調タイミング (C T) と立ち上がり一致するクロック C K b 2 7 0 が、微調用クロック C K f 0 が出力される。このとき、位相選択回路 (P S E L) では、セクタ (S E L 2、S E L 3、S E L 4) により、C K b 0 を C K f 9 0、C K b 9 0 を C K f 1 8 0、C K b 1 8 0 を C K f 2 7 0 として選択出力する。

【 0 1 0 8 】

図 9 は、図 7 の位相演算回路 (P C A L) における演算の手順を示すフローチャートである。ここでは、クロック A (C K a) とクロック B の周期の比 $T 1 : T 2$ が異なり、クロック A (C K a) が 1 サイクル進む毎に、クロック A (C K a) と立ち上がり一致するクロック B が 1 相ずつずれていく場合を示している。

20

【 0 1 0 9 】

例えば、0 サイクル目で C K a の立ち上がりエッジと C K b 0 が一致すると、
1 サイクル目では、C K b 9 0 が、
2 サイクル目では、C K b 1 8 0
が一致する。

【 0 1 1 0 】

一例として、P 9 0 が H i g h で M R < 2 > が活性化されている (H i g h) ときには、2 サイクル後に、クロック A (C K a) と C K b 2 7 0 のエッジが一致するので、P S 3 が活性化される。

30

【 0 1 1 1 】

図 9 にフローチャートで示した制御は、図 1 0 に示す位相演算回路 (P C A L) で実現できる。位相演算回路 (P C A L) において、P S 0 は、N A N D (N A N D (P 0、O R (M R < 0 >、M R < 4 >)、N A N D (P 9 0、O R (M R < 3 >、M R < 7 >)、N A N D (P 1 8 0、O R (M R < 2 >、M R < 6 >)、N A N D (P 2 7 0、O R (M R < 1 >、M R < 5 >)) という演算で求まる。P S 1 は、N A N D (N A N D (P 0、O R (M R < 1 >、M R < 4 >)、N A N D (P 9 0、O R (M R < 0 >、M R < 4 >)、N A N D (P 1 8 0、O R (M R < 3 >、M R < 7 >)、N A N D (P 2 7 0、O R (M R < 2 >、M R < 6 >)) という演算で求まる。P S 2 は、N A N D (N A N D (P 0、O R (M R < 2 >、M R < 6 >)、N A N D (P 9 0、O R (M R < 1 >、M R < 5 >)、N A N D (P 1 8 0、O R (M R < 0 >、M R < 4 >)、N A N D (P 2 7 0、O R (M R < 3 >、M R < 7 >)) という演算で求まる。P S 3 は、N A N D (N A N D (P 0、O R (M R < 3 >、M R < 7 >)、N A N D (P 9 0、O R (M R < 2 >、M R < 6 >)、N A N D (P 1 8 0、O R (M R < 1 >、M R < 5 >)、N A N D (P 2 7 0、O R (M R < 0 >、M R < 4 >)) という演算で求まる。P 9 0 が H i g h のとき、すなわち、アクティベート信号 (A C T) が活性化されてから 0 サイクル目でクロック A (C K a) と立ち上がりのタイミングが一致したクロック B が C K b 9 0 の場合、2 サイクル目に C T と立ち上がりのタイミングが一致するクロック B が C K b 2 7 0 の場合 (P S 3 は H i g h)、C K b 2 7 0 はさらに 4 サイクル後の 6 サイクル目でも、C T と立ち上がり

40

50

のタイミングが一致する。

【0112】

図11は、本発明の一実施の形態による半導体記憶装置において、そのチップ構成の一例を平面図で模式的に示したものであり、図11(a)は、チップ全体の構成例、図11(b)は、図11(a)におけるメモリバンクの構成例を示すものである。

【0113】

図11に示す半導体記憶装置は、DRAMであり、メモリチップCHIP全体の構成は、例えば図11(a)に示すように、制御回路(CNTL)と、入出力回路(DQC)と、メモリブロック(BLK)とに大きく分けられる。

【0114】

制御回路(CNTL)には、クロック、アドレス、制御信号がメモリチップ(CHIP)外から入力され、メモリチップ(CHIP)の動作モードの決定やアドレスのプリデコード等が行われる。

【0115】

入出力回路(DQC)は、入出力バッファ等を備え、メモリチップ(CHIP)外部からライトデータが入力され、メモリチップ(CHIP)外部へリードデータを出力する。

【0116】

メモリブロック(BLK)には、例えば図11(b)に示すように、複数のアレイ状に配置されたメモリアレイ(ARY)が配置され、その周囲にはセンスアンプ列(SAA)、サブワードドライバ列(SWDA)、クロスエリア(XP)が配置される。

【0117】

また、メモリバンク(BANK)内の外周には、センスアンプ列(SAA)と平行に列デコーダ(YDEC)、及びメインアンプ列(MAA)が配置され、サブワードドライバ列(SWDA)と平行に、行デコーダ(XDEC)とアレイ制御回路(ACC)とが配置される。

【0118】

図12は、制御回路(CNTL)とメモリブロック(BLK)の構成例を示す図である。コマンドデコーダ(CMD)で発行されたアクティベートコマンド(AC)は、前記実施例で説明した構成のタイミング制御回路であるTGXに入力され、そこで、デジタル遅延素子(DD1からDD3)を用いて、微調タイミング信号(FT)を生成する。

【0119】

微調タイミング信号(FT)は、メモリブロック(BLK)に入力され、アレイコントロール回路(ACC)内のロジック(AL)を通った後、センスアンプ(SA)や行デコーダ(XDEC)の中で用いるビット線イコライズ信号(BLEQ)、メインワード線(MWL B)、センスアンプ活性化信号(SAN)のタイミングを生成するのに用いられる。

【0120】

また、コマンドデコーダ(CMD)で発行されたリードコマンド(RD)、ライトコマンド(WT)は、前記実施例で説明した構成のタイミング制御回路であるTGYに入力され、そこで、デジタル遅延素子(DD4、DD5)を用いて、微調タイミング(FT)を発生する。微調タイミング(FT)は、メモリブロック(BLK)に入力され、列コントロール回路(CC)内のロジック(AL)を通った後、列デコーダ(YDEC)、メインアンプ(MA)の中で用いる列選択信号(Y S)、メインアンプ活性化信号(MAE)のタイミングを生成するのに用いられる。

【0121】

上記実施例で説明したタイミング制御回路(TGX、TGY)を用いることにより、これらのタイミングのプロセス、電圧変動、温度変化等による変動幅を低減でき、アクセス時間を短縮することができる。

【0122】

図13、図14は、図11の半導体記憶装置において、そのメモリアレイの構成の一例

10

20

30

40

50

を示す図である。図13、図14に示すように、メモリアレイ (ARY) は、複数のメモリセル (MC) から構成されている。各メモリセル (MC) は、DRAMメモリセルとなっており、1個のMOSトランジスタ (Tr) と1個のキャパシタ (Cs) で構成される。メモリセルトランジスタ (Tr) の一方のソース又はドレインは、ビット線 (BLT又はBLB) に接続され、他方のソース又はドレインは、蓄積ノード (SN) に接続され、ゲートは、ワード線WLに接続されている。

【0123】

キャパシタ (Cs) の一端は、蓄積ノード (SN) に接続され、他端は共通プレート (PL) に接続される。なお、ビット線 (BLT) とビット線 (BLB) は、ビット線対 (相補ビット線) として機能し、同一のセンスアンプ (SA) に接続される。

10

【0124】

センスアンプ列 (SAA) は、メモリアレイ (ARY) に対して上下に交互配置され、上下のメモリアレイ (ARY) 内のビット線対 (BLT / BLB) に共通に接続され、両者で共用される。また、これに伴い各センスアンプ列 (SAA) 内では、隣接するセンスアンプ (SA) がビット線対1つ分のスペースを挟んで配置されることになる。このような配置をとることにより、センスアンプ (SA) 間のピッチが緩和されるため、センスアンプ (SA) のレイアウトが容易となり、微細化が可能となる。

【0125】

図13に示す構成は、折り返し型ビット線方式のレイアウトを用いており、ワード線とビット線の交点の半分にメモリセルが配置されている。このレイアウトは動作時のノイズが小さく、動作マージンが大きいという利点がある。

20

【0126】

一方、図14に示す構成は、開放型ビット線方式のレイアウトを用いており、全てのワード線とビット線の交点にメモリセルが配置されている。このため、メモリセルのサイズを縮小できる効果がある。

【0127】

図15は、図11の半導体記憶装置において、そのセンスアンプ列とサブワードドライバ列の詳細な配置関係の一例を示す平面図である。図15に示すように、センスアンプ列 (SAA) 内のセンスアンプ (SA) は、メモリアレイ (ARY) に対して上下に交互配置され、上下のメモリアレイ (ARY) 内のビット線対 (BLT / BLB) に共通接続される。

30

【0128】

同様に、サブワードドライバ列 (SWDA) 内のサブワードドライバ (SWD) も、メモリアレイ (ARY) に対して左右に交互配置され、左右のメモリアレイ (ARY) 内のワード線 (WL) に共通接続される。このように配置することにより、サブワードドライバ列 (SWDA) 内において、サブワードドライバ (SWD) 間のピッチを、メモリアレイ (ARY) 内のワード線 (WL) 間のピッチの2倍に広げることができる。したがって、微細化が容易となる。

【0129】

また、センスアンプ列 (SAA) には、ローカルI/O線 (LIO) が配置され、LIOは、クロスエリア (XP) でスイッチ (SW) を介して、メインI/O線 (MIO) と接続される。

40

【0130】

リード時には、センスアンプ (SA) 中のデータが、ローカルI/O線 (LIO) とメインI/O線 (MIO) を介してチップ外に読み出され、ライト時には、チップ外から、メインI/O線 (MIO) とローカルI/O線 (LIO) を介してセンスアンプ (SA) にデータが書き込まれる。

【0131】

図16は、センスアンプの回路構成の一例を示す図である。各センスアンプSA内には、トランスファーゲート (TGC) と、プリチャージ回路 (PCC) と、クロスカップル

50

・アンブ (CC) と、読み出し・書き込みポート (IOP) とが含まれている。

【0132】

トランスファークラック (TGC) は、センスアンブ分離信号 (SHR 信号) が活性化された時に、センスアンブ (SA) のビット線 (BLD、BLDB) とメモリアレイ (ARY) のビット線 (BLU、BLUB) を接続する回路である。

【0133】

プリチャージ回路 (PCC) は、ビット線プリチャージ信号 (BLEQ 信号) が活性化された時に対となるビット対線 (BLT、BLB) 間をイコライズし、ビット線プリチャージレベル (VBLR) にプリチャージする。ビット線プリチャージレベル (VBLR) は、通常、ビット線振幅の電圧 VDL (チップ外部からの電源電圧 VCC と同レベルかまたはそれを降圧したレベル) の中点 $VDL / 2$ に設定される。

10

【0134】

クロスカプル・アンブ (CC) は、ビット線対上にメモリセル (MC) からの微小な読出し信号が発生した後に、PMOS トランジスタ側の共通ソース線 CSP を電圧 VDL に、NMOS トランジスタ側の共通ソース線 CSN を接地電圧 VSS に駆動して、ビット線対 BLD と BLDB のうちの電圧の高い方を VDL に、低い方を VSS に増幅し、増幅された電圧をラッチする回路である。

【0135】

読み出し・書き込みポート (IOP) は、列選択線 (YS) が活性化されたときにローカル IO 線 (LIO 線) LIO T / LIO B と、ビット線対 BLD / BLDB を接続する回路である。なお、LIO 線 LIO T / LIO B は、非選択センスアンブ列 (SAA) での電流消費を防止するために、待機時にはプリチャージレベルに保持される。

20

【0136】

図 17 は、図 1 の半導体記憶装置において、そのサブワードドライバ列の構成の一例を示す図である。サブワードドライバ列 (SWDA) は、複数のサブワードドライバ (SWD) によって構成される。図 11 (b) 等にも示したように、サブワードドライバ列 (SWDA) は、メモリアレイ (ARY) の周辺に配置される。

【0137】

サブワードドライバ (SWD) は、両側に配置されるメモリアレイ (ARY) 内のワード線 WL を駆動する。図 15 を参照して説明したように、サブワードドライバ列 (SWDA) は、メモリアレイ (ARY) に対して交互配置されているため、メモリアレイ (ARY) 内のワード線 WL (サブワード線) は、1 本おきに左右のサブワードドライバ (SWD) に接続される。

30

【0138】

サブワードドライバ (SWD) は、2 つの N チャンネル MOS トランジスタ NM1、NM2 と P チャンネル MOS トランジスタ PM1 で構成される。一方の N チャンネル MOS トランジスタ NM1 は、ゲートにメインワード線 MWLB が接続され、ドレインにワード線 WL が接続され、ソースに電圧 VKK が接続される。他方の N チャンネル MOS トランジスタ NM2 はゲートに相補ワードドライバ選択線 FXBi ($i = 0, 1, 2, 3$)、ドレインにワード線 WL が接続され、ソースに電圧 VKK が接続される。VKK は負電圧発生回路で発生した VSS より低い電圧である。

40

【0139】

P チャンネル MOS トランジスタ PM1 は、ゲートにメインワード線 MWLB が接続され、ドレインにワード線 WL が接続され、ソースにサブワードドライバ選択線 FXi ($i = 0, 1, 2, 3$) が接続される。

【0140】

一つのサブワードドライバ列 SWDA 上に 4 組のサブワードドライバ選択線 FX0 ~ FX3 が配線され、一本のメインワード線 MWLB で選択される 4 個のサブワードドライバ SWD のうちいずれか 1 個を選択して 1 本のワード線 WL が活性化される。

【0141】

50

図18は、図11の半導体記憶装置において、そのクロスエリア(XP)の構成の一例を示す図である。図18を参照すると、クロスエリア(XP)は、SHR信号ドライバ(SHD)と、LIO線プリチャージ回路(REQ)と、リードライトゲート(RGC)と、CS線ドライバ(CSD)と、CS線プリチャージ回路(SEQ)と、BLEQ信号ドライバ(EQD)と、FX線ドライバFXDが配置される。

【0142】

SHR信号ドライバ(SHD)は、SHR信号の相補信号SHRBが入力され、その反転信号を出力する。LIO線プリチャージ回路(REQ)は、リードライトイネーブル信号RWEが非活性状態のVSSレベルのときに、LIO線LIOT/Bを電圧VPCにプリチャージする。

10

【0143】

リードライトゲート(RGC)は、リードライトイネーブル信号RWEが活性状態の電圧VCL(外部VCCレベルと同じかまたはそれを降圧したレベルで周辺回路用電源電圧として用いられる)のときに、LIO線LIOT/BとメインIO線MIOT/Bとを接続する。

【0144】

CS線ドライバ(CSD)は、NMOS側センスアンプイネーブル信号SANが活性状態のときに、センスアンプのNMOS側共通ソース線CSN(図16参照)を接地電圧VSSに駆動し、PMOS側のセンスアンプイネーブル信号SAP1Bが活性状態(VSSレベル)のときに、センスアンプのPMOS側共通ソース線CSP(図16参照)を電圧VDL(ビット線のHighレベル)に駆動する。

20

【0145】

CS線プリチャージ回路(SEQ)は、BLEQ信号が活性化されたときに、センスアンプのPMOS側、NMOS側共通ソース線CSP、CSN(図16参照)を、VDL/2にプリチャージする。

【0146】

BLEQ信号ドライバ(EQD)は、プリチャージ信号BLEQの相補信号BLEQBが入力され、その反転信号を出力する。

【0147】

FX線ドライバ(FXD)は、信号FXBが入力され、その相補信号を、サブワードドライバ選択線FX(FX線)に出力する。

30

【産業上の利用可能性】

【0148】

本発明のタイミング制御信号は、DRAM製品等に適用して特に有益な技術であるが、これに限らず、マイクロプロセッサやDSP(Digital Signal Processor)等のロジックチップに内蔵されるオンチップメモリ等に対しても適用可能である。さらに、本発明によれば、帰還ループを備えたDLLのようにロックに時間を要しないことから、任意のタイミングジェネレータ、システムに適用可能である。

【0149】

なお、上記の特許文献、非特許文献の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示(請求の範囲を含む)の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

40

【図面の簡単な説明】

【0150】

【図1】(a)と(b)は、本発明の一実施例のタイミング制御回路(TG)の構成とその動作波形を示す図である。

【図2】図1のタイミング制御回路(TG)における疎調遅延回路(CD)の回路構成を

50

示す図である。

【図 3】図 2 の疎調遅延回路 (C D) の動作波形を示す図である。

【図 4】図 1 のタイミング制御回路 (T G) における微調遅延回路 (F D) の構成を示す図である。

【図 5】図 4 の微調遅延回路 (F D) における遅延生成回路の回路構成を示す図である。

【図 6】図 5 の遅延生成回路の動作波形を示す図である。

【図 7】図 4 の微調遅延回路 (F D) におけるエッジ検出回路 (E G D T) と位相選択回路の回路構成を示す図である。

【図 8】図 7 のエッジ検出回路 (E G D T) 及び位相選択回路の動作波形を示す図である。

10

【図 9】図 7 の位相選択回路内の位相演算回路の演算フローチャートである。

【図 10】図 7 の位相選択回路内の位相演算回路の回路構成を示す図である。

【図 11】(a) と (b) は、本発明の一実施例のタイミング制御回路 (T G) を搭載した D R A M チップの全体の構成とメモリバンクの構成の例を示す図である。

【図 12】図 11 の D R A M チップの制御回路とメモリブロックの構成を示す図である。

【図 13】図 11 の D R A M チップで用いるメモリアレイの一例 (折り返し型ビット線方式) の回路構成を示す図である。

【図 14】図 11 の D R A M チップで用いるメモリアレイの別の例 (開放型ビット線方式) の回路構成を示す図である。

【図 15】図 11 の D R A M チップで用いるメモリアレイ、サブワードドライバ列、センスアンプ列の接続を示す回路構成を示す図である。

20

【図 16】図 11 の D R A M チップで用いるセンスアンプの回路構成を示す図である。

【図 17】図 11 の D R A M チップで用いるサブワードドライバの回路構成を示す図である。

【図 18】図 11 の D R A M チップで用いるクロスエリアの回路構成を示す図である。

【図 19】(a) と (b) はロジック L S I チップ及びシンクロナス D R A M におけるタイミング制御方式を示す図である。

【図 20】(a) と (b) は、シンクロナス D R A M における従来のタイミング制御方式で用いられるアナログディレイの回路構成とその遅延特性を示す図である。

【図 21】(a) と (b) は、シンクロナス D R A M において従来のタイミング制御方式を用いた場合の、チップ内部の回路ブロックの動作タイミングの B e s t と W o r s t を示す図である。

30

【符号の説明】

【 0 1 5 1 】

A C C アレイ制御回路

A C T アクティベート信号 (A C T)

A D L Y アナログディレイ回路

A R Y メモリアレイ

B L , B L T , B L B ビット線

B L E Q ビット線プリチャージ信号

40

B L K メモリブロック

C C クロスカップル・アンプ

C D 疎調遅延回路 (C D)

C D R 疎調遅延レジスタ (C D R)

C H I P メモリチップ

C K a クロック A (C K a)

C K b クロック B

C K f 微調用クロック

C M D コマンド

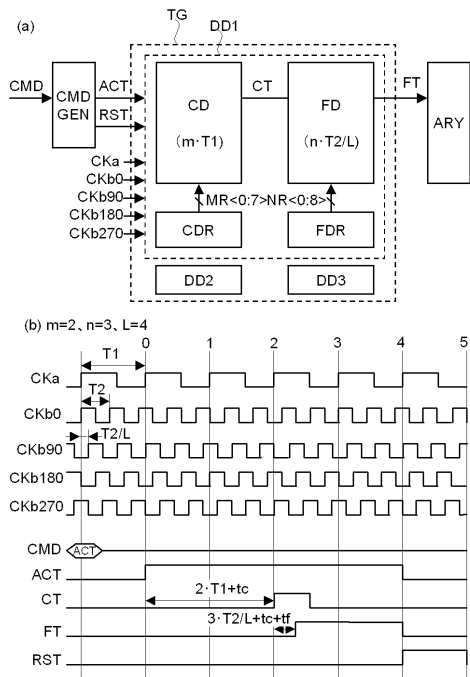
C M D G E N コマンドジェネレータ

50

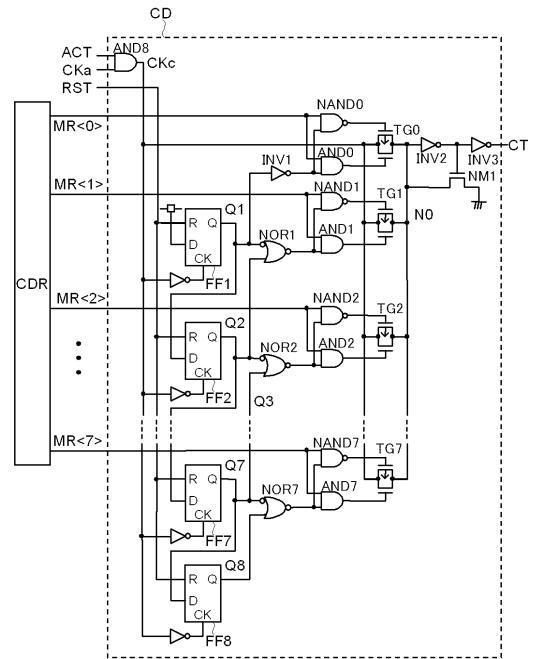
CT	疎調タイミング信号	
CNTL	制御回路	
COUNT	カウンタ回路	
Cs	キャパシタ	
CSD	CS線ドライバ	
CSN	N側共通ソース線	
CSP	P側共通ソース線	
DB	データバス回路	
DD	デジタル遅延回路	
DEC	デコーダ	10
DQC	入出力回路	
EQD	BLEQ信号ドライバ	
EGDT	エッジ検出回路(EGDT)	
EXNOR	排他的論理和ゲート	
FD	微調遅延回路(FD)	
FDR	微調遅延レジスタ	
FF	フリップフロップ	
FGEN	遅延生成回路	
FT	微調タイミング信号(FT)	
FX	サブワードドライバ選択線	20
FXD	FX線ドライバ	
L	クロックBの相数	
LIO, LIOT, LIOB	ローカルIO線	
LOGIC	ロジックLSI	
MIO, MIOT, MIOB	メインIO線	
MA	メインアンプ	
MAA	メインアンプ列	
MC	メモリセル	
MEMCORE	メモリアレイ	
MR	m選択信号	30
MWLB	メインワード線	
NM1, NM2	NMOSトランジスタ	
NR	n選択信号	
PCAL	位相演算回路	
PCC	プリチャージ回路	
PM1	PMOSトランジスタ	
PSEL	位相選択回路	
RST	リセット信号	
SEL	セレクタ	
SA	センスアンプ	40
SA A	センスアンプ列	
SEQ	CS線プリチャージ回路	
SDRAM	シンクロナスDRAM	
SHD	SHR信号ドライバ	
SHR	センスアンプ分離信号	
SN	蓄積ノード	
SWD	サブワードドライバ	
SWDA	サブワードドライバ列	
T1	クロックA(CKa)の周期	
T2	クロックBの周期	50

- t d アナログディレイ回路の遅延量
- T G タイミング制御回路 (T G)
- T G 0 ~ T G 8 トランスファゲート
- W L ワード線
- X D E C 行デコーダ
- Y D E C 列デコーダ
- X P クロスエリア
- Y S 列選択線

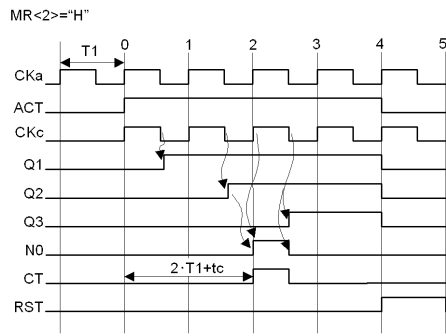
【 図 1 】



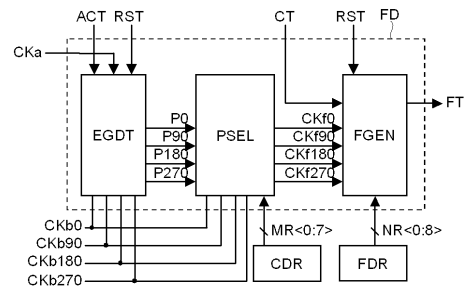
【 図 2 】



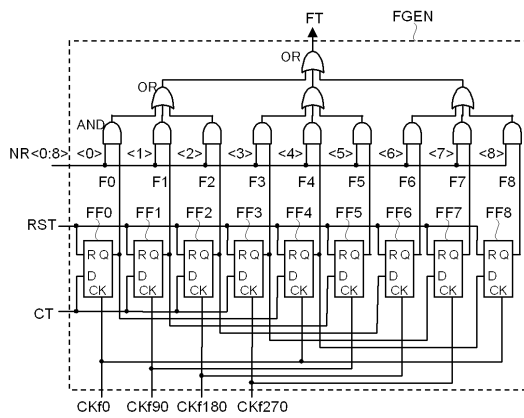
【 図 3 】



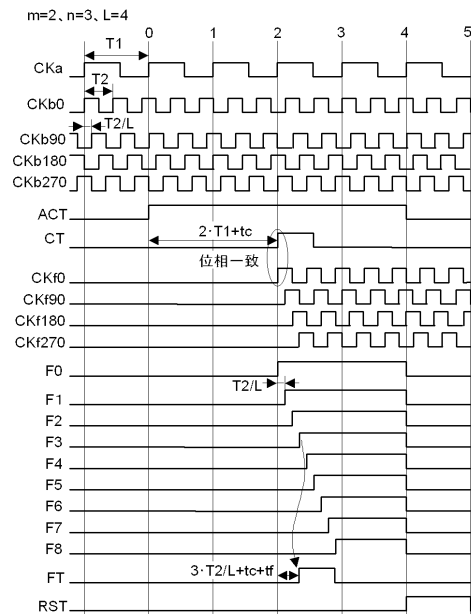
【 図 4 】



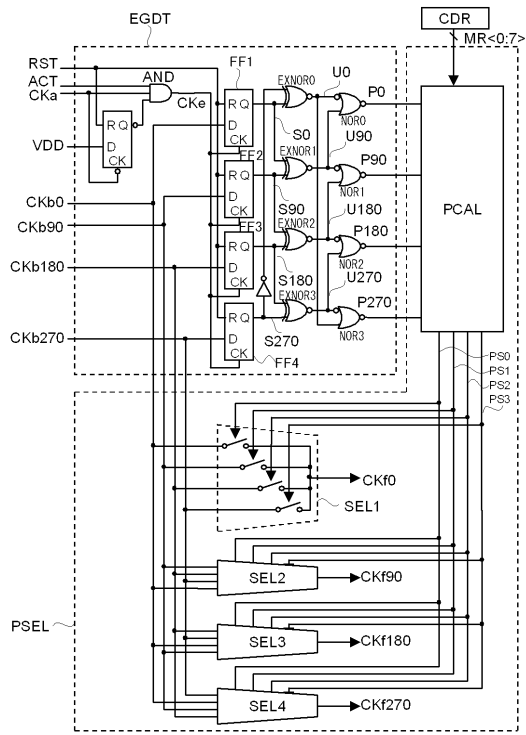
【 図 5 】



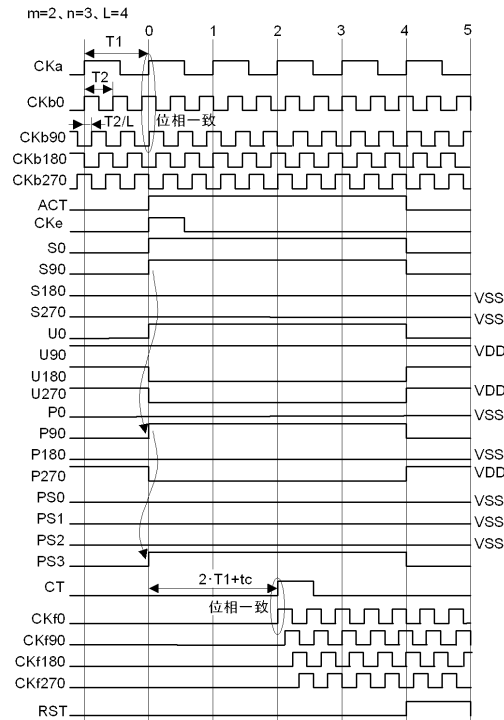
【 図 6 】



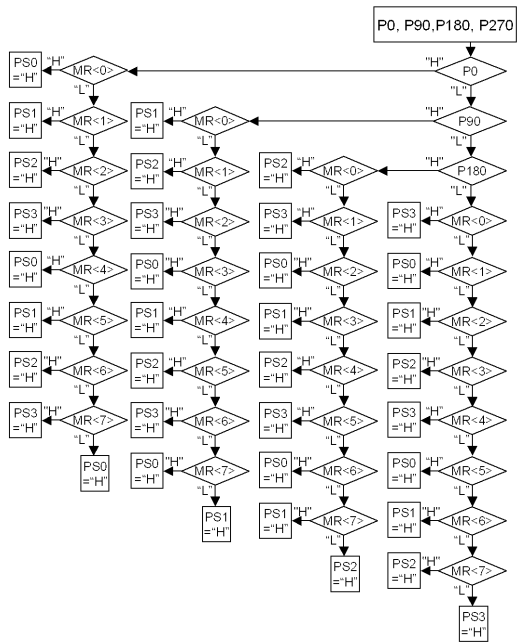
【 図 7 】



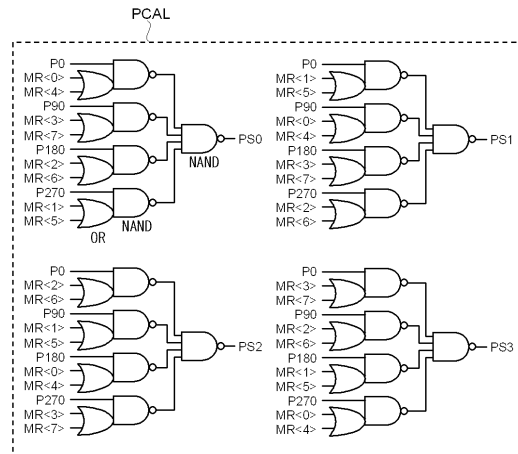
【 図 8 】



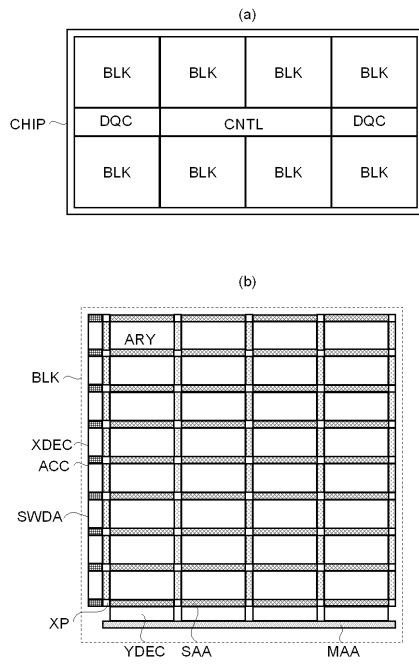
【 図 9 】



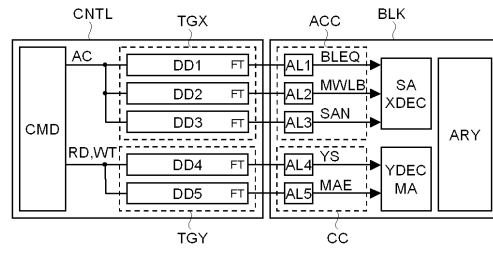
【 図 10 】



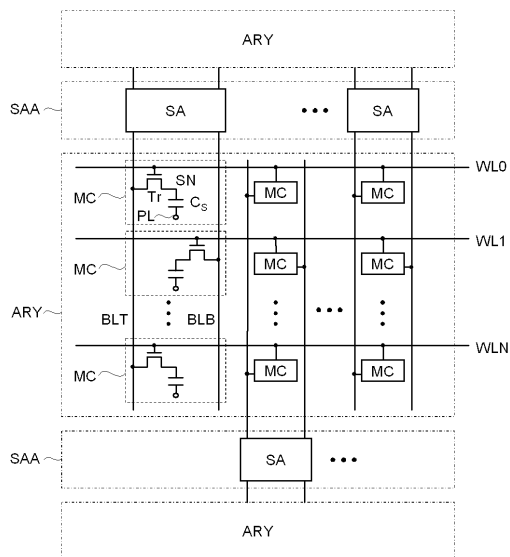
【 図 1 1 】



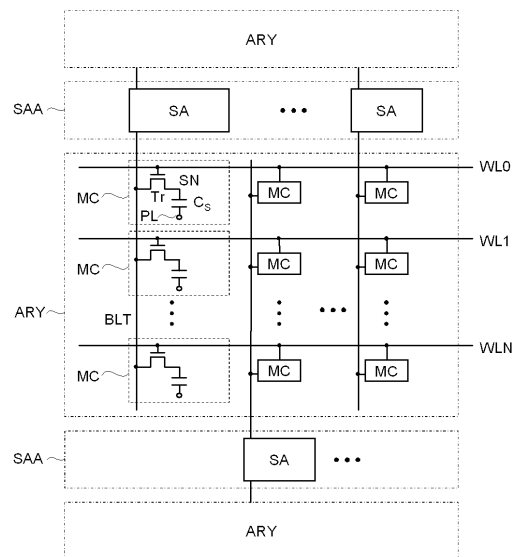
【 図 1 2 】



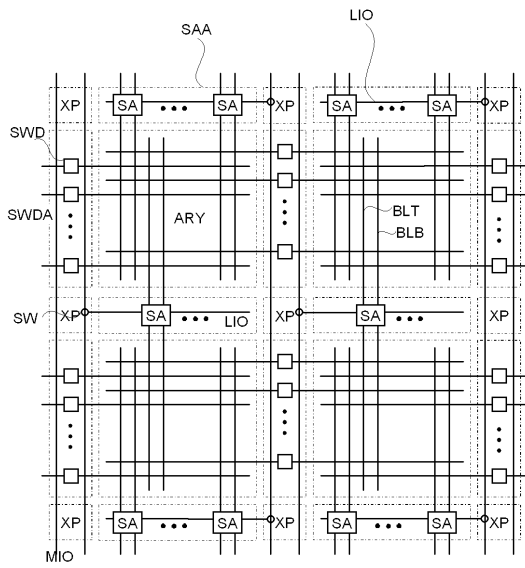
【 図 1 3 】



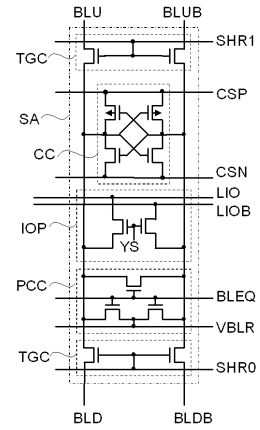
【 図 1 4 】



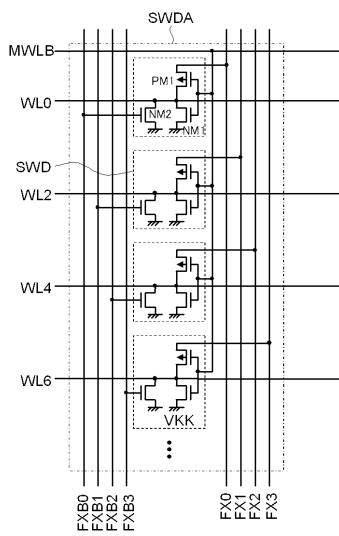
【 図 1 5 】



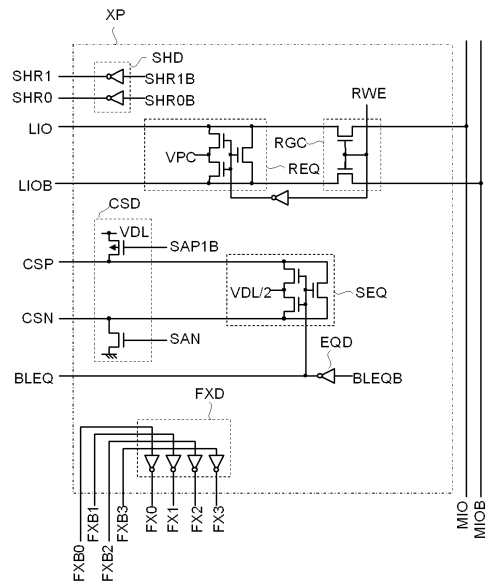
【 図 1 6 】



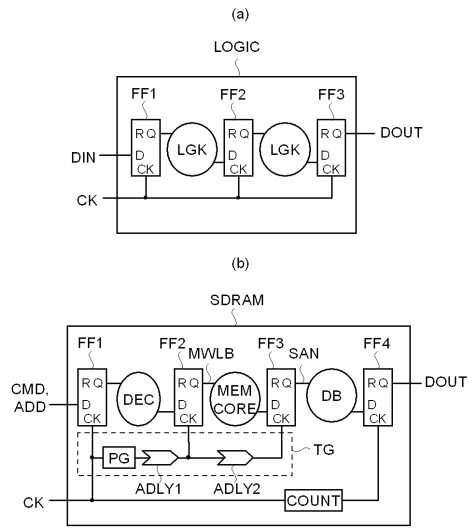
【 図 1 7 】



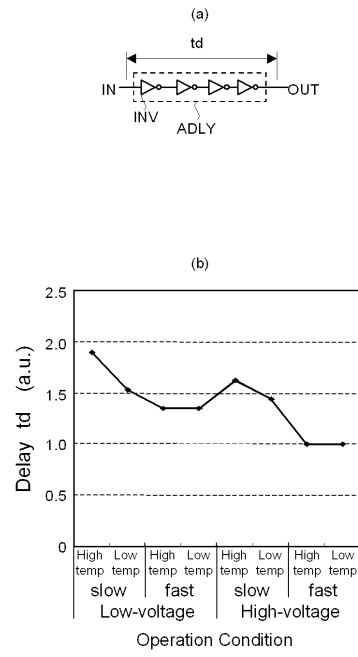
【 図 1 8 】



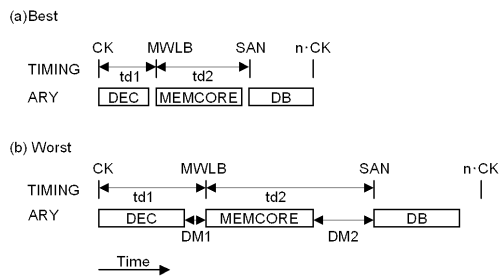
【 図 19 】



【 図 20 】



【 図 21 】



フロントページの続き

(72)発明者 竹村 理一郎
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

(72)発明者 秋山 悟
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

(72)発明者 中谷 浩晃
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

Fターム(参考) 5J001 AA11 BB02 BB08 BB09 CC03 DD02 DD09
5M024 AA24 AA36 AA44 AA49 BB27 BB33 BB34 DD83 GG02 JJ02
JJ34 PP01 PP02 PP03 PP07