

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5778900号
(P5778900)

(45) 発行日 平成27年9月16日(2015.9.16)

(24) 登録日 平成27年7月17日(2015.7.17)

(51) Int.Cl. F I
 HO 1 L 21/8238 (2006.01) HO 1 L 27/08 3 2 1 E
 HO 1 L 27/092 (2006.01)

請求項の数 8 (全 26 頁)

(21) 出願番号	特願2010-184518 (P2010-184518)	(73) 特許権者	308014341
(22) 出願日	平成22年8月20日 (2010.8.20)		富士通セミコンダクター株式会社
(65) 公開番号	特開2012-44009 (P2012-44009A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成24年3月1日 (2012.3.1)		23
審査請求日	平成25年4月25日 (2013.4.25)	(74) 代理人	100091672
審判番号	不服2014-13500 (P2014-13500/J1)		弁理士 岡本 啓三
審判請求日	平成26年7月11日 (2014.7.11)	(72) 発明者	有吉 潤一
			神奈川県横浜市港北区新横浜二丁目10番
		(72) 発明者	江間 泰示
			神奈川県横浜市港北区新横浜二丁目10番
			23 富士通セミコンダクター株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の第1の領域に第1のゲート絶縁膜を形成する工程と、
 前記半導体基板の第2の領域に、前記第1のゲート絶縁膜よりも薄い第2のゲート絶縁膜を形成する工程と、
 前記半導体基板の第3の領域に、前記第1のゲート絶縁膜よりも薄い第3のゲート絶縁膜を形成する工程と、
 前記第1のゲート絶縁膜、前記第2のゲート絶縁膜、及び前記第3のゲート絶縁膜の上に、それぞれ第1のゲート電極、第2のゲート電極、及び第3のゲート電極を形成する工程と、
 前記第1のゲート電極、前記第2のゲート電極、及び前記第3のゲート電極を形成した後、前記第2の領域を覆い、かつ、前記第1の領域と前記第3の領域を露出する第1のマスクパターンを形成する工程と、
 前記第1のマスクパターンをマスクにして前記半導体基板に第1導電型の第1の不純物をイオン注入することにより、前記第1のゲート電極の横の前記半導体基板に第1のソースドレインエクステンションを形成し、かつ、前記第3のゲート電極の横の前記半導体基板に第1のポケット領域を形成する工程と、
 前記第1のマスクパターンをマスクにし、前記第1のゲート絶縁膜の下での第2導電型の第2の不純物の濃度が前記第1の不純物の濃度よりも低くなる条件で前記半導体基板に前記第2の不純物をイオン注入することにより、前記第3のゲート電極の横の前記半導体

基板に第2のソースドレインエクステンションを形成する工程と、

前記第1のマスクパターンを除去後、前記第1の領域と前記第3の領域を覆い、かつ、前記第2の領域を露出する第2のマスクパターンを形成する工程と、

前記第2のマスクパターンをマスクにし、前記第1の不純物よりも拡散係数が小さい第1導電型の第3の不純物を前記半導体基板にイオン注入し、前記第2のゲート電極の横の前記半導体基板に第2のポケット領域を形成する工程と、

前記第2のマスクパターンをマスクにし、第2導電型の第4の不純物を前記半導体基板にイオン注入することにより、前記第2のゲート電極の横の前記半導体基板に第3のソースドレインエクステンションを形成する工程と、

前記第1のゲート電極の横の前記半導体基板に、第1導電型の第1のソースドレイン領域を形成する工程と、

前記第2のゲート電極の横の前記半導体基板に、第2導電型の第2のソースドレイン領域を形成する工程と、

前記第3のゲート電極の横の前記半導体基板に、第2導電型の第3のソースドレイン領域を形成する工程と、

を有し、

前記第2のソースドレイン領域を形成する工程と、前記第3のソースドレイン領域を形成する工程は、同一工程であることを特徴とする半導体装置の製造方法。

【請求項2】

前記第1のゲート絶縁膜、前記第2のゲート絶縁膜、及び前記第3のゲート絶縁膜を形成する前に、前記第1の領域、前記第2の領域、及び前記第3の領域における前記半導体基板の上に熱酸化膜を形成する工程と、

前記第1の領域を覆い、かつ前記第2の領域と前記第3の領域とを露出する第3のマスクパターンを前記熱酸化膜の上に形成する工程と、

前記第3のマスクパターンをマスクにし、前記第2の領域と前記第3の領域における前記シリコン基板に第1導電型の第5の不純物をイオン注入して、前記第2の領域に第1のチャンネル領域を形成し、かつ、前記第3の領域に第2のチャンネル領域を形成する工程とを更に有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記第2のソースドレインエクステンションを形成する工程は、

前記第1のマスクパターンをマスクにして、前記第2の不純物の注入深さよりも浅い部分の前記半導体基板に、第2導電型の第6の不純物をイオン注入する工程を更に有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】

前記第6の不純物の拡散係数は、前記第2の不純物の拡散係数よりも小さいことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】

前記第3の不純物はインジウムであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】

前記第1のソースドレインエクステンションと前記1のポケット領域とを形成する工程は、前記半導体基板の法線方向に対して斜めの方向から前記半導体基板に前記第1の不純物を注入することにより行われることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項7】

前記第2のソースドレインエクステンションを形成する工程は、前記第1の領域に前記第1のゲート絶縁膜が形成されている状態で行われることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項8】

前記第1のゲート電極のゲート長は、前記第2のゲート電極と前記第3のゲート電極の

10

20

30

40

50

各々のゲート長よりも長いことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関する。

【背景技術】

【0002】

近年の電子機器の高性能化に伴い、LSI等の半導体装置においては、一枚の半導体基板に動作電圧や動作速度等の電気的特性の異なる複数種類のMOSトランジスタが混載されることがある。

10

【0003】

各MOSトランジスタは様々な不純物領域を備える。そのような不純物領域としては、例えば、チャンネル領域、ソースドレイン領域、エクステンション領域、及びポケット領域等がある。

【0004】

このうち、チャンネル領域は、MOSトランジスタの閾値電圧を調節するために設けられ、ソースドレイン領域の間の半導体基板に設けられる。

【0005】

また、エクステンション領域は、ソースドレイン領域とチャンネル領域との間に高電界が集中するのを防止するために設けられ、ソースドレイン領域と比較して低濃度かつ浅く形成される。

20

【0006】

そして、ポケット領域は、ソースドレイン領域間におけるショートチャンネル効果を抑制するために設けられ、ゲート電極の下の半導体基板にソースドレイン領域とは反対導電型の不純物を注入して形成される。

【0007】

これらの不純物領域は、半導体基板に不純物をイオン注入することで個別に形成されるが、上記のように複数種類のMOSトランジスタが混載される製品ではイオン注入の工程数が増大し、製造コストの増加を招いてしまう。

【先行技術文献】

30

【特許文献】

【0008】

【特許文献1】国際公開第2004/112139号パンフレット

【特許文献2】特開平02-022862号公報

【特許文献3】特開2000-77541号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

半導体装置の製造方法において工程数の削減を目的とする。

【課題を解決するための手段】

40

【0010】

以下の開示の一観点によれば、半導体基板の第1の領域に第1のゲート絶縁膜を形成する工程と、前記半導体基板の第2の領域に、前記第1のゲート絶縁膜よりも薄い第2のゲート絶縁膜を形成する工程と、前記半導体基板の第3の領域に、前記第1のゲート絶縁膜よりも薄い第3のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜、前記第2のゲート絶縁膜、及び前記第3のゲート絶縁膜の上に、それぞれ第1のゲート電極、第2のゲート電極、及び第3のゲート電極を形成する工程と、前記第1のゲート電極、前記第2のゲート電極、及び前記第3のゲート電極を形成した後、前記第2の領域を覆い、かつ、前記第1の領域と前記第3の領域を露出する第1のマスクパターンを形成する工程と、前記第1のマスクパターンをマスクにして前記半導体基板に第1導電型の第1の不純物をイ

50

オン注入することにより、前記第1のゲート電極の横の前記半導体基板に第1のソースドレインエクステンションを形成し、かつ、前記第3のゲート電極の横の前記半導体基板に第1のポケット領域を形成する工程と、前記第1のマスクパターンをマスクにし、前記第1のゲート絶縁膜の下での第2導電型の第2の不純物の濃度が前記第1の不純物の濃度よりも低くなる条件で前記半導体基板に前記第2の不純物をイオン注入することにより、前記第3のゲート電極の横の前記半導体基板に第2のソースドレインエクステンションを形成する工程と、前記第1のマスクパターンを除去後、前記第1の領域と前記第3の領域を覆い、かつ、前記第2の領域を露出する第2のマスクパターンを形成する工程と、前記第2のマスクパターンをマスクにし、前記第1の不純物よりも拡散係数が小さい第1導電型の第3の不純物を前記半導体基板にイオン注入し、前記第2のゲート電極の横の前記半導体基板に第2のポケット領域を形成する工程と、前記第2のマスクパターンをマスクにし、第2導電型の第4の不純物を前記半導体基板にイオン注入することにより、前記第2のゲート電極の横の前記半導体基板に第3のソースドレインエクステンションを形成する工程と、前記第1のゲート電極の横の前記半導体基板に、第1導電型の第1のソースドレイン領域を形成する工程と、前記第2のゲート電極の横の前記半導体基板に、第2導電型の第2のソースドレイン領域を形成する工程と、前記第3のゲート電極の横の前記半導体基板に、第2導電型の第3のソースドレイン領域を形成する工程とを有し、前記第2のソースドレイン領域を形成する工程と、前記第3のソースドレイン領域を形成する工程は、同一工程である半導体装置の製造方法が提供される。

10

【発明の効果】

20

【0011】

以下の開示によれば、第1のマスクパターンをマスクにして半導体基板に第1の不純物をイオン注入し、第1のソースドレインエクステンションと第1のポケット領域とを同時に形成するので、工程数の削減が可能になる。

【0012】

また、第1のソースドレインエクステンションを形成する工程と、第2のソースドレインエクステンションを形成する工程とで、上記した第1のマスクパターンを共用することによっても、工程数の削減が図られる。

【0013】

一方、第1の不純物よりも拡散係数が小さく急峻な濃度プロファイルを作り易い第3の不純物については、第1のソースドレインエクステンションを形成する工程とは別の工程で半導体基板にイオン注入し、第2のポケット領域を形成する。

30

【0014】

これにより、第2のポケット領域の濃度プロファイルが急峻になるので、第2のポケット領域を備えたトランジスタの短チャネル効果を抑制でき、当該トランジスタの閾値電圧を下げてその動作速度を速めることができる。

【0015】

しかも、上記のように第1のソースドレインエクステンションと第2のポケット領域とを別工程で形成することで、第3の不純物により第1のソースドレインエクステンションのプロファイルが不必要に急峻にならない。その結果、第1のソースドレインエクステンションを備えたトランジスタの耐圧が低下するのを防止できる。

40

【0016】

このように、耐圧や動作速度等の電気的特性の異なる複数のトランジスタを形成する場合でも、これらの電気的特性を維持しつつ、工程数の削減を図ることが可能となる。

【図面の簡単な説明】

【0017】

【図1】図1(a)、(b)は、本実施形態に係る半導体装置の製造途中の断面図(その1)である。

【図2】図2(a)、(b)は、本実施形態に係る半導体装置の製造途中の断面図(その2)である。

50

【図3】図3(a)、(b)は、本実施形態に係る半導体装置の製造途中の断面図(その3)である。

【図4】図4(a)、(b)は、本実施形態に係る半導体装置の製造途中の断面図(その4)である。

【図5】図5(a)、(b)は、本実施形態に係る半導体装置の製造途中の断面図(その5)である。

【図6】図6(a)、(b)は、本実施形態に係る半導体装置の製造途中の断面図(その6)である。

【図7】図7(a)、(b)は、本実施形態に係る半導体装置の製造途中の断面図(その7)である。

10

【図8】図8(a)、(b)は、本実施形態に係る半導体装置の製造途中の断面図(その8)である。

【図9】図9(a)、(b)は、本実施形態に係る半導体装置の製造途中の断面図(その9)である。

【図10】図10(a)、(b)は、本実施形態に係る半導体装置の製造途中の断面図(その10)である。

【図11】図11(a)、(b)は、本実施形態に係る半導体装置の製造途中の断面図(その11)である。

【図12】図12(a)、(b)は、本実施形態に係る半導体装置の製造途中の断面図(その12)である。

20

【図13】図13(a)、(b)は、本実施形態に係る半導体装置の製造途中の断面図(その13)である。

【図14】図14は、本実施形態に係る半導体装置の製造途中の断面図(その14)である。

【図15】図15は、本実施形態に係る半導体装置の製造途中の断面図(その15)である。

【図16】図16は、本実施形態に係る半導体装置の製造途中の断面図(その16)である。

【図17】図17(a)は、図8(b)のA-A線に沿う不純物濃度プロファイルのシミュレーション結果を示す図であり、図17(b)は、図8(b)のB-B線に沿う不純物濃度プロファイルのシミュレーション結果を示す図である。

30

【図18】図18(a)は、図9(b)のC-C線に沿う不純物濃度プロファイルのシミュレーション結果を示す図であり、図18(b)は、図9(b)のD-D線に沿う不純物濃度プロファイルのシミュレーション結果を示す図である。

【図19】図19(a)は、図13(a)のE-E線に沿った第1のn型ソースドレイン領域の不純物濃度プロファイルのシミュレーション結果であり、図19(b)は、図13(a)のF-F線に沿った第3のn型ソースドレイン領域の不純物濃度プロファイルのシミュレーション結果である。

【図20】図20(a)は、図13(b)のG-G線に沿った第1のp型ソースドレイン領域の不純物濃度プロファイルのシミュレーション結果であり、図20(b)は、図13(b)のH-H線に沿った第3のp型ソースドレイン領域の不純物濃度プロファイルのシミュレーション結果である。

40

【発明を実施するための形態】

【0018】

図1～図16は、本実施形態に係る半導体装置の製造途中の断面図である。

【0019】

本実施形態では、以下のようにして一枚の半導体基板に複数種類のMOSトランジスタを混載する。

【0020】

まず、図1(a)に示すように、シリコン基板1に素子分離溝1aを形成し、その素子

50

分離溝 1 a 内に素子分離絶縁膜 2 として酸化シリコン膜をCVD法により形成する。このような素子分離構造はSTI(Shallow Trench Isolation)とも呼ばれる。STIに代えて、LOCOS(Local Oxidation of Silicon)により素子分離を行ってもよい。

【 0 0 2 1 】

更に、シリコン基板 1 の表面を熱酸化することにより、犠牲絶縁膜 3 として厚さが約 10 nm の熱酸化膜を形成する。

【 0 0 2 2 】

図 1 (a) に示されるように、シリコン基板 1 は、高電圧トランジスタ形成領域HV、低電圧トランジスタ形成領域LV、及び低リークトランジスタ形成領域LLを備える。

【 0 0 2 3 】

このうち、高電圧トランジスタ形成領域HVは、高電圧トランジスタを形成する領域であって、p型高電圧トランジスタ形成領域HV_pとn型高電圧トランジスタ形成領域HV_nとに細分される。

【 0 0 2 4 】

また、低電圧トランジスタ形成領域LVは、領域HVにおけるよりも低電圧で駆動するトランジスタを形成する領域である。その低電圧トランジスタ形成領域LVには、n型低電圧トランジスタ形成領域LV_nとp型低電圧トランジスタ形成領域LV_pが画定される。

【 0 0 2 5 】

そして、低リークトランジスタ形成領域LLは、領域HVにおけるよりも低電圧で駆動し、かつ、領域LVにおけるよりもリーク電流が少ないトランジスタを形成する領域である。その低リークトランジスタ形成領域LLは、n型低リークトランジスタ形成領域LL_nとp型低リークトランジスタ形成領域LL_pに細分される。

【 0 0 2 6 】

なお、後述のように、領域LVと領域LLとを比較すると、領域LVに形成されるトランジスタの方が動作速度が速い。

【 0 0 2 7 】

次に、図 1 (b) に示すように、犠牲絶縁膜 3 の上にフォトレジストを塗布し、それを露光、現像することにより、第 1 のマスクパターン 4 を形成する。

【 0 0 2 8 】

そして、その第 1 のマスクパターン 4 で覆われていないn型高電圧トランジスタ形成領域HV_nにおけるシリコン基板 1 にp型不純物としてB⁺イオンをイオン注入し、第 1 のpウェル 5 を形成する。

【 0 0 2 9 】

更に、第 1 のマスクパターン 4 を引き続きマスクにして、n型高電圧トランジスタ形成領域HV_nにおけるシリコン基板 1 にp型不純物としてB⁺をイオン注入し、当該領域HV_nでのトランジスタの閾値電圧を調節するための第 1 のp型チャネル領域 6 を形成する。

【 0 0 3 0 】

この後に、第 1 のマスクパターン 4 は除去される。

【 0 0 3 1 】

続いて、図 2 (a) に示すように、犠牲絶縁膜 3 の上にフォトレジストを塗布し、それを露光、現像して、p型高電圧トランジスタ形成領域HV_pが露出する第 2 のマスクパターン 9 を形成する。

【 0 0 3 2 】

次いで、第 2 のマスクパターン 9 をマスクにするイオン注入により、p型高電圧トランジスタ形成領域HV_pにおけるシリコン基板 1 に、第 1 のnウェル 10 と第 1 のn型チャネル領域 11 を形成する。

【 0 0 3 3 】

なお、本工程におけるn型不純物としてはP⁺イオンが使用される。

【 0 0 3 4 】

また、このようにして形成された第 1 のn型チャネル領域 11 により、領域HV_pに後で形

10

20

30

40

50

成されるトランジスタの閾値電圧が調節されることになる。

【0035】

この後に、第2のマスクパターン9は除去される。

【0036】

なお、第2のマスクパターン9を除去した後、各ウェル5、10の不純物プロファイルを広げるためのアニールを行ってもよい。

【0037】

次に、図2(b)に示すように、犠牲絶縁膜3の上にフォトリソを塗布し、それを露光、現像して、第3のマスクパターン13を形成する。

【0038】

次いで、第3のマスクパターン13から露出する各領域 LV_n 、 LL_n に B^+ イオン等のp型不純物をイオン注入し、これらの領域におけるシリコン基板1に第2のpウェル15と第3のpウェル16とを形成する。

【0039】

その後に、第3のマスクパターン13を除去する。

【0040】

続いて、図3(a)に示すように、犠牲絶縁膜3の上に第4のマスクパターン18としてレジストパターンを形成する。そして、第4のマスクパターン18から露出する各領域 LV_p 、 LL_p に P^+ イオン等のn型不純物をイオン注入することにより、これらの領域におけるシリコン基板1に第2のnウェル21と第3のnウェル22とを形成する。

【0041】

このイオン注入を終了後、第4のマスクパターン18を除去する。

【0042】

なお、第4のマスクパターン18を除去した後、各ウェル15、16、21、22の不純物プロファイルを広げるためのアニールを行ってもよい。

【0043】

次に、図3(b)に示す断面構造を得るまでの工程について説明する。

【0044】

まず、犠牲絶縁膜3の上にフォトリソを塗布し、それを露光、現像することにより、n型低電圧トランジスタ形成領域 LV_n とn型低リークトランジスタ形成領域 LL_n が露出する第5のマスクパターン23を形成する。

【0045】

なお、これらの領域 LV_n 、 LL_n 以外の領域 HV_p 、 HV_n 、 LV_p 、 LL_p は第5のマスクパターン23で覆われる。

【0046】

次いで、犠牲絶縁膜3をスルー膜にしなが、第5のマスクパターン23をマスクにしてシリコン基板1にp型不純物をイオン注入することにより、領域 LV_n 、 LL_n におけるシリコン基板1に第2及び第3のp型チャンネル領域24、25を同時に形成する。

【0047】

このように一つのマスクパターン22を用いて各領域 LV_n 、 LL_n に同時にチャンネル領域24、25を形成することで、チャンネル領域24、25毎にマスクパターンを個別に形成する場合と比較して、マスクパターンの形成工程とイオン注入工程の削減が図られる。

【0048】

なお、本工程におけるイオン注入条件は特に限定されない。本実施形態では、p型不純物として B^+ イオンを採用し、加速エネルギーが15 keV、ドーズ量が $1 \times 10^{13} \text{cm}^{-2}$ 、チルト角が7°の条件でこのイオン注入を行う。

【0049】

また、このようにして形成された各チャンネル領域24、25により、各領域 LV_n 、 LL_n に後で形成されるトランジスタの閾値電圧を調節することができる。

【0050】

10

20

30

40

50

この後に第5のマスクパターン23は除去される。

【0051】

次いで、図4(a)に示すように、犠牲絶縁膜3の上に第6のマスクパターン27としてレジストパターンを形成する。

【0052】

そして、犠牲絶縁膜3をスルー膜にし、第6のマスクパターン27をマスクにしながらシリコン基板1にn型不純物としてP⁺イオンをイオン注入し、各領域LV_p、LL_pに同時に第2及び第3のn型チャネル領域28、29を同時に形成する。

【0053】

図3(b)の工程と同様に、本工程でも一つのマスクパターン27で二つのチャネル領域28、29を同時に形成するので、各領域28、29を個別に形成する場合よりもマスクパターンの形成工程とイオン注入の形成工程を削減することができる。

【0054】

また、本工程のイオン注入の条件としては、例えば、加速エネルギー65 keV、ドーズ量 $5.3 \times 10^{13} \text{cm}^{-2}$ 、チルト角7°が採用される。

【0055】

これらのチャネル領域28、29は、各領域LV_p、LL_pに後で形成されるトランジスタの閾値電圧を調節するのに供される。

【0056】

この後に、第6のマスクパターン27は除去される。

【0057】

続いて、図4(b)に示すように、上記の各イオン注入でダメージを受けた犠牲絶縁膜3を除去するために、フッ酸溶液を用いたウエットエッチングにより犠牲絶縁膜3をエッチングし、シリコン基板1の清浄面を露出させる。

【0058】

次いで、図5(a)に示すように、酸素雰囲気中で基板温度を約800 とする条件でシリコン基板1の表面を熱酸化することにより、第1のゲート絶縁膜31として厚さが約14 nm~16 nmの熱酸化膜を形成する。

【0059】

次に、図5(b)に示すように、シリコン基板1の上側全面にフォトレジストを塗布し、それを露光、現像することにより、各領域HV_p、HV_nを覆う第7のマスクパターン35を形成する。

【0060】

そして、フッ酸溶液をエッチング液とするウエットエッチングより、第7のマスクパターン35で覆われていない各領域LV_n、LV_p、LL_n、LL_pにおける第1のゲート絶縁膜31をエッチングして除去し、これらの領域にシリコン基板1の清浄面を露出させる。

【0061】

その後、第7のマスクパターン35は除去される。

【0062】

次に、図6(a)に示すように、酸素雰囲気中でシリコン基板1の表面を熱酸化することにより、低電圧トランジスタ形成領域LV_n、LV_pに第2のゲート絶縁膜32を形成すると共に、低リークトランジスタ形成領域LL_n、LL_pに第3のゲート絶縁膜33を形成する。

【0063】

第2のゲート絶縁膜32と第3のゲート絶縁膜33は、高電圧トランジスタ形成領域HV_p、HV_nに形成されるトランジスタよりもゲート電圧やドレイン電圧等の動作電圧が低いトランジスタに使用される。そのため、これらのゲート絶縁膜32、33の膜厚は、各領域HV_p、HV_nの第1のゲート絶縁膜31よりも薄いのが好ましく、本実施形態では1.5 nm~2.0 nm程度の厚さに各ゲート絶縁膜32、33を形成する。また、各ゲート電極32、33を形成するときの基板温度は、例えば740 とされる。

【0064】

10

20

30

40

50

次いで、図6(b)に示すように、第1～第3のゲート絶縁膜31～33の上に導電膜36としてCVD法によりポリシリコン膜を約105nmの厚さに形成する。

【0065】

次に、図7(a)に示す断面構造を得るまでの工程について説明する。

【0066】

まず、導電膜36の上にフォトリジストを塗布し、それを露光、現像して、ゲート電極形状の第8のマスクパターン37を形成する。

【0067】

そして、第8のマスクパターン37をマスクにして導電膜36をドライエッチングすることにより、第1～第3のゲート絶縁膜31～33の各々の上に第1～第3のゲート電極36a～36cを形成する。

10

【0068】

ゲート電極のゲート長は、ゲート電圧やドレイン電圧等の動作電圧が高いトランジスタほど長くするのが好ましい。そこで、本実施形態では、高電圧トランジスタ形成領域 HV_p 、 HV_n に形成される第1のゲート電極36aの長さを約600nm～700nmとし、各ゲート電極36a～36cの中で最も長くする。

【0069】

一方、第2のゲート電極36bのゲート長は約55nm～65nmとし、第3のゲート電極36cのゲート長は約60nm～65nmとする。

【0070】

20

この後に、第8のレジストパターン37は除去される。

【0071】

次いで、図7(b)に示すように、各ゲート絶縁膜31～33上と各ゲート電極36a～36cの上にフォトリジストを塗布し、それを露光、現像することにより、第9のマスクパターン40を形成する。

【0072】

その第9のマスクパターン40は、p型高電圧トランジスタ形成領域 HV_p とn型低リークトランジスタ形成領域 LL_n とを露出し、かつ、これ以外の領域 HV_n 、 LV_n 、 LV_p 、 LL_p を覆うように形成される。

【0073】

30

そして、第9のマスクパターン40をマスクにし、ゲート絶縁膜31、33をスルー膜にしなが、シリコン基板1の法線方向nに対して斜めの方向から基板1にp型不純物(第1の不純物)をイオン注入する。

【0074】

これにより、領域 HV_p における第1のゲート電極36aの横のシリコン基板に第1のp型ソースドレインエクステンション41が形成されると共に、領域 LL_n における第3のゲート電極36cの横のシリコン基板1に第1のp型ポケット領域42が形成される。

【0075】

その第1のp型ポケット領域42は、上記のように斜め方向からイオン注入をしたことで、第3のゲート電極36cの下にも形成される。その結果、第3のゲート電極36cの下のチャンネル不純物であるp型不純物の濃度が上昇し、短チャンネル効果を抑制することができる。

40

【0076】

更に、本実施形態では、第1のp型ソースドレインエクステンション41と第1のp型ポケット領域42とに共通の第9のマスクパターン40を形成し、そのマスクパターン40を用いて各領域41、42を一回のイオン注入で同時に形成する。そのため、別々のマスクパターンを用いた複数回のイオン注入でこれらの領域41、42を形成する場合と比較して、本実施形態ではマスクの形成工程とイオン注入工程とを削減することができる。

【0077】

本工程におけるイオン注入条件は特に限定されない。本実施形態では、p型不純物とし

50

てB⁺イオンを用い、シリコン基板1を90°づつ回転させながらこのイオン注入を4回に分けて行う。各回の条件は、加速エネルギーが15 keV、ドーズ量が $8 \times 10^{14} \text{cm}^{-2}$ 、チルト角が28°である。なお、チルト角は、イオンの注入方向とシリコン基板1の法線方向nとが成す角である。

【0078】

次いで、図8(a)に示すように、上記の第9のマスクパターン40を剥離せずに引き続きマスクとして使用し、n型低リークトランジスタ形成領域LL_nにおけるシリコン基板1にn型不純物としてP⁺イオンをイオン注入する。

【0079】

このイオン注入では、領域LL_nにおける第3のゲート絶縁膜33がスルー膜として機能し、第3のゲート電極36cの横のシリコン基板1に第1のn型不純物領域43が形成される。

【0080】

一方、p型高電圧トランジスタ形成領域HV_pにおいては、第3のゲート絶縁膜33よりも厚い第1のゲート絶縁膜31によりP⁺イオンの大部分が阻止される。

【0081】

そのため、第1のゲート絶縁膜31の下でのP⁺イオンの濃度を第1のp型ソースドレインエクステンション41のp型不純物濃度よりも低くし易くなり、当該p型不純物濃度がP⁺イオンによって過度に希釈されるのを防止できる。

【0082】

本工程でのイオン注入条件は特に限定されないが、本実施形態ではシリコン基板1を90°づつ反転させながら4回に分けてシリコン基板1にP⁺イオンを注入する。各回の注入条件は、加速エネルギーが1 keV、ドーズ量が $0.9 \times 10^{14} \text{cm}^{-2}$ 、チルト角が0°である。

【0083】

次いで、図8(b)に示すように、上記の第9のマスクパターン40を剥離せずに引き続きマスクとして使用し、n型低リークトランジスタ形成領域LL_nにおけるシリコン基板1にn型不純物としてAs⁺イオンをイオン注入し、第2のn型不純物領域44を形成する。

【0084】

後述のように、このイオン注入では、第1のn型不純物領域43のP⁺イオンの注入深さよりも浅い部分のシリコン基板1にAs⁺イオンを注入することで、第1のn型不純物領域43よりも浅く第2のn型不純物領域44を形成するのが好ましい。

【0085】

また、上記のイオン注入の条件は特に限定されないが、本実施形態ではシリコン基板1を90°づつ反転させながらこのイオン注入を4回に分けて行う。各回の条件は、加速エネルギーが1 keV、ドーズ量が $1.4 \times 10^{14} \text{cm}^{-2}$ 、チルト角が0°である。

【0086】

このようなイオン注入により、領域LL_nにおける第3のゲート電極36cの横のシリコン基板1に、各n型不純物領域43、44を備えた第1のn型ソースドレインエクステンション45が、第1のp型ポケット領域42よりも浅く形成されたことになる。

【0087】

このように二つの不純物拡散領域43、44を形成したことで、第1のn型不純物領域43だけでは不足しがちな第1のn型ソースドレインエクステンション45のn型不純物濃度を補うことができる。

【0088】

更に、本工程でイオン注入されるAs⁺イオンは、第1のn型不純物拡散43内のP⁺イオンよりも拡散係数が小さい。そのため、トランジスタの製造途中に加わる熱が原因でAs⁺イオンがシリコン基板1内を大きく移動するのを抑制でき、第1のn型ソースドレインエクステンション45の不純物プロファイルが崩れるのを防止し易くなる。

【0089】

10

20

30

40

50

また、第1のn型不純物領域43よりも浅く第2のn型不純物領域44を形成することで、pウェル16との界面近傍における第1のn型ソースドレインエクステンション45の不純物濃度が緩やかに変化する。これにより、第1のn型ソースドレインエクステンション45とpウェル16との間に電圧を印加したとき、これらの間のpn接合における電位変化が緩やかとなって当該pn接合における耐圧が高められ、領域 LL_n におけるリーク電流を低減できる。

【0090】

しかも、本実施形態では、領域 HV_p に第1のp型ソースドレインエクステンション41を形成したときのマスクである第9のマスクパターン40をそのまま利用して第1のn型ソースドレインエクステンション45を形成する。そのため、別々のマスクを利用して複数回のイオン注入により各領域41、45を個別に形成する場合と比較して、マスクパターンの形成工程とイオン注入工程とを削減することが可能となる。

10

【0091】

ここで、上記の As^+ イオンは領域 HV_p におけるシリコン基板1にもある程度は注入されるが、第1のゲート絶縁膜31は第3のゲート絶縁膜33よりも厚いので、 As^+ イオンの大部分は第1のゲート絶縁膜31によって阻止される。よって、加速エネルギーやドーズ量を調節することで、第1のゲート絶縁膜31の下における As^+ イオン濃度をp型ソースドレインエクステンション41内の B^+ イオン濃度よりも小さくできる。これにより、領域 LL_n に第1のn型ソースドレインエクステンション45を形成しつつ、p型ソースドレインエクステンション41のp型不純物濃度が過度に希釈化されるのを抑制できる。

20

【0092】

上記のイオン注入が終了後、第9のマスクパターン40は除去される。

【0093】

次に、図9(a)に示す断面構造を得るまでの工程について説明する。

【0094】

まず、各ゲート絶縁膜31~33の上にフォトリジストを塗布し、それを露光、現像し第10のマスクパターン47を形成する。

【0095】

第10のマスクパターン47は各領域 HV_n 、 LL_p が露出するように形成され、これ以外の領域 HV_p 、 LV_n 、 LV_p 、 LL_n は第10のマスクパターン47で覆われる。

30

【0096】

そして、シリコン基板1の法線方向nに対してイオンの注入方向を傾けながら、第10のマスクパターン47で覆われていない各領域 HV_n 、 LL_p におけるシリコン基板1にn型不純物として P^+ イオンをイオン注入する。

【0097】

これにより、領域 LL_p のシリコン基板1においては、第3のゲート電極36cの横から下にかけて第1のn型ポケット領域49が形成される。そして、これと同時に、領域 HV_n においては、第1のゲート電極36aの横のシリコン基板1に第2のn型ソースドレインエクステンション48が形成される。

40

【0098】

図7(b)の工程と同様に、本工程でも、一つのマスクパターン47により二つの領域48、49を同時に形成するため、マスクパターン47の形成工程とイオン注入工程とを削減することができる。

【0099】

なお、本実施形態ではシリコン基板1を 90° づつ反転させながらこのイオン注入を4回に分けて行い、各回のイオン注入は加速エネルギーを40keV、ドーズ量を $8 \times 10^{14} \text{cm}^{-2}$ 、チルト角を 28° として行われる。

【0100】

続いて、図9(b)に示すように、上記のマスクパターン47を引き続きマスクにして、シリコン基板1にp型不純物として B^+ イオンをイオン注入し、領域 LL_p に第2のp型ソー

50

ストレインエクステンション50を形成する。

【0101】

上記のB⁺イオンは領域HV_nにおけるシリコン基板1にもある程度は注入される。

【0102】

但し、第1のゲート絶縁膜31は第3のゲート絶縁膜33よりも厚いため、B⁺イオンの大部分を第1のゲート絶縁膜31によって阻止することができる。そのため、加速エネルギーやドーズ量を調節することで、第1のゲート絶縁膜31の下におけるB⁺イオン濃度をn型ソースドレインエクステンション48内のP⁺イオン濃度よりも小さくできる。これにより、領域LL_pに第2のp型ソースドレインエクステンション50を形成しつつ、n型ソースドレインエクステンション48のn型不純物濃度が希釈化されるのを抑制できる。

10

【0103】

本実施形態では、加速エネルギーを0.3 keV、ドーズ量を $1.0 \times 10^{14} \text{cm}^{-2}$ 、チルト角を0°とする条件で、シリコン基板1を90°づつ回転させながらイオン注入を4回行い、上記の第2のp型ソースドレインエクステンション50を形成する。

【0104】

更に、図9(a)の工程で第1のn型ポケット領域49等の形成に使用した第10のマスクパターン47を本工程で利用することで、マスクの形成工程を削減することができる。

【0105】

このイオン注入を終了後、第10のマスクパターン47は除去される。

20

【0106】

次に、図10(a)に示すように、各ゲート絶縁膜31~33の上に第11のマスクパターン52としてレジストパターンを形成する。

【0107】

そして、第11のマスクパターン52をマスクにし、法線方向nに対して斜めの方向から領域LV_nにおけるシリコン基板1にp型不純物としてIn⁺イオンをイオン注入して、第2のゲート電極36bの横に第2のp型ポケット領域54を形成する。

【0108】

このイオン注入の条件は、例えば、加速エネルギーが40 keV、ドーズ量が $8.0 \times 10^{12} \text{cm}^{-2}$ 、チルト角が28°である。このような条件でシリコン基板1を90°づつ回転させながらイオン注入を4回行うことで上記の第2のp型ポケット領域54が形成される。

30

【0109】

ここで、本工程で注入されたIn⁺イオンは、B⁺イオンと比較して質量が大きくシリコン中での拡散係数も小さいため、シリコン基板1内を横方向に拡散し難い。例えば、基板温度が1000°Kのとき、シリコン中でのIn⁺イオンの拡散係数は $7.5 \times 10^{-15} \text{cm}^2/\text{s}$ であり、この値はシリコン中におけるB⁺イオンの拡散係数($2.0 \times 10^{-14} \text{cm}^2/\text{s}$)よりも小さな値である。

【0110】

そのため、p型ポケット領域54の不純物としてB⁺イオンを使用する場合と比較して、本実施形態では第2のp型ポケット領域54の基板横方向の濃度プロファイルを急峻にすることができ、領域LV_nにおける短チャネル効果を効果的に抑制できる。その結果、領域LV_nに形成されるトランジスタの閾値電圧を低くすることができ、当該トランジスタの高速化を実現することができる。

40

【0111】

次いで、図10(b)に示すように、上記の第11のマスクパターン52を引き続きマスクに用いて、領域LV_nにおけるシリコン基板1にn型不純物としてAs⁺イオンをイオン注入する。

【0112】

このイオン注入の条件としては、加速エネルギー1 keV、ドーズ量 $2.7 \times 10^{14} \text{cm}^{-2}$ 、

50

チルト角 0° が採用される。そして、この条件でシリコン基板 1 を 90° づつ回転させながらイオン注入を 4 回行うことで、第 2 のゲート電極 3 6 b の横のシリコン基板 1 に第 3 の n 型ソースドレインエクステンション 5 5 が形成される。

【 0 1 1 3 】

この後に、第 1 1 のマスクパターン 5 2 は除去される。

【 0 1 1 4 】

次に、図 1 1 (a) に示すように、各ゲート絶縁膜 3 1 ~ 3 3 の上にフォトレジストを塗布し、それを露光、現像して第 1 2 のマスクパターン 5 7 とする。

【 0 1 1 5 】

そして、第 1 2 のマスクパターン 5 7 をマスクに用いて、加速エネルギーを 6 0 keV、ドーズ量を $6 \times 10^{12} \text{cm}^{-2}$ 、チルト角 を 28° とするイオン注入を 4 回行い、領域 LV_p におけるシリコン基板 1 に n 型不純物として As^+ イオンを注入する。なお、各回のイオン注入は、シリコン基板 1 を 90° づつ回転させながら行われる。

【 0 1 1 6 】

そのようなイオン注入により、第 2 のゲート電極 3 6 b の横のシリコン基板 1 に第 2 の n 型ポケット領域 5 8 が形成される。

【 0 1 1 7 】

更に、図 1 1 (b) に示すように、上記の第 1 2 のマスクパターン 5 7 を引き続きマスクに使用して、領域 LV_p における第 2 のゲート電極 3 6 b の横のシリコン基板 1 に p 型不純物をイオン注入し、第 3 の p 型ソースドレインエクステンション 5 9 を形成する。

【 0 1 1 8 】

そのイオン注入の条件は特に限定されない。本実施形態では、p 型不純物として B^+ イオンを採用し、シリコン基板 1 を 90° づつ回転させながら 4 回に分けてこのイオン注入を行う。各回の条件は、例えば、加速エネルギーが 0 . 3 keV、ドーズ量が $1 . 0 \times 10^{14} \text{cm}^{-2}$ 、チルト角が 0° である。

【 0 1 1 9 】

この後に、第 1 2 のマスクパターン 5 7 は除去される。

【 0 1 2 0 】

続いて、図 1 2 (a) に示すように、シリコン基板 1 の上側全面に絶縁膜 6 1 を形成する。その絶縁膜 6 1 は、例えば、CVD 法で形成された酸化シリコン膜である。

【 0 1 2 1 】

そして、図 1 2 (b) に示すように、この絶縁膜 6 1 をエッチバックして各ゲート電極 3 6 a ~ 3 6 c の横に絶縁性サイドウォール 6 1 a として残す。

【 0 1 2 2 】

次に、図 1 3 (a) に示すように、シリコン基板 1 の上側全面にフォトレジストを塗布し、それを露光、現像して第 1 3 のマスクパターン 6 2 を形成する。

【 0 1 2 3 】

そして、そのマスクパターン 6 2 をマスクにし、各領域 HV_n 、 LV_n 、 LL_n に n 型不純物として P^+ イオンをイオン注入し、これらの領域に第 1 ~ 第 3 の n 型ソースドレイン領域 6 5 ~ 6 7 を形成する。

【 0 1 2 4 】

このイオン注入を終了後、第 1 3 のマスクパターン 6 2 は除去される。

【 0 1 2 5 】

次いで、図 1 3 (b) に示すように、上記の第 1 3 のマスクパターン 6 2 と同様にして、シリコン基板 1 の上側全面にフォトレジストを塗布する。そして、そのフォトレジストを露光、現像することにより、第 1 4 のマスクパターン 6 3 を形成する。

【 0 1 2 6 】

更に、このマスクパターン 6 3 をマスクに用いながら、各領域 HV_p 、 LV_p 、 LL_p に p 型不純物として B^+ イオンをイオン注入することにより、これらの領域に第 1 ~ 第 3 の p 型ソースドレイン領域 6 8 ~ 7 0 を形成する。

【 0 1 2 7 】

その後、第 1 4 のマスクパターン 6 3 を除去する。

【 0 1 2 8 】

次いで、図 1 4 に示すように、シリコン基板 1 の上側全面に高融点金属膜としてコバルト膜をスパッタ法で形成し、そのコバルト膜をアニールしてシリコンと反応させることにより、各ソースドレイン領域 6 5 ~ 7 0 の上に高融点金属シリサイド膜 7 1 を形成する。

【 0 1 2 9 】

その高融点金属シリサイド膜 7 1 は、各ゲート電極 3 6 a ~ 3 6 c の表層にも形成され、それによりゲート電極 3 6 a ~ 3 6 c の低抵抗化が図られる。

【 0 1 3 0 】

その後、素子分離絶縁膜 2 の上で未反応となっているコバルト膜をウエットエッチングして除去する。

【 0 1 3 1 】

ここまでの工程により、シリコン基板 1 の各領域 HV_p 、 HV_n に、それぞれ p 型高電圧 MOS トランジスタ TR_{HVP} と n 型高電圧 MOS トランジスタ TR_{HVN} の基本構造が完成する。

【 0 1 3 2 】

また、各領域 LV_p 、 LV_n においては、それぞれ p 型低電圧 MOS トランジスタ TR_{LVP} と n 型低電圧 MOS トランジスタ TR_{LVN} の基本構造が完成する。

【 0 1 3 3 】

更に、各領域 LL_n 、 LL_p では、それぞれ n 型低リーク MOS トランジスタ TR_{LLN} と p 型低リーク MOS トランジスタ TR_{LLP} の基本構造が完成する。

【 0 1 3 4 】

続いて、図 1 5 に示すように、シリコン基板 1 の上側全面に層間絶縁膜 7 5 として CVD 法により酸化シリコン膜を形成する。

【 0 1 3 5 】

そして、各ゲート電極 3 6 a ~ 3 6 c を反映して層間絶縁膜 7 5 の上面に形成された凹凸を除去すべく、CMP 法により層間絶縁膜 7 5 の上面を研磨して平坦化する。

【 0 1 3 6 】

次に、図 1 6 に示す断面構造を得るまでの工程について説明する。

【 0 1 3 7 】

まず、層間絶縁膜 7 5 をパターニングして各ソースドレイン領域 6 5 ~ 7 0 の上にコンタクトホール 7 5 a を形成する。

【 0 1 3 8 】

次いで、コンタクトホール 7 5 a の内面と層間絶縁膜 7 5 の上面に、スパッタ法でチタン膜と窒化チタン膜とをこの順に形成し、これらの膜をグルー膜とする。

【 0 1 3 9 】

更に、このグルー膜上に CVD 法でタングステン膜を形成してコンタクトホール 7 5 a を埋め込んだ後、層間絶縁膜 7 5 の上の余分なグルー膜とタングステン膜とを CMP 法で研磨して除去し、これらの膜をコンタクトホール 7 5 a 内に導電性プラグ 8 0 として残す。

【 0 1 4 0 】

その後、層間絶縁膜 7 5 と導電性プラグ 8 0 の上にスパッタ法でアルミニウム膜を含む金属積層膜を形成し、その金属積層膜をパターニングして金属配線 8 1 を形成する。

【 0 1 4 1 】

以上により、本実施形態に係る半導体装置の基本構造が完成する。

【 0 1 4 2 】

その半導体装置では、図 1 4 に示したように、シリコン基板 1 の上に動作電圧や動作速度の異なる複数種類の MOS トランジスタ TR_{HVP} 、 TR_{HVN} 、 TR_{LVP} 、 TR_{LVN} 、 TR_{LLP} 、 TR_{LLN} が形成される。

【 0 1 4 3 】

このように複数種類のトランジスタを形成する場合でも、本実施形態では、異種のトラ

10

20

30

40

50

ンジスタの同一導電型の不純物領域を同一のマスクパターンを用いて同一のイオン注入工程で形成するので、各不純物領域を個別に形成する場合よりも工程数の削減が可能となる。

【0144】

同一のイオン注入工程で形成される同一導電型の不純物領域としては、例えば、図7(b)に示した第1のp型ソースドレインエクステンション41と第1のp型ポケット領域42がある。

【0145】

また、本実施形態では、図8(a)、(b)に示したように、上記の各領域41、42の形成に使用した第9のマスクパターン40をそのまま用い、領域LL_nにn型不純物をイオン注入して第1のn型ソースドレインエクステンション45を形成する。

10

【0146】

このとき、領域HV_pでは、領域LL_nの第3のゲート絶縁膜33よりも厚い第1のゲート絶縁膜31によってn型不純物の注入を阻止し易いので、本工程の加速エネルギーやドーズ量を調節することで、領域HV_pに不必要にn型不純物が注入されるのを抑制できる。

【0147】

図17(a)は、図8(b)のA-A線に沿う不純物濃度プロファイルのシミュレーション結果を示す図である。

【0148】

また、図17(b)は、図8(b)のB-B線に沿う不純物濃度プロファイルのシミュレーション結果を示す図である。

20

【0149】

図17(a)、(b)の各々において、「ボロン」は、図7(b)の工程でイオン注入されたものであり、第1のp型ソースドレインエクステンション41と第1のp型ポケット領域42の各々のp型不純物として供されるものである。

【0150】

一方、「リン」は図8(a)の工程でイオン注入されたものであり、「砒素」は図8(b)の工程でイオン注入されたものである。既述のように、これらの不純物は、それぞれ第1及び第2のn型不純物領域43、44のn型不純物として供されるものである。そして、これらの領域43、44により、第1のn型ソースドレインエクステンション45が形成される。

30

【0151】

図17(a)に示されるように、これら「リン」と「砒素」は、厚い第1のゲート絶縁膜31によってその大部分が阻止される。そのため、第1のゲート絶縁膜31の下のシリコン基板1においては、「リン」と「砒素」の濃度は、「ボロン」の濃度よりも低くなる。

【0152】

このことから、上記のように図7(b)～図8(b)の各工程で第9のマスクパターン40を共用しても、第1のp型ソースドレインエクステンション41のp型不純物濃度がn型不純物である「リン」や「砒素」によって過剰に希釈されないことが確かめられた。

40

【0153】

この結果、マスクパターンの形成工程を省略しつつ、第1のp型ソースドレインエクステンション41の導電性をp型に維持することが可能となる。

【0154】

同じ理由により、図9(a)の工程において、第2のn型ソースドレインエクステンション48と第1のn型ポケット領域49とを同一のイオン注入で形成することで、マスクパターンの形成工程とイオン注入工程との削減が可能となる。

【0155】

そして、図9(b)に示したように、上記の領域48、49の形成に使用した第10のマスクパターン47を流用して第2のp型ソースドレインエクステンション50を形成し

50

たことで、マスクパターンの形成工程を更に省くことができる。

【0156】

図18(a)は、図9(b)のC-C線に沿う不純物濃度プロファイルのシミュレーション結果を示す図である。

【0157】

また、図18(b)は、図9(b)のD-D線に沿う不純物濃度プロファイルのシミュレーション結果を示す図である。

【0158】

図18(a)、(b)の各々において、「リン」は、図9(a)の工程でイオン注入されたものであり、第2のn型ソースドレインエクステンション48と第1のn型ポケット領域49の各々のn型不純物として供されるものである。

10

【0159】

一方、「ボロン」は、図9(b)の工程でイオン注入されたものであって、第2のp型ソースドレインエクステンション50のp型不純物として供されるものである。

【0160】

図18(a)に示されるように、厚い第1のゲート絶縁膜31によって「ボロン」の大部分が阻止される結果、第1のゲート絶縁膜31の下での「ボロン」の不純物濃度は、「リン」のそれよりも低くなる。

【0161】

よって、上記のように図9(a)~図9(b)の各工程で第10のマスクパターン47を共用しても、第2のn型ソースドレインエクステンション48の導電性をn型に維持することができる。

20

【0162】

これに対し、図10(a)に示したように、領域LV_nの第2のp型ポケット領域54については、他のトランジスタの不純物領域とは別工程で形成する。

【0163】

図10(a)の工程では、シリコン基板1にp型不純物としてIn⁺イオンをイオン注入することで第2のp型ポケット領域54を形成する。

【0164】

既述のように、In⁺イオンは、第2のp型ポケット領域54の基板横方向の不純物濃度プロファイルを急峻にし、トランジスタTR_{LV_n}(図14参照)の高速化に寄与する。このような高速化は、動作速度の向上の他に微細化も求められるゲート長が90nm以下の世代、例えば65nmの世代において特に実益がある。

30

【0165】

但し、濃度プロファイルの急峻化は、トランジスタの高速化には有用であるが、トランジスタの高耐圧化には不利である。

【0166】

例えば、p型高電圧MOSトランジスタTR_{HVP}(図14)の第1のp型ソースドレインエクステンション41のp型不純物としてIn⁺イオンを使用すると、B⁺イオンを使用する場合と比較して、当該エクステンション41の基板横方向の不純物プロファイルが急になる。

40

【0167】

そのため、エクステンション41とnウェル10との間に電圧を印加したとき、これらの間のpn接合における電位変化が急になり、当該pn接合においてブレークダウンが発生する危険性が高まる。

【0168】

よって、トランジスタTR_{HVP}の耐圧を維持するという観点からすると、領域LV_nの第2のp型ポケット領域54については、本実施形態のように領域HV_pの第1のp型ソースドレインエクステンション41とは別工程で形成するのが好ましい。

【0169】

更に、上記のようなIn⁺イオンによる不純物濃度の急峻化は、トランジスタのリーク電

50

流を低減するという点においても不利である。

【0170】

例えば、p型低リークMOSトランジスタ TR_{LLP} （図14）の第2のp型ソースドレインエクステンション50のp型不純物として In^+ イオンを用いると、 B^+ イオンを用いる場合と比較して、当該エクステンション50の濃度プロファイルが急になる。よって、 n ウェル22とエクステンション50との間に電圧を印加すると、これらの間のpn接合における電位変化が急になり、当該pn接合がブレイクダウンを起こしてリーク電流が発生する恐れが高くなる。

【0171】

従って、トランジスタ TR_{LLP} のリーク電流を低い値に維持するという観点からすると、領域 LV_n の第2のp型ポケット領域54については、本実施形態のように領域 LL_p の第2のp型ソースドレインエクステンション50とは別工程で形成するのが好ましい。

【0172】

このようにトランジスタの電気的特性に応じてマスクパターンを共用するかどうかを決めることで、トランジスタ TR_{LVN} の高速動作、トランジスタ TR_{HVP} の高耐圧、及びトランジスタ TR_{LLP} の低リーク特性を維持しつつ、工程数の削減を図ることができる。

【0173】

なお、図13(a)に示したように、第1～第3のn型ソースドレイン領域65～67は同一工程で形成され、これによっても工程数の削減を実現できる。

【0174】

図19(a)は、図13(a)のE-E線に沿った第1のn型ソースドレイン領域65の不純物濃度プロファイルのシミュレーション結果である。また、図19(b)は、図13(a)のF-F線に沿った第3のn型ソースドレイン領域67の不純物濃度プロファイルのシミュレーション結果である。

【0175】

図19(a)、(b)に示すように、各領域65、67を同一工程で形成したことで、これらの領域に注入されたn型不純物（リン）の濃度プロファイルは、各領域65、67において略同一となる。

【0176】

また、図13(b)の工程では、第1～第3のp型ソースドレイン領域68～70を同時に形成することで、工程数の削減が図られる。

【0177】

図20(a)は、図13(b)のG-G線に沿った第1のp型ソースドレイン領域68の不純物濃度プロファイルのシミュレーション結果である。また、図20(b)は、図13(b)のH-H線に沿った第3のp型ソースドレイン領域70の不純物濃度プロファイルのシミュレーション結果である。

【0178】

図20(a)、(b)に示すように、上記のように各領域68、70を同一工程で形成したことで、これらの領域に注入されたp型不純物（ボロン）の濃度プロファイルは、各領域68、70において略同一となる。

【0179】

以上説明した本実施形態に関し、更に以下の付記を開示する。

【0180】

（付記1） 半導体基板の第1の領域に第1のゲート絶縁膜を形成する工程と、前記半導体基板の第2の領域に、前記第1のゲート絶縁膜よりも薄い第2のゲート絶縁膜を形成する工程と、

前記半導体基板の第3の領域に、前記第1のゲート絶縁膜よりも薄い第3のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜、前記第2のゲート絶縁膜、及び前記第3のゲート絶縁膜の上に、それぞれ第1のゲート電極、第2のゲート電極、及び第3のゲート電極を形成する工

10

20

30

40

50

程と、

前記第1のゲート電極、前記第2のゲート電極、及び前記第3のゲート電極を形成した後、前記第2の領域を覆い、かつ、前記第1の領域と前記第3の領域を露出する第1のマスクパターンを形成する工程と、

前記第1のマスクパターンをマスクにして前記半導体基板に第1導電型の第1の不純物をイオン注入することにより、前記第1のゲート電極の横の前記半導体基板に第1のソースドレインエクステンションを形成し、かつ、前記第3のゲート電極の横の前記半導体基板に第1のポケット領域を形成する工程と、

前記第1のマスクパターンをマスクにし、前記第1のゲート絶縁膜の下での第2導電型の第2の不純物の濃度が前記第1の不純物の濃度よりも低くなる条件で前記半導体基板に前記第2の不純物をイオン注入することにより、前記第3のゲート電極の横の前記半導体基板に第2のソースドレインエクステンションを形成する工程と、

前記第1のマスクパターンを除去後、前記第1の領域と前記第3の領域を覆い、かつ、前記第2の領域を露出する第2のマスクパターンを形成する工程と、

前記第2のマスクパターンをマスクにし、前記第1の不純物よりも拡散係数が小さい第1導電型の第3の不純物を前記半導体基板にイオン注入し、前記第2のゲート電極の横の前記半導体基板に第2のポケット領域を形成する工程と、

前記第2のマスクパターンをマスクにし、第2導電型の第4の不純物を前記半導体基板にイオン注入することにより、前記第2のゲート電極の横の前記半導体基板に第3のソースドレインエクステンションを形成する工程と、

前記第1のゲート電極の横の前記半導体基板に、第1導電型の第1のソースドレイン領域を形成する工程と、

前記第2のゲート電極の横の前記半導体基板に、第2導電型の第2のソースドレイン領域を形成する工程と、

前記第3のゲート電極の横の前記半導体基板に、第2導電型の第3のソースドレイン領域を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【0181】

(付記2) 前記第1のゲート絶縁膜、前記第2のゲート絶縁膜、及び前記第3のゲート絶縁膜を形成する前に、前記第1の領域、前記第2の領域、及び前記第3の領域における前記半導体基板の上に熱酸化膜を形成する工程と、

前記第1の領域を覆い、かつ前記第2の領域と前記第3の領域とを露出する第3のマスクパターンを前記熱酸化膜の上に形成する工程と、

前記第3のマスクパターンをマスクにし、前記第2の領域と前記第3の領域における前記シリコン基板に第1導電型の第5の不純物をイオン注入して、前記第2の領域に第1のチャンネル領域を形成し、かつ、前記第3の領域に第2のチャンネル領域を形成する工程とを更に有することを特徴とする付記1に記載の半導体装置の製造方法。

【0182】

(付記3) 前記第2のソースドレインエクステンションを形成する工程は、

前記第1のマスクパターンをマスクにして、前記第2の不純物の注入深さよりも浅い部分の前記半導体基板に、第2導電型の第6の不純物をイオン注入する工程を更に有することを特徴とする付記1に記載の半導体装置の製造方法。

【0183】

(付記4) 前記第6の不純物の拡散係数は、前記第2の不純物の拡散係数よりも小さいことを特徴とする付記3に記載の半導体装置の製造方法。

【0184】

(付記5) 前記第2の不純物はリンであり、前記第6の不純物は砒素であることを特徴とする付記4に記載の半導体装置の製造方法。

【0185】

(付記6) 前記第3の不純物はインジウムであることを特徴とする付記1に記載の半

10

20

30

40

50

導体装置の製造方法。

【0186】

(付記7) 前記第1のソースドレインエクステンションと前記1のポケット領域とを形成する工程は、前記半導体基板の法線方向に対して斜めの方向から前記半導体基板に前記第1の不純物を注入することにより行われることを特徴とする付記1に記載の半導体装置の製造方法。

【0187】

(付記8) 前記第2のソースドレインエクステンションを形成する工程は、前記第1の領域に前記第1のゲート絶縁膜が形成されている状態で行われることを特徴とする付記1に記載の半導体装置の製造方法。

10

【0188】

(付記9) 前記第2のソースドレインエクステンションを形成する工程は、前記第1のポケット領域よりも浅い部分の前記半導体基板に前記第2の不純物をイオン注入することにより行われることを特徴とする付記9に記載の半導体装置の製造方法。

【0189】

(付記10) 半導体基板の第4の領域に、前記第1のゲート絶縁膜よりも薄い第4のゲート絶縁膜を形成する工程と、

前記第4のゲート絶縁膜の上に第4のゲート電極を形成する工程と、

前記第1の領域、前記第2の領域、及び前記第3の領域を覆い、かつ、前記第4の領域を露出する第3のマスクパターンを形成する工程と、

20

前記第3のマスクパターンをマスクにし、前記半導体基板に、前記第3の不純物よりも拡散係数が大きい第1導電型の第7の不純物をイオン注入し、前記第4のゲート電極の横の半導体基板に第4のソースドレインエクステンションを形成する工程と、

前記第4のゲート電極の横の前記半導体基板に、第1導電型の第4のソースドレイン領域を形成する工程とを更に有することを特徴とする付記1に記載の半導体装置の製造方法。

【0190】

(付記11) 前記第7の不純物はボロンであることを特徴とする付記10に記載の半導体装置の製造方法。

【0191】

30

(付記12) 前記第2のソースドレイン領域を形成する工程と、前記第3のソースドレイン領域を形成する工程は、同一工程であることを特徴とする付記1に記載の半導体装置の製造方法。

【0192】

(付記13) 前記第1導電型はp型であり、前記第2導電型はn型であることを特徴とする付記1に記載の半導体装置の製造方法。

【0193】

(付記14) 前記第1のゲート電極のゲート長は、前記第2のゲート電極と前記第3のゲート電極の各々のゲート長よりも長いことを特徴とする付記1に記載の半導体装置の製造方法。

40

【符号の説明】

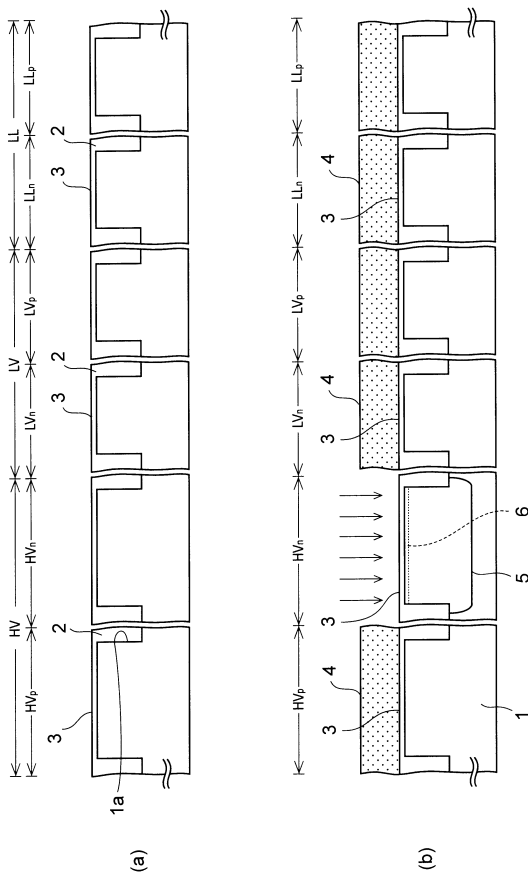
【0194】

1...シリコン基板、1a...素子分離溝、2...素子分離絶縁膜、3...犠牲絶縁膜、4...第1のマスクパターン、5...第1のpウェル、6...第1のp型チャンネル領域、9...第2のマスクパターン、10...第1のnウェル、11...第1のn型チャンネル領域、13...第3のマスクパターン、15...第2のpウェル、16...第3のpウェル、18...第4のマスクパターン、21...第2のnウェル、22...第3のnウェル、24...第2のp型チャンネル領域、25...第3のp型チャンネル領域、27...第6のマスクパターン、31~33...第1~第3のゲート絶縁膜、35...第7のマスクパターン、36...導電膜、36a~36c...第1~第3のゲート電極、37...第8のマスクパターン、40...第9のマスクパターン、41...第1のp型

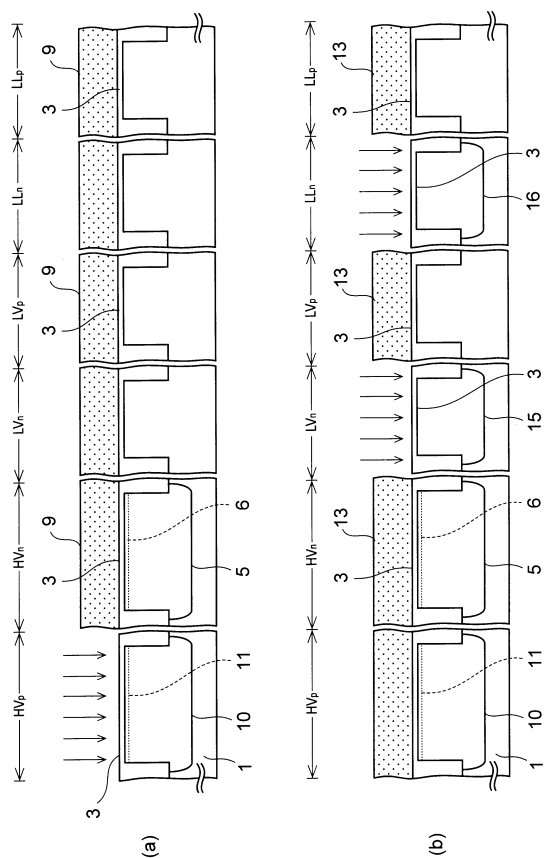
50

ソースドレインエクステンション、42...第1のp型ポケット領域、43...第1のn型不純物領域、44...第2のn型不純物領域、45...第1のn型ソースドレインエクステンション、47...第10のマスクパターン、48...第2のn型ソースドレインエクステンション、49...第1のn型ポケット領域、50...第2のp型ソースドレインエクステンション、52...第11のマスクパターン、54...第2のp型ポケット領域、55...第3のn型ソースドレインエクステンション、57...第12のマスクパターン、58...第2のn型ポケット領域、59...第3のp型ソースドレインエクステンション、61...絶縁膜、61a...絶縁性サイドウォール、62...第13のマスクパターン、63...第14のマスクパターン、65~67...第1~第3のn型ソースドレイン領域、68~70...第1~第3のp型ソースドレイン領域、71...高融点金属シリサイド膜、75...層間絶縁膜、75a...コンタクトホール、80...導電性プラグ、81...金属配線。

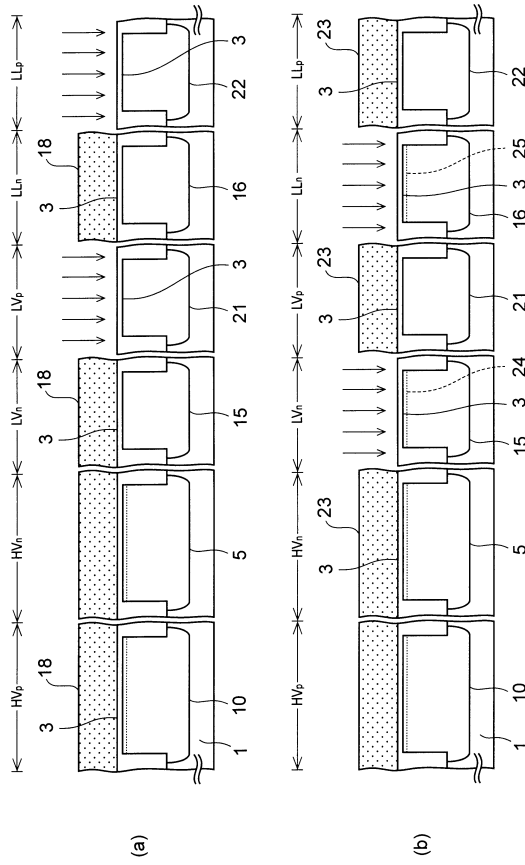
【図1】



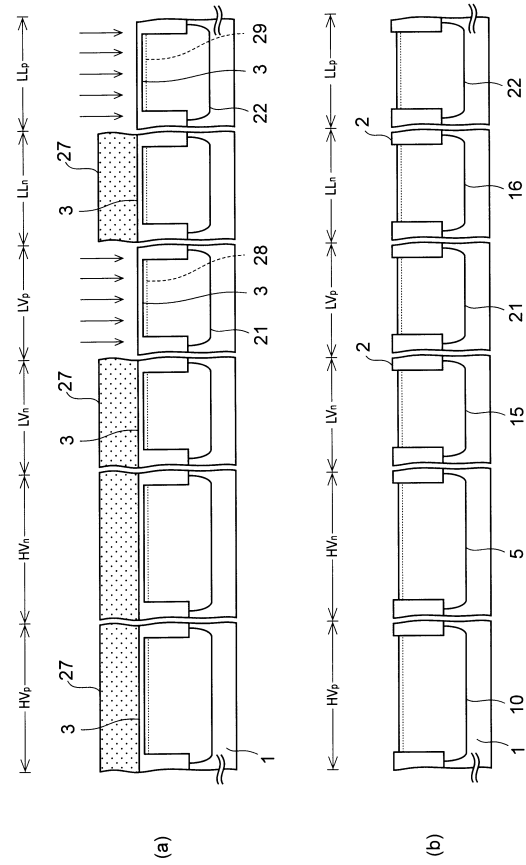
【図2】



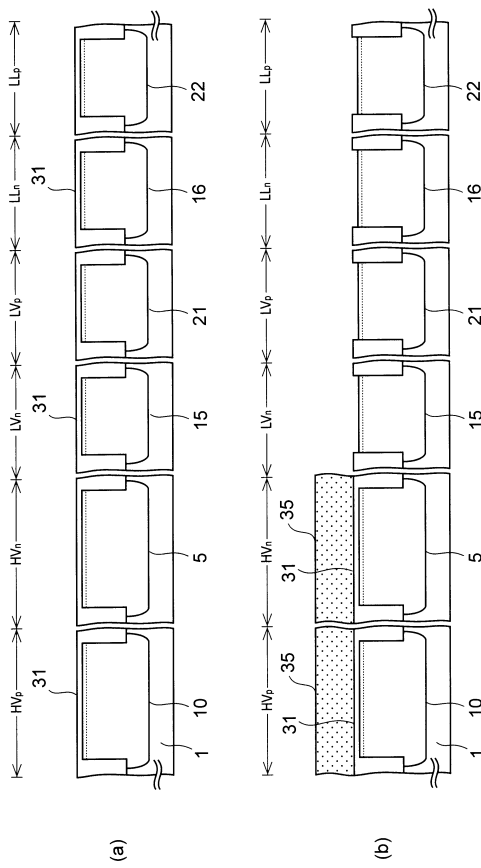
【図3】



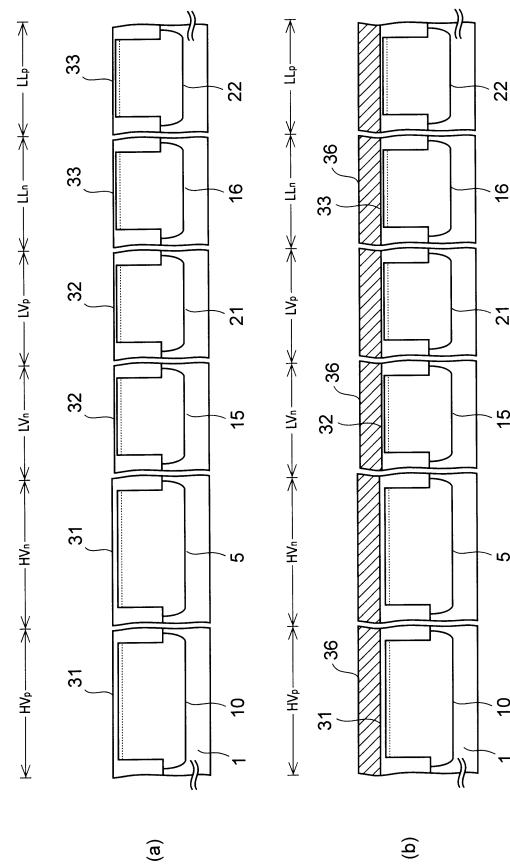
【図4】



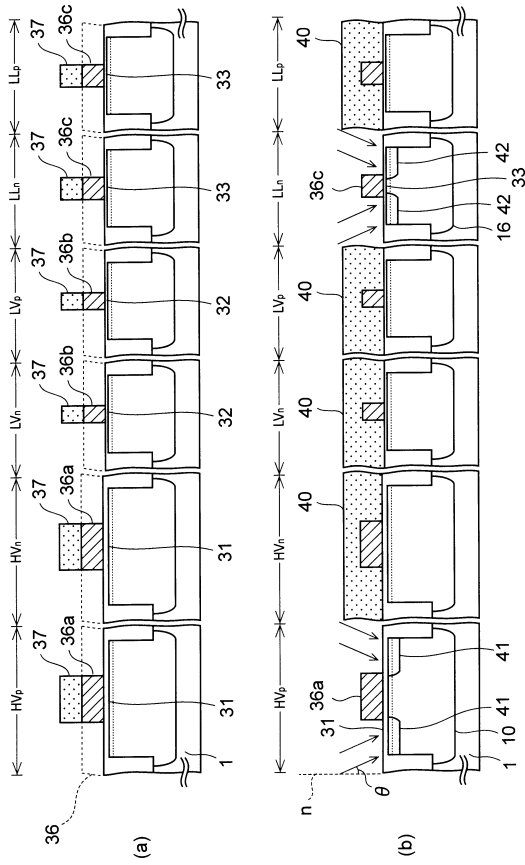
【図5】



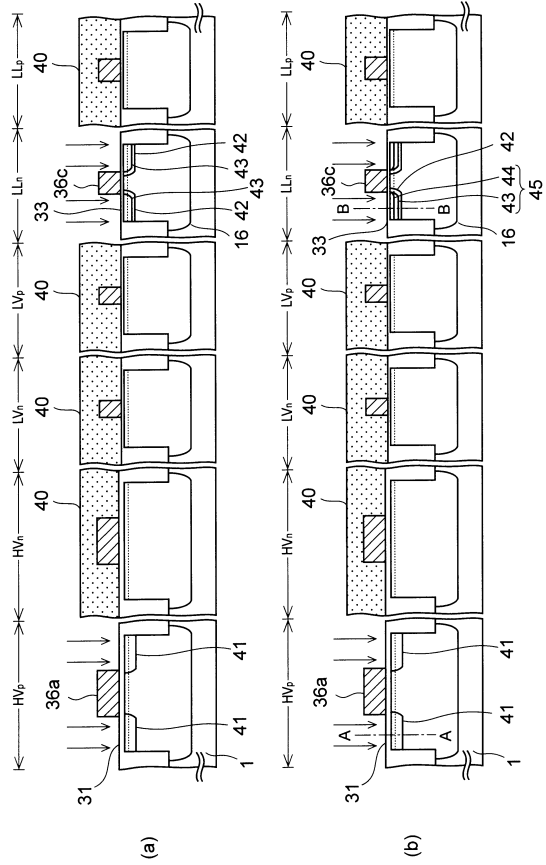
【図6】



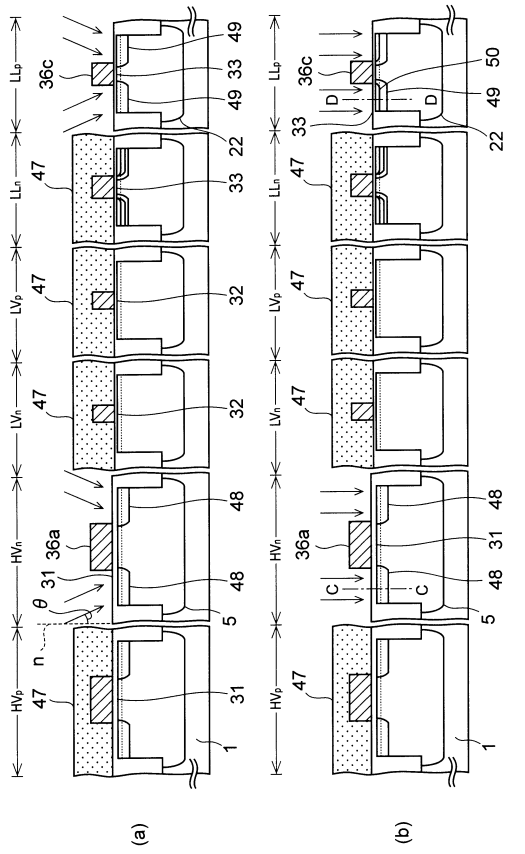
【 図 7 】



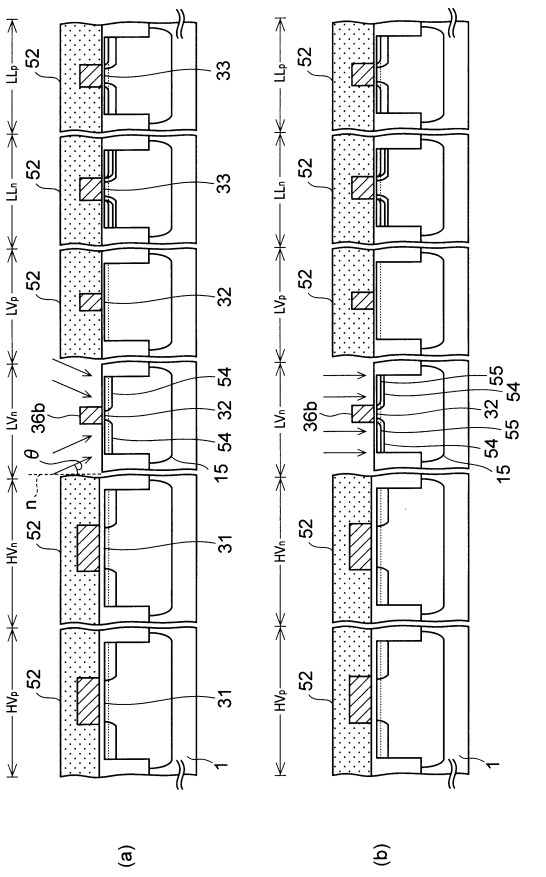
【 図 8 】



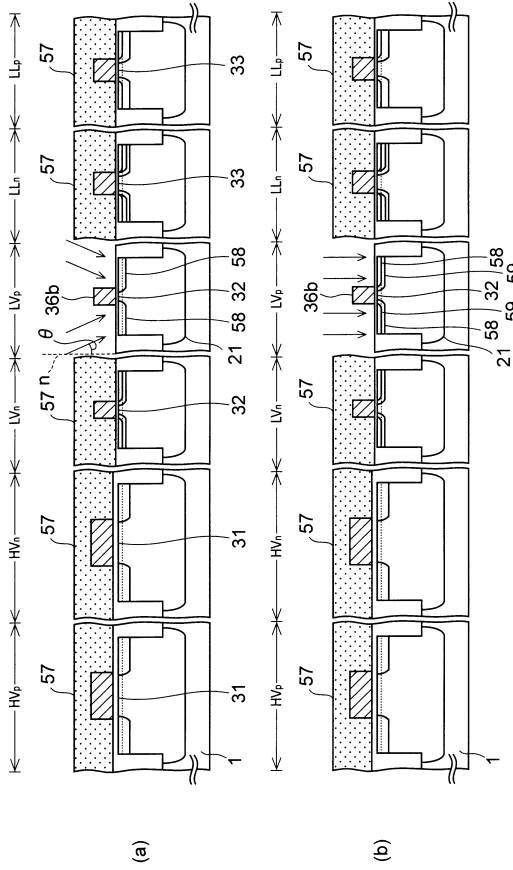
【 図 9 】



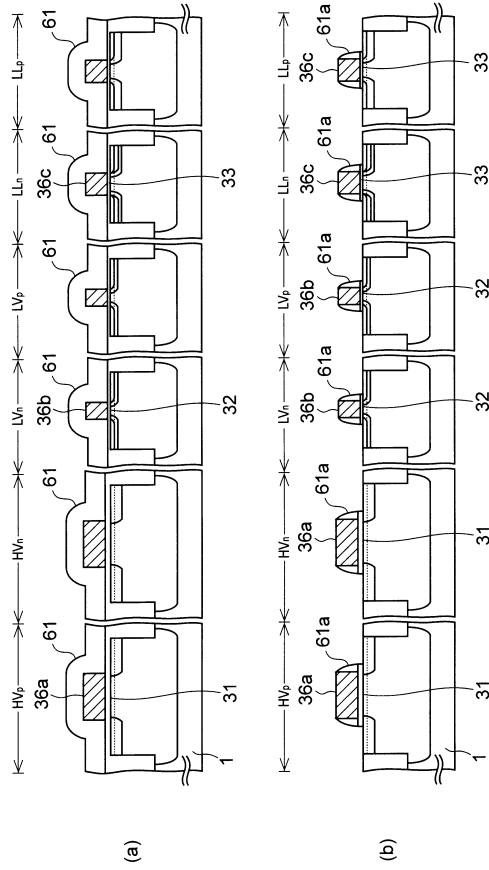
【 図 10 】



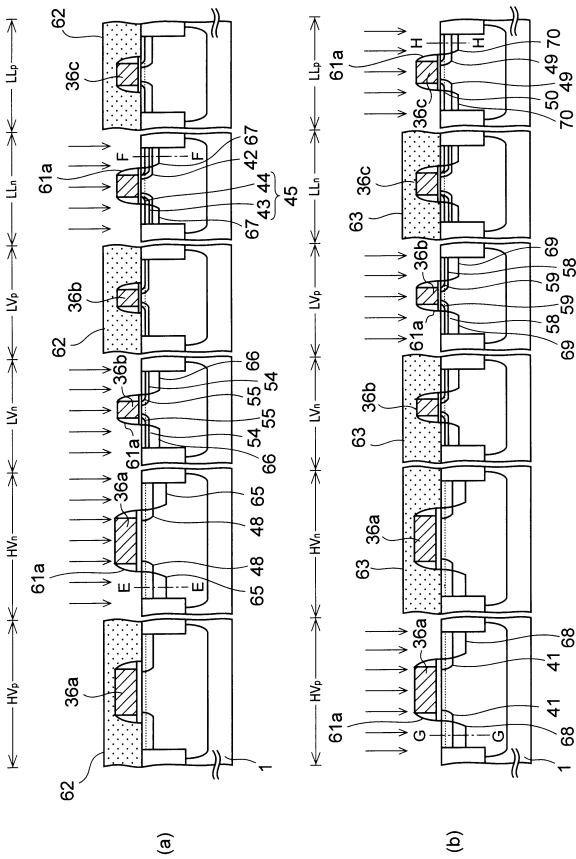
【図 1 1】



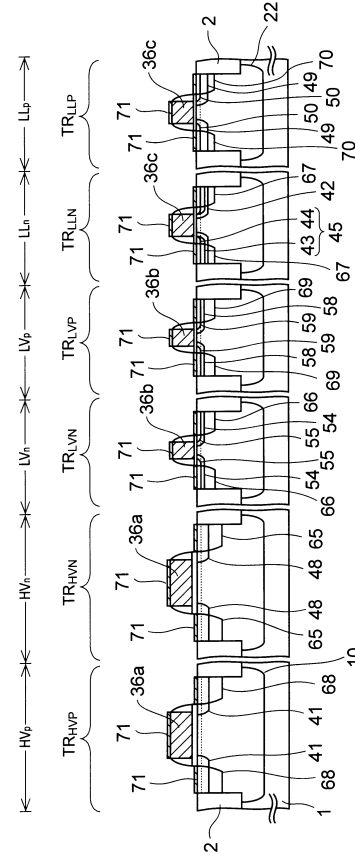
【図 1 2】



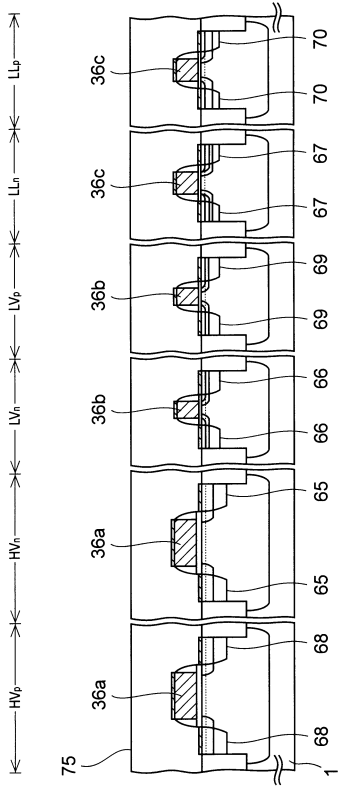
【図 1 3】



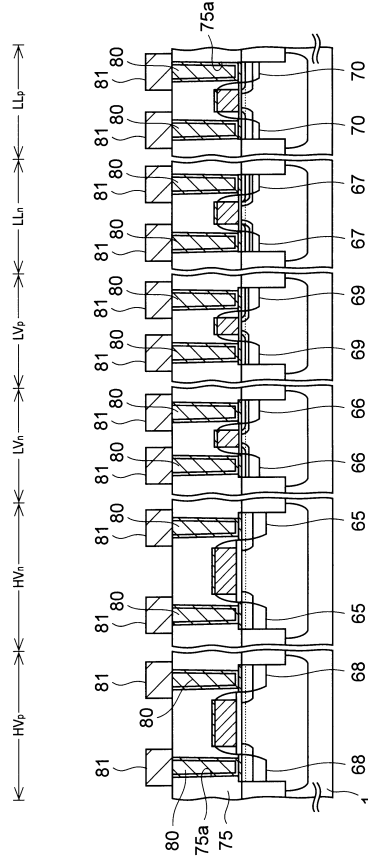
【図 1 4】



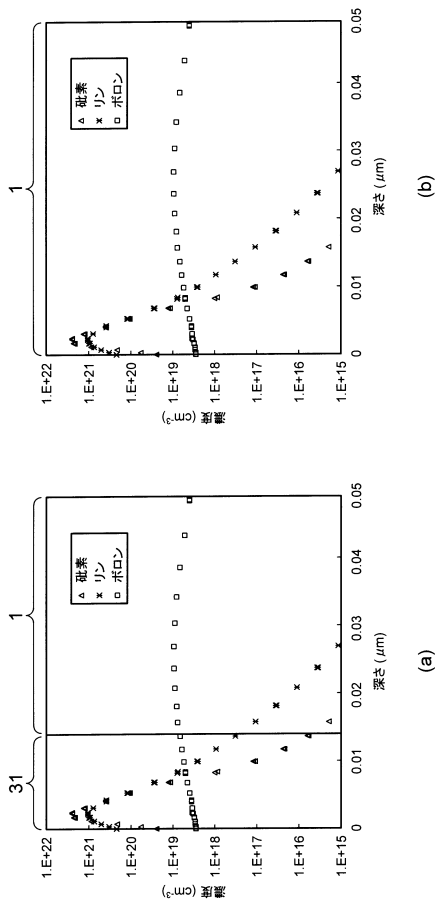
【図 15】



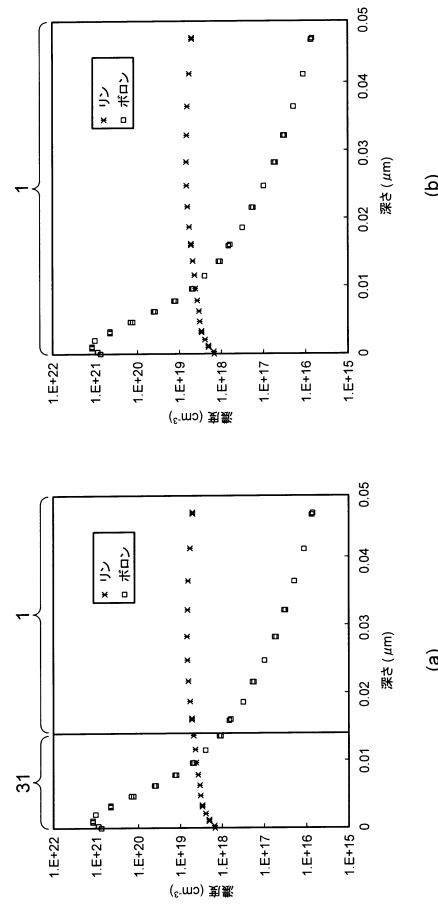
【図 16】



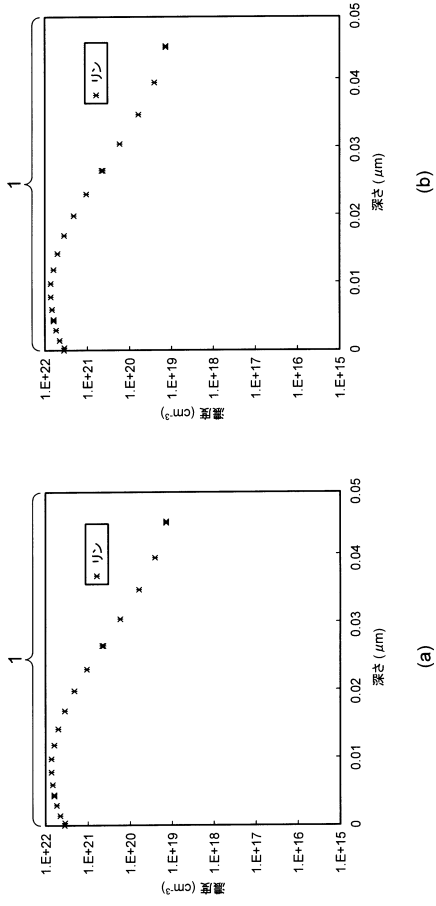
【図 17】



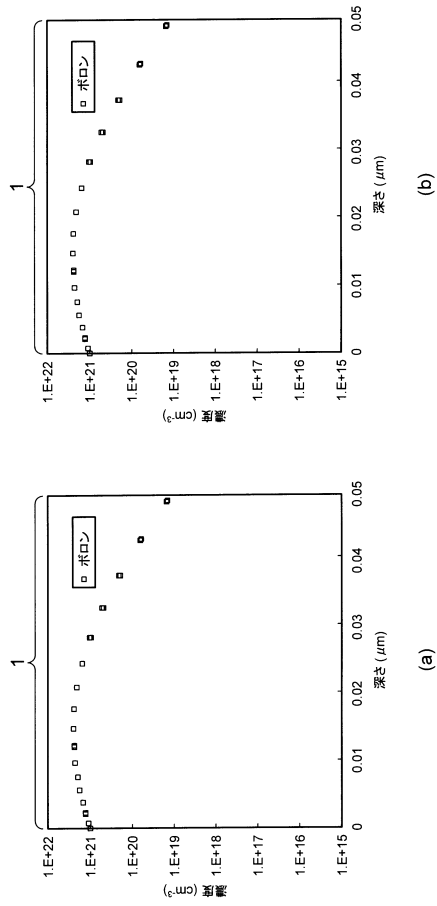
【図 18】



【図 19】



【図 20】



フロントページの続き

合議体

審判長 河口 雅英

審判官 鈴木 匡明

審判官 加藤 浩一

- (56)参考文献 特開2010-074176(JP,A)
特開2003-017578(JP,A)
特開平05-267338(JP,A)
特開2000-164727(JP,A)

(58)調査した分野(Int.Cl., DB名)

H10L 21/336

H01L 21/8234~21/8238

H01L 27/06 ~27/08

H01L 27/088 ~27/092

H01L 29/76

H01L 29/772 ~29/78