

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：921>6907

※申請日期：92-09-29

※IPC 分類：H01L 23/60

壹、發明名稱：(中文/英文)

用於混合電壓介面之靜電放電防護元件

ELECTROSTATIC DISCHARGE PROTECTION DEVICE

FOR MIXED VOLTAGE INTERFACE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE

代表人：(中文/英文) 翁政義 / Cheng-I Weng

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段 195 號 / 195, Chung Hsing Rd., Sec. 4, Chutung, Hsinchu, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國 / REPUBLIC OF CHINA

參、發明人：(共 3 人)

姓名：(中文/英文)

1. 柯明道 / Ming-Dou Ker

2. 徐國鈞 / Kuo-Chun Hsu

3. 姜信欽 / Hsin-Chin Jiang

住居所地址：(中文/英文)

1. 新竹縣竹東鎮中興路四段 195 號 51 館

Bldg. 51, 195, Chung Hsing Rd., Sec. 4, Chutung, Hsinchu

Taiwan, R.O.C.

2. 新竹縣竹東鎮中興路四段 195 號 51 館

Bldg. 51, 195, Chung Hsing Rd., Sec. 4, Chutung, Hsinchu
Taiwan, R.O.C.

3. 新竹縣竹東鎮中興路四段 195 號 51 館

Bldg. 51, 195, Chung Hsing Rd., Sec. 4, Chutung, Hsinchu
Taiwan, R.O.C.

國 籍：(中文/英文)

1. 中華民國/REPUBLIC OF CHINA

2. 中華民國/REPUBLIC OF CHINA

3. 中華民國/REPUBLIC OF CHINA

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎ 本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 US; 2002/10/11; 10/268,756
- 2.
- 3.
- 4.
- 5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明有關半導體元件，且詳言之，係有關於靜電防護之基體觸發式半導體元件及其方法。

【先前技術】

在深次微米半導體技術領域中，縮小元件尺寸、增加元件功能以及減少功率消耗是不變的趨勢。由於晶片之功能越來越強，晶片通常具有更多之電源接腳以提供電路操作所需之電流。此等電源接腳可支援晶片在不同應用下不同之高電壓位準如 VCC 或 VDD。例如，在 0.35 μm 標準 CMOS 製程中，閘氧化層厚度為 70 \AA 的晶片，其 VCC 已降至 3.3 V。然而對閘氧化層厚度為 140 \AA 之晶片而言，VCC 可能為 5 V。晶片具有不同電壓位準之電壓源之操作環境稱為混合電壓介面。

在設計混合電壓源介面之靜電放電(ESD)防護電路，一般會考慮到閘氧化層可靠性及直流(DC)漏電流的問題。然而，習知的 ESD 防護設計若用於混合電壓介面，例如 3.3V/1.8 V，可能有如下之缺點。

圖 1 所示為使用閘極接地 NMOS 及閘極接 VDD 之 PMOS 的習知 ESD 防護電路。當有 3.3 V 之信號加到輸入墊片時，此習知電路會將此信號鉗定於 VDD (1.8 V) 加上一二極體順偏壓降的電壓準，並將多餘之 DC 漏電流由輸

入墊片導通至 1.8 V 之 VDD 電壓源。此電路因為閘極接地 NMOS 之薄閘氧化層必須承受汲極電壓為 3.3 V 時之過高偏壓，因此閘氧化層之可靠性可能有問題，若用厚的閘氧化層 NMOS 可解決此問題，但會增加製造成本。

圖 2 為美國專利第 5,780,897 號(下稱 897 專利)之圖 2。897 專利之發明人為 Krakauer，發明名稱為「使用 NMOS 電晶體做為混合電壓輸入/輸出級的 ESD 防護電路」。897 專利揭露一靜電放電防護元件，其包含兩個以疊接(cascode)相連之堆疊式薄閘極 NMOS 電晶體。堆疊式 NMOS 之上方電晶體包含一汲極連接至一輸入/輸出(I/O)墊片、一閘極(上閘極)連接至 VDD 電壓源，以及一源極連接至堆疊式 NMOS 之下方電晶體之汲極。換言之，上方電晶體之源極與下方電晶體之汲極共用一個 N+擴散區。在 ESD 期間，會在 ESD 防護元件中觸發一寄生之橫向 npn 電晶體以導通 ESD 電流。

圖 3 為美國專利第 5,956,219 號(下稱 219 專利)之圖 2。219 專利之發明人為 Maloney，發明名稱為「用於高壓電源線間的靜電放電防護電路」。219 專利揭露一 ESD 防護電路，包括兩個未使用厚閘氧化層而使用薄閘氧化層之 PMOS。在 CMOS 製程中，厚閘氧化層電晶體需一額外的光罩，因而增加製造成本。在正常操作期間，兩 PMOS 晶體中至少有一為關閉以防漏電流。在 ESD 期間，此兩個 PMOS 電晶體會開啟來導通 ESD 電流。就深次微米之運用而言，如 219 專利之圖 3 所示之 ESD 防護電路可能須使用 3 個以上的電

晶體以承受更高的電源電壓。

圖 4 為基體觸發式 ESD 防護元件在不同通道寬度(W)下，第二崩潰電流(I_{t2})與基體電流(I_{sub})之關係圖。如圖 4 所示， I_{t2} 隨 I_{sub} 增加而增加。據此特性，便發展出基體觸發式元件來做 ESD 防護。然而要將基體觸發式技術應用於薄閘 ESD 防護元件，必須將晶片面積增大以容納額外之基體觸發區。因此希望在不增加晶片面積的前提下，又能應用基體觸發之技術於薄閘極 ESD 防護元件中。

【發明內容】

因此，本發明係有關 ESD 防護元件，能解決習知技藝之問題及缺點。

本發明另外之特徵及優點將詳述如下，並且藉由本文之描述或本發明之實施而彰顯。本發明之目的及其他種種優點也可藉由本文中所特別指出之技術及申請專利範圍所揭內容而得以實現。為達成上述優點，依據本發明之實施例所揭，本發明提供一種靜電放電防護電路元件，包括至少兩個疊接相連之電晶體；一第一擴散區，其為第一摻雜型且由兩相鄰電晶體所共用；以及一第二擴散區，其為第二摻雜型且形成於第一擴散區中。

在本發明之一實施例中，其中每一電晶體具有一閘極結構，且第二擴散區與部份之閘極結構相交疊。

在本發明之另一實施例中，第二擴散區被第一擴散區包圍而和閘極完全沒有交疊。

本發明亦提供一種靜電防護之積體電路元件，包括一半導體基體；多個閘極，形成於基體上；一第一擴散區，其為第一摻雜型且形成於兩鄰接閘極之間；以及至少一第二擴散區，其為第二摻雜型且形成於第一擴散區中。

在本發明之一實施例中，其中有多個第二擴散區形成於第一擴散區中，且至少一第二擴散區與其他之第二擴散區相隔開。

在本發明之另一實施例中，其中有多個第二擴散區形成於第一擴散區中，且至少一第二擴散區與其他之第二擴散區相鄰接。

本發明另提供一種用於混合電壓介面之靜放電防護積體電路，包括一信號墊片，用以接收一靜電信號；一鉗制元件，用以於一第一電壓源與一第二電壓源間提供靜電防護，該鉗制元件包含：至少兩個疊接相連之電晶體；一第一擴散區，其為第一摻雜型且由兩相鄰之電晶體所共用；以及一第二擴散區，其為第二摻雜型且形成於第一擴散區中；以及一檢測電路，因應於該靜電信號，用以觸發該鉗制元件以將該靜電信號排放至第二電壓源。

本發明另亦提供一種用於混合電壓介面之靜電放電防護方法，包括提供一信號墊片以接收一靜電信號；提供一鉗制元件，包含：至少兩個疊接相連之電晶體；一第一擴散區，其為第一摻雜型且由兩相鄰電晶體所共有；以及一第二擴散區，其為第二摻雜型且形成於第一擴散區中，以及提供一檢測電路，因應於靜電信號，用以於鉗制元件之

第一及第二擴散區之間觸發一 p-n 接面。

請注意前文之一般性描述以及後文之詳細描述皆僅為範例性及說明性質，其目的在對本發明做進一步之解說。

【實施方式】

以下將針對本發明之實施例予以詳述，實施例之範例揭示於圖式中。圖式中相同或相似之元件儘可能以相同之標號來表示。

圖 5A 及 5B 分別為習知堆疊式 NMOS 電晶體結構 10 之佈局及剖面圖。本文中將兩個以上疊接(cascode)相連之 NMOS 電晶體稱為堆疊式 NMOS。同理，兩個以上疊接相連之 PMOS 電晶體則稱為堆疊式 PMOS。請參閱圖 5A，堆疊式 NMOS 結構 10 包含多個形成於 p 型基體 18 上之堆疊式 NMOS 元件 12，例如堆疊式 NMOS 12A 包括一個上方電晶體 122 及一個下方電晶體 124，兩電晶體以 n 型擴散區 14 相隔開且共同 n 型擴散區 14。上方電晶體 122 具有一上閘極 1220 及一第一 n 型擴散區 1222 作為汲極。下方電晶體 124 具有一下閘極 1240 以及一第二 n 型擴散區 1242 做為源極。多個接觸窗 16 用以做信號傳輸。

請參閱圖 5B，上方電晶體 122 之源極(未標號)及下方電晶體 124 之汲極(未標號)合成一共用之擴散區 14。基體 18 內會形成寄生 npn 雙載子電晶體(以虛線表示)。上方電晶體 122 之汲極 1222、基體 18 以及下方電晶體 124 之源極 1242 分別做為此寄生 npn 雙載子電晶體之集極、基極與射

極。

圖 6A 和 6B 分別為本發明之一實施例的 ESD 防護元件 30 之佈局及剖面圖。請參閱圖 6A，ESD 防護元件 30 為一堆疊式 NMOS 元件，其含有多個形成於 p 型基體 38 上之堆疊式 NMOS 元件 32。例如堆疊式 NMOS 32A 含有一上方電晶體 322 以及一下方電晶體 324。共用 n 型擴散區 34 將上方及下方電晶體隔開。上方電晶體 322 具有一上閘極 3220 及一第一 n 型擴散區 3222 做為汲極。下方電晶體 324 具有一下閘極 3240 及一第二 n 型擴散區 3242 做為源極。多個接觸窗 36 做為信號傳輸用。

在共用之 n 型擴散區 34 中，至少形成一個 p 型擴散區 40 以利用基體觸發技術。在一實施例中，共用區 34 中有多个彼此相隔離且可為均勻分布之 p 型擴散區 40。p 型區之數目及大小一般視基體觸發電流強度而定。在一實施例，p 型擴散區 40 與部份之上閘極 3220 或下閘極 3240 相交疊。元件 30 沿 X-X' 方向之剖面圖與圖 5B 習知元件 10 者相同，且元件 30 沿 Y-Y' 方向之剖面圖如圖 6B 所示。

請參閱圖 6B，上方電晶體 322 之源極(未標號)與下方電晶體 324 之汲極(未標號)合併為共同擴散區 34。基體 38 中會形成寄生 npn 雙載子電晶體(以虛線表示)。上方電晶體 322 之 n 型汲極 3222、p 型基體 38 以及下方電晶體 324 之 n 型源極 324 分別做為寄生 npn 雙載子電晶體之集極、基極與射極。p 型擴散區 40 經由其上方之接觸窗 36 連接至 ESD 檢測電路 50。

在操作上，檢測電路 50 於正常操作期間為不作動，而在 ESD 期間則為作動狀態。因此，在正常操作期間，p 型擴散區 40 為浮接或由檢測電路 50 接地而不妨礙內部電路。在 ESD 期間，p 型擴散區 40 由檢測電路 50 予以偏壓而產生一基體電流。只要基體 38(基極)與源極 3242(射極)之間的壓降超過 0.7 V，則寄生 npn 電晶體即受觸發以排放 ESD 電流。寄生 npn 電晶體受觸發而導通之速度較習知未設有 p 型區於共用 n 擴散區之堆疊式 NMOS 元件為快。本發明之 ESD 防護元件 30 因而能在不增加元件有效面積下，提高基體觸發之效率。

圖 7A 與 7B 分別為本發明之一實施例的堆疊式 NMOS 與堆疊式 PMOS 的電路符號。雖然實施例僅描述堆疊式 NMOS 元件，但本行人士仍可瞭解此等實施例亦可適用於堆疊式 PMOS 元件。本發明之堆疊式 PMOS 元件除了摻雜型式與電流方向與堆疊式 NMOS 元件相反之外，其結構與堆疊式 NMOS 元件相似。

圖 8A 及 8B 分別為本發明之實施例的 ESD 防護元件 6 的佈局及剖面圖。如圖 8A 所示，在共同區 34 中形成有多個彼此相連之 p 型擴散區 40。在一實施例中，相連之 p 型擴散區 40 與上閘極 3220 或下閘極 3240 以 n 型擴散區 342 及淺溝槽絕緣層 (STI) 70 相隔開。元件 60 在 Y-Y' 方向之剖面圖如圖 8B 所示。請參閱圖 8B，淺溝槽絕緣層 70 將 n 型擴散區 342 與 p 型擴散區 40 相隔開。ESD 防護元件 60 之佈局面積稍大於於圖 6A 與 6B 所示元件 30 之佈局面積，

但仍比習知技藝者為小。

圖 9 為本發明之一實施例的 ESD 防護元件 80 之佈局。請參閱圖 9，共用區 34 中形成許多彼此相隔之 p 型擴散區 40。每一 p 型擴散區 40 以 n 型擴散區 342 及淺溝槽絕緣層 70 與上閘極 3320 或下閘極 3240 或相鄰的 p 型擴散區相隔開。

圖 10A 及 10B 所示分別為本發明之一實施例的 ESD 防護元件 90 之佈局及剖面圖。如圖 10A 所示，ESD 防護元件 90 為一堆疊式 NMOS，其含有多個形成於 p 型基體 98 上之堆疊式 NMOS 元件 92。例如堆疊式 NMOS 元件 92A 包含一上方電晶體 922、一中央電晶體 924 以及一下方電晶體 926，三者以一第一 n 型擴散區 346 及一第二 n 型擴散區 348 相隔開。上方電晶體 922 具有一上閘極 9220 以及一做為其汲極的第一 n 型擴散區 9222。中央電晶體 924 具有一中央閘極 9240。下方電晶體 926 具有一下方閘極 9260 以及做為其源極的第二 n 型擴散區 9262。有多個接觸窗 36 用以做信號傳輸。

在共用 n 型擴散區 346 或 348 中，至少形成一 p 型擴散區 46 或 48 以利用基體觸發技術。在一實施例中，多個 p 型擴散區 46 在共用擴散區 346 中彼此相連。在另一實施例中，此等 p 型擴散區 46 彼此相隔開且可以均勻地分佈在共用區 346 中。在又一實施例中，此等 p 型擴散區 46 以一 n 型擴散區及淺溝槽絕緣層(圖中未示)與上閘極 9220 或中央閘極 9240 相隔開。在另一實施例中，此等 p 型擴散區 46

與上閘極 9220 或中央閘極 9240 之一部份相交疊。元件 90 沿 Y-Y' 方向之剖面圖則如圖 10B 所示。

請參閱圖 10B，上方電晶體 922 之源極(未標號)以及中央電晶體 924 之汲極(未標號)合併為共同擴散區 346，且中央電晶體 924 之源極(未標號)以及下方電晶體 926 之汲極(未標號)合併為共同擴散區 348。在基體 98 中形成有寄生式 npn 雙載子電晶體(以虛線表示)。上方電晶體 922 之 n 型汲極 9222、p 型基體 98、下方電晶體 926 之 n 型源極 9262 分別作為此寄生式 npn 雙載子電晶體之集極、基極、射極。p 型擴散區 46 及 48 經由其上方之接觸窗 36 連接至 ESD 檢測電路 50。ESD 防護元件 90 之操作方式與圖 6A 及 6B 所示之元件 30 者相類似，因此不另說明。

以上實施例所描述本發明的基體觸發式堆疊式 NMOS 與井區觸發式堆疊式 PMOS 元件皆可用於混合式電壓介面中作為 I/O 防護電路或 VDD 至 VSS 之防護電路，現詳述如下。

圖 11 為本發明一實施例之輸出級 ESD 防護之電路圖。如圖 11 所示，ESD 防護電路 200 中以基體觸發的堆疊式 NMOS 100 包括一上方 NMOS 電晶體 102 以及一下方 NMOS 電晶體 104，兩電晶體以疊接 (cascode) 方式相連。上方電晶體 102 與下方電晶體 104 共用一 n 型擴散區(圖中未示)，在此 n 型擴散區中含有一 p 型擴散區 106。上方電晶體 102 其有一汲極 1022 連接至輸出墊片 110，以及一閘極 1020 經由電阻 R 連接至高電源 VDD。在一實施例中，電阻 R 係

由擴散電阻所形成。下方電晶體 104 具有一源極 1042 連接至低電源 VSS，以及一閘極 1040 連接至受 ESD 防護之內部電路。輸出墊片 10 經由 ESD 檢測電路 120 連接至 p 型擴散區 106。除非有 ESD 發生，否則檢測電路 120 並不作動。

ESD 發生時，檢測電路 120 提供電流 I-trig 至基體觸發式 p 型擴散區 106，在寄生雙載子電晶體(以虛線表示)之基極與射極間形成一壓降。只要此 p-n 接面之壓降到達某一值，例如 0.7V，寄生電晶體即開啟以導通 ESD 電流。當墊片 110 之 I/O 信號由 0 V 升至 3.3 V 時，下方閘極 1040 受內部電路之 0 V 偏壓使堆疊式 NMOS 100 關閉。此時共用 n 型擴散區之壓降大約是 VDD 減 V_{th} (臨界電壓) 之值。亦即，堆疊式 NMOS 100 之閘氧化層的壓降小於 1.8 V，如此使堆疊式 NMOS 100 得以薄閘極氧化層製程來製造。

電路 200 可包含一連接於 VDD 及墊片 110 間之上拉式 PMOS 130。PMOS 130 具有一閘極 1302 連接至一閘極追蹤電路 140，以及一 n 井基體 1304 連接至一 n 井區自偏壓電路 150。追蹤電路 140 追蹤 PMOS130 之閘極電壓，自偏壓電路 150 則追蹤 PMOS 130 之 n 型井區電壓以確保上拉式 PMOS 130 在 3.3 V 之信號出現在墊片 110 時不導通電流。追蹤電路 140 於輸出電壓低於 VDD (1.8 V) 時並不作動，且保持 PMOS 130 之閘極 1302 為 1.8 V，而當輸出電壓高於 VDD 時則使閘極 1302 之電壓隨著輸出電壓上升。n 型井區自偏壓電路 150 於輸出電壓低於 VDD (1.8 V) 時並不作動，

且保持 PMOS 130 之 n 型井區 1304 為 1.8 V，而當輸出電壓高於 VDD 時則使 n 型井區 1304 之電壓隨著輸出電壓上升。

圖 12 為本發明另一實施例之輸出級 ESD 防護電路圖。請參閱圖 12，此 ESD 防護電路 220 符合高速度、低寄生電容之需求。一般為符合 ESD 需求，ESD 防護元件通常具有比內部電路較大之尺寸。如此一來，ESD 防護元件所產生之寄生電容會比內部電路所產生者為大。因此需要降低 ESD 防護元件之寄生電容值以符合高速度晶片之規格。

如圖 12 所示，電路 220 具有一做為輸出緩衝級之第一堆疊式 NMOS 100，以及一做為 ESD 防護元件之第二堆疊式 NMOS 160。第一基體觸發之堆疊式 NMOS 100 的設計符合內部電路之規格需求。第二基體觸發之堆疊式 NMOS 160 具有一汲極 1622 連接至上拉式 PMOS 130 之體極或 n 井區 1304，以及一下方閘極 1640 連接至 VSS 以使堆疊式 NMOS 160 於正常操作期間呈關閉狀態。電路 220 之輸出級可將寄生電容減至最少，因為輸出墊片 110 係經由 PMOS130 之 p^+/n 井區內的順偏寄生二極體(以虛線表示)連接至堆疊式 NMOS 160。雖然順偏二極體之壓降約為 0.7 V，但此壓降並不影響堆疊式 NMOS 元件 160 之開啟動作，且在 ESD 發生時可予以忽略。

ESD 發生時，ESD 檢測電路 120 開始作動並提供觸發電流 I-trig 以觸發第一堆疊式 NMOS 100 之 p 型擴散區 106 以及第二堆疊式 NMOS 160 之 p 型擴散區 166，以使基體

電位提升並開啟堆疊式 NMOS 100 及 160 所寄生的 npn 電晶體來排放 ESD 電流。因此，電路 220 提供了兩條放電路徑：其一係由輸出墊片 110 經由堆疊式 NMOS 100 寄生的 npn 電晶體流至 VSS，其二係經由墊片 110、p⁺/n 井區二極體及堆疊式 NMOS160 寄生的 npn 電晶體流至 VSS。

在正常操作期間，ESD 檢測電路 120 不作動，因此不提供電流至 p 型擴散區 106 及 166。閘極追蹤電路(圖中未示)及 n 井區自偏壓電路(圖中未示)需連接至上升式 PMOS 130 並提供如上文就電路 200 所述之功能。

圖 13 為本發明另一實施例之輸出級 ESD 防護之電路圖。如圖 13 所示，ESD 防護電路 240 與圖 12 之圖路 220 具有相同之結果，但電路 240 中 ESD 檢測電路 120 之陽極 1202 係連接至 PMOS 130 之 n 井區 1304 而不是連接至墊片 110。電路 240 可將 ESD 防護元件 160 及檢測電路 120 所生之寄生電容減至最小，並降低 ESD 防護元件 160 因雜訊而誤動作之可能性。電路 240 因此可具有高的信號雜訊容限 (noise margin)。

圖 14 為本發明另一實施例之輸出級 ESD 防護的電路圖。請參閱圖 14，ESD 防護電路 260 包含一井區觸發之堆疊式 PMOS 170 及基體觸發之堆疊式 NMOS 100。堆疊式 NMOS 100 具有一連接至 ESD 檢測電路 120 之 p 型擴散區 106，而堆疊式 PMOS 170 則具有一連接至第二 ESD 檢測電路 180 之 n 型擴散區 176。井區觸發之堆疊式 PMOS 170 提供 VDD 與墊片 110 間之 ESD 防護。當 ESD 發生時，部份

之初始 ESD 電流由 VDD 經 n 井區 1704 及第二 ESD 檢測電路 180 導通至輸出墊片 110，並無任何接面崩潰。堆疊式 NMOS 100 及 PMOS 170 的電晶體(未標號)皆為薄閘極氧化層元件(1.8 V)，可承受高電壓信號(3.3 V)。因此，厚閘極氧化層光罩便可省除，而製程也更具效益。

圖 15 為本發明之一實施例的輸入級 ESD 防護電路圖。請參閱圖 15，ESD 防護電路 280 包含用於墊片至 VSS ESD 防護之堆疊式 NMOS 100，以及用於墊片至 VDD 防護之 PMOS 電晶體 M_p 。NMOS 電晶體 M_n 做為位準轉換器(level shifter)以於輸入電壓例如為 3.3 V 時，避免內部電路之閘極氧化層過偏壓。閘極追蹤電路 140 連接至 M_p 以追蹤 M_p 之閘極電壓。n 井區自偏壓電路 150 連接 M_n 以追蹤 M_p 之 n 井區電壓。閘極追蹤電路 140 與 n 井區自偏壓電路 150 係用以確保 M_p 在 3.3 V 之信號施加至輸入墊片 110 時，不致導通電流。

在正常操作期間，堆疊式 NMOS 100 與 M_p 不作動，因而不致干擾內部電路之功能，ESD 發生時，ESD 檢測電路將初始 ESD 電流由墊片 110 經由 ESD 檢測電路 120 至堆疊式 NMOS100 之 p 型擴散區 106，使得寄生式 npn 雙載子電晶體(以虛線表示)之基體(基極)與源極(射極)接面間產生一壓降。只要此 p-n 接面之壓降到達例如 0.7V，則此寄生電晶體便開啟以排放 ESD 電流。

圖 16 為本發明另一實施例之輸入級 ESD 防護電路圖。請參閱圖 16，ESD 防護電路 300 與圖 15 之電路 280

具有相同之結構，但電路 300 中 ESD 檢測電路 120 之陽極 1202 係連接至 Mp 之 n 井區 1304 而非連接至墊片 110。電路 300 因 Mp 中順偏二極體 p-n 接面之故，可具有高雜訊容限及最小寄生電容。

在正常操作期間，Mp 及堆疊式 NMOS 100 不作動。ESD 發生時，ESD 檢測電路 120 將初始 ESD 電流由墊片 110 經由 Mp 內的 p^+/n 井區接面、ESD 檢測電路 120 至堆疊式 NMOS 100 之 p 型擴散區 106。只要寄生式 npn 雙載子電晶體(以虛線表示)之基體(基極)與源極(射極)接面到達例如 0.7 V，則寄生電晶體開啟以排放 ESD 電流。

圖 17 為本發明又一實施例之輸入級 ESD 防護電路圖。請參閱圖 17，ESD 防護電路 320 包含第一堆疊式 NMOS 100 以及第二堆疊式 NMOS 160。NMOS 160 之尺寸較 NMOS 100 者為大。第一堆疊式 NMOS 100 具有一陽極 1022 連接至輸入墊片 110，以及一陰極 1042 連接至 VSS。第二堆疊式 NMOS 160 具有一陽極 1622 連接至 PMOS Mp 之體極或 n 井區 1304，以及一陰極 1642 連接至 VSS。電路 320 因 Mp 中之順偏二極體 p^+/n 井區接面(以虛線表示)之故，可將第二堆疊式 NMOS 160 之寄生電容減至最低。

ESD 發生時，ESD 檢測電路 120 開始作動並將初始 ESD 電流墊片 110 經由 p^+/n 井區接面導通至堆疊式 NMOS 100 之 p 型擴散區 106 及堆疊式 NMOS 160 之 p 型擴散區 166。只要堆疊式 NMOS 100 及 160 中之寄生式電晶體(以虛線表示)開啟，則由此等寄生式電晶體排放 ESD 電流。

圖 18 為本發明再一實施例之輸入級 ESD 防護的電路圖。如圖 18 所示，ESD 防護電路 340 與圖 17 之電路 320 具有相同之結構，但電路 340 以逆偏二極體 Dn 取代第一堆疊式 NMOS100。二極體 Dn 之尺寸較第二堆疊式 NMOS 160 者為小。

圖 19 為本發明又一實施例之輸入級 ESD 防護電路圖。請參閱圖 19，ESD 防護電路 360 與圖 15 之電路 280 具有相同之結構，但電路 360 中以一對疊接之 PMOS 電晶體 Mp1 及 Mp2 來提供墊片至 VDD 之 ESD 防護，其取代圖 15 中之閘極追蹤電路 140 及 Mp。Mp1 包含一閘極 1302 透過電阻連接至 VDD，以及一體極或 n 井區 1304 連接至 n 井區自偏壓電路 150。Mp2 包含一閘極 1322 透過電阻連接至一輸入墊片 110，以及一體極或 n 井區 1324 連接至一 n 井區偏壓電路 150。此一電路配置防止 Mp1 及 Mp2 於輸入信號為 0 V 或 3.3 V 時導通而產生漏電流。

圖 20 為本發明又一實施例之輸入級 ESD 防護電路圖。如圖 20 所示，ESD 防護電路 380 包含一觸發式堆疊 PMOS 170 以取代 PMOS 電晶體對 Mp1 及 Mp2，及一第二 ESD 檢測電路 180 以於 ESD 發生時觸發井區觸發式堆疊式 PMOS 170 之 n 型擴散區 176。在本發明之其他實施例中，圖 16、17、18 之 Mp 及閘極追蹤電路 140 則由堆疊式 PMOS 170 與第二 ESD 檢測電路 180 所取代。

除了用於輸入/輸出級之 ESD 防護外，本發明之堆疊式 NMOS 及 PMOS 元件尚可用於電源線間之 ESD 防護，例如

VCC 至 VSS 或 VCC 至 VDD 之 ESD 防護，其範例將說明如下。

圖 21 為本發明之一實施例之電源線間 ESD 防護的電路圖。請參閱圖 21，ESD 防護電路 400 包含井區觸發之堆疊式 PMOS 連同一第一 ESD 檢測電路 180 用於 VCC (3.3 V) 至 VDD (1.8 V) ESD 之防護，以及基體觸發之堆疊式 NMOS 100 連同第二 ESD 檢測電路 120 用於 VCC 至 VSS 之 ESD 防護。電路 400 另包含一 VDD 至 VSS 之 ESD 鉗制電路 190，其可為一基體觸發之堆疊式 NMOS 100 或井區觸發之堆疊式 PMOS，已於前文中針對輸入/輸出級防護之實施例中有所描述。堆疊式 NMOS 100 包含上閘極 1020 連接至 VDD、汲極 1022 連接至 VCC、下閘極 1040 以及源極 1042 皆連至 VSS。在正常操作期間，堆疊式 NMOS 100 為關閉而無閘氧化層過偏壓之問題。ESD 發生於 VCC 線路時，檢測電路 120 開啟並導通初始 ESD 電流來觸發堆疊式 NMOS 100。只要堆疊式 NMOS 100 中之寄生 npn 雙載子電晶體(以虛線表示)開啟，ESD 電流便經由寄生式 npn 雙載子電晶體排放至 VSS 線路。

堆疊式 PMOS 170 包含一上閘極 1720 透過電阻連接至 VCC，以及一下閘極 1740 透過電阻連接至 VDD。在正常操作期間，堆疊式 PMOS 170 為關閉，因此無閘氧化層過偏壓之問題。當 ESD 由 VCC 施加至 VDD 時，檢測電路 180 開啟並將初始 ESD 電流由 VCC 線路經由堆疊式 PMOS 170 中之寄生式 pnp 雙載子電晶體(以虛線表示)的 p⁺/n 井區接

面導通至檢測電路 180。此初始 ESD 電流流入 n 井區中並於 p^+/n 井區接面產生一壓降。只要此壓降超過約 0.7 V，則寄生式 pnp 雙載子電晶體開啟並將 ESD 電流由 VCC 線路排放至 VDD。

圖 22 為本發明另一實施例之電源線間 ESD 防護之電路圖。請參閱圖 22，ESD 防護電路 420 與圖 21 之電路 400 具有相同之結構，但電路 420 以逆偏二極 Dp2 取代圖 21 中之堆疊式 PMOS 170 及 ESD 檢測電路 180。

圖 23 為本發明又一實施例之電源線間 ESD 防護之電路圖。如圖 23 所示，ESD 防護電路 440 包含一個堆疊式 PMOS 442、ESD 檢測電路 444 以及閘極偏壓電路 446，此等元件皆並聯相接於 VCC (5 V) 與 VSS 線路之間。堆疊式 PMOS 442 包含三個 PMOS 電晶體(未標號)，其閘極由偏壓電路 446 分別施以 VCC、 $2/3$ VCC 以及 $1/3$ VCC 之偏壓。在正常操作期間，三個 PMOS 電晶體皆關閉而無閘極氧化層過偏壓之問題。ESD 發生時，ESD 檢測電路 444 開始作動，並將初始 ESD 電流由 VCC 線路經由堆疊式 PMOS 442 中所形成之寄生式 pnp 電晶體(以虛線表示)的 p^+/n 井區接面導通至 ESD 檢測電路 444。只要 p^+/n 井區接面處之壓降超過約 0.7 V，則寄生式 pnp 電晶體即開啟並將 ESD 電流由 VCC 排放至 VSS 線路。

本發明因此也提供一種混壓電源介面之 ESD 防護方法。此方法包括提供一信號墊片以接收一靜電信號；提供一鉗制元件，包含：至少兩個疊接相連之電晶體；一第一

擴散區，其為第一摻雜型且由兩相鄰電晶體所共有；以及一第二擴散區，其為第二摻雜型且形成於第一擴散區中，以及提供一檢測電路，因應於靜電信號，用以於鉗制元件之第一及第二擴散區之間觸發一 p-n 接面。

本行人士將會理解在不脫離發明之精神下，本發明上述所揭之範例仍可有種種之變化及修改。本行人士熟讀本說明書並實施所揭之發明內容，則本發明之其他實施例亦可清楚明瞭。本說明書之內容及實施例係供範例參考，真正之發明範圍及精神則可界定於如下之申請專利範圍。

【圖式簡單說明】

以下之圖示為本說明書之一部份，揭示本發明之實施例，並與本文相配合來解說本發明之目的、功效及原理。

圖示中：

圖 1 為習知 ESD 防護電路圖；

圖 2 為另一習知 ESD 防護元件電路圖；

圖 3 為又一習知 ESD 防護電路圖；

圖 4 為 I_{t2} 與 I_{sub} 關係的曲線圖；

圖 5A 及 5B 所示分別為習知堆疊式 NMOS 電晶體結構之佈局及剖面圖；

圖 6A 及 6B 所示分別為本發明之一實施例的 ESD 防護元件佈局及剖面圖；

圖 7A 及 7B 所示分別為本發明之一實施例的堆疊式 NMOS 及堆疊式 PMOS 之電路符號；

圖 8A 及 8B 所示分別為本發明另一實施例的 ESD 防護元件的佈局及剖面圖；

圖 9A 為本發明另一實施例的 ESD 防護元件的佈局；

圖 10A 及 10B 所示分別為本發明之另一實施例的 ESD 防護元件的佈局及剖面圖；

圖 11 為本發明之一實施例的輸出端 ESD 防護電路圖；

圖 12 為本發明另一實施例之輸出端 ESD 防護電路圖；

圖 13 為本發明又一實施例之輸出端 ESD 防護電路圖；

圖 14 為本發明另一實施例之輸出端 ESD 防護電路圖；

圖 15 為本發明之一實施例的輸入端 ESD 防護電路圖；

圖 16 為本發明另一實施例之輸入端 ESD 防護電路圖；

圖 17 為本發明又一實施例之輸入端 ESD 防護電路圖；

圖 18 為本發明另一實施例之輸入端 ESD 防護電路圖；

圖 19 為本發明又一實施例之輸入端 ESD 防護電路圖；

圖 20 為本發明另一實施例之輸入端 ESD 防護電路圖；

圖 21 為本發明又一實施例的電源間 ESD 防護電路圖；

圖 22 為本發明另一實施例之電源線間 ESD 防護電路圖；以及

圖 23 為本發明又一實施例之電源線間 ESD 防護電路圖。

元件符號說明

10：堆疊式 NMOS 電晶體結構 12：堆疊式 NMOS 元件

12A：堆疊式 NMOS

14：n 型擴散區

- 16：接觸窗
- 122：上方電晶體
- 1220：上閘極
- 1240：下閘極
- 30：ESD 防護元件
- 32A：堆疊式 NMOS
- 36：接觸窗
- 40：p 型擴散區
- 324：下方電晶體
- 3222：第一 n 型擴散區
- 3242：第二 n 型擴散區
- 348：共用 n 型擴散區
- 48：p 型擴散區
- 60：ESD 防護元件
- 80：ESD 防護元件
- 92：堆疊式 NMOS 元件
- 98：p 型基體
- 924：中央電晶體
- 9220：上閘極
- 9240：中央閘極
- 9262：第二 n 型擴散區
- 102：上方 NMOS 電晶
- 106：p 型擴散區
- 1020：閘極
- 18：p 型基體
- 124：下方電晶體
- 1222：第一 n 型擴散區
- 1242：第二 n 型擴散區
- 32：堆疊式 NMOS 元件
- 34：共用 n 型擴散區
- 38：p 型基體
- 322：上方電晶體
- 3220：上閘極
- 3240：下閘極
- 346：共用 n 型擴散區
- 46：p 型擴散區
- 50：ESD 檢測電路
- 70：淺溝槽絕緣層 (STI)
- 90：ESD 防護元件
- 92A：堆疊式 NMOS 元件
- 922：上方電晶體
- 926：下方電晶體
- 9222：第一 n 型擴散區
- 9260：下閘極
- 100：堆疊式 NMOS
- 104：下方 NMOS 電晶體
- 110：輸出墊片
- 1022：汲極

- 1040: 閘極
120: ESD 檢測電路
1302: 閘極
1322: 閘極
140: 閘極追蹤電路
160: 堆疊式 NMOS
1622: 汲極
1202: 陽極
1622: 陽極
170: 堆疊式 PMOS
176: n 型擴散區
1720: 上閘極
190: ESD 鉗制電路
220: ESD 防護電路
260: ESD 防護電路
300: ESD 防護電路
340: ESD 防護電路
380: ESD 防護電路
420: ESD 防護電路
442: 堆疊式 PMOS
446: 閘極偏壓電路
1042: 源極
130: PMOS
1304: n 井區
1324: n 井區
150: 自偏壓電路
166: p 型擴散區
1640: 下方閘極
1042: 陰極
1642: 陰極
180: ESD 檢測電路
1704: n 井區
1740: 下閘極
200: ESD 防護電路
240: ESD 防護電路
280: ESD 防護電路
320: ESD 防護電路
360: ESD 防護電路
400: ESD 防護電路
440: ESD 防護電路
444: ESD 檢測電路

伍、中文發明摘要：

一種靜電放電防護電路，包括至少兩個堆疊相連之電晶體，一個由兩相鄰之電晶體所共用、第一摻雜型之第一擴散區，以及一個形成於第一擴散區中、第二摻雜型之第二擴散區。此等堆疊電晶體之元件結構中產生一基體觸發區以改善靜電放電耐受強度及元件啟動速度。本發明提出省面積之佈局方法以實施該堆疊式電晶體。堆疊式電晶體可應用於混合電壓輸入/輸出介面之靜電放電防護電路中，或應用於多電源供應之積體電路中。堆疊式電晶體之製作無須使用厚的閘氧化層光罩，便可避免閘氧化層可靠度的問題。

陸、英文發明摘要：

An electrostatic discharge protection circuit that includes at least two transistors connected in a stacked configuration, a first diffusion region of a first dopant type shared by two adjacent transistors, and a second diffusion region of a second dopant type formed in the first diffusion region. A substrate-triggered site is induced into the device structure of the stacked transistors to improve ESD robustness and turn-on speed. An area-efficient layout to realize the stacked transistors is proposed. The stacked transistors may be implemented in ESD protection circuits with a mixed-voltage I/O interface, or in integrated circuits with multiple power supplies. The stacked transistors are fabricated without using a thick-gate mask.

拾、申請專利範圍：

1. 一種靜電荷放電防護電路元件，包括：
至少兩個疊接相連之電晶體；
一第一擴散區，其為第一摻雜型且由兩相鄰電晶體所共用；以及
一第二擴散區，其為第二摻雜型且形成於第一擴散區中。
2. 如申請專利範圍第 1 項之元件，其中每一電晶體具有一閘極結構，且第二擴散區與部份之閘極結構相交疊。
3. 如申請專利範圍第 1 項之元件，另包括一第三擴散區，其為第一摻雜型且形成於第一及第二擴散區之間。
4. 一種靜電防護之積體電路元件，包括：
一半導體基體；
多個閘極，形成於基體上；
一第一擴散區，其為第一摻雜型且形成於兩鄰接閘極之間；以及
一至少第二擴散區，其為第二摻雜型且形成於第一擴散區中。
5. 如申請專利範圍第 4 項之元件，其中有多個第二擴散區形成於第一擴散區中，且至少一第二擴散區與其他之第二擴散區相隔開。
6. 如申請專利範圍第 4 項之元件，其中有多個第二擴散區形成於第一擴散區中，且至少一第二擴散區與其他

之第二擴散區相鄰接。

7. 如申請專利範圍第 4 項之元件，另包括一第三擴散區，其為第一摻雜型且形成於第一及第二擴散區之間。
8. 如申請專利範圍第 4 項之元件，其中第二擴散區與部分閘極相交疊。
9. 一種用於混合電壓介面之靜放電防護積體電路，包括：
 - 一信號墊片，用以接收一靜電信號；
 - 一鉗制元件，用以於一第一電壓源與一第二電壓源間提供靜電防護，該鉗制元件包含：
 - 至少兩個疊接相連之電晶體；
 - 一第一擴散區，其為第一摻雜型且由兩相鄰之電晶體所共用；以及
 - 一第二擴散區，其為第二摻雜型且形成於第一擴散區中；以及一檢測電路，因應於該靜電信號，用以觸發該鉗制電路以將該靜電信號排放至第二電壓源。
10. 如申請專利範圍第 9 項之電路，其中鉗制元件包含一堆疊式 NMOS。
11. 如申請專利範圍第 9 項之電路，其中鉗制元件包含一堆疊式 PMOS。
12. 如申請專利範圍第 9 項之電路，其中第一電壓源為 VDD，而第二電壓源為 VSS。

- 第二鉗制元件，其電晶體型式與第一鉗制元件者相反，且連接於第一電壓源與墊片之間，由一第二檢測電路予以觸發以將靜電信號排放至墊片。
23. 如申請專利範圍第 9 項之電路，其中之鉗制元件包含一閘極，該閘極經由一電阻連接至第一電壓源。
 24. 如申請專利範圍第 15 項之電路，其中之檢測電路係連接於電晶體之體極與第二電壓源之間。
 25. 如申請專利範圍第 9 項之電路，另包括一對串聯連接於第一電壓源與墊片之間的電晶體。
 26. 如申請專利範圍第 21 項之電路，其中第一鉗制元件包括一連接於墊片與第二電壓源之間的二極體。
 27. 如申請專利範圍第 9 項之電路，其中之鉗制元件與檢測電路係並聯連接於第一與第二電壓源之間。
 28. 如申請專利範圍第 27 項之電路，另包括一二極體，其係連接於第一電壓源與一第三電壓源之間。
 29. 如申請專利範圍第 28 項之電路，其中之鉗制元件包含一連接至第三電壓源之第一閘極。
 30. 如申請專利範圍第 27 項之電路，另包括一偏壓電路，其係連接於第一及第二電壓源之間。
 31. 如申請專利範圍第 30 項之電路，其中之鉗制元件包含一第一閘極、一第二閘極與一第三閘極，且偏壓電路分別提供一第一、第二與第三偏壓至鉗制元件之第一、第二與第三閘極。
 32. 一種用於混合電壓介面之靜電放電防護方法，包括：

13. 如申請專利範圍第 9 項之電路，其中第一電壓源為 VCC，而第二電壓源為 VSS。
14. 如申請專利範圍第 9 項之電路，其中第一電壓源為 VCC，而第二電壓源為 VDD。
15. 如申請專利範圍第 9 項之電路，另包括一電晶體，其係連接於第一電壓源與墊片之間，並且具有一閘極與一體極。
16. 如申請專利範圍第 15 項之電路，另包括一連接至電晶體之閘極的追蹤電路。
17. 如申請專利範圍第 15 項之電路，另包括一連接至電晶體之體極的偏壓電路。
18. 如申請專利範圍第 15 項之電路，其中之鉗制元件為第一鉗制元件，該電路另包括一第二鉗制元件，其電晶體型式與第一鉗制元件者相同，且連接於第一及第二電壓源之間，由檢測電路予以觸發，以將靜電信號排放至第二電壓源。
19. 如申請專利範圍第 18 項之電路，其中之鉗制元件包含一連接至電晶體之體極的端點。
20. 如申請專利範圍第 19 項之電路，其中之檢測電路係連接於墊片與第二電壓源之間。
21. 如申請專利範圍第 19 項之電路，其中檢測電路係連接於電晶體之體極與第二電壓源之間。
22. 如申請專利範圍第 9 項之電路，其中之鉗制元件為第一鉗制元件，而檢測電路為第一檢測電路，另包括一

提供一信號墊片以接收一靜電信號；

提供一鉗制元件，包含：

至少兩個疊接相連之電晶體；

一第一擴散區，其為第一摻雜型且由兩相鄰電晶體所共有；以及

一第二擴散區，其為第二摻雜型且形成於第一擴散區中，以及

提供一檢測電路，因應於靜電信號，用以於鉗制元件之第一及第二擴散區之間觸發一 p-n 接面。

拾壹、圖式：

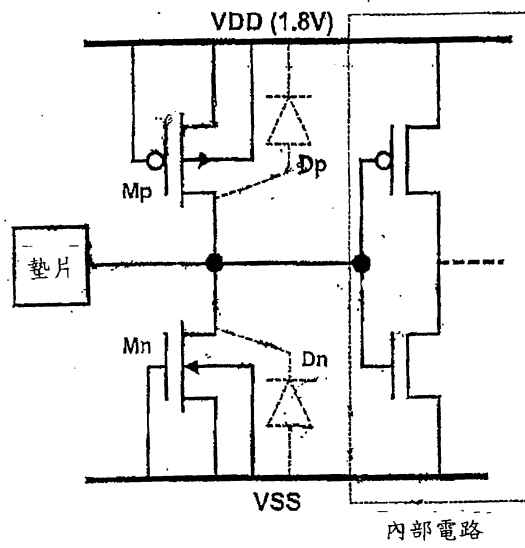


圖 1

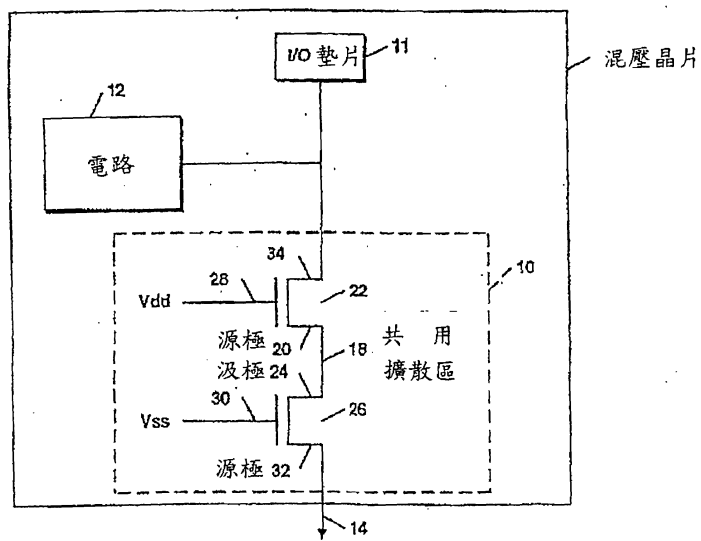


圖 2

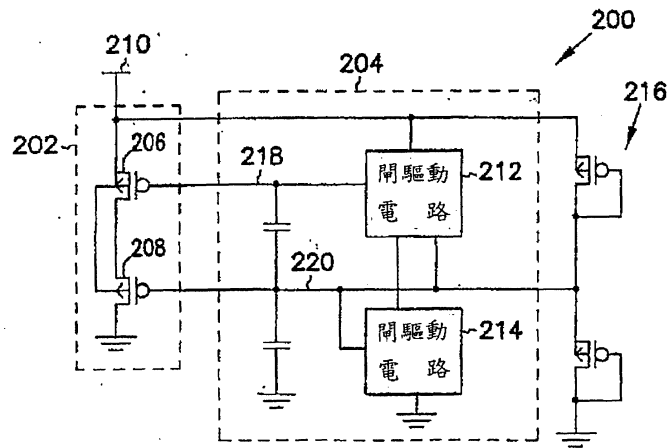


圖 3

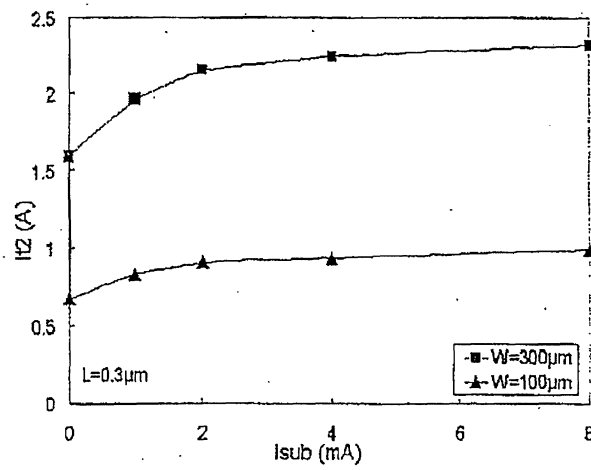


圖 4

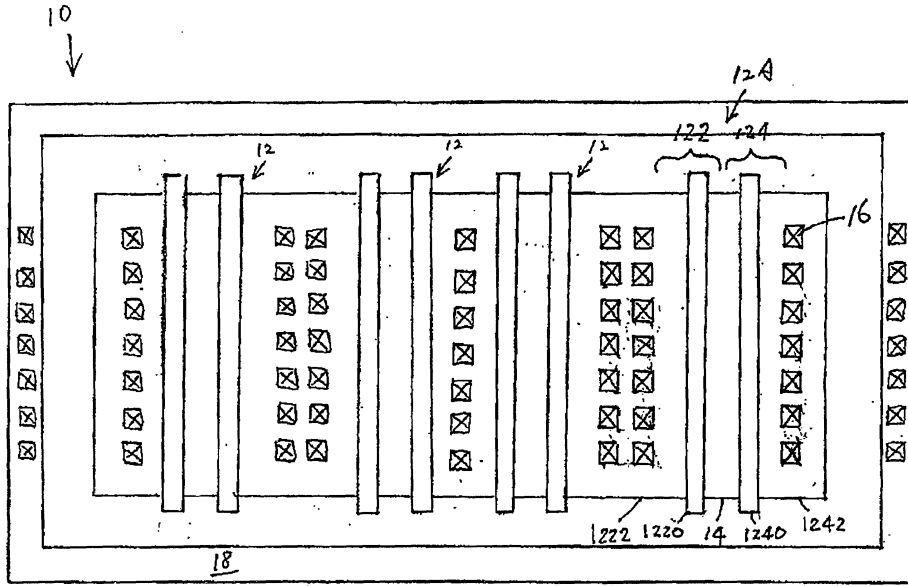


圖 5A

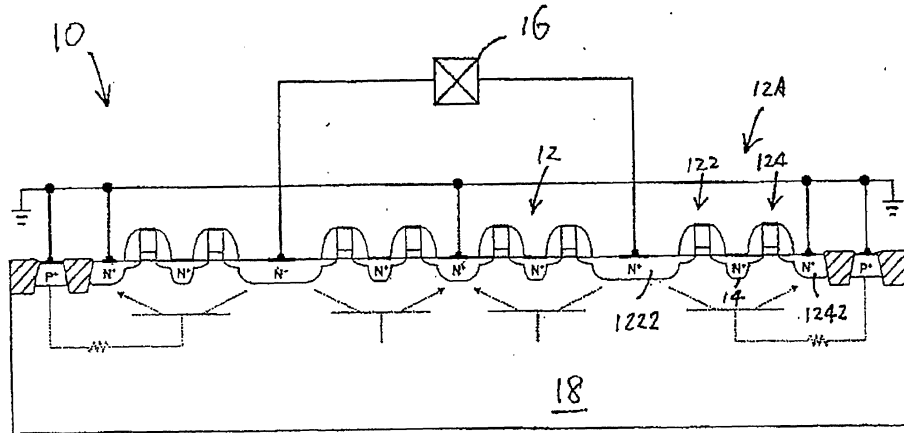


圖 5B

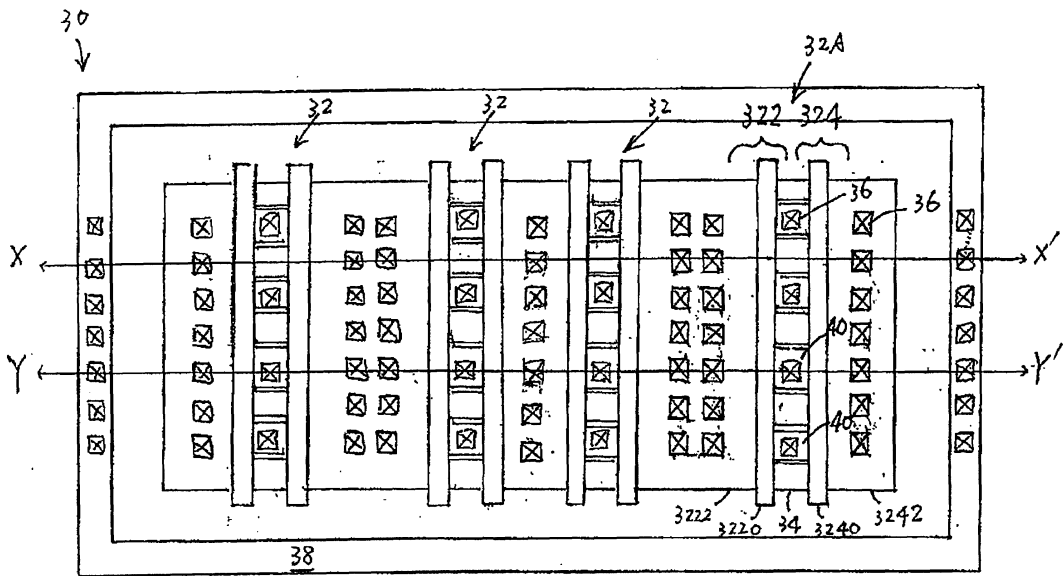


圖 6A

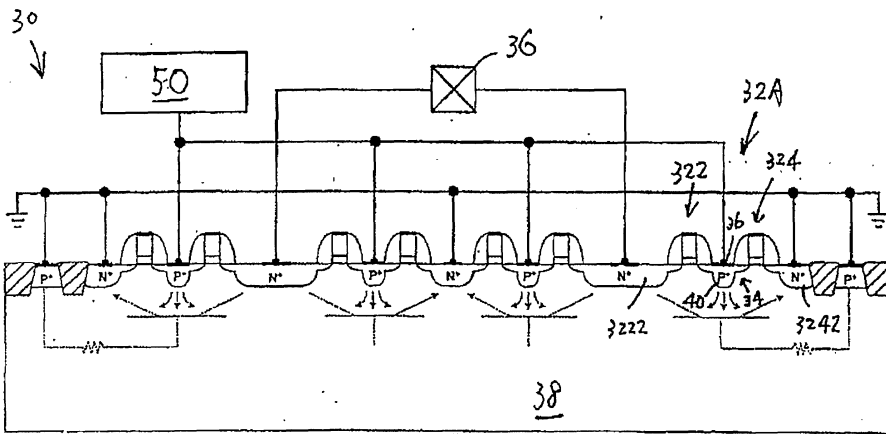
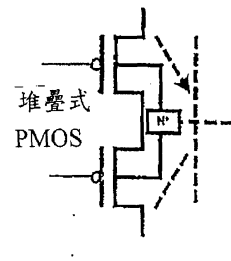
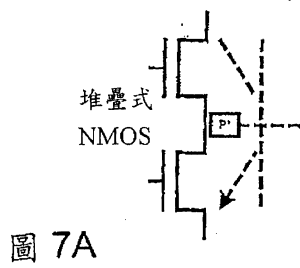


圖 6B



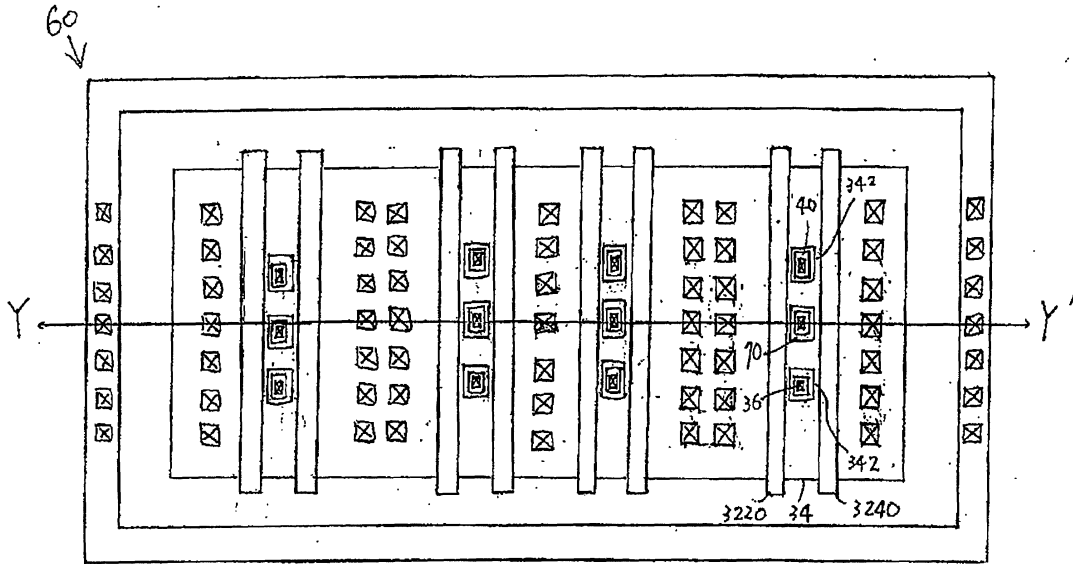


圖 8A

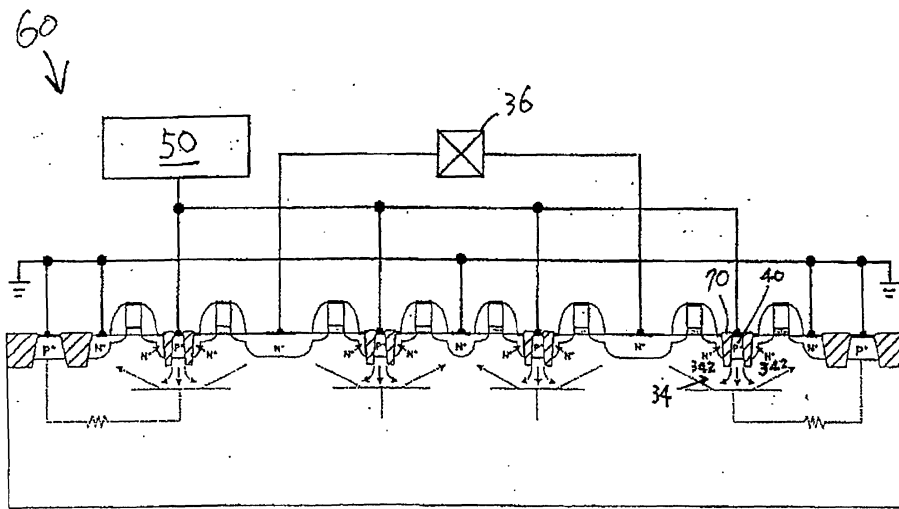


圖 8B

88
↓

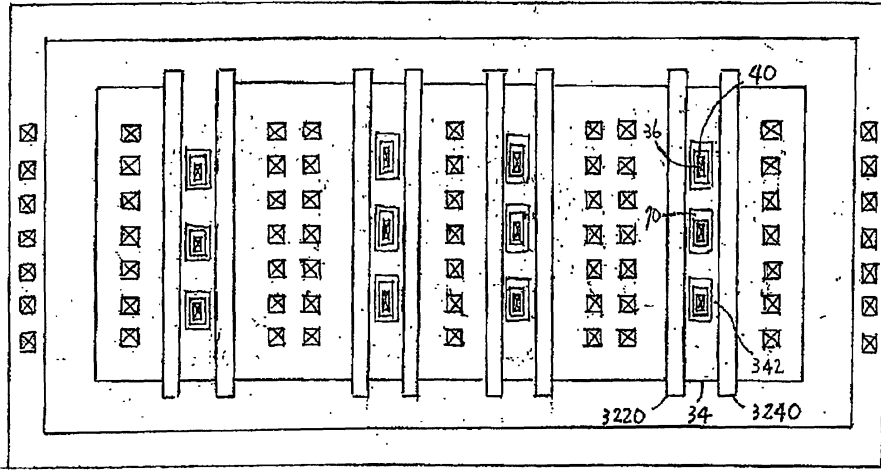


圖 9

200
↓

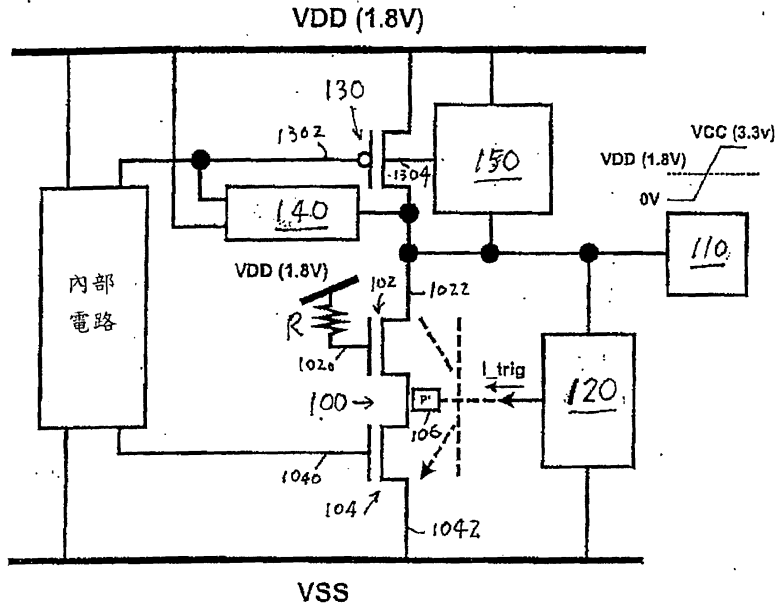


圖 11

220
↓

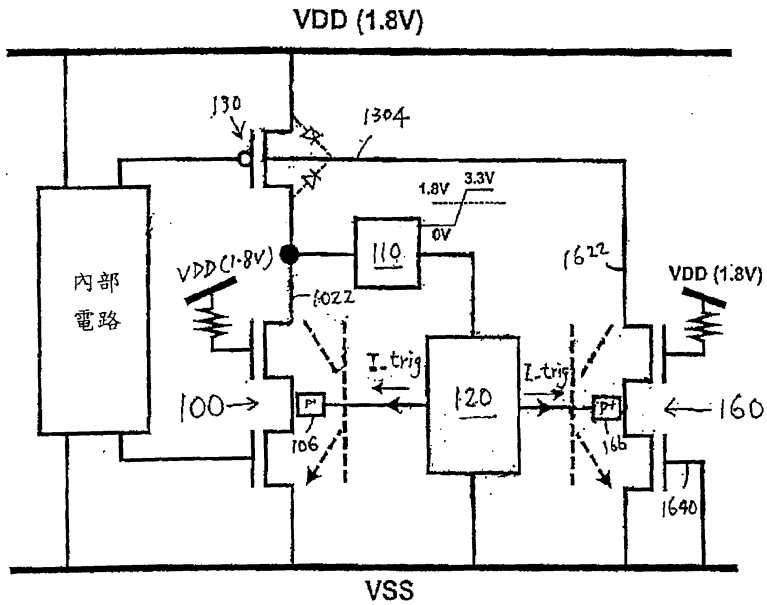


圖 12

280
↓

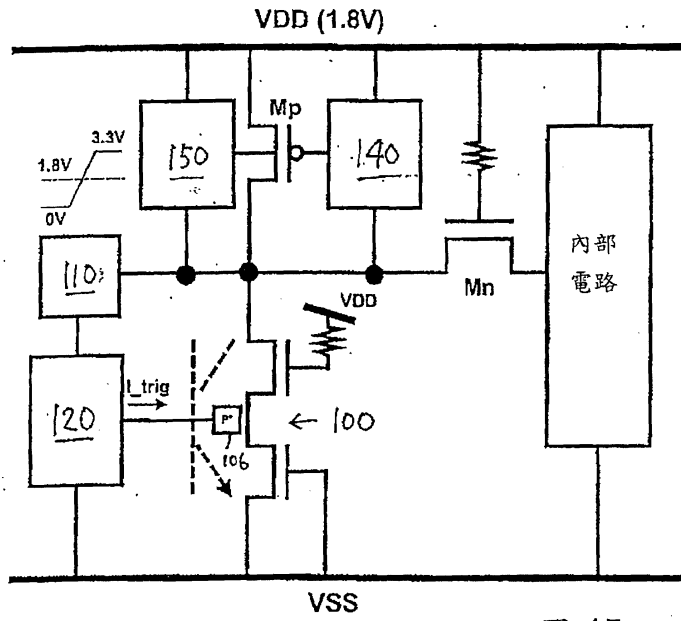


圖 15

300
↓

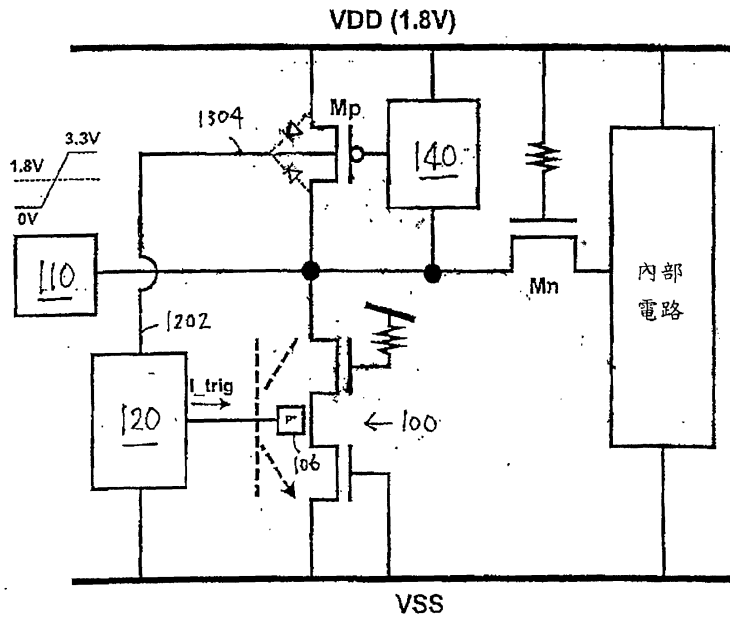


圖 16

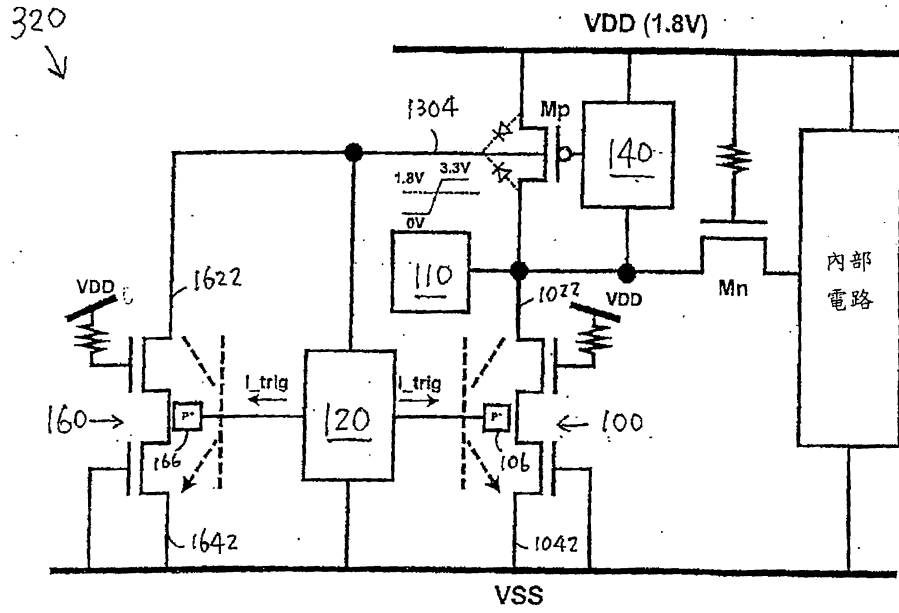


圖 17

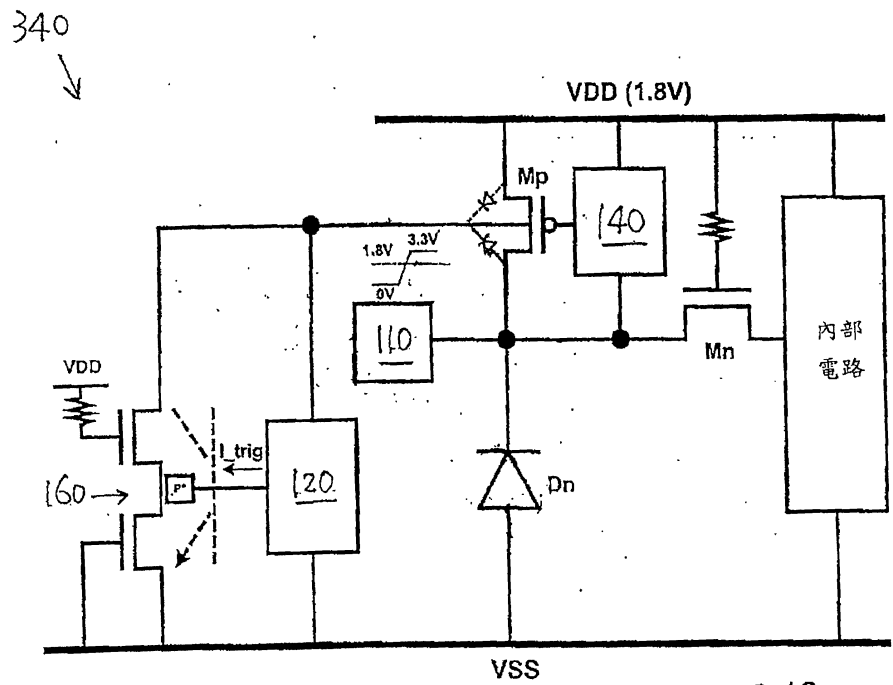


圖 18

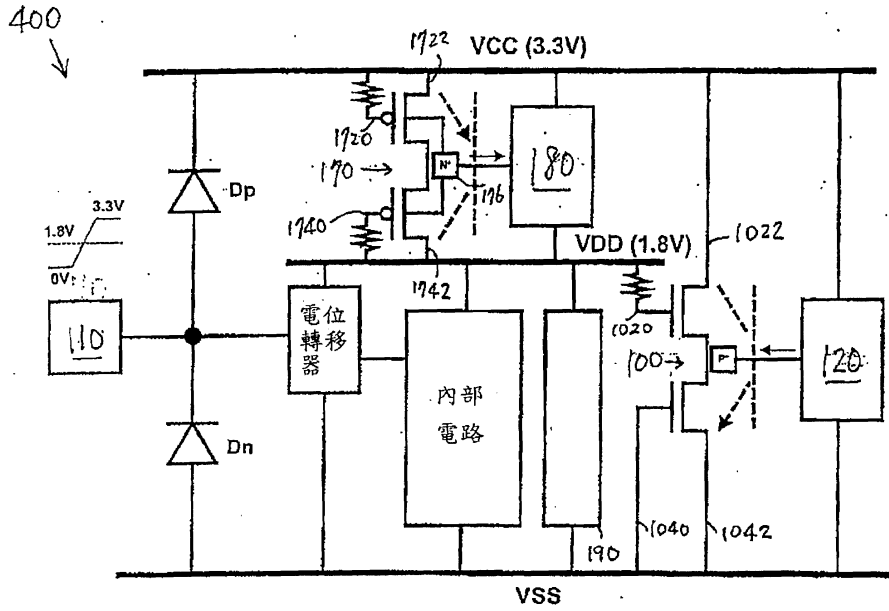


圖 21

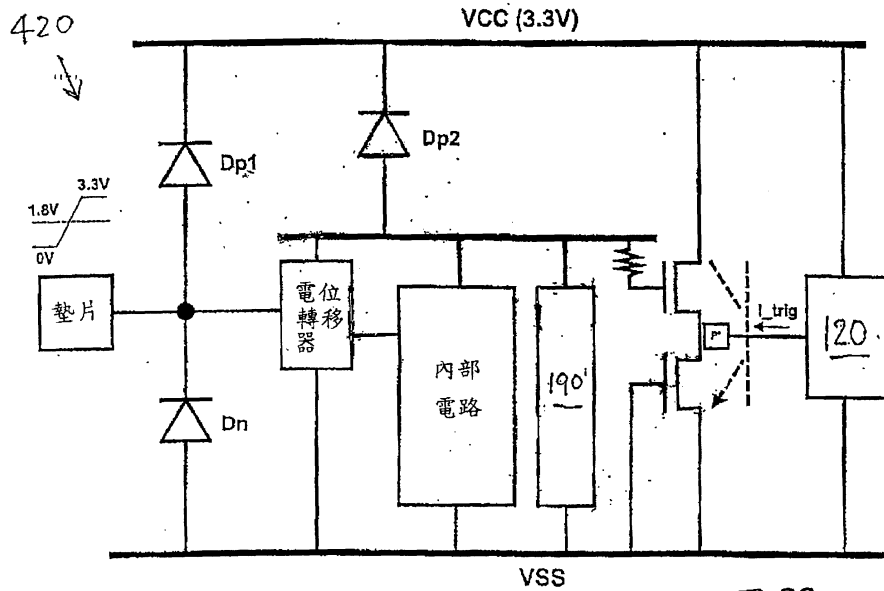


圖 22

440
↓

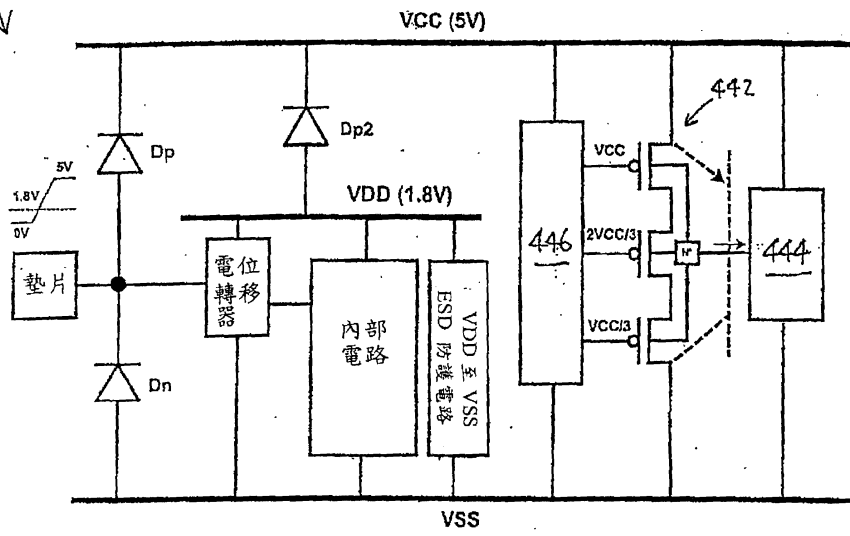


圖 23

柒、指定代表圖：

(一)本案指定代表圖為：第 (6A) 圖。

(二)本代表圖之元件代表符號簡單說明：

30：ESD 防護元件	32：堆疊式 NMOS 元件
32A：堆疊式 NMOS	34：共用 n 型擴散區
36：接觸窗	38：p 型基體
40：p 型擴散區	322：上方電晶體
324：下方電晶體	3220：上閘極
3222：第一 n 型擴散區	3240：下閘極
3242：第二 n 型擴散區	

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

11/20

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：

※申請日期：

※IPC 分類：H01L 23/60

壹、發明名稱：(中文/英文)

用於混合電壓介面之靜電放電防護元件

ELECTROSTATIC DISCHARGE PROTECTION DEVICE

FOR MIXED VOLTAGE INTERFACE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE

代表人：(中文/英文) 翁政義/Cheng-I Weng

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段 195 號 / 195, Chung Hsing Rd., Sec. 4, Chutung, Hsinchu, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國/REPUBLIC OF CHINA

參、發明人：(共 3 人)

姓名：(中文/英文)

1. 柯明道/Ming-Dou Ker

2. 徐國鈞/Kuo-Chun Hsu

3. 姜信欽/Hsin-Chin Jiang

住居所地址：(中文/英文)

1. 新竹縣竹東鎮中興路四段 195 號 51 館