

公告本

413765

申請日期	86.3.24
案號	8,6103720
Int. Cl. 類別	G06F 17/50

A4
C4

(以上各欄由本局填註)

413765

發明專利說明書

一、發明 名稱	中文	具有可靠輸出時序及降低失敗率之多位元比較器
	英文	
二、發明 創作人	姓名	黑津 悟
	國籍	日本
	住、居所	日本東京都港區虎ノ門1丁目7番12號
三、申請人	姓名 (名稱)	沖電氣工業股份有限公司
	國籍	日本
	住、居所 (事務所)	日本東京都港區虎ノ門1丁目7番12號
	代表人 姓名	澤村 紫光

經濟部中央標準局員工消費合作社印製

413765

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
日本 1996/4/24 平成8年特許願第102129號

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(3|)

圖示之標號說明：

- 1 互斥 OR 閘
- 2 互斥 OR 閘
- 3 互斥 OR 閘
- 4 互斥 OR 閘
- 5 NOR 閘
- 10 n 位元的比較器
- 10A NMOS 電晶體
- 10B n 通道金屬氧化物半導體場效電晶體
- 10C NMOS 電晶體
- 20 n 位元的比較器
- 30 n 位元的比較器
- 40 n 位元的比較器
- 40A NMOS 電晶體
- 40B NMOS 電晶體
- 41A NMOS 電晶體
- 50 n 位元的比較器
- 60 n 位元的比較器
- 70 n 位元的比較器
- 80 n 位元的比較器
- 100 比較器
- 101 互斥 OR 閘
- 102 放電元件
- 103 反相器

五、發明說明 (I)

發明之背景

本發明係有關於比較多位元輸入信號之一種方法，以及其可使用於，例如，諸如快取記憶(cache memory)之類的內容可定址記憶上的一種多位元比較器。

多位元比較器可接收一對多位元輸入信號，並產生可指示兩輸入信號之每一位元是否互相符合的一輸出信號。在一快取記憶之中，輸入信號中之一可以給定一個所需資料字元的位址，而另一輸入信號則給定一快取資料字元的位址。輸出信號可以指示兩位址是否相同，造成所謂的快取命中(cache hit)的情形，或者指示兩位址是否不同，造成所謂的快取未中(cache miss)的情形。

多位元比較器的傳統電路構造，其將在稍後說明者，係包含了多個的可以比較兩輸入信號之個別位元的互斥 OR 閘，以及一個可將互斥 OR 閘的輸出結合起來以產生最終輸出信號的一個 NOR 閘。此種構造只在輸入位元的數量小時才能工作良好。當有許多位元時，要設計一個 NOR 閘而不遇到諸如過長的閘傳遞延遲，過大的電路佈局空間，以及過大的電力消耗等問題將會變得困難。

爲了避免此些問題，日本專利申請公開第 252706/1986 案中揭示了一種多位元的比較器，其中的互斥 OR 閘具有開放汲極的輸出構造，並係以一種連結 OR 的結構而被耦接至一感應放大器上。日本專利申請公開第 75748/1994 案中揭示了一種多位元的比較器，其中的互斥 OR 閘分別驅動各自的拉升(pull-up)電晶體，其係以一種連結 OR 的結構而被

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

耦接至被預充電至接地位準的一輸出端。此兩種多位元比較器的輸出信號，其正常係處於表明互相相同輸入信號的狀態。當輸入信號不相同時，輸出時序因此即會依據未相符位元的數量而改變，造成了時序設計上的問題。

前述習知技術所未能處理的另有一種問題，亦即，當輸入信號中之一或兩者皆屬無效時，所可能會發生的，被稱為失敗(hazard)的錯誤輸出信號。在一快取記憶之中，此種失敗可以導致記憶控制電路的失誤動作，或者造成擷取錯誤資料的情形。此類的失敗亦會造成時序設計上的困難，因時序的設計會變成是必要的，以便確保輸出信號可以在盡可能遠離開，能夠避開失敗的一點上進行取樣。

發明之概要

本發明之一目的因此即在於簡化多位元比較器的時序設計。

本發明之另一目的係在於消除來自於多位元比較器的輸出之中的失敗情形。

本發明之再一目的係在於增進多位元比較器的操作速度。

本發明之又一目的係在於縮減多位元比較器的尺寸。

本發明之又一目的係在於縮減多位元比較器的消耗功率。

本發明將一第一多位元輸入信號與一第二多位元輸入信號互相比較的方法，其步驟包含有：

將第一信號的個別位元與第二信號的對應位元互相比

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

較；

由第二信號的轉換之中偵測何時第二信號是為有效與何時第二信號是為無效；

當第二信號為無效時，將一輸出信號保持於一固定邏輯位準上，其最好是指示輸入信號互不相同的一個邏輯位準；與

當該第二信號變為有效時，依據個別的比較結果之結合而控制輸出信號。

本發明之多位元比較器接收一第一多位元輸入信號與一對第二多位元輸入信號。該些第二輸入信號具有一種有效狀態，其中對應的位元各具有互補反相的邏輯位準，以及一種無效狀態，其中對應的位元各係處於相同的邏輯位準上。

多個的單位元比較器將第一輸入信號的個別位元與第二輸入信號中的個別對的位元互相比較。此些比較的結果被供應至一第一節點上。

一輸出控制電路在該對的第二輸入信號之中比較一對位元，並對一第二節點供應一個備妥信號(ready signal)，表示第二輸入信號何時是屬有效。

一輸出電路在第一節點與第二節點的邏輯位準上執行一次邏輯操作，以便產生一輸出信號。當第二輸入信號係屬無效時，輸出信號的邏輯位準被保持固定，而當第二輸入信號係屬有效時，則依據第一節點的邏輯位準而改變。

利用將所有的單位元比較結果饋送至一共同的第一節

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

點，本發明之多位元比較器可以縮減電路尺寸與功率消耗，並且可以進行高速的操作。

當第二輸入信號係屬無效時，利用將輸出信號保持於一固定的邏輯位準上，本發明可以降低輸出信號中失敗出現的情形。若此邏輯位準係為指示輸入信號係為互不相同的位準，則輸出時序便會變成與不符合位元的數量無關。為了進一步減低失敗出現的情況，並簡化時序的設計，本發明之多位元比較器可以具有耦接至第二節點的一個假負載。

圖式之簡要說明

附圖之中：

圖 1 為依據本發明第一實施例的一多位元比較器之電路圖；

圖 2 顯示第一實施例中一單位元比較器的邏輯構造；

圖 3 顯示第一實施例中一單位元比較器的電路構造；

圖 4 顯示第一實施例中輸出控制單元的邏輯構造；

圖 5 顯示第一實施例中輸出控制單元的電路構造；

圖 6 為當應用於一快取記憶中時第一實施例的電路圖；

圖 7 顯示當發生快取命中時的波形；

圖 8 顯示當發生快取未中時的波形；

圖 9 為依據本發明第二實施例的一多位元比較器之電路圖；

圖 10 顯示第二實施例中一單位元比較器的邏輯構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

造；

圖 11 顯示第二實施例中一單位元比較器的電路構造；

圖 12 顯示第二實施例中輸出控制單元的邏輯構造；

圖 13 顯示第二實施例中輸出控制單元的電路構造；

圖 14 為依據本發明第三實施例的一多位元比較器之電路圖；

圖 15 顯示第三實施例中一單位元比較器的邏輯構造；

圖 16 顯示第三實施例中一單位元比較器的電路構造；

圖 17 顯示第三實施例中輸出控制單元的邏輯構造；

圖 18 顯示第三實施例中輸出控制單元的電路構造；

圖 19 為依據本發明第四實施例的一多位元比較器之電路圖；

圖 20 顯示失敗情形的波形圖；

圖 21 為依據本發明第五實施例的一多位元比較器之電路圖；

圖 22 為依據本發明第六實施例的一多位元比較器之電路圖；

圖 23 為依據本發明第七實施例的一多位元比較器之電路圖；與

圖 24 為一習知技術多位元比較器的電路圖。

較佳實施例之詳細說明

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (b)

下面將參考附圖說明本發明之較佳實施例。此些實施例係在一半導體積體電路中的一個快取記憶範圍之中進行說明的，但此些實施例並不僅限於此等用途之中。

附圖之中，所要進行比較的輸入信號係分別被標記為 ADDR<1:n>與 DATA<1:n>。標記<1:n>表示每一個信號係由 n 個位元所構成，其係以平行並列方式輸入，n 係為大於一的任意一個整數。個別的位元係以由<1>至<n>的符號來辨別的。DATA<1:n>係以反相互補的形式接收到的，其反相互補輸入係以 DATA_N<1:n>來標示。

輸入信號 DATA<1:n>，DATA_N<1:n>，與 ADDR<1:n>係與以 CLK 標示的一個時鐘信號同步。此時鐘信號係在等於正電源電位的高位準，以及等於零電位或接地電位的一個低位準之間變化的。此兩高與低位準亦係為輸入信號 DATA<1:n>，DATA_N<1:n>，與 ADDR<1:n>的邏輯位準。附圖之中，電源電位係以一條短水平線標示，而接地電位則以小三角來標示。

本發明實施例的構成組件係以三位數的參考標號來標示。在不同實施例中的對應的組件係以三個數字中的第一個數字來區別，其他另兩個數字則相同。對應的組件可為完全相同，或者只是類似。在完全相同的情況之中，將不進行其重覆的描述。

參考圖 1，第一實施例係為一 n 位元的比較器 10，其包含有 n 個單位元的比較器 100，一個輸出空制電路 110，一個輸出電路 120，以及一對 p 通道金屬氧化物半導體場

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

效電晶體(此後稱為 PMOS 電晶體) 130 與 131。

每一個單位元比較器 100 各自接收每一個輸入信號 DATA<1:n>， DATA_N<1:n>， 與 ADDR<1:n>的一個位元。單位元比較器 100 的詳細內部構造將在稍後說明。單位元比較器 100 的輸出係以一連結 OR 構造而被耦接至標示為 COMP 的一個節點，其係被耦接至 PMOS 電晶體 130 的汲極。

輸出控制電路 110 接收每一對輸入信號 DATA<1:n>， DATA_N<1:n>， 與 ADDR<1:n>的一個位元。其中的任何一個位元皆可使用，例如， DATA<n>與 DATA_N<n>， 如圖式中所顯示者。輸出控制電路 110 的詳細內部構造將在稍後說明。輸出控制電路 110 的輸出被供應給標示為 READY 的一個節點，其係被耦接至 PMOS 電晶體 131 的汲極。

PMOS 電晶體 130 與 131 的功能係做為預充電的元件。其源極接收電源電位，而其閘極則接受時鐘信號 CLK。

輸出電路 120 由 COMP 與 READY 節點之處接受輸入，並產生標示為 HIT 的一個輸出信號。輸出電路 120 的詳細內部構造將在稍後說明。

圖 2 與 3 中分別顯示 n 個單位元比較器 100 中之一的邏輯構造與電路構造。所有的單位元比較器 100 皆具有此種結構構造。

參考圖 2，一個單位元比較器 100 具有三個輸入端，分別標示為 DATA， DATA_N 與 ADDR，其各接收對應 n 位元輸入信號中的一個位元。後面將要接收到的位元分別稱為 DATA， DATA_N 與 ADDR。此三個輸入端係被耦接至一個雙

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

輸入的互斥 OR 閘 101，其係產生 DATA 與 ADDR 位元的互斥 OR 邏輯運算結果。互斥 OR 閘 101 的輸出驅動一個放電元件 102，其係被耦接至一接地端並至標示為 OUT 的一個輸出端。

參考圖 3，互斥 OR 閘 101 具有一反相器 103，其係被耦接至 ADDR 輸入端，並產生一個標示為 ADDR_N 的互補反相信號。此信號 ADDR_N 被供應給一 PMOS 電晶體 104，以及一 n 通道金屬氧化物半導體場效電晶體(此後稱為 NMOS 電晶體) 10B 的閘極。DATA 信號被供應給一 PMOS 電晶體 105 與一 NMOS 電晶體 108 的閘極。ADDR 信號被供應給一 PMOS 電晶體 106 與一 NMOS 電晶體 109 的閘極。DATA_N 信號被供應給一 PMOS 電晶體 107 與一 NMOS 電晶體 10A 的閘極。

PMOS 電晶體 104 與 106 的源極接受電源電位，而其汲極則分別被耦接至 PMOS 電晶體 105 與 107 的源極。

NMOS 電晶體 109 與 10B 的源極接受接地電位，而其汲極則分別被耦接至 NMOS 電晶體 108 與 10A 的源極。PMOS 電晶體 105 與 107 以及 NMOS 電晶體 108 與 10A 的汲極被耦接在一起，並接至一 NMOS 電晶體 10C 的閘極，構成了放電元件 102。NMOS 電晶體 10C 的源極接受接地電位，而其汲極則被耦接至輸出端 OUT。

每一個單位元比較器 100 因此便各自具有一種 NMOS 開放汲極輸出的構造。更特定而言，每一個單位元比較器 100 各自輸出一個單位元的結果信號，依據 ADDR，DATA，以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

及 DATA_N 的邏輯位準，此結果信號不是被拉降 (pull-down) 至低 (接地) 位準，就是被留在其高阻抗的狀態之中。此些單位元的結果信號在 COMP 節點上被結合起來形成一個組合的結果信號。當單位元的結果信號之中有任何一個信號被拉降至低位準時，此結合的結果信號即被拉降至低位準。

參考圖 4，輸出控制電路 110 具有分別標示為 DATA 與 DATA_N 的兩個輸入端，其，例如，分別接受 DATA<n> 與 DATA_N<n>。此些輸入端係被耦接至一個雙輸入的 NAND 閘 111，其輸出控制著一個放電元件 112。放電元件 112 係耦接至一接地端以及標示為 OUT 的另一個輸出端，其係與單位元比較器 100 的輸出端 (亦標示為 OUT) 不同。

參考圖 5，NAND 閘 111 包含有 PMOS 電晶體 113 與 114，以及 NMOS 電晶體 115 與 116。DATA 輸入端被耦接至 PMOS 電晶體 113 與 NMOS 電晶體 115 的閘極。DATA_N 輸入端被耦接至 PMOS 電晶體 114 與 NMOS 電晶體 116 的閘極。PMOS 電晶體 113 與 114 的源極接受電源電位。NMOS 電晶體 115 與 116 的源極則接受接地電位，且其汲極被耦接至 NMOS 電晶體 115 的源極。PMOS 電晶體 113 與 114 以及 NMOS 電晶體 115 汲極被耦接至 NMOS 電晶體 117 的閘極，構成了放電元件 112。NMOS 電晶體 117 的源極接受接地電位，而其汲極則被耦接至輸出端 OUT。

輸出控制電路 110 如此便亦具有一種 NMOS 開放汲極輸出的構造。更特定而言，輸出控制電路 110 輸出一個備妥

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

信號，其依據 DATA 及 DATA_N 的邏輯位準，而被拉降至低（接地）位準，或被留在其高阻抗的狀態之中。

參考圖 1，輸出電路 120 包含有一反相器 121 與一個雙輸入的 NOR 閘 122。反相器 121 將 COMP 節點的邏輯位準予以反相，並將反相後的邏輯位準供應給 NOR 閘 122。NOR 閘 122 的另一個輸入亦由 READY 節點供應信號。NOR 閘 122 的輸出即為輸出信號 HIT。

圖 6 中顯示 n 位元的比較器 10 如何可被耦接至一快取記憶的標籤控制區段 (tag control section) 上。標籤控制區段具有數列的記憶胞，其可儲存出現在快取記憶中的位址資訊辨識資料。圖 6 中只顯示用以集合性地儲存一個位址的一列記憶胞 210。每一列的記憶胞皆係由一條字元線 (WL) 所控制。記憶胞的輸出由一系列感應放大器 220 加以放大，其係由時鐘信號 CLK 所控制。每一個感應放大器 220 各放大一個位址位元。感應放大器 220 產生信號 DATA<1:n> 與 DATA_N<1:n>，並將之供應給 n 位元比較器 10。DATA<1:n> 與 DATA_N<1:n> 因此即代表位址資料。

接著參考前述圖式，以及圖 7 與 8 中的時序圖而說明第一實施例的動作情形。

當 CLK 為低時，圖 6 中感應放大器 220 的輸出即被關閉，而 DATA<1:n> 與 DATA_N<1:n> 信號則為無效。在無效的狀態之中，兩信號 DATA<1:n> 與 DATA_N<1:n> 的所有位元，皆被感應放大器 220 內部的拉升元件拉升至高位準，如圖 7 與 8 中的波形所顯示的情形。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (II)

在圖 3 之中，依據是 ADDR 或是 ADDR_N 處於高位準而定，不是通過 NMOS 電晶體 108 與 109 的路徑，就是通過 NMOS 電晶體 10A 與 10B 的路徑會處於導通狀態，而 PMOS 電晶體 105 與 107 則皆被關閉。NMOS 電晶體 10C 的閘極因此即會處於接地位準，而 NMOS 電晶體 10C 便會關閉。其結果，所有單位元比較器 100 的輸出端便由接地電位上切斷，而其單位元的結果便皆處於高阻抗的狀態之中。

在圖 5 之中，DATA 與 DATA_N 兩者皆為高位準，因此 PMOS 電晶體 113 與 114 便皆處於關閉狀態，NMOS 電晶體 115 與 116 兩者皆被開啓，NMOS 電晶體 117 的閘極處於接地位準，而 NMOS 電晶體 117 即被關閉。輸出控制電路 110 的輸出端亦由接地電位上切斷，而備妥信號亦處於高阻抗的狀態之中。

在 CLK 為低的期間，PMOS 電晶體 130 與 131 被開啓，使得 COMP 與 READY 節點被預充電至高邏輯位準，亦即，到達正電源的電位，如圖 7 與 8 中所顯示的情形。由於 NOR 閘 122 由 READY 節點接受到一個高電位的輸入，HIT 輸出信號即為低位準，亦如圖 7 與 8 中所顯示的情形。

順帶地，COMP 與 READY 節點的預充電，必會造成連接至此些節點的信號線之寄生電容的預充電，單位元比較器 100 以及輸出控制電路 110 中的 pn 接面之寄生電容的預充電，以及反相器 121 與 NOR 閘 122 的輸入電容之預充電情形。

在 CLK 處於低電位期間的某一時間點上， $ADDR<1:n>$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

輸入信號變為無效，如同圖 7 與 8 中由黑變白的改變情形。ADDR<1:n>輸入信號現在便代表將與保留於圖 6 之記憶胞列 210 中的位址互相比較的一個位址。

當 CLK 變為高電位時，PMOS 電晶體 130 與 131 即關閉，將 COMP 與 READY 節點由電源電位上切斷。隨著 CLK 升起，圖 6 中的字元線 WL 便被驅動到高位準，如圖 7 與 8 中所顯示的情形，且感應放大器 220 亦被致能。在 WL 升起後的某一時間延遲之後，DATA<1:n>與 DATA_N<1:n>信號即變為有效，出現互為互補反相的值。

後續的動作隨著 ADDR<1:n>係與 DATA<1:n>符合，代表一次快取命中，或與 DATA<1:n>不符，代表一次快取未中，而有所不同。

圖 7 中顯示一次快取命中的情形。由於 ADDR<1:n>的每一個位元皆與 DATA<1:n>的每一個位元互相符合，在每一個的單位元比較器 100 之中，經過圖 3 中 PMOS 電晶體 104，105，106，與 107 的路徑皆屬不導通的狀態，而經過 NMOS 電晶體 108 與 109 的路徑，或經過 NMOS 電晶體 10A 或 10B 的路徑，則在導通的狀態。NMOS 電晶體 10C 的閘電極電位因此即保持為低電位，NMOS 電晶體 10C 保持關閉，所有的單位元結果信號保持於高阻抗狀態，而 COMP 節點亦保持充電至高邏輯位準。

當 DATA<1:n>與 DATA_N<1:n>信號變為無效時，圖 5 中的 NAND 閘 111 即接受反相的輸入。由於一輸入為低，NAND 閘 111 變高，打開了 NMOS 電晶體 117，拉降了備妥信號，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

並強迫 READY 節點放電至接地電位。

NOR 閘 122 此時接收兩個輸入：COMP 節點由反相器 121 反轉的高位準，以及 READY 節點的低位準。由 NOR 閘 122 所輸出的 HIT 信號因此即變高，如圖 7 中所顯示的，表示一次快取命中的情形。

當 CLK 信號再次變低時，字元線 WL 亦變低，DATA<1:n>與 DATA_N<1:n>兩者皆反轉回無效狀態，此時所有的位元皆為高位準，COMP 與 READY 節點再度被預充電至高位準，而 HIT 輸出信號則變低。

圖 8 中顯示一次快取未中的情形。在此種情況之中，ADDR<1:n>的至少一個位元係無法與對應的 DATA<1:n>符合。在對應的單位元比較器 100 之中，通過圖 3 中 NMOS 電晶體 108，109，10A 與 10B 的路徑皆為非導通的狀態，而通過 PMOS 電晶體 104 與 105 的路徑或通過 PMOS 電晶體 106 與 107 的路徑則處於導通狀態，以使 NMOS 電晶體 10C 的閘極被帶至高位準，NMOS 電晶體 10C 被打開，對應的單位元結果信號被拉降，且強迫 COMP 節點放電至接地電位，如圖 8 中所顯示的情形。

READY 節點亦經由輸出控制電路 110 而被放電至接地位準，如同其在快取命中時的情形一般。不過，NOR 閘 122 則持續地接收一個高位準輸入，此高位準的輸入此時係來自於反相器 121，其將 COMP 節點的低位準反轉，使得 HIT 輸出信號保持於低位準上。

在快取命中與快取未中的兩種情況之中，直到輸入信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

號 DATA<1:n>與 DATA_N<1:n>變為無效之前，READY節點並不變低，其時 ADDR<1:n>已經變為有效了。因此直到所有的輸入信號皆變為有效之前，HIT輸出信號即保持在低狀態之中，不論代表著 DATA<1:n>與 DATA_N<1:n>的有效性的，由時鐘信號 CLK 升起到降落轉換的時間延遲之長度如何。n位元的比較器 10 無法輸出由於在任何輸入信號屬於無效的期間，於 DATA<1:n>與 ADDR<1:n>之間所發生的一次意外符合情形所造成的一個錯誤的快取命中信號。

此外，輸入信號 DATA<1:n>與 ADDR<1:n>的有效性，亦係由輸出控制電路 110 由 DATA<1:n>與 ADDR<1:n>本身的轉換之中偵測出來的。時序的設計因此即得以簡化，因為此時不再需要特別注意確保 READY 不會在輸入信號變有效之前先變為低位準。

時序的設計，亦可在採用 HIT 輸出信號的電路之中獲得簡化，因為在一次快取命中的情況之中，HIT 輸出信號的升起總是會在相同的時間發生。HIT 輸出信號的時序不隨著一次快取未中發生時的不符合位元之數目而變，因為 HIT 輸出信號會在一次快取未中的情況之中保持常定。

與後面所將說明的傳統多位元比較器一樣的，第一實施例的 n 位元比較器 10 係採用一個 NOR 閘來產生第一輸出信號，但此 NOR 閘 122 只具有兩個輸入。傳統 n 位元比較器中所遇見的過度閘傳遞延遲，過大電路佈局空間，以及過大功率消耗等問題，因此即得以避免；不論 n 的數值為何，輸出電路 120 皆具有與 n=2 的情況時相同的尺寸與低

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

功率消耗。由於其較小的傳遞延遲量，第一實施例的 n 位元比較器 10 即可以較高的速度動作。

接著將說明第二實施例。

參考圖 9，第二實施例係為一 n 位元的比較器 20，其包含有 n 個單位元比較器 300，一個輸出控制電路 310，一個輸出電路 320，以及 PMOS 電晶體 330 與 331。除了其單位元比較器 300 與輸出控制電路 310 的內部構造有所不同之外，此 n 位元的比較器 20 之構造係與第一實施例的 n 位元比較器 10 相同。

參考圖 10，單位元比較器 300 與有與第一實施例中相同的邏輯構造，包含有一個互斥 OR 閘 301 與一放電元件 302。互斥 OR 閘 301 係與第一實施例中的互斥 OR 閘 101 相同，具有顯示於圖 3 中的電路構造。

參考圖 11，放電元件 302 包含有一個 NMOS 電晶體 303，一個雙極性電晶體 304，以及一個電阻性元件 305。NMOS 電晶體 303 的閘極接收互斥 OR 閘 301 的輸出。NMOS 電晶體 303 的汲極被耦接至雙極性電晶體 304 的集極，並至輸出端 OUT。NMOS 電晶體 303 的源極係被耦接至雙極性電晶體 304 的基極，並至電阻性元件 305 的一端。雙極性電晶體 304 的射極與電阻性元件 305 的另一端接受接地電位。

參考圖 12，輸出控制電路 310 具有與第一實施例中相同的邏輯構造，包含有一 NAND 閘 311 與一放電元件 312。NAND 閘 311 係與第一實施例中的 NAND 閘 111 相同，具有顯

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

示於圖 5 中的電路構造。

參考圖 13，放電元件 312 包含有一個 NMOS 電晶體 313，一個雙極性電晶體 314，以及一個電阻性元件 315。NMOS 電晶體 313 的閘極接收 NAND 閘 311 的輸出。NMOS 電晶體 313 的汲極被耦接至雙極性電晶體 314 的集極，並至輸出端 OUT。NMOS 電晶體 313 的源極係被耦接至雙極性電晶體 314 的基極，並至電阻性元件 315 的一端。雙極性電晶體 314 的射極與電阻性元件 315 的另一端接受接地電位。

單位元比較器 300 與輸出控制電路 310 因此便都具有一種開放集極的輸出構造。雙極性電晶體 304 與 314 皆具有比 NMOS 電晶體 303 與 313 為大的驅動能力，以及比第一實施例中的 NMOS 電晶體 10C 與 117 為大的電流驅動能力。

電阻性元件 302 與 312 係為，例如，被保持於 ON 狀態的 NMOS 或 PMOS 電晶體，並具有適當的 ON 電阻值。

接著說明第二實施例中 n 位元比較器 20 的動作情形。

n 位元比較器 20 的整個電路動作，其在快取命中與快取未中時的情形係與第一實施例中的 n 位元比較器 10 相似。下面的說明將針對顯示於圖 11 與 13 中的單位元比較器 300 與輸出控制電路 310 的部份進行。

五、發明說明(17)

當時鐘信號 CLK 在低位準時，圖 11 之中互斥 OR 閘 301 與圖 13 中 NAND 閘 311 的輸出兩者皆處於低邏輯位準，因此 NMOS 電晶體 303 與 313 兩者即皆被關閉。NMOS 電晶體 303 與 313 的源極與雙極性電晶體 304 與 314 的基極皆經由電阻性元件 305 與 315 而被拉降至接地位準，使得雙極性電晶體 304 與 314 亦皆被關閉。COMP 與 READY 節點因此即由接地電位上切斷，使得兩節點得以被預充電至高邏輯位準。

當時鐘信號 CLK 變高，且輸入信號 DATA<1:n> 與 DATA_N<1:n> 即變為互補反相，圖 13 中 NAND 閘 311 的輸出變高，將 NMOS 電晶體 313 打開。儲存與 READY 節點中的電荷之中一個某些部份現在便經由 NMOS 電晶體 313 而流至雙極性電晶體 314 的基極，造成雙極性電晶體 314 被打開。READY 節點快速地經由雙極性電晶體 314 而放電。當 READY 節點接近接地電位時，雙極性電晶體 314 即被關閉，但 READY 節點則經由 NMOS 電晶體 313 與電阻性元件 315 而持續被拉降至接地位準。電阻性元件 315 亦將雙極性電晶體 314 的基極拉降至接地位準，以除去其餘的基極電荷。

若 ADDR<1:n> 之每一位元皆與 DTAT<1:n> 符合，圖 11 中的中互斥 OR 閘 301 之輸出即保持低位準，NMOS 電晶體 303 保持其關閉狀態，雙極性電晶體 304 亦保持其關閉狀態，且 COMP 節點亦維持於高位準，如同第一實施例一樣地容許 HIT 輸出信號變高位準。不過，若 ADDR<1:n> 與 DATA<1:n> 並不符合，則至少在一個單位元比較器 300 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(18)

中，互斥 OR 閘 301 之輸出變高位準，NMOS 電晶體 303 被打開，雙極性電晶體 304 被打開，COMP 節點快速地經由雙極性電晶體 304 而放電，HIT 輸出信號即保持於低位準。

就一個給定數量(n 之數值)的輸入位元而言，第二實施例可以在比第一實施例甚至更高的速度下動作，因為雙極性電晶體 304 與 314 的較大電流驅動能力可使得 COMP 與 READY 節點以比第一實施例為快的速度進行放電。同樣的，就一個給定的操作速度而言，第二實施例容許較大數量的位元，因為雙極性電晶體 304 便可以將，因單位元比較器 300 的增加數目所造成的，COMP 節點上的額外寄生電容，更為快速地放電排掉。

接著說明第三實施例。

參考圖 14，第三實施例係為一個 n 位元的比較器 30，其包含有 n 個單位元比較器 400，一個輸出控制電路 410，一個輸出電路 420，以及 PMOS 電晶體 430 與 431。除了輸出控制電路 410 的內部構造之外，此 n 位元的比較器 40 之構造係與第一實施例的 n 位元比較器 10 相同。輸出控制電路 410 現在在設計上便與單位元比較器 400 相同了。

圖 15 中顯示單位元比較器 400 的邏輯構造，其每一個各包含有一個互斥 OR 閘 401 與一放電元件 402。圖 16 中顯示互斥 OR 閘 401 的電路構造，其係與圖 3 中所顯示的第一實施例之互斥 OR 閘 101 相同。放電元件 402 係與第一實施例中的放電元件 102 相同。

參考圖 17，輸出控制電路 410 具有與第一實施例中相

五、發明說明 (19)

同的邏輯構造，包含有耦接至 DATA<1:n>與 DATA_N<1:n>輸入端的一 NAND 閘 411，以及接受 NAND 閘 411 之輸出並驅動輸出端 OUT 的一放電元件 412。放電元件 412 係與顯示於圖 4 與 5 中，第一實施例中的放電元件 112 相同。

參考圖 18，輸出控制電路 410 中的 NAND 閘 411 包含有 PMOS 電晶體 413，414，415，416 與 NMOS 電晶體 417，418，419，與 41A，其係以與顯示於圖 16 中單位元比較器 300 的 PMOS 電晶體 404，405，406，407 與 NMOS 電晶體 408，409，40A 與 40B 相同的方式被互相連起來。NAND 閘 411 與互斥 OR 閘 401 的兩者使用的是相同電路元件的佈局，包含了兩對的 PMOS 電晶體與兩對的 NMOS 電晶體，各對電晶體皆係被串聯耦接至一個共通的輸出端，兩對的 PMOS 電晶體係被互相並聯連接於輸出端與電源之間，而兩對的 NMOS 電晶體則係被互相並聯連接於輸出端與接地之間。在圖 16 之中，輸出端係為電晶體 405，407，408 與 40A 的汲極端 40C。在圖 18 之中，輸出端則為電晶體 414，416，417 與 419 的汲極端 41B。

NAND 閘 411 的 DATA 輸入端係被耦接至 PMOS 電晶體 413 與 414 以及 NMOS 電晶體 417 與 419 的閘極。DATA_N 輸入端則被耦接至 PMOS 電晶體 415 與 416 以及 NMOS 電晶體 418 與 41A 的閘極。這些輸入的連結係與互斥 OR 閘 401 的輸入連結有所不同。可以很容易瞭解圖 18 中的 NAND 閘 411 之電路構造係執行邏輯 NAND 的功能，將一信號供應給放電元件 412，當兩輸入 DATA 與 DATA_N 皆為高位準時，此信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(20)

爲低位準，當 DATA 或 DATA_N 爲低位準時，此信號則爲高位準。

接著說明第三實施例中 n 位元比較器 30 的動作情形。

n 位元比較器 30 的整個電路動作，其在快取命中與快取未中時的情形係與第一實施例中的 n 位元比較器 10 相似。下面的說明將針對顯示於圖 17 與 18 中的輸出控制電路 410 的部份進行。

當時鐘信號 CLK 在低位準時，且對輸出控制電路 410 的 DATA 與 DATA_N 輸入皆爲高位準時，經由 NMOS 電晶體 417，418，419 與 41A 的路徑便皆導通，而經由 PMOS 電晶體 413，414，415 與 416 的路徑則處於不導通狀態，使得 NAND 閘 411 的輸出變爲低位準，而放電元件 412 被關閉，容許 READY 節點被預充電至高邏輯位準。

當時鐘信號 CLK 變高，且 DATA<1:n>與 DATA_N<1:n>變爲無效時，對輸出控制電路 410 的兩個輸入中之一，DATA 或 DATA_N 即變低位準。其結果，不是經由 PMOS 電晶體 413 與 414 的路徑變爲導通，即是經由 PMOS 電晶體 415 與 416 的路徑變爲導通，而經由 NMOS 電晶體 417，418，419 與 41A 的兩路徑便皆處於不導通的狀態。NAND 閘 411 的輸出因此即變爲高位準，將放電元件 412 打開，且使 READY 節點放電至接地位準。

第三實施例的一個特點係爲 NAND 閘 411 中 DATA 與 DATA_N 信號的傳遞延遲量係等於單位元比較器 400 中互斥 OR 閘 401 的傳遞延遲量，因爲兩者係具有相同的電路構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

造。當快取未中時，單位元比較器 400 之中未符合位元的放電元件 402 因此即在與輸出控制電路 410 中的放電元件 412 相同的時間同時打開。輸出電路 420 中 NOR 閘 422 的兩輸入之間的時序差異因此即可縮小，使整體的 n 位元比較器 30 之時序設計得以簡化。

由於單位元比較器 400 與輸出控制電路 410 兩者採用了相同的佈局，故電路設計的過程亦得以簡化。此外，利用電算機模擬所進行的設計辨證程序亦得以簡化，因為單位元比較器 400 與輸出控制電路 410 兩者具有相同的寄生電容與電阻以及其他的參數。設計轉換的時間亦得以因此而縮短。

圖 16 中反相器 403 的 ADDR 信號之傳遞延遲量可予以忽略，因為 ADDR<1:n>會在 DATA<1:n>與 DATA_N<1:n>之前便變為有效。

做為第三實施例的一種變化，單位元比較器 400 與輸出控制電路 410 的放電元件 402 與 412 可採用與第二實施例相同的構造，使用雙極性電晶體來達成高速操作，或處理大量的位元。

接著，說明第四實施例，參考圖 19，第四實施例係為一 n 位元的比較器 40，其包含有 n 個單位元比較器 500，一輸出控制電路 510，一輸出電路 520，PMOS 電晶體 530 與 531，以及一個電容性的假負載 540。第四實施例因此即是在第一實施例的構造上加入了一個假負載 540。第四實施例中的其他電路元件係與第一實施例中的對應者相

五、發明說明(22)

同。

假負載 540 被耦接至 READY 節點。假負載 540 的功能係在於，在只有一個不符合位元，以及 COMP 節點只經由一個單位元比較器 500 而放電的最壞情況之下，使 READY 節點的放電時間等於或大於 COMP 節點的放電時間。假負載 540 包含有，例如，具有接地的閘極與源極的一個 NMOS 電晶體 541，其汲極被耦接至 READY 節點。由於其閘極被接地，NMOS 電晶體 541 即被永久性地關閉。

暫時假定輸出控制電路 510 中的放電元件 512 具有與單位元比較器 500 中每一個放電元件 502 相同的電流驅動能力，假負載 540 中的 NMOS 電晶體 541 之尺寸應被調整到使得 READY 節點的總寄生電容等於或大於 COMP 節點的總寄生電容。READY 節點的寄生電容包括有耦接至 READY 節點的內連線之寄生電容，以及輸出控制電路 510 的放電元件 512 之中的耦接電晶體其中之寄生接面電容兩者。COMP 節點的寄生電容包括有將 COMP 節點耦接至所有 n 個單位元比較器 500 的內連線之寄生電容，以及 n 個放電元件 502 中電晶體之寄生接面電容之和。

接著說明第四實施例中 n 位元比較器 40 的動作情形。

n 位元比較器 40 的整個電路動作，其在快取命中與快取未中時的情形係與第一實施例中的 n 位元比較器 10 相似，但第四實施例可在發生快取未中情況時，針對 HIT 輸出信號中的失敗的而可提供更為良好的保護。

圖 20 中顯示第一實施例中當快取未中時，此種失敗的

(請先閱讀背面之注意事項再填寫本頁)

訂

終

五、發明說明 (23)

情況是如何可能發生的。當時鐘信號 CLK 變高位準時，在如圖 8 中所顯示相同的時間，字元線 WL 變高位準，輸入信號 DATA<1:n>與 DATA_N<1:n>變為互補反相狀態，而 READY 節點變低位準。若 COMP 節點比 READY 節點花費顯著更多的時間才能放電，在 COMP 節點變低位準之前，便會出現一個延遲的現象。在 READY 電位下降與 COMP 電位下降的期間，NOR 閘 522 接受兩個低位準輸入，而 HIT 輸出信號變高位準，如圖中所示，其係錯誤地指出一次快取命中的狀況。

爲了清楚說明的緣故，由 READY 電位下降至 COMP 電位下降的時間延遲之長度在圖 20 中有所誇張；圖中所顯示的失敗之振幅，於第一實施例之中，在正常的情况之下是不會發生的，甚至快取未中的情况僅只是有一個位元不符合時亦然。不過，HIT 信號中的尖峰型失敗之外觀則仍無法完全地予以排除掉。

在第四實施例中，當有單一個位元不符合時，READY 節點並不在 COMP 節點之前先行放電，因其已係等於或大於寄生電容了。顯示於圖 20 之中的失敗之型式，因此便不會發生。

當有兩個或更多個位元不符合時，由於 COMP 節點係經由兩個或更多的放電元件 502 而放電，而 READY 節點只經由單一個放電元件 502 放電，故 COMP 節點的放電會比 READY 節點爲快速。在此種情况之下，NOR 閘 522 接收兩個高位準輸入而非單一個會需要一段時間，但只要 NOR 閘 522 的輸出維持低位準，則並不會造成失敗的情形。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (24)

若輸出控制電路 510 中放電元件 512 的電流驅動能力不等於單位元比較器 500 中放電元件 502 的電流驅動能力，假負載 540 的電容便應該據以調整，以便使 READY 節點的放電時間等於或大於最壞情況之下 COMP 節點的放電時間。

接著說明第五實施例。

參考圖 21，第五實施例係為一個 n 位元的比較器 50，其包含有 n 個單位元比較器 600，一個輸出控制電路 610，一個輸出電路 620，PMOS 電晶體 630 與 631，以及一假負載 640。除了假負載 640 之外，此些元件係與第四實施例中的對應元件相同。

第四實施例容許單位元比較器與輸出控制電路使用具有不同電流驅動能力的放電元件。不過，第五實施例中則在單位元比較器 600 與輸出控制電路 610 之中採用相同的放電元件 641，其具有相等的電流驅動能力。假負載 640 包括了 $n-1$ 個或更多個的，並聯連接至 READY 端的此些相同的放電元件 641。

單位元比較器 600，輸出控制電路 610 以及假負載 640 之中放電元件 641 的構造可為第一實施例中所採用者，由單一個 NMOS 電晶體所構成。另一種方式，全部放電元件 641 的構造可為第二實施例中所採用者，各包含有一個 NMOS 電晶體，一個雙極性電晶體，以及一個電阻性元件，或任何其他合適的構造。

假負載 640 中的放電元件 641，利用將其構造組成的

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (25)

NMOS 電晶體之閘極接地，而可以永久性地關閉，使不會將 READY 節點的電位拉降。假負載 640 中的放電元件 641 的唯一功能係為替 READY 節點提供額外的寄生接面電容。COMP 節點係被耦接至單位元比較器 600 中的 n 個放電元件 641。READY 節點同樣地亦被耦接至 n 個放電元件 641 (一個在輸出控制電路 610 中， $n-1$ 個在假負載 640 中)，使得 COMP 與 READY 節點的寄生接面電容完全相等。

第五實施例中的 n 位元比較器 50 係以與第四實施例中的 n 位元比較器 40 相同的方式操作。在一次快取未中時，在只有一個位元符合的最壞的情況之下，COMP 與 READY 節點在實質上相等的時間內放電，因為兩節點係被耦接至相等的寄生接面電容，且兩節點亦經由相同的放電元件 641 而放電。若有多於一個位元不符合，COMP 節點便會比 READY 節點各快速地放電。兩種情況之下，HIT 輸出信號中皆不會出現失敗的情況。

第五實施例的優點係在於，構造上相同的放電元件 641 之使用，可以確保不須依賴此些參數的計算結果，便可以獲得相等的接面電容以及相等的電流驅動能力。電路設計的程序便得以簡化，時序的可靠度亦得以改善。特別地，會改變放電元件特性的製程變化並不會干擾電路時序間的關係。

接著說明第六實施例。

參考圖 22，第六實施例的 n 位元的比較器 60 包含有 n 個單位元比較器 700，一個輸出控制電路 710，一個輸出

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (26)

電路 720，PMOS 電晶體 730 與 731，以及一假負載 740。此些元件係與第四實施例中的對應元件相同。第四實施例的 n 位元的比較器 40 與第六實施例的 n 位元的比較器 60 兩者，其間的不同係有關於其實質的佈局以及電路元件的輸入連結，特定而言，即輸出控制電路 710 的設置及其輸入連結。

在第六實施例中，接至輸出控制電路 710 的輸入信號線係由單位元比較器 700 中之一的輸入信號線上分枝出來的。此個單位元比較器 700 係為以信號線的內連線長度而計，最遠離輸出電路 720 而設置的該個單位元比較器 700。

輸出控制電路 710 係被設置於實際上最鄰近於單位元比較器 700 之處，使得輸入信號線的兩條分枝具有實質上相同的長度，以及實質上相等的寄生電阻與電容。同樣的，最遠離輸出電路 720 的此單位元比較器 700 之通過節點 COMP 的信號內連線之長度，實質上係等於通過 READY 節點而將輸出控制電路 710 連結至輸出電路 720 的信號內連線之長度，且兩條信號線具有實質上相等的寄生電阻與電容。

假定，例如，接受輸入信號之第一位元 $DATA<1>$ ， $DATA_N<1>$ 與 $ADDR<1>$ 的單位元比較器 700，係利用信號內連線的最大長度而與輸出電路 720 分開，則如圖 22 中所顯示的，第一位元輸入信號線便被分枝，以便將 $DATA<1>$ 與 $DATA_N<1>$ 帶至此最遠離的單位元比較器 700 與輸出控制電路 710。接受輸入信號 $DATA<1>$ ， $DATA_N<1>$ 與 $ADDR<1>$

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (27)

的單位元比較器 700 看起來可能為是最接近於輸出電路 720，而非最遠離開，但圖 22 僅為示意圖，其中並不顯現出電路元件的真正實質佈局關係。

接著說明第六實施例的動作情形，假定輸出控制電路 710 係接受 DATA<1>與 DATA_N<1>信號，如圖 22 中所示。

n 位元比較器 60 的整個電路動作，其在快取命中與快取未中時的兩種情形，係與第四實施例中的 n 位元比較器 40 相似。

在快取未中時，若唯一的不符合位元是為第一位元 (DATA<1>≠ADDR<1>)，則由於輸入信號 DATA<1>與 DATA_<1>係同時到達此單位元比較器 700 與輸出控制電路 710 兩者的，單位元比較器 700 中接受此位元的放電元件 702，與輸出控制電路 710 中的放電元件 712 便會在實際上相同的時間打開。由於假負載 740 會使 READY 節點的放電時間等於或大於 COMP 節點的放電時間，由 READY 節點對輸出電路 720 的輸入便不會在由 COMP 節點輸入之前改變，產生不會有失敗情況的 HIT 輸出信號。

若除了第一位元之外仍有一個不符合的位元，由於接受此另一位元的單位元比較器 700 要比輸出控制電路 710 更為接近於輸出電路 720，輸出電路 720 便會在由 READY 節點接收到一個低位準輸入之前，先由 COMP 節點接收到一個低位準輸入，確保護 HIT 輸出信號保持低位準，並再次避免了失敗的情況。

若利用將鄰近於離開輸出電路 720，以內連線的長度

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(28)

計最的遠的單位元比較器 700 的輸出控制電路 710 替換掉，並將相同的輸入信號饋送給輸出控制電路 710 與單位元比較器 700 兩者，不論有多少個輸入的位元，且不論最遠的單位元比較器 700 離開輸出電路 720 有多遠，第六實施例便能夠幫助確保對輸出電路 720 的 READY 輸入不在 COMP 輸出之前先下降。

接著說明第七實施例。

參考圖 23，第七實施例係為一個 n 位元的比較器 70，其包含有 n 個單位元比較器 800，一個輸出控制電路 810，一個輸出電路 820，PMOS 電晶體 830 與 831，以及一假負載 840。除了假負載 840 的內部構造之外，第七實施例係與第五實施例相同。

與第五實施例中的 n 位元的比較器 50 相同的，第七實施例的 n 位元比較器 70 在單位元比較器 800，輸出控制電路 810，以及假負載 840 之中採用了相同的放電元件 841。與第五實施例有所不同的是，第七實施例在假負載 840 之中設置了至少 n 個的此些放電元件 841，以使 READY 節點的寄生接面電容大於 COMP 節點的寄生接面電容。

除了當發生快取未中的情形，甚至僅只有一個位元不符合時，READY 節點的電位會下降得比 COMP 節點的電位要慢之外， n 位元的比較器 80 之整體操作情形係與第五實施例在快取命中與快取未中的情況下的操作情形相似。這是由於必須在 READY 節點排放掉的寄生接面電容超過了必須在 COMP 節點排放掉的寄生接面電容的緣故。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(29)

甚至在最壞的情況下，因此，直到 COMP 節點已變為備妥之前，READY 節點並不會下降。如此便為 HIT 輸出信號提供了失敗情況的額外保護能力。

為了比較前述的實施例，圖 24 中顯示當 n 等於四時的一個傳統的 n 位元比較器之實例。輸入信號 $DATA<1:4>$ 與 $ADDR<1:4>$ 的各個位元分別被供應給四個互斥 OR 閘 1, 2, 3 及 4，其輸出則由一個四輸入的 NOR 閘 5 加以結合。除了先前已注意到的，設計具有多個輸入的一個 NOR 閘之問題之外，圖 24 中的電路需要由對應於本發明之單位元比較器的每一個互斥 OR 閘 1, 2, 3 及 4 接至 NOR 閘 5 的，分離的內連線。本發明利用讓所有的單位元比較器使用單一條內連線而可以節省空間。

前面的實施例已說明了其在一個快取記憶中的快取命中與未中時的情形，但本發明並非僅限定於此種用途。本發明之多位元比較器亦可以應用在必須比較兩個多位元的輸入信號 A 與 B，並且必須產生可指出兩輸入信號是否相同的電路，但其必須要滿足下列的條件。

第一個條件是為，輸入信號中之一，例如信號 B，必須具有可由信號本身的轉換之中偵測到的有效與無效狀態。在前述的實施例之中，此條件係利用使信號 B 輸入做為一對信號 $DATA<1:n>$ 與 $DATA_N<1:n>$ 而符合的，當有效時，此兩信號係為互補反相，而當無效時，兩者則相同。

第二個條件是為，此信號 B 在另一個信號(信號 A)變為有效之前，必須不能由無效狀態變為有效狀態。

五、發明說明(30)

前述的實施例可以各種方式結合起來，其方式多到不能在此完全列出。例如，第二，第三與第四實施例的特點可以結合起來，或者第六與第七實施例的特點亦可以被結合起來。

在本發明的比較器的輸出之中，高邏輯位準不必然要標示命中，低邏輯位準不必然要標示未中；此些邏輯位準的定義可以反轉過來。內部的邏輯位準亦可以反轉過來，例如，利用交換在 COMP 或 READY 節點，或兩節點上的電源與接地電位的角色而達成。若 COMP 與 READY 節點被預充電到不同的電位，則輸出電路之中便可以免除掉一個反相器，雖然在此種情況之下要確保 COMP 與 READY 節點的相等的放電時間可能會變得較為困難。

另亦應注意到的是，本發明的比較器可能被描述為用來判定兩輸入信號(ADDR<1:n>與 DATA_N<1:n>)的所有位元是否不符合，而非判定兩輸入信號(ADDR<1:n>與 DATA<1:n>)的所有位元是否符合。

單位元比較器，輸出控制電路，以及輸出電路的內部電路構造並不限定於前述實施例中所描述的範圍。此些電路可能會具有其他的結構，採用不同數量或種類的電路元件，以及不同的內部連結關係。

熟習於本技藝之士當可瞭解，如同後列的申請專利範圍乙節所界定的，的本發明實施例的進一步變化仍是屬可能做到的。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3|)

圖示之標號說明：

- 1 互斥 OR 閘
- 2 互斥 OR 閘
- 3 互斥 OR 閘
- 4 互斥 OR 閘
- 5 NOR 閘
- 10 n 位元的比較器
- 10A NMOS 電晶體
- 10B n 通道金屬氧化物半導體場效電晶體
- 10C NMOS 電晶體
- 20 n 位元的比較器
- 30 n 位元的比較器
- 40 n 位元的比較器
- 40A NMOS 電晶體
- 40B NMOS 電晶體
- 41A NMOS 電晶體
- 50 n 位元的比較器
- 60 n 位元的比較器
- 70 n 位元的比較器
- 80 n 位元的比較器
- 100 比較器
- 101 互斥 OR 閘
- 102 放電元件
- 103 反相器

五、發明說明 (32)

- 104 PMOS 電晶體
- 105 PMOS 電晶體
- 106 PMOS 電晶體
- 107 PMOS 電晶體
- 108 NMOS 電晶體
- 109 NMOS 電晶體
- 110 輸出控制電路
- 111 NAND 閘
- 112 放電元件
- 113 PMOS 電晶體
- 114 PMOS 電晶體
- 115 NMOS 電晶體
- 116 NMOS 電晶體
- 117 NMOS 電晶體
- 120 輸出電路
- 121 反相器
- 122 NOR 閘
- 130 p 通道金屬氧化物半導體場效電晶體
- 131 p 通道金屬氧化物半導體場效電晶體
- 210 記憶胞
- 220 感應放大器
- 300 單位元的比較器
- 301 互斥 OR 閘
- 302 放電元件

五、發明說明 (33)

- 303 NMOS 電晶體
- 304 雙極性電晶體
- 305 電阻性元件
- 310 輸出控制電路
- 311 NAND 閘
- 312 放電元件
- 313 NMOS 電晶體
- 314 雙極性電晶體
- 315 電阻性元件
- 320 輸出電路
- 330 PMOS 電晶體
- 331 PMOS 電晶體
- 400 單位元的比較器
- 401 互斥 OR 閘
- 402 放電元件
- 403 反相器
- 404 PMOS 電晶體
- 405 PMOS 電晶體
- 406 PMOS 電晶體
- 407 PMOS 電晶體
- 408 NMOS 電晶體
- 409 NMOS 電晶體
- 410 控制電路
- 411 NAND 閘

五、發明說明 (34)

- 412 放電元件
- 413 PMOS 電晶體
- 414 PMOS 電晶體
- 415 PMOS 電晶體
- 416 PMOS 電晶體
- 417 NMOS 電晶體
- 418 NMOS 電晶體
- 419 NMOS 電晶體
- 420 輸出電路
- 422 NOR 閘
- 430 PMOS 電晶體
- 431 PMOS 電晶體
- 500 單位元的比較器
- 502 放電元件
- 510 控制電路
- 512 放電元件
- 520 輸出電路
- 522 NOR 閘
- 530 PMOS 電晶體
- 531 PMOS 電晶體
- 540 電容性假負載
- 541 NMOS 電晶體
- 600 單位元的比較器
- 610 控制電路

四、中文發明摘要 (發明之名稱： 具有可靠輸出時序及減低失敗率之)
多位元比較器

一種多位元比較器將一第一多位元信號的各個位元與一第二多位元信號的對應位元互相比較。多位元比較器中的一輸出控制電路由第二信號的轉換之中偵測第二信號是為有效或無效，並在第二信號為無效時，將一輸出信號保持於一固定邏輯位準上。當第二信號為有效時，輸出信號即依據個別位元比較的結果之結合而進行控制。個別的位元比較結果最好應以連結 OR 邏輯進行結合。

英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種多位元比較器，可接收第一信號與一對第二信號，該第一信號對的第二信號係為多位元信號，直到該第一信號變為無效之前，該對第二信號係保持一種無效狀態，其中該對第二信號中之至少一對應對的位元係具有相同的邏輯位準，接著改變為一種有效狀態，其中該對第二信號中之所有對應對的位元係具有互補反相的邏輯位準，以供產生一輸出信號，可指出該第一信號的所有位元是否與該對的第二信號中之一特定信號的所有位元符合，其包含有：

複數個的單位元比較器，可比較該第一信號的個別位元與該對第二信號的個別位元，並產生對應的單位元結果信號；

一第一節點，耦接至該些複數個的單位元比較器，並接收該單位元的結果信號，以結合該些單位元結果信號成爲一個結合的結果信號；

一輸出控制電路，可比較該對的第二信號中之一對應對的位元，偵測其轉換，並輸出一備妥信號以指出該對第二信號何時有效；

一第二節點，耦接至該輸出控制電路，以供接收該備妥信號；與

一輸出電路，耦接至該第一節點與該第二節點，以在該結合的結果信號與該備妥信號上執行一邏輯操作，因而產生該輸出信號，該輸出信號在該備妥信號指出該對的第二信號爲無效時，係被保持於一固定狀態，且該輸出信號

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

在該備妥信號指出該對的第二信號為有效時，反應於該結合結果信號而變化。

2.如申請專利範圍第 1 項之比較器，其中該些複數個單位元比較器係以連結 OR 的構造而被耦接至該第一節點。

3.如申請專利範圍第 2 項之比較器，其更包含有一第一預充電元件，可在該對的第二信號為無效時，將該第一節點預充電至一第一邏輯位準。

4.如申請專利範圍第 3 項之比較器，其中每一個該些單位元比較器各包含有一第一放電元件，可在該對的第二信號為無效時，反應於該第一信號與該對的第二信號而將該第一節點由該第一邏輯位準放電至一第二邏輯位準。

5.如申請專利範圍第 4 項之比較器，其中該第一放電元件包含有一場效電晶體，其具有耦接至該第一節點的一汲極電極，給予該單位元比較器一種開放汲極輸出構造。

6.如申請專利範圍第 4 項之比較器，其中該第一放電元件包含有一雙極性電晶體，其具有耦接至該第一節點的一集極電極，給予該單位元比較器一種開放集極輸出構造。

7.如申請專利範圍第 4 項之比較器，其更包含有一第二預充電元件，可在該對的第二信號為無效時，將該第二節點預充電至一第三邏輯位準。

8.如申請專利範圍第 7 項之比較器，其中該第一邏輯位準與該第三邏輯位準係為相同。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

9. 如申請專利範圍第 7 項之比較器，其中該第一邏輯位準與該第三邏輯位準係不相同。

10. 如申請專利範圍第 7 項之比較器，其中該輸出控制電路包含有一第二放電元件，可在該對的第二信號為有效時，將該第二節點由該第三邏輯位準放電至一第四邏輯位準。

11. 如申請專利範圍第 10 項之比較器，其中該第二放電元件包含有一場效電晶體，其具有耦接至該第二節點的一汲極電極，給予該控制輸出電路一種開放汲極輸出構造。

12. 如申請專利範圍第 10 項之比較器，其中該第二放電元件包含有一雙極性電晶體，其具有耦接至該第二節點的一集極電極，給予該控制輸出電路一種開放集極輸出構造。

13. 如申請專利範圍第 10 項之比較器，其中該單位元比較器各具有一第一邏輯閘，可接收該第一信號的一個位元與該對的第二信號之一對應對的位元，以控制該第一放電元件。

14. 如申請專利範圍第 13 項之比較器，其中該輸出控制電路具有一第二邏輯閘，可接該對的第二信號中之該一對應對的位元，以控制該第二放電元件。

15. 如申請專利範圍第 14 項之比較器，其中該第二邏輯閘與該第一邏輯閘包含有具偶不同輸入信號的相同電路佈局。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

16. 如申請專利範圍第 15 項之比較器，其中該第二邏輯閘與該第一邏輯閘各分別包含有：

- 一輸出端；
- 一第一對 p 通道場效電晶體，與該輸出端串聯耦接；
- 一第二對 p 通道場效電晶體，與該輸出端串聯耦接，並與該第一對 p 通道場效電晶體並聯耦接；
- 一第一對 n 通道場效電晶體，與該輸出端串聯耦接；
- 與
- 一第二對 n 通道場效電晶體，與該輸出端串聯耦接，並與該第一對 n 通道場效電晶體並聯耦接。

17. 如申請專利範圍第 1 項之比較器，其更包含有耦接至該第二節點的一假負載，可對該備妥信號提供一信號延遲量，其不少於當該第一信號無法與該對的第二信號中之該一特定信號的僅只一個位元符合時，該結合結果信號的信號延遲程度。

18. 如申請專利範圍第 10 項之比較器，其中該些單位元比較器中之第一放電元件，在構造上係與該輸出控制電路中之第二放電元件相同，並更包含有：

耦接至該第二節點的一假負載，該假負載具有觸個第三放電元件，其在構造上亦與該第二放電元件相同，該些第三放電元件係被永久性地關斷，並不令該第二節點放電。

19. 如申請專利範圍第 18 項之比較器，其中該些第三放電元件之數量係比該第一信號之位元數少。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

20. 如申請專利範圍第 18 項之比較器，其中該些第三放電元件之數量係不比該第一信號之位元數少。

21. 如申請專利範圍第 1 項之比較器，其中該輸出控制電路係鄰近於該些單位元比較器中離開該輸出電路，以連結信號線的長度而言最遠者而設置，該輸出控制電路與該些單位元比較器中之最遠者兩者皆接收該對的第二信號中之相同一對的應對位元。

22. 比較一第一信號與一第二信號的一種方法，其中該第一信號與該第二信號係為多位元信號，以便決定該第一信號的所有位元是否與該第二信號中的對應位元互符合，其步驟包含有：

將該第一信號的個別位元與該第二信號的對應位元互相比較，以便產生個別的比較結果；

由該第二信號的轉換偵測何時該第二信號是為有效與何時該第二信號是為無效；

當該第二信號為無效時，將一輸出信號保持於一固定邏輯位準上；與

當該第二信號變為有效時，反應於該些個別的比較結果而控制該輸出信號。

23. 如申請專利範圍第 22 項之方法，其中該第二信號在當該第二信號為有效時，包含有具互補反相值的成對的位元，而當該第二信號為無效時，則具有相同的數值，且該偵測的步驟包含在該第二信號中的一對位元上執行一邏輯動作。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

24. 如申請專利範圍第 22 項之方法，其中該固定邏輯位準係為指示該第一信號與該第二信號不符合的一個邏輯位準。

25. 如申請專利範圍第 22 項之方法，其中該控制的步驟更包含有下列步驟：

當該第二信號為無效時，將一第一節點預充電到一第一邏輯位準；與

若任何一個該些個別比較的結果指出該第一信號與該第二信號不符合時，便將第一節點放電至一第二邏輯位準。

26. 如申請專利範圍第 25 項之方法，其中該保持的步驟更包含有下列步驟：

當該第二信號為無效時，將一第二節點預充電到一第三邏輯位準；與

當該第二信號變為無效時，將該第二節點放電至一第四邏輯位準，該輸出信號係利用在該第一節點與該第二節點的邏輯位準上執行一邏輯動作而產生。

27. 如申請專利範圍第 26 項之方法，其更包含有將該第二節點耦接至一電容性假負載的步驟，以便調整該第二節點的放電時間。

28. 如申請專利範圍第 27 項之方法，其中該第二節點的放電時間係被調整至等於當該第一信號中只有一個位元無法符合於該第二信號中的對應位元時，該第一節點的放電時間。

(請先閱讀背面之注意事項再填寫本頁)

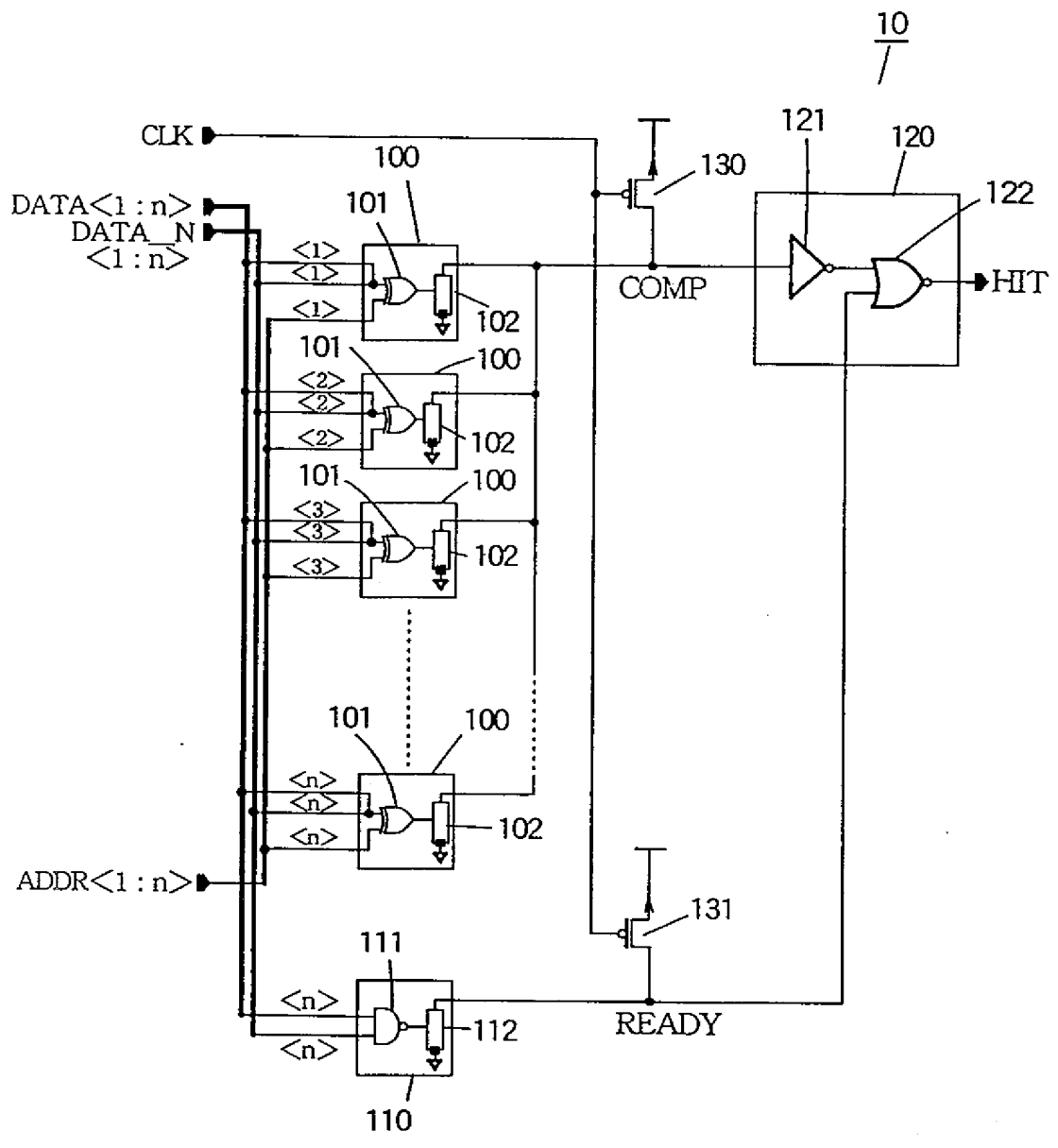
訂

六、申請專利範圍

29. 如申請專利範圍第 27 項之方法，其中該第二節點的放電時間係被調整至大於當該第一信號中只有一個位元無法符合於該第二信號中的對應位元時，該第一節點的放電時間。

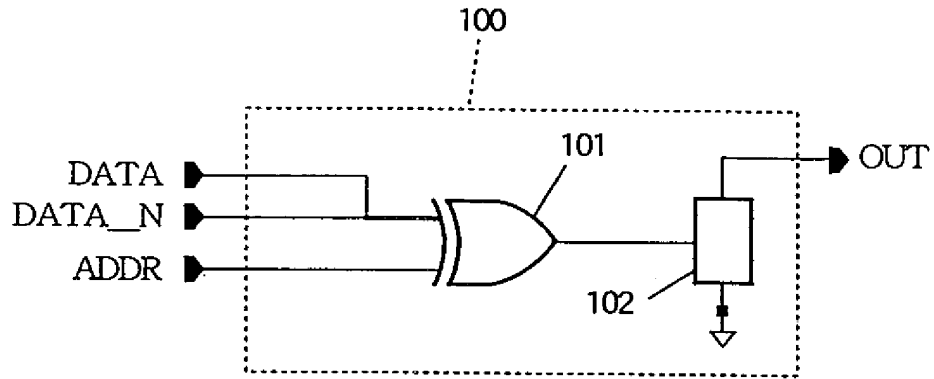
(請先閱讀背面之注意事項再填寫本頁)

訂

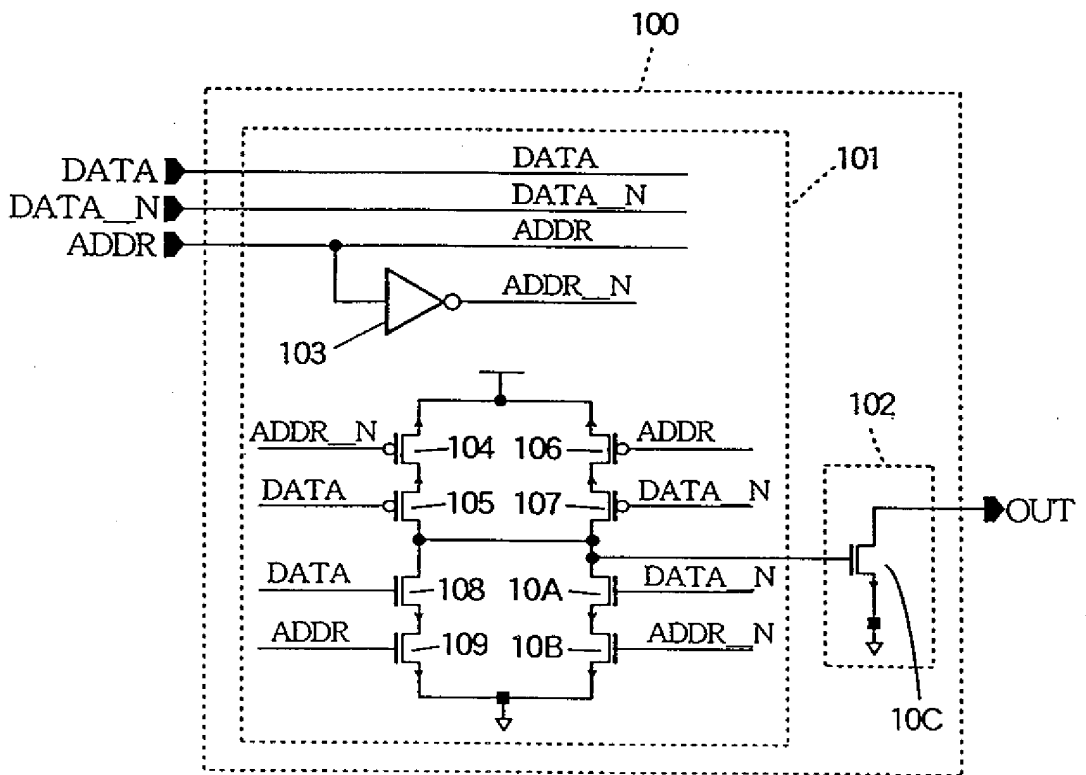


第 1 圖

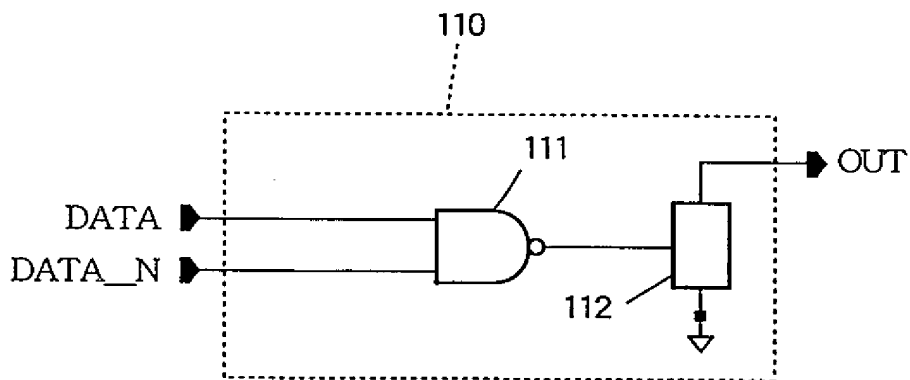
413765



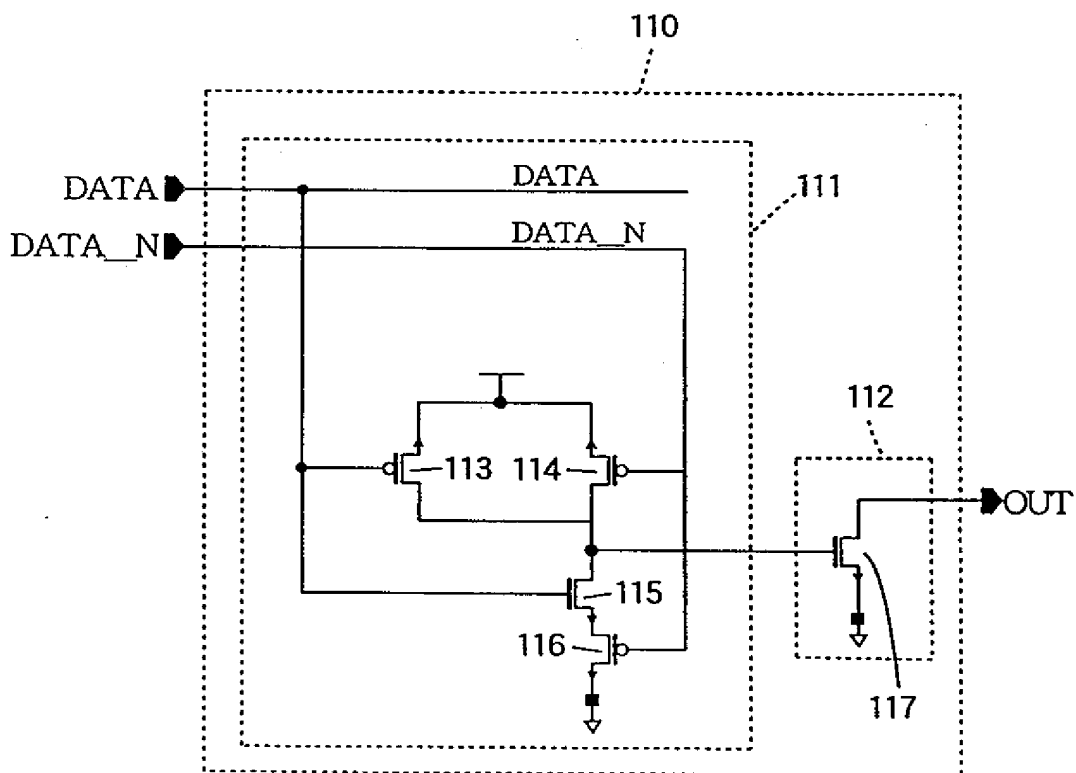
第 2 圖



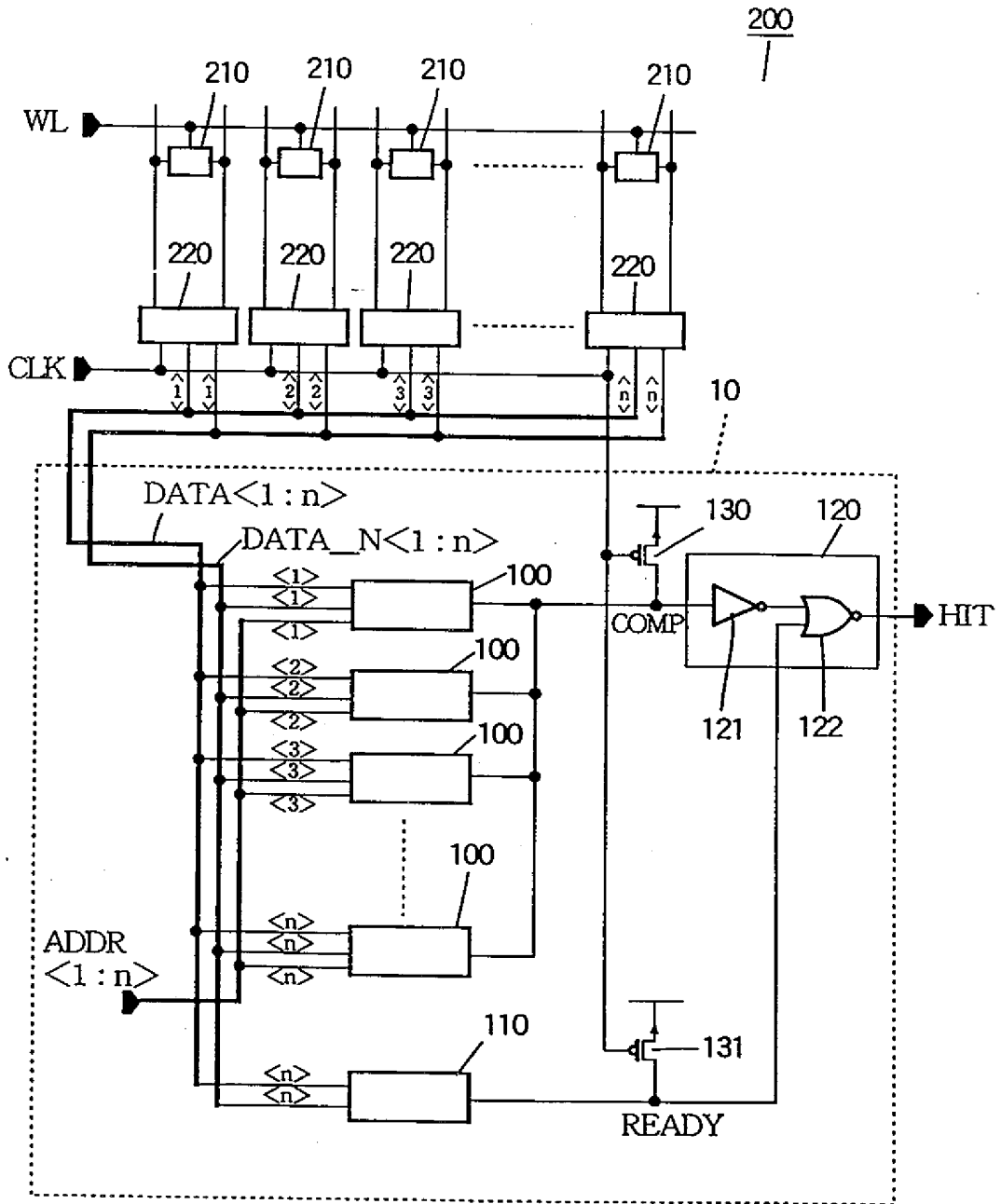
第 3 圖



第 4 圖

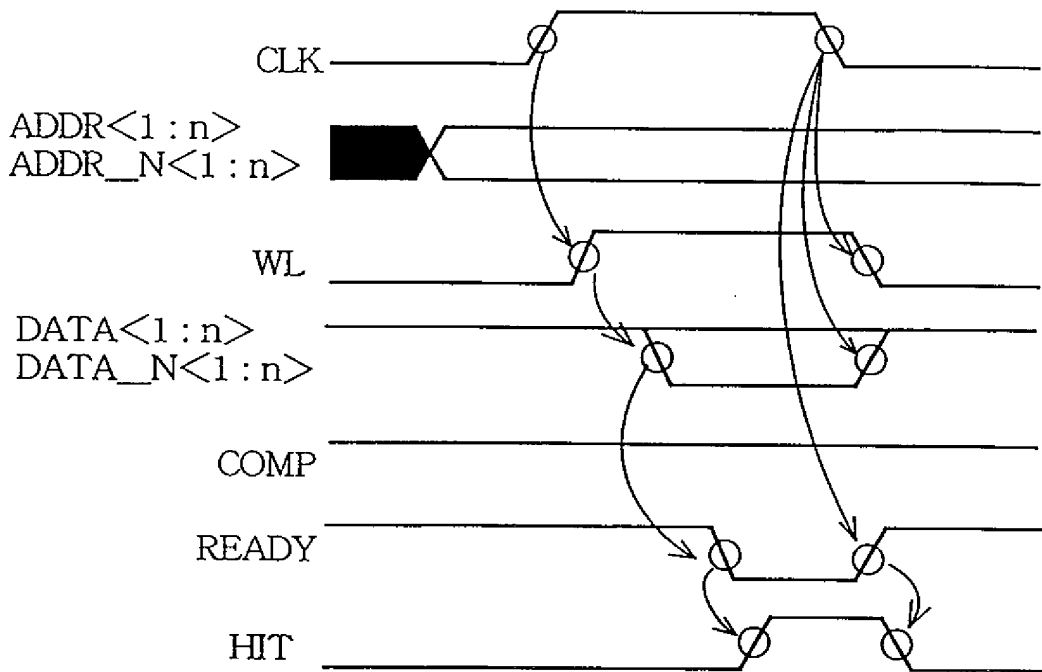


第 5 圖

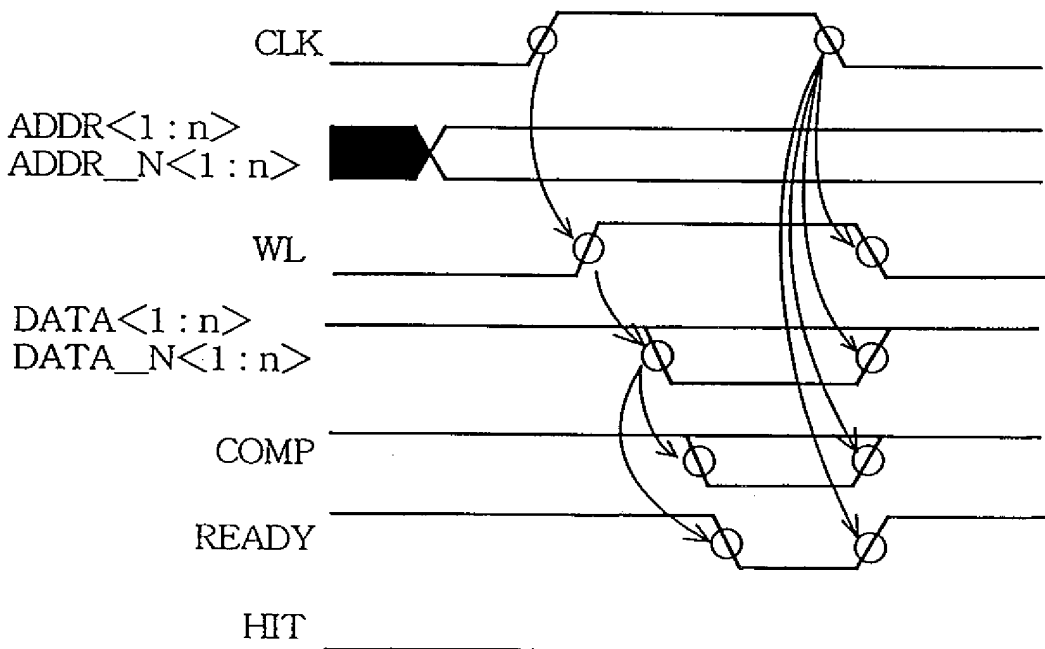


第 6 圖

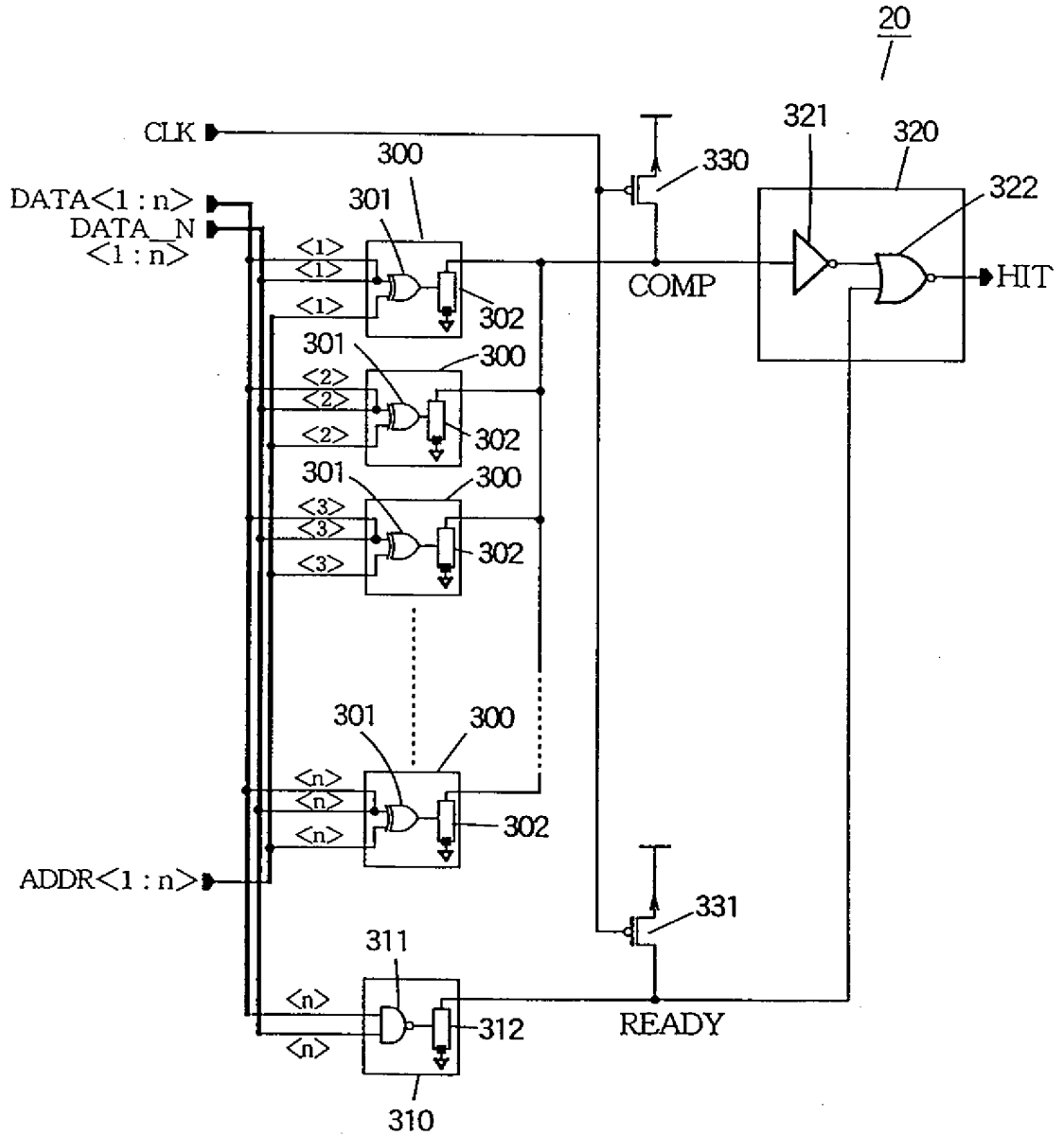
413765



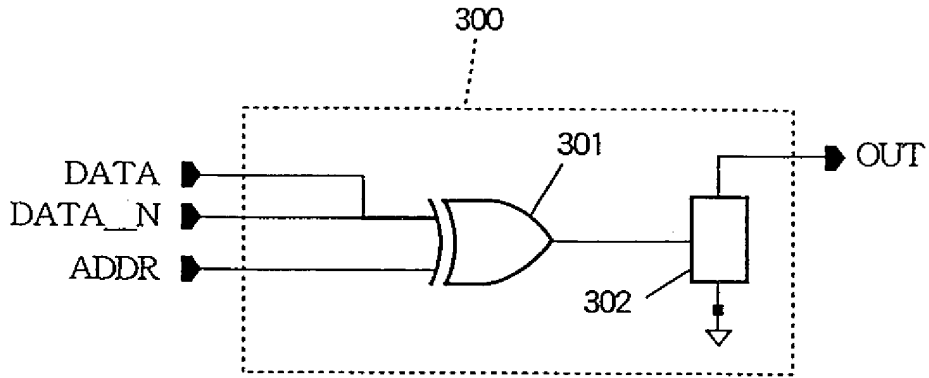
第 7 圖



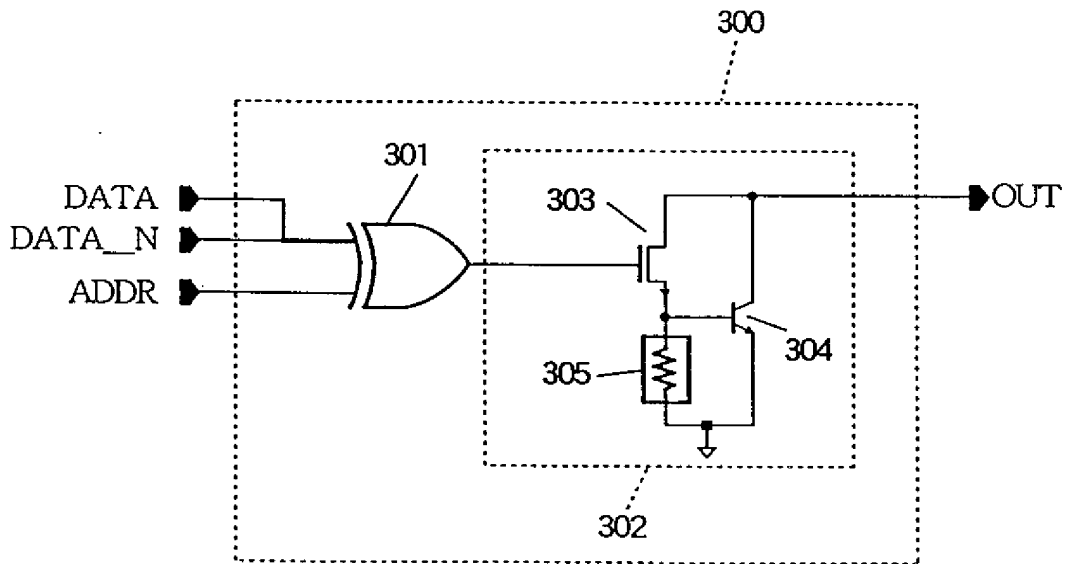
第 8 圖



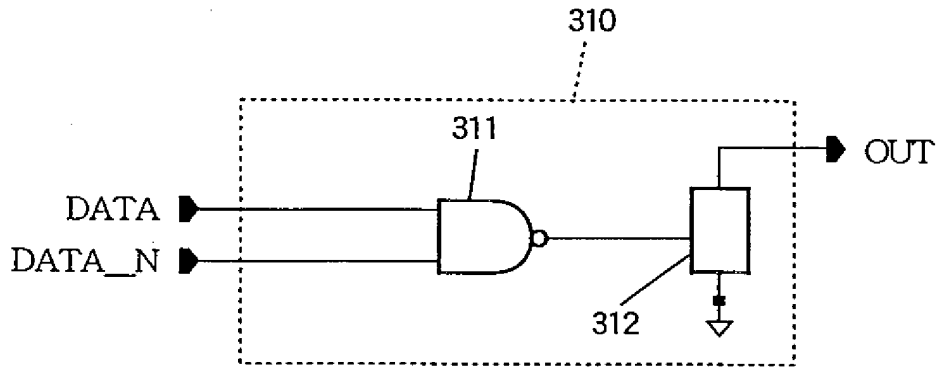
第 9 圖



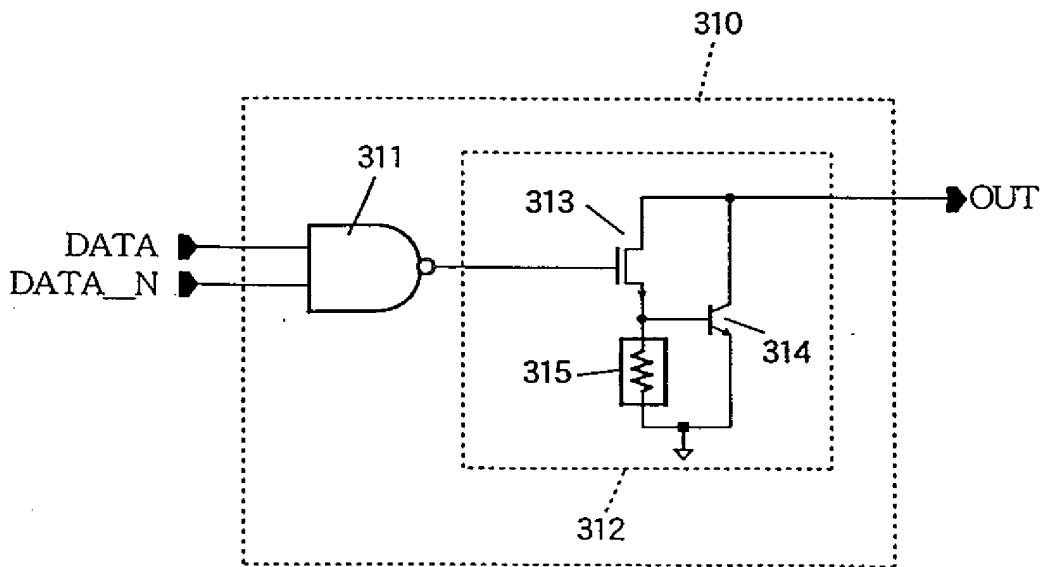
第10圖



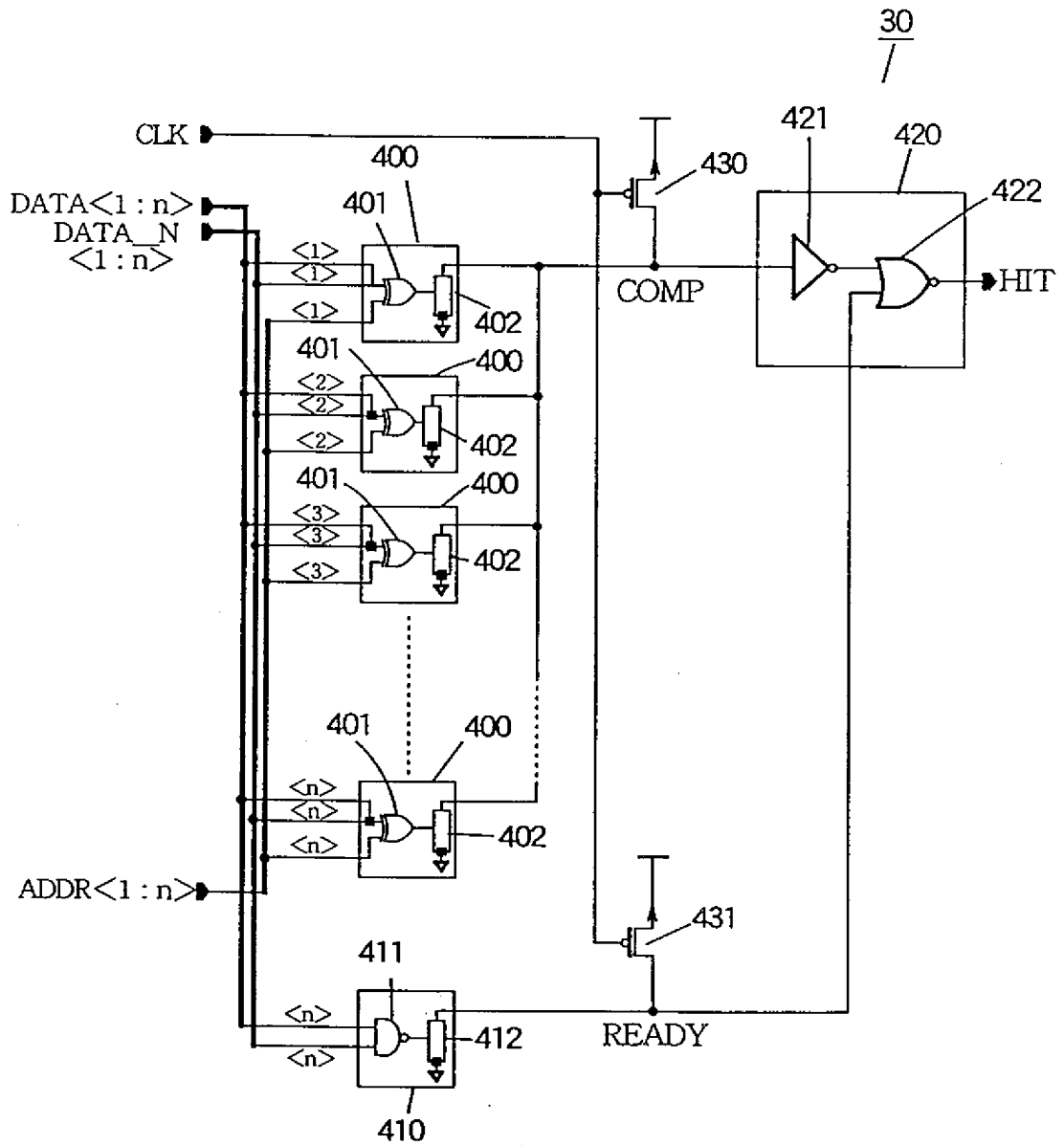
第11圖



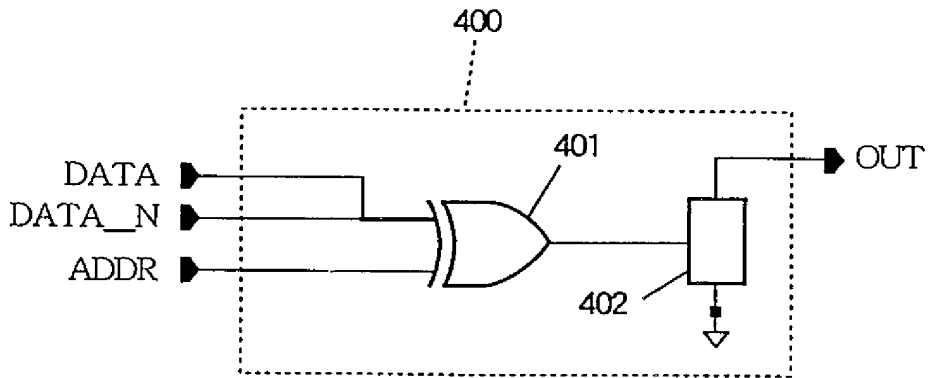
第 12 圖



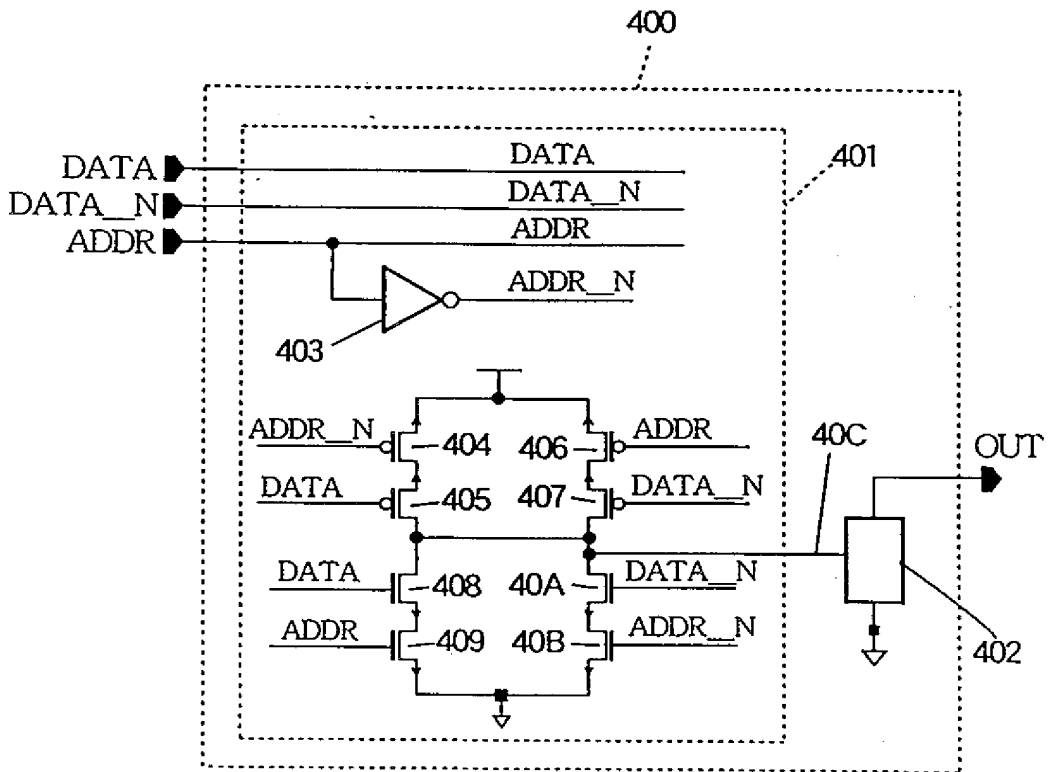
第 13 圖



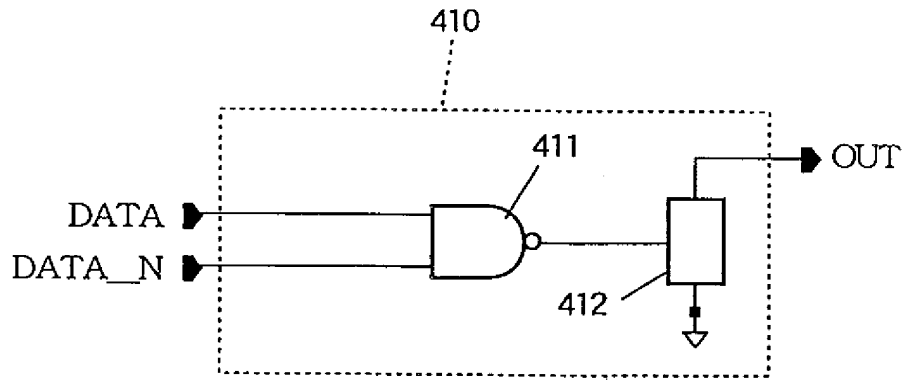
第14圖



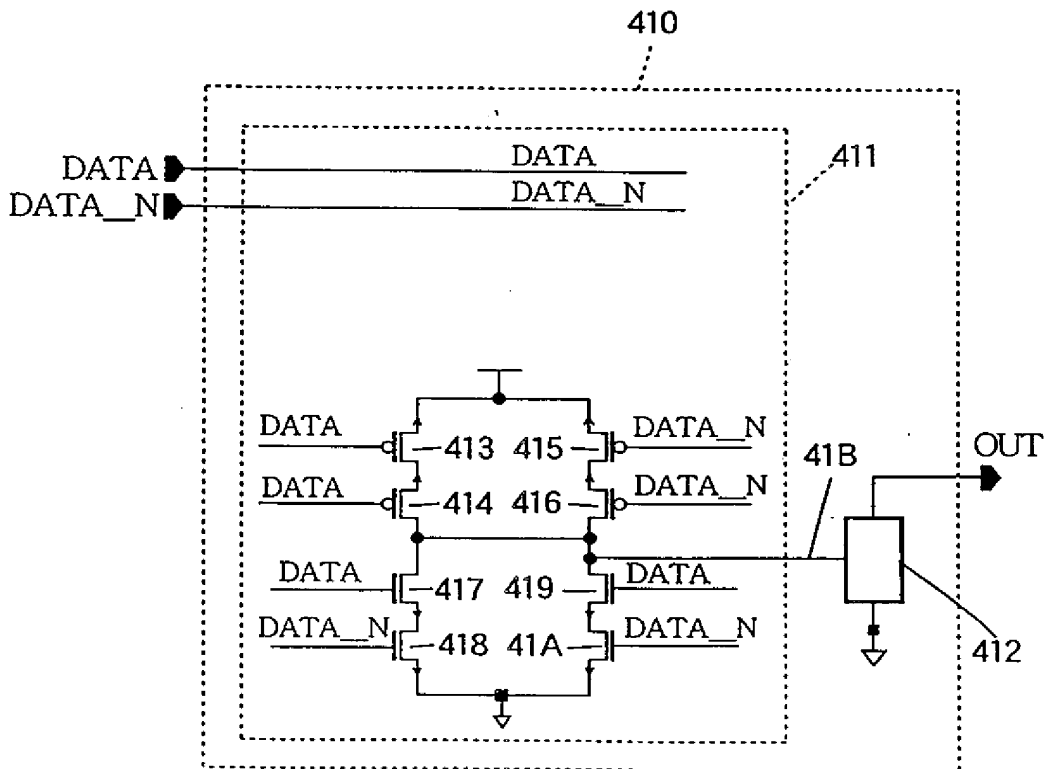
第 15 圖



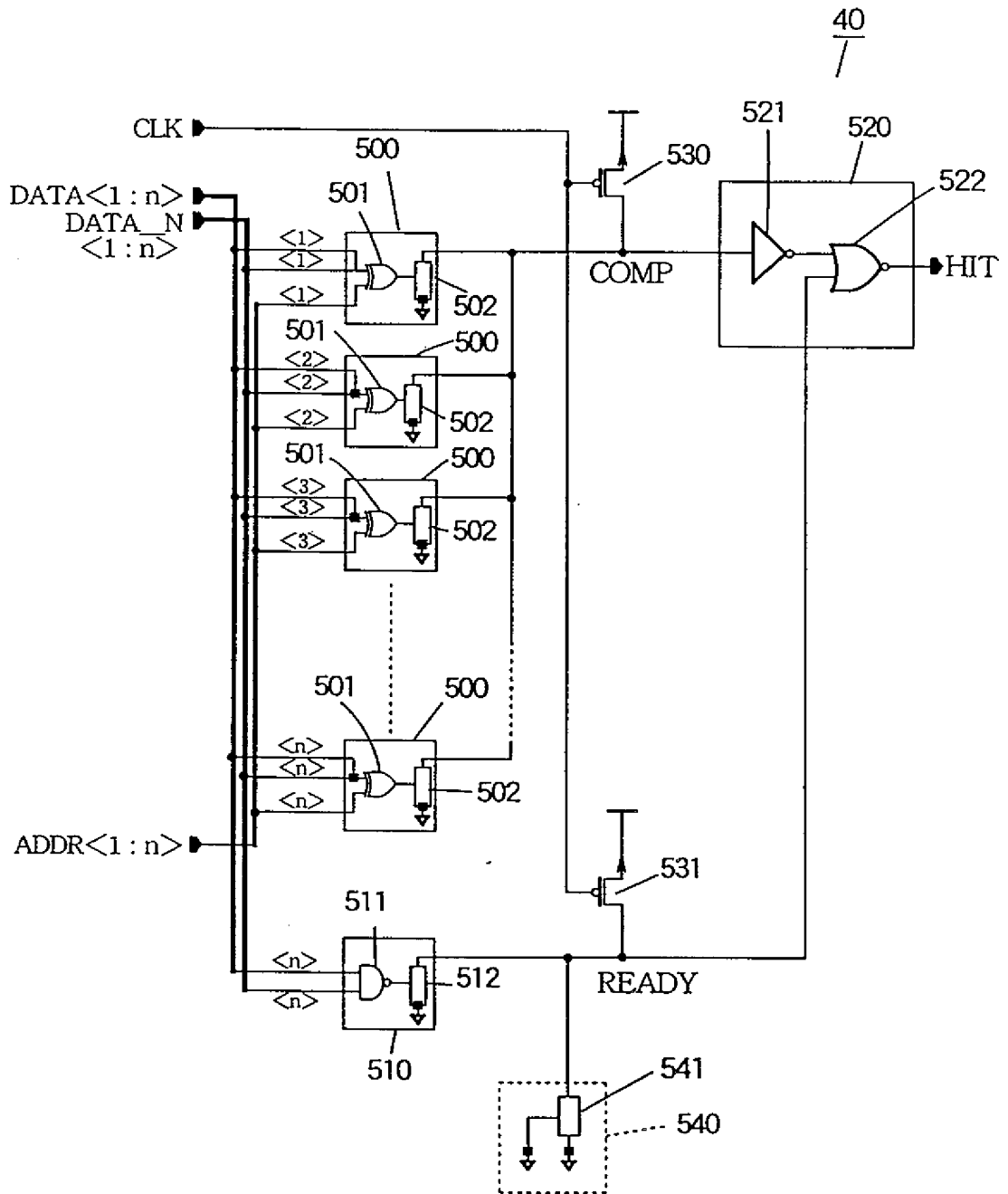
第 16 圖



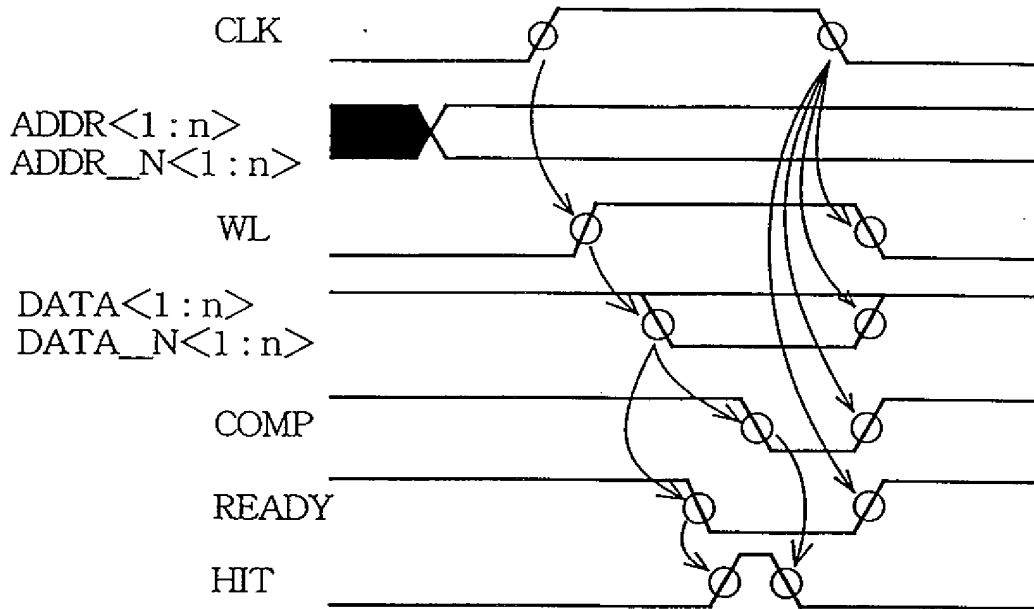
第 17 圖



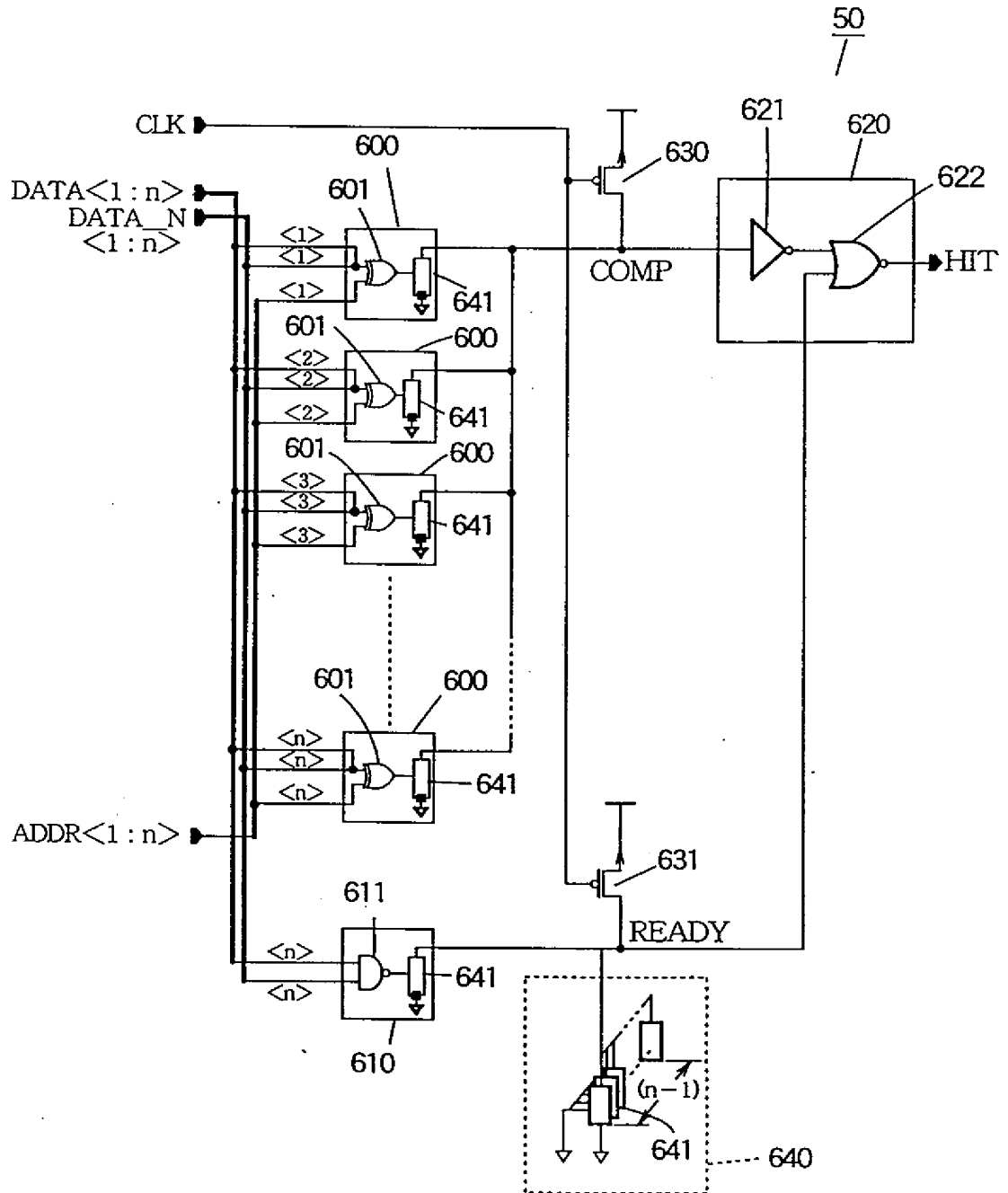
第 18 圖



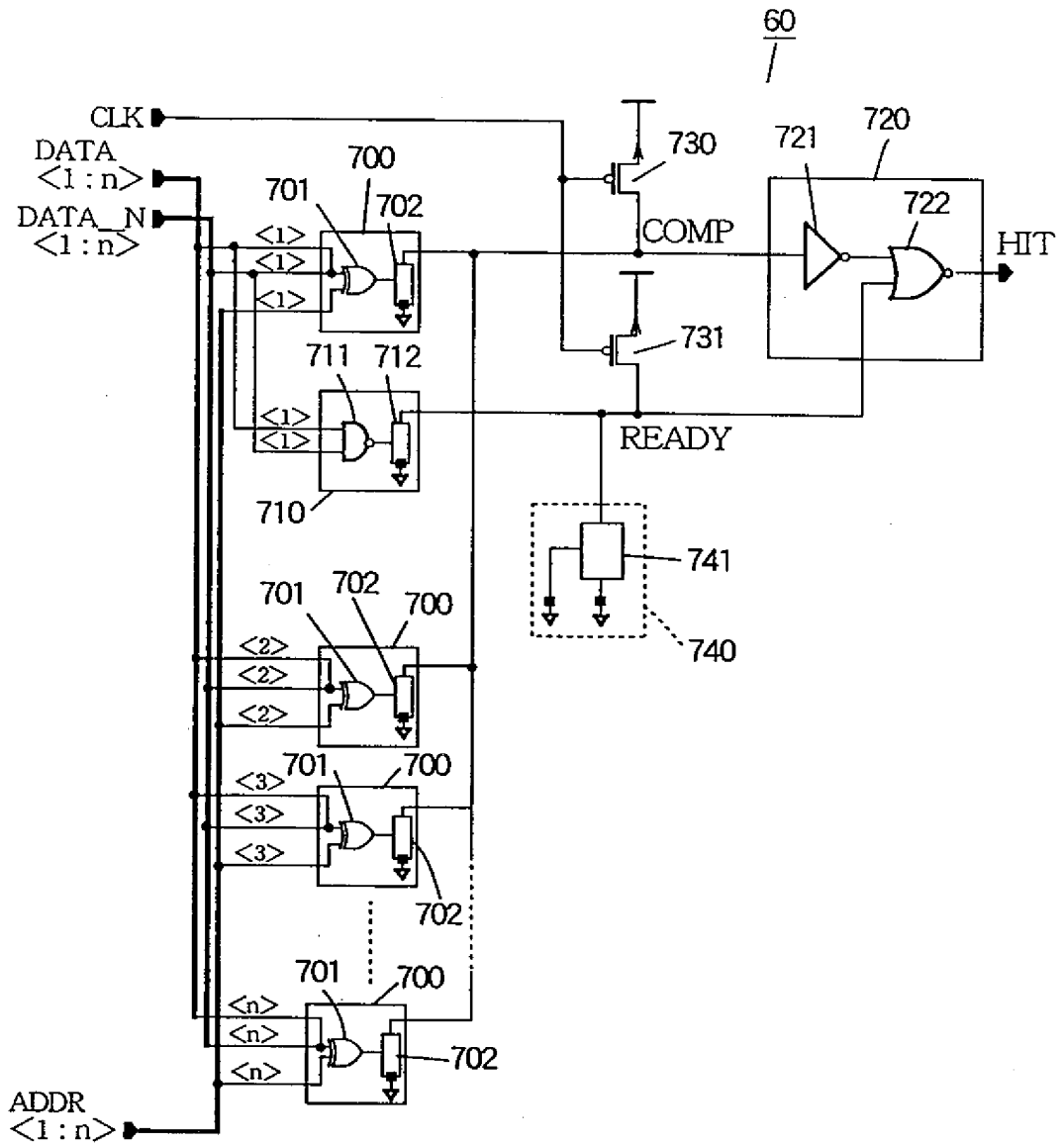
第 19 圖



第 20 圖

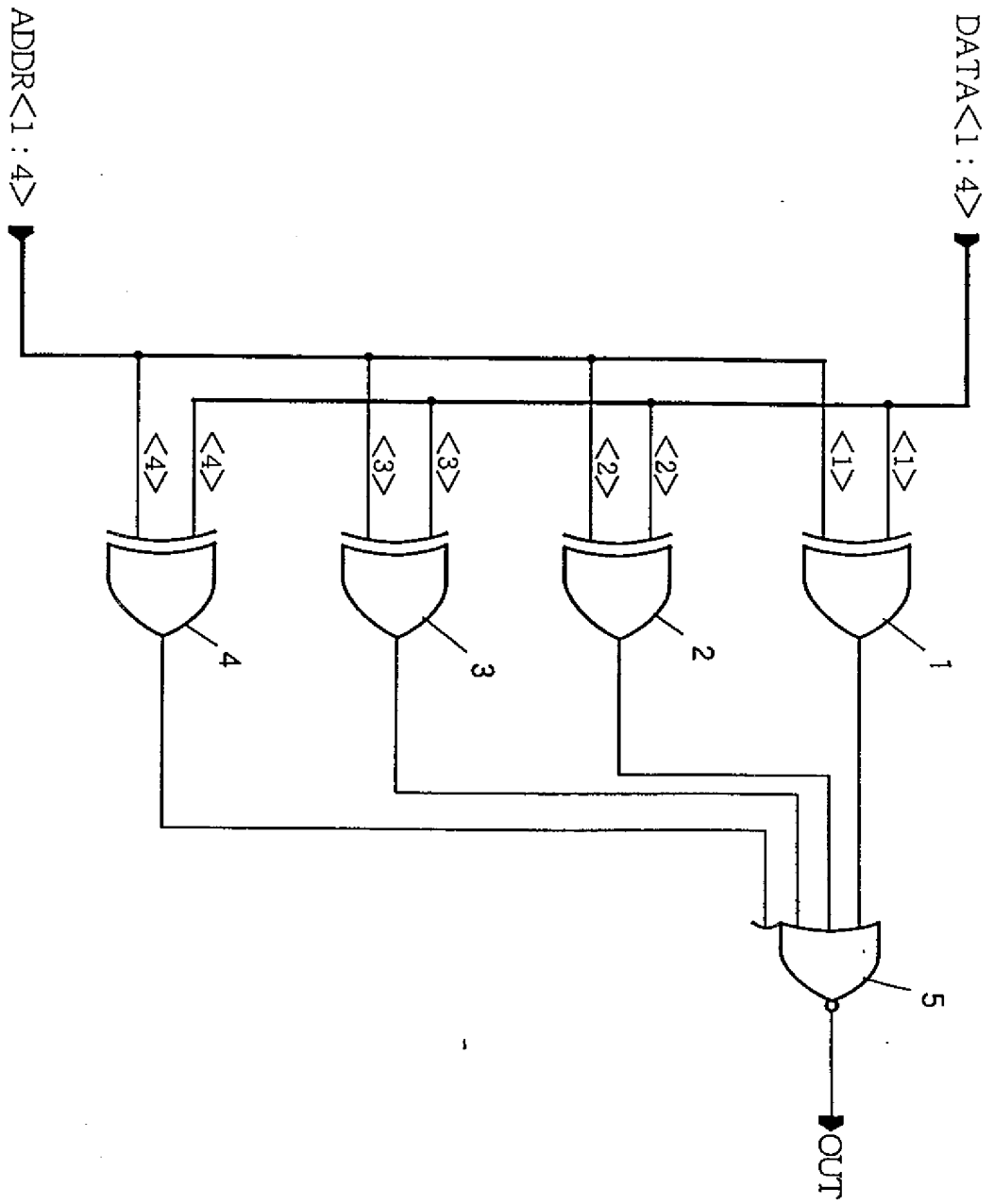


第21圖



第 22 圖

413765



第24圖