

公告本

410470

申請日期	88 年 6 月 14 日
案 號	88109927
類 別	14011-27/108

A4
C4

410470

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	DRAM胞的製造方法
	英 文	Improved process for DRAM cell production
二、發明 創作人	姓 名	(1) 冠瑟·克夫勒 Koffler, Guenther (2) 席格佛萊德·米齊茲 Mischitz, Siegfried
	國 籍	(1) 奧地利 (2) 奧地利
	住、居所	(1) 奧地利維拉市慕日薇閣七／六號 Muenzweg 7/6, A-9500 Villach, Austria (2) 德國麗晶斯堡市德克貝噉納街二十二號 Dechbettener Str.22, D-93049 Regensburg, Germany
	代 表 人 姓 名	(1) 戴瑞克·艾倫 Allen, Derek
三、申請人	姓 名 (名稱)	(1) 西門子股份有限公司 Siemens Plc
	國 籍	(1) 英國
	住、居所 (事務所)	(1) 英國柏克郡布雷克納爾市奧伯麗西門子公司 Siemens House, Oldbury, Bracknell, Berkshire RG12 8FZ, United Kindom
	代 表 人 姓 名	(1) 戴瑞克·艾倫 Allen, Derek

裝

訂

線

410470

(由本局填寫)

承辦人代碼：

大 類：

I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

大不列顛

1998 年 9 月 11 日

98 19695.9

☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明關於一種動態隨機存取記憶體(DRAM)胞的製造方法，詳言之，本發明提供了一種適用於製造DRAM胞之矽間隔層沈積方法。

在製造過程中，因為DRAM胞的尺寸收縮，所以需要較佳的靈敏度以抵抗差排。如此技術中眾所皆知的，用於製程中多種材料之不同熱膨脹係數導致多種包括DRAM胞之層的位置發生差排。

目前，DRAM胞是藉由半導體製造技術中眾所皆知的方法所製造的，如I/S/T(IBM/Siemens/Toshiba)方法。

由於 $0.25\mu\text{m}$ 技術引進DRAM胞，產生於埋入帶主動區域(Buried Strap Active Area)界面之差排成爲一個嚴重的問題。爲了避免埋入帶所誘發的差排延伸至主動區域，我們引進一般爲 0.5nm 的氧化物界面層。這最好做爲抵抗差排的障礙。然而，氧化物界面層的產生亦導致埋入帶之接觸電阻增加(此爲吾人所不欲)，造成低溫性能胞中之製造良率損失。

本發明解決了降低埋入帶之接觸電阻的技術問題，如此改善了低溫性能胞之生產良率。

本發明提供了一種DRAM胞的製造方法，其包括了將一層第一物質沈積於渠溝內之步驟，而特徵在於此方法進一步包括下列步驟：

將第一層第二物質沈積於渠溝內，

在第一物質層與第一層第二物質之間生成氧化物界面層，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

以及在渠溝側壁與第一層第二物質之間，加入非等向性蝕刻物質於第一層第二物質之表面，藉以保護渠溝側壁與第一層第二物質之間的氧化物介面層，曝露出氧化物介面層與第一層沈積於第一物質層頂部上的第二物質，加入第二蝕刻物質於第一層第二物質的表面，藉以移除氧化物介面層與第一層沈積於第一物質層頂部上的第二物質，並以填充渠溝的方式將第二層第二物質沈積於渠溝內。

第一物質層可以約為 300 nm 厚，而此第一物質可以是摻雜著砷之矽化磷。

第一層第二物質可以約為 50 nm 厚，而此第二物質可以是矽。

氧化物介面層可以約為 2 nm 厚。

第二層第二物質可以約為 250 nm 厚。

非等向性蝕刻物質可以是包括氫氯酸、氯、氮氧化物 (HCl , Cl_2 , He/O_2) 之物質。

第二蝕刻物質可以是氫氟酸 (HF)。

如熟習此技術者所了解：吾人可使用各種型態的矽，如摻雜著砷之矽化硼，且層的厚度是可以改變的。再者，如吾人所了解：其它型態的蝕刻物質可適用於此方法中，如含有蒸氣的氫氟酸。

利用渠溝側壁上氧化物介面層以維持對抗差排之保護措施，本發明改進了現有的 DRAM 製造方法，降低由於

五、發明說明(3)

兩矽層之間的氧化物界面層所引起的接觸電阻(此為吾人所不欲)。藉由降低接觸電阻，D R A M胞在低溫性能操作期間較不容易故障。如此，本發明為低溫性能胞提供了較高的生產良率。

儘管本發明之主要優點以及特徵已如上所述，不過藉由參照以下的圖式與較佳實施例之詳細說明，吾人可進一步了解本發明；而較佳實施例僅做為舉例說明用。

圖式簡單說明：

圖 1 顯示目前的 D R A M 製造程序；而

圖 2 a，2 b 與 2 c 則顯示本發明 D R A M 製造程序。

主要元件對照表

2	渠溝	
3	側壁	
4	軸環	
6	矽層	
8，8 a，8 b	氧化物	
1 0	矽層	
1 0 a，1 0 b	矽	

圖 1 顯示目前的 D R A M 製造程序，其中軸環 4 界定了渠溝 2。此技術中眾所皆知的沈積機制沈積出一層約

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（4）

300 nm 厚的摻雜著砷之矽化磷 6。約 2 nm 厚的氧化物 8 介面層成長於渠溝 2 之側壁 3 與摻雜著砷之矽化磷層 6 之頂部上。我們藉由沈積機制將第二層矽 10 沈積於渠溝 2 內部。側壁 3 上之氧化物 8 b 的介面層做為抵抗差排之障礙。位於摻雜著砷之矽化磷 6 與矽層 10 之間的氧化物 8 a 介面層用來增加層 6 和層 10 之間的接觸電阻。

圖 2 a 顯示本發明 D R A M 製造程序，其中我們將亦出現於圖 1 之元件賦與相同的標號。本發明之製程與習知製程的差異在於沈積了約 50 nm 之後，才停止矽層 10 之沈積。氧化物 8 之介面層的厚度可成長至約 2 nm。然後，在渠溝內部進行非等向性蝕刻，藉此保護渠溝 2 之側壁 3 上的氧化物 8 b 之介面層以及多晶矽 10 b；不過，卻曝露了摻雜著砷之矽化磷 6 頂部上之氧化物 8 a 介面層以及矽 10 a。我們所進行的第二化學蝕刻大致上從摻雜著砷之矽化磷 6 移除氧化物 8 a 介面層。

圖 2 b 顯示摻雜著砷之矽化磷 6，氧化物 8 a 介面層以及矽 10 a 從其表面移去，其中我們將亦出現於圖 2 a 之元件賦與相同的標號。然後，沈積第二層矽 10 以填充渠溝 2。

圖 2 c 顯示埋入渠溝 2，其填充著一層摻雜著砷之矽化磷 6 與一層矽 10，而氧化物 8 a 介面層從層 6 與層 10 之間被移去，氧化物 8 a 介面層則仍然呈現在渠溝之側壁 3，其中我們將亦出現於圖 2 b 之元件賦與相同的標號。

五、發明說明（ 5 ）

如熟習此技術者所了解：在不脫離本發明之範疇的前提下，對上述實施例做出多種修正。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

四、中文發明摘要(發明之名稱: D R A M 胞的製造方法)

本發明提供了一種 D R A M 胞的製造方法，其包括了下列步驟：

將第一層矽沈積於渠溝內，

沈積約 50 nm 的第二層矽並使界面氧化層成長於渠溝側壁與第一層矽的頂部上，

加入非等向性矽蝕刻物質以曝露出渠溝頂部上的氧化物，藉以保護渠溝側上的氧化物層，並加入濕化學蝕刻物質以移除曝露的氧化物層。然後，如同標準一般持續此方法。此方法降低了埋入帶之接觸電阻，如此改善了低溫性能胞之生產良率。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱:)

IMPROVED PROCESS FOR DRAM CELL PRODUCTION

According to the present invention there is provided an improved process for manufacturing DRAM cells comprising the steps of depositing a first layer of silicon into a trench, depositing approximately 50 nm of a second layer of silicon and allowing an interfacial oxide layer to grow on the trench side-wall and on top of the first layer of silicon, applying an anisotropic silicon etch to expose the oxide on top of the trench while protecting the oxide layer on the side of the trench, and applying a wet-chemical etch to remove the exposed oxide layer. This process then continues as standard. The improved method reduces the contact resistance of the buried strap and thus improves the production yield for low temperature performance cells.

訂

線

六、申請專利範圍

1. 一種 D R A M 胞的製造方法，其包括
將一層第一物質沈積於渠溝內之步驟，且其特徵在於該方法進一步包括下列步驟：

將第一層第二物質沈積於渠溝內，

在第一物質層與第一層第二物質之間生成氧化物界面層，

以及在渠溝側壁與第一層第二物質之間，

加入非等向性蝕刻物質於第一層第二物質之表面，藉以保護渠溝側壁與第一層第二物質之間的氧化物介面層，曝光氧化物界面層與第一層沈積於第一物質層頂部上的第二物質，加入第二蝕刻物質於第一層第二物質的表面，藉以移除氧化物界面層與第一層沈積於第一物質層頂部上的第二物質，並以填充渠溝的方式將第二層第二物質沈積於渠溝內。

2. 如申請專利範圍第 1 項之方法，其中第一物質層約為 300 nm 厚。

3. 如申請專利範圍第 1 或第 2 項之方法，其中第一物質為摻雜著砷之矽化磷。

4. 如申請專利範圍第 1 或第 2 項之方法，其中第一層第二物質可以約為 50 nm 厚。

5. 如申請專利範圍第 1 或第 2 項之方法，其中第二物質為矽。

6. 如申請專利範圍第 1 或第 2 項之方法，其中氧化物界面層約為 2 nm 厚。

7. 如申請專利範圍第 1 或第 2 項之方法，其中第二

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

層第二物質約為 250 nm 厚。

8. 如申請專利範圍第 1 或第 2 項之方法，其中非等向性蝕刻物質為包括氫氯酸、氯、氮氧化物 (HCl ， Cl_2 ， He/O_2) 之物質。

9. 如申請專利範圍第 1 或第 2 項之方法，其中第二蝕刻物質為氫氟酸 (HF)。

10. 如申請專利範圍第 1 或第 2 項之方法，其中該方法適用於矽間隔層之沈積。

410470

881099>

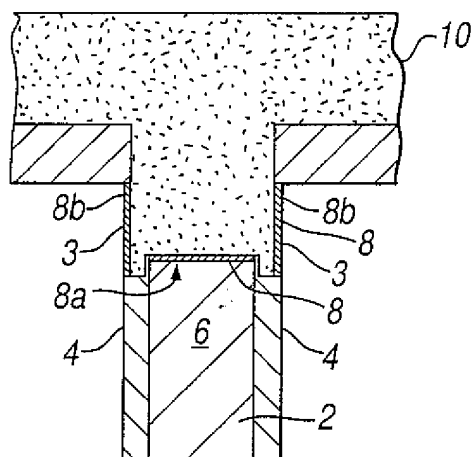


圖 1

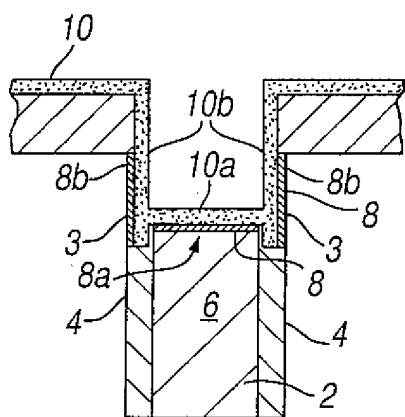


圖 2a

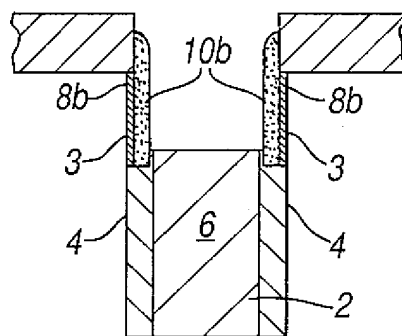


圖 2b

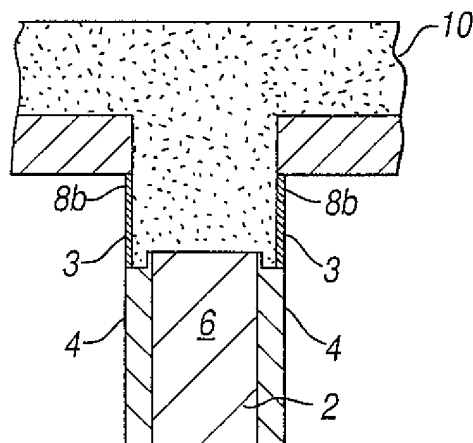


圖 2c