(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 27/04

(11) 공개번호 특2002-0036740
(43) 공개일자 2002년05월16일

(21) 출원번호 10-2001-0069652
(22) 출원일자 2001년11월09일

(30) 우선권주장 JP-P-2000-0034 2796 2000년11월10일 일본(JP)

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
가나이 쓰토무
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치
가부시기가이샤 히다치초엘에스아이시스템즈
스즈키 진이치로
일본국 도쿄도 고다이라시 죠스이혼쵸5-22-1

(72) 발명자 기따마사또
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루노우찌빌딩가부시키가이샤히타치세이사쿠쇼지적재산권본부내
나가따니아끼히로
일본도꾜도고다이라시죠스이혼쪼5쪼메22-1가부시기가이샤히다치초엘에스아이시스템즈내
와따나베히로후미
일본도꾜도고다이라시죠스이혼쪼5쪼메22-1가부시기가이샤히다치초엘에스아이시스템즈내

(74) 대리인 장수길
구영창

심사청구 : 없음

(54) 반도체 집적 회로 장치

요약

디지털 회로부, 아날로그 회로부 및 신호 입출력부 등의 회로 블록을 구성하는 상보형 MISFET(n채널형 MISFET 및 p채널형 MISFET)의 게이트 길이(채널 길이)는 각기의 회로 블록의 특성에 따라 다르게 되어 있다. 또한, 디지털 신호 입력 보호 회로의 저항 소자와 아날로그 신호 입력 보호 회로의 저항 소자는 다른 재료로 구성되어 있다. 또한, 디지털 신호 입출력부와 아날로그 신호 입출력부는 반도체 기판(칩)(1) 상에서 서로 가장 이간된 위치에 배치되며, 디지털 신호 입출력부의 노이즈가 아날로그 회로부로 들어가지 않는 칩 레이아웃이 행해지고 있다.

대표도

도 19

색인어

아날로그 디지털 혼재, 아날로그 회로부, 디지털 회로부, 신호 입출력부, 상보형 MISFET, 게이트 길이, 저항 소자

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 회로 구성을 나타낸 반도체 기판(칩)의 전체 평면도,

도 2는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 디지털 회로부를 구성하는 셀의 회로도,

도 3은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 디지털 회로부를 구성하는 셀의 회로도,

도 4는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 디지털 회로부를 구성하는 셀의 회로도,

도 5는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 디지털 회로부를 구성하는 셀의 회로도,

도 6은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 디지털 회로부를 구성하는 셀의 회로도,

도 7은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 4비트 카운터 회로를 나타낸 회로도,

도 8은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 RAM회로를 구성하는 메모리 셀의 회로도,

도 9는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 연산 증폭기를 나타낸 회로도,

도 10은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 스위치드 커패시터 회로를 나타낸 회로도,

도 11은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 스위치드 커패시터 회로를 나타낸 회로도,

도 12는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 스위치드 커패시터 회로의 일부(스위치)를 나타낸 회로도,

도 13은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 디지털 신호 입력부를 나타낸 회로도,

도 14는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 디지털 신호 출력부를 나타낸 회로도,

도 15는 도 13에 나타낸 디지털 신호 입력부에 설치된 보호 회로를 나타낸 회로도,

도 16은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 아날로그 신호 입력용 게이트 보호 회로를 나타낸 회로도,

도 17은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 회로 블록의 칩 레이아웃을 나타낸 평면도,

도 18은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 회로 블록의 칩 레이아웃을 나타낸 평면도,

도 19는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 디지털 회로부, 아날로그 회로부 및 신호 입출력부를 구성하는 상보형 MISFET의 게이트 길이의 구체적인 예를 나타낸 설명도,

도 20은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 아날로그 디지털 인터페이스부를 나타낸 회로도,

도 21은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 아날로그 디지털 인터페이스부를 나타낸 회로도,

도 22는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 연산 증폭기 및 바이어스 회로를 나타낸 회로도,

도 23은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 디지털 신호 입력부를 나타낸 평면도,

도 24는 도 23의 A-B선을 따른 단면도 및 C-D선을 따른 단면도,

도 25는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 아날로그 신호용 게이트 보호 회로를 나타낸 평면도,

도 26은 도 25의 A-B선을 따른 단면도 및 C-D선을 따른 단면도,

도 27은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 차동 증폭기를 나타낸 회로도이다.

<도면의 주요부분에 대한 부호의 설명>

1:반도체 기판(칩)

101~104:패드의 배치 개소

105:아날로그 디지털 인터페이스부

106~109:인터페이스

R1, R2, RN:저항

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 장치에 관한 것으로서, 특히, 아날로그 회로부와 디지털 회로부가 동일 반도체 기판 상에 형성된 아날로그 디지털 혼재(混載)형 반도체 집적 회로 장치에 적용하여 유효한 기술에 관한 것이다.

최근 들어, 절연 게이트 전계 효과 트랜지스터(이하, MOSFET 또한 MISFET라 함)로 구성된 아날로그 디지털 혼재형 반도체 집적 회로 장치가 사용되고 있다. 본 발명자들은 아날로그 디지털 혼재형 반도체 집적 회로 장치에 있어서, 특히 다음과 같은 관점들에 주목하면서 개발을 진행시켜 왔다.

즉, (a) 고성능의 회로 기능을 발휘시키기 위하여 아날로그 회로부와 디지털 회로부 사이에 불필요한 간섭이 없도록 양자를 반도체 기판 상에 설계(레이아웃)할 것, (b) 아날로그 회로부에서 일반적으로 사용되는 연산 증폭기에 있어서는 연산 증폭기에 부가되는 입력 저항과 귀환 저항으로 이루어지는 부귀환 회로의 주파수 특성을 저하시키지 않도록 바람직하지 못한 기생 용량 등의 기생 소자를 극력 배제할 것, 그리고 귀환 회로의 저항 변동 및 연산 증폭기의 차동 입력을 구성하는 한 쌍의 트랜지스터나 커런트미러 회로 등의 능동 부하 회로를 구성하는 한 쌍의 트랜지스터의 특성 변동을 억제하고, 이에 따라 연산 증폭기의 증폭율 변동이 생기지 않도록 제조할 것, 또는 노이즈 신호의 저감을 꾀할 것, (c) 아날로그 디지털 혼재형 반도체 집적 회로 장치에서는 예기하지 못한 과도기에 발생되는 서지(surge) 전압이 트랜지스터를 파괴하고 또는 아날로그 회로부에 노이즈로서 영향을 주는 것 등이다. 본 발명은 이들 주목점을 구체적으로 달성하기 위하여 이루어지고 있다.

아날로그 디지털 혼재형 반도체 장치에 있어서 서지 입력으로 인한 MOSFET의 게이트 파괴를 방지하기 위한 기술로서 특개평(特開平) 9-172146호 공보에 개시된 것이 알려져 있다. 이 공보는 디지털 회로부와 아날로그 회로부가 다른 전원계(제1 전위(Vdd1/Vss1) 및 제2 전위(Vdd2/Vss2))를 가지는 아날로그 디지털 혼재형 반도체 장치를 개시하고 있다. 이 반도체 장치는 아날로그 회로부의 제1 전원선(Vdd1/Vss1)과 디지털 회로부의 제2 전원선(Vdd2/Vss2) 사이에 그들의 전위차가 소정의 값을 넘었을 때에 제1 전원선과 제2 전원선 사이를 도통시키는 보호 회로를 설치함으로써 입력 회로를 구성하는 MOS형 트랜지스터의 게이트 파괴를 방지하고 있다.

특개평 8-293598호 공보는 디지털 회로부를 구성하는 MOSFET의 임계치 전압을 낮게 설정함과 동시에 그 채널 길이를 프로세스의 최소 가공 치수로 구성하고, 아날로그 회로부를 구성하는 MOSFET의 임계치 전압을 높게 설정함과 동시에 그 채널 길이를 상기 디지털 회로부를 구성하는 MOSFET의 채널 길이보다도 크게 한 아날로그 디지털 혼재형 반도체 장치를 개시하고 있다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 특개평 9-172146호 공보는 보호 회로의 일부를 구성하는 저항 소자의 재료를 회로의 용도에 맞추어서 최적화하는 기술에 대해서는 개시하고 있지 않는다.

또한, 상기 특개평 8-293598호 공보는 디지털 회로부, 아날로그 회로부의 각기에서 MOSFET의 채널 길이(게이트 길이)를 회로의 용도에 맞추어서 최적화하는 기술에 대해서는 개시하지 않고 있다.

본 발명의 목적은 아날로그 회로부와 디지털 회로부가 동일 반도체 기판 상에 형성된 아날로그 디지털 혼재형 반도체 집적 회로 장치의 고성능화를 추진할 수 있는 기술을 제공하는 데 있다.

본 발명의 상기 및 그 외의 목적들과 신규 특징들은 본 명세서의 기재 및 첨부된 도면으로부터 분명하게 될 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명들 중 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

본 발명은 다음 특징들 중 하나 또한 그들의 조합에 의하여 구성될 수 있다.

본 발명의 하나의 특징에 따르면, 주면을 가지는 반도체 기판과,

상기 반도체 기판 주면의 제1 영역에 형성된 디지털 회로부와,

상기 반도체 기판 주면의 제2 영역에 형성된 아날로그 회로부와,

상기 반도체 기판 주면의 제3 영역에 형성되며, 상기 디지털 회로부에 입력 신호를 공급하기 위한 디지털 신호 입력부 및 상기 디지털 회로부로부터 출력 신호를 끄집어내기 위한 디지털 신호 출력부와,

상기 반도체 기판 주면의 제4 영역에 형성되며, 상기 아날로그 회로부에 입력 신호를 공급하기 위한 아날로그 신호 입력부 및 상기 아날로그 회로부로부터 출력 신호를 끄집어내기 위한 아날로그 신호 출력부

를 가지는 아날로그 디지털 혼재형 반도체 집적 회로 장치로서,

상기 디지털 회로부가 형성된 상기 제1 영역과 상기 아날로그 회로부가 형성된 상기 제2 영역은 서로 분리되어 배치되고,

상기 디지털 신호 입력부 및 상기 디지털 신호 출력부가 형성된 상기 제3 영역과 상기 제1 영역은 서로 근접되어 배치되고,

상기 아날로그 신호 입력부 및 상기 아날로그 신호 출력부가 형성된 상기 제4 영역과 상기 제2 영역은 서로 근접되어 배치되고,

상기 제3 영역과 상기 제4 영역은 그들 사이에 배치된 상기 제1 영역과 상기 제2 영역을 사이에 두어 서로 이간되어 배치되어 있다.

본 발명의 다른 특징에 따르면, 주면을 가지는 반도체 기판과,

상기 반도체 기판 주면의 제1 영역에 형성된 n채널형 MISFET 및 p채널형 MISFET로 이루어지는 제1 상보형 MISFET를 포함하여 구성된 디지털 회로부와,

상기 반도체 기판 주면의 제2 영역에 형성된 n채널형 MISFET 및 p채널형 MISFET로 이루어지는 제2 상보형 MISFET를 포함하여 구성된 아날로그 회로부와,

상기 반도체 기판 주면의 제3 영역에 형성되며, 상기 디지털 회로부에 입력 신호를 공급하기 위한 디지털 신호 입력부 및 상기 디지털 회로부로부터 출력 신호를 끄집어내기 위한 디지털 신호 출력부와,

상기 반도체 기판 주면의 제4 영역에 형성되며, 상기 아날로그 회로부에 입력 신호를 공급하기 위한 아날로그 신호 입력부 및 상기 아날로그 회로부로부터 출력 신호를 끄집어내기 위한 아날로그 신호 출력부를 가지는 아날로그 디지털 혼재형 반도체 집적 회로 장치로서,

상기 제3 영역 및 상기 제4 영역의 각기에 형성된 n채널형 MISFET 및 p채널형 MISFET로 이루어지는 제3 상보형 MISFET를 포함하여 구성되며, 상기 디지털 회로부의 MISFET 및 상기 아날로그 회로부의 MISFET의 파괴를 방지하기 위한 보호 회로를 구성하는 상기 제3 상보형 MISFET는 상기 디지털 회로부를 구성하는 상기 제1 상보형 MISFET의 게이트 길이보다도 긴 제1 게이트 길이를 가지고,

상기 아날로그 회로부를 구성하는 상기 제2 상보형 MISFET는 상기 제1 게이트 길이보다도 긴 제2 게이트 길이를 가지고 있다.

본 발명의 또 다른 특징에 따르면, 주면을 가지는 반도체 기판과,

상기 반도체 기판 주면의 제1 영역에 형성된 디지털 회로부와,

상기 반도체 기판 주면의 제2 영역에 형성된 아날로그 회로부와,

상기 반도체 기판 주면의 제3 영역에 형성되며, 상기 디지털 회로부에 입력 신호를 공급하기 위한 디지털 신호 입력부 및 상기 디지털 회로부로부터 출력 신호를 끄집어내기 위한 디지털 신호 출력부와,

상기 반도체 기판 주면의 제4 영역에 형성되며, 상기 아날로그 회로부에 입력 신호를 공급하기 위한 아날로그 신호 입력부 및 상기 아날로그 회로부로부터 출력 신호를 끄집어내기 위한 아날로그 신호 출력부

를 가지는 아날로그 디지털 혼재형 반도체 집적 회로 장치로서,

상기 디지털 신호 입력부는 상기 반도체 기판 내의 pn접합에 의하여 구획된 반도체 영역으로 이루어지는 제1 저항 소자를 포함하여 구성되며, 상기 디지털 회로부의 MISFET의 파괴를 방지하기 위한 제1 보호 회로를 가지고,

상기 아날로그 회로부 또는 신호 입력부는 상기 반도체 기판의 주면 상에 형성된 다결정 실리콘막으로 이루어지는 제2 저항 소자를 포함하여 구성되며, 상기 아날로그 회로부의 MISFET의 파괴를 방지하기 위한 제2 보호 회로를 가지고 있다.

이하, 본 발명의 실시 형태를 도면을 이용하여 상세하게 설명한다. 또한, 실시 형태를 설명하기 위한 모든 도면에 있어서 동일 기능을 가지는 것은 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

본 실시 형태의 반도체 집적 회로 장치는 아날로그 회로부와 디지털 회로부를 동일 반도체 기판 상에 형성한 아날로그 디지털 혼재 LSI로서, 도 1은 이 LSI의 회로 구성을 나타낸 반도체 기판(칩)(1)의 전체 평면도이다.

아날로그 디지털 혼재 LSI는 반도체 기판(칩)(1) 주면의 제1 영역에 형성된 디지털 회로부와, 제2 영역에 형성된 아날로그 회로부와, 제3 영역에 형성된 디지털 신호 입력부 및 디지털 신호 출력부와, 제4 영역에 형성된 아날로그 신호 입력부 및 아날로그 신호 출력부 등으로 구성되어 있다. 또한, 디지털부와 아날로그부 사이에는 아날로그 디지털 인터페이스부가 설치되어 있다.

상기 디지털 회로부 및 아날로그 회로부의 각기는 n채널형 MISFET(Qn) 및 p채널형 MISFET(Qp)로 이루어지는 상보형 MISFET로 구성되어 있다. 즉, 디지털 회로부는 예를 들면 도 2~도 6에 나타낸 바와 같은 인버터, NOR, NAND, EXOR, 플립플롭 등의 셀을 사용하여 실현한 도 7에 나타낸 바와 같은 AND, EXOR, FF로 이루어지는 4비트 카운터 회로로 구성된 제어 회로나 디지털 신호 프로세서(Digital Signal Processor;DSP) 회로를 가지고 있다. 또한, 디지털부는 도 8에 나타낸 바와 같은 6개의 MISFET(Q1~Q6)를 사용한 다수의 메모리 셀을 행렬상으로 배열하여 구성한 SRAM(Static Random Access Memory) 등의 RAM 회로 또는 ROM(Read Only Memory) 회로를 가지고 있다.

아날로그 회로부는 연산 증폭기(op 앰프)를 포함하고 있다. 도 9는 연산 증폭기의 기본 회로의 예를 나타내고 있다. 도에 나타낸 연산 증폭기는 정전류용 p채널형 MISFET(Qp19)와 한 쌍의 차동 입력용 p채널형 MISFET(Qp21, Qp22)와 커런트미러 부하(능동 부하)를 구성하는 한 쌍의 n채널형 MISFET(Qp23, Qp24)로 이루어지는 차동 입력 증폭단을 구비하고, 또한 이 차동 입력 증폭단으로부터 싱글 엔드로 신호를 게이트에 받아들이는 출력용 n채널형 MISFET(Qn25)와 그 부하로서 작용하는 정전류용 p채널형 MISFET(Qp20)를 포함하는 출력 증폭단과 출력단의 출력으로부터 그 입력에 귀환접속된 위상 보상용 용량(CC)으로 구성되어 있다.

정전류원으로서 작용하는 두 개의 p채널형 MISFET(Qp19, Qp20)의 게이트에는 다이오드접속된 p채널형 MISFET(Qp18)와 그곳에 전류를 공급하기 위한 n채널형 MISFET(Qn22)로 이루어지는 바이어스 전류 회로가 접속되어 있다. 이 바이어스 전류 회로는 한 쌍의 정전류용 p채널형 MISFET(Qp19, Qp20)에 대하여 커런트미러접속되어 있다.

이 연산 증폭기에서 중요한 것은 노이즈 신호 또는 오프셋 전압의 발생 등과 같은 회로 성능의 저하를 방지하기 위해서는 MISFET의 프로세스 변동으로 인한 특성 즉 MISFET의 페어(pair)성의 저하를 방지하는 데 있다. 즉, 한 쌍의 차동 입력용 p채널형 MISFET(Qp21, Qp22), 커런트미러 부하(능동 부하)를 구성하는 한 쌍의 n채널형 MISFET(Qp23, Qp24), 한 쌍의 정전류용 p채널형 MISFET(Qp19, Qp20) 및 바이어스 정전류용 p채널형 MISFET(Qp18) 등과 같이 페어가 되는 MISFET의 게이트 전압 대 드레인 전류 특성이 서로 변동되지 않도록 페어성을 개선하는 것이 중요하다.

본 발명에 따르면, 후에 명백해질 것 같이 이 페어성을 확보하기 위하여 그들 MISFET의 게이트 길이는 디지털 회로부를 구성하는 다른 MISFET 및 게이트 보호 회로를 구성하는 MISFET보다 크게 되어 있다. 이에 따라, 페어 MISFET의 커런트미러비의 변동을 저감할 수 있게 된다.

상기 아날로그 회로부에는 또한 도 9에 나타낸 연산 증폭기를 응용하여 도 10~도 12에 나타낸 바와 같은 스위치드 커패시터(용량 귀환형 차동 증폭기)라 불려지는 교류 증폭기가 구성되어 있다. 스위치드 커패시터 회로는 도 10 및 도 11에 나타낸 연산 증폭기(OP) 및 용량(C1, C2)으로 이루어지는 용량 귀환 회로와 도 12에 나타낸 p채널 및 n채널인 상보형 MISFET로 이루어지는 스위치(S1~S4)로 구성되어 있다. 이 증폭기의 이득(gain)은 용량(C1)과 용량(C2)의 비에 의하여 결정되어진다.

또한, 도 10에 나타낸 입력 단자(패드)에는 각각 다이오드접속된 p채널형 MISFET(M2)와 n채널형 MISFET(M1)와 저항(RN)으로 이루어지는 게이트 보호 회로가 접속되어, 입력 단자에 예기하지 못한 과도 상태 시에 인가되는 서지 입력 등의 이상 전압을 낮은 전압으로 클램프함으로써 연산 증폭기 등의 내부 회로를 구성하는 MISFET의 파괴를 방지하고 있다. 이 게이트 보호 회로에 대해서는 후에 설명한다.

도 13은 디지털 신호 입력 패드(PAD)를 포함하는 디지털 신호 입력부의 회로도이고, 도 14는 디지털 신호 출력 패드(PAD)를 포함하는 디지털 신호 출력부의 회로도이다.

도 13에 나타낸 디지털 신호 입력부는 각기가 보호 다이오드로서 동작하게끔 다이오드접속된 p채널형 MISFET(M2) 및 n채널형 MISFET(M1)와 반도체 기판 내에 pn접합으로 구획되어 형성된 반도체 영역으로 된 보호 저항(RN)으로 이루어지는 게이트 보호 회로(ESD)를 포함하고, 또한 p채널형 MISFET(Qp1) 및 n채널형 MISFET(Qn1)로 이루어지는 상보형 MISFET의 입력 버퍼 회로(인버터)를 포함하고 있다. 상기 게이트 보호 회로(ESD)는 정전기 등으로 인한 예기하지 못한 서지 과전류나 과전압으로부터 내부 회로(디지털 회로)을 보호할 수 있다. 한편, 도 14에 나타낸 디지털 신호 출력부는 2단접속된 p채널형 MISFET(Qp1) 및 n채널형 MISFET(Qn1)로 이루어지는 상보형 MISFET의 출력 회로(인버터)를 포함하고 있다.

또한, 디지털 신호 입력부에도 도 15에 나타낸 바와 같은 상보형 MISFET(M1, M2)로 이루어지는 보호 다이오드와 보호 저항(RN)으로 구성된 게이트 보호 회로(ESD)가 설치되며, 정전기 등으로 인한 과전류나 과전압으로부터 내부 회로(디지털 회로부)를 보호할 수 있도록 되어 있다.

도 16은 아날로그 신호 입력 패드를 포함하는 아날로그 신호 입력부 및 아날로그 회로부의 회로도이다. 아날로그 신호 입력부에는 상기 도 13에 나타낸 게이트 보호 회로(ESD)와 동일하게, 상보형 MISFET(M1, M2)로 이루어지는 보호 다이오드가 형성되고, 아날로그 회로부에는 저항(R1, R2) 및 연산 증폭기로 이루어지는 반전 증폭기가 형성되어 있다. 또, 보호 다이오드와 반전 증폭기의 입력 저항을 겸한 보호 저항(R1)으로 구성된 게이트 보호 회로(ESD)가 설치되어, 정전기 등으로 인한 과전류나 과전압으로부터 내부 회로(아날로그 회로부)가 보호될 수 있도록 되어 있다.

또한, 도 16에 나타낸 연산 증폭기(op 앰프)(OP)는 상기 도 9에 나타낸 MISFET로 구성되어 있다. 반전 증폭기(연산 증폭기)의 이득은 아날로그 회로부에 형성된 부귀환 저항(R2)과 입력 저항(R1)의 저항비(R2/R1)에 의하여 결정되므로, 그 증폭기에 변동이 없는 이득을 얻기 위해서는 정확한 저항비(R2/R1)를 얻는 것이 중요하다. 후에 설명하는 바와 같이, 본 발명에서는 입력 저항(R1) 및 부귀환 저항(R2)으로서 반도체 기판 상의 절연막 상부에 형성된 다결정 실리콘막이 이용될 수 있다. 또한, 이 입력 저항(R1)은 상술한 바와 같이 게이트 보호 회로를 형성하는 보호 저항으로 겸용된다.

아날로그 신호 입력 패드(PAD)로부터 입력된 아날로그 신호는 신호 레벨 변환 회로에서 신호 레벨이 조정된 후, A/D 변환 회로에서 A/D변환되며, 아날로그 디지털 인터페이스부를 통하여 디지털 회로부로 전달된다. 그리고, RAM 등을 이용한 디지털 신호 프로세서 회로에서 신호처리되며, 제어 회로를 통하여 디지털 신호 출력 패드(PAD)로부터 디지털 신호를 출력한다.

한편, 디지털 신호 입력 패드(PAD)로부터 입력된 디지털 신호는 디지털 회로부의 제어 회로로부터 디지털 신호 프로세서 회로, 그리고 아날로그 디지털 인터페이스부를 통하여 아날로그 회로부로 전달되며, D/A변환 회로에서 D/A변환되어 아날로그 신호가 되어 신호 레벨 변환 회로에서 신호 레벨이 조정된 후, 아날로그 신호 출력 패드(PAD)로부터 출력된다.

상기와 같은 아날로그 회로부와 디지털 회로부를 동일 반도체 기판 상에 형성하는 아날로그 디지털 혼재 LSI에 있어서는 디지털 회로부의 노이즈가 아날로그 회로부로 들어가지 않도록 배려하고, 더욱이 각 회로 블록의 인터페이스를 고려한 효율적인 칩 레이아웃이 요구된다.

상기 도 1에 나타낸 바와 같이, 본 실시 형태에서는 디지털 회로부와 아날로그 회로부가 서로 분리되어 배치되어 있어, 또한 디지털 신호 입출력부는 디지털 회로부에, 아날로그 신호 입출력부는 아날로그 회로부에 각기 근접되어 배치되어 있다. 또한, 디지털 신호 입출력부와 아날로그 신호 입출력부는 반도체 기판(칩)(1) 상에서 서로 가장 이간된 위치에 배치되며, 클록 단자, 디지털 신호 입출력 단자와 같은 디지털 신호 입출력부의 노이즈가 아날로그 회로부로 들어가지 않는 칩 레이아웃이 행해지고 있다.

도 17 및 도 18은 본 실시 형태에 있어서의 각 회로 블록의 칩 레이아웃의 구체적인 예를 나타내고 있다.

입출력 패드가 반도체 기판(칩)(1)의 주변부에 배치될 경우에는 디지털 회로부와 아날로그 회로부의 경계부 근방에 어떤 특성의 패드를 배치하는지가 문제가 된다. 상술한 바와 같이, 노이즈원이 되는 클록 단자 등이 그곳에 배치되면, 아날로그 회로부로의 영향을 피할 수 없게 된다.

그러므로, 본 실시 형태에서는 디지털 회로부와 아날로그 회로부의 경계부 근방은 예를 들면 테스트용 제어 신호 입출력 단자 등과 같이 통상 동작 시에는 Hi 레벨 또는 Low 레벨로 고정되어 변동하지 않는 패드를 (101, 102)에 배치하고, 클록 단자, 디지털 신호 입력 단자와 같이 항시 동작하고 있는 패드는 (103, 104)과 같은 아날로그 회로부로부터 떨어진 위치에 배치하게 한다.

또한, 도에서와 같이 아날로그 신호 입출력부(패드부) 및 아날로그 회로부가 반도체 기판(칩)(1)의 하부에 배치될 경우에는 아날로그 디지털 인터페이스부(105)를 그 상부에 배치하고, 또한 아날로그 디지털 인터페이스부(105)의 상부에 디지털 회로부 및 디지털 신호 입출력부(패드부)를 배치하게 한다.

디지털 회로부 내에 RAM 회로와 같은 특별한 회로 블록을 배치할 경우에는 디지털 회로부와 디지털 신호 입출력부의 인터페이스(107~109)나 아날로그 디지털 인터페이스부(105)의 영역 확보 등을 고려하면, 특별한 회로 블록을 디지털 회로부 내의 코너(corner)부나 주변부에 배치하는 것이 중앙부에 배치할 경우에 비하여 인터페이스 부분(107~109)을 방해하지 않으므로 배선 효율이 더 향상될 수 있다. 이 때, 특별한 회로 블록의 인터페이스(106)를 디지털 회로부의 중심 방향으로 돌림으로써 디지털 회로부 내를 자동 배치 배선에 의해 레이아웃을 할 때의 배선 효율이 향상될 수 있다.

또한, 본 실시 형태의 아날로그 디지털 혼재 반도체 집적 회로 장치(LSI)는 상술한 디지털 회로부, 아날로그 회로부 및 신호 입출력부 등의 회로 블록을 구성하는 상보형 MISFET(n채널형 MISFET 및 p채널형 MISFET)의 게이트 길이(채널 길이)를 각기의 회로 블록의 특성에 따라 다르게 하고 있다.

도 19는 디지털 회로부, 아날로그 회로부 및 신호 입출력부를 구성하는 상보형 MISFET의 게이트 길이의 구체적인 예를 나타낸 도이다.

도의 a난에 나타낸 바와 같이 디지털 회로부(제어 회로, 디지털 신호 프로세서 회로, RAM 회로)를 구성하는 상보형 MISFET는 고속 동작 및 고집적화를 실현하기 위하여 그 게이트 길이가 프로세스의 최소 가공 치수(예를 들면 0.4㎛)로 구성되어 있다. 또한 같은 이유로, 아날로그 회로부의 스위치드 커패시터 회로를 구성하는 상보형 MISFET 등 역시 프로세스의 최소 가공 치수 또는 이 치수에 가까운 치수(예를 들면 1.0㎛)의 게이트 길이를 가지고 있다.

아날로그 회로부의 스위치는 상기 도 12에 나타낸 바와 같은 한 개의 n채널형 MISFET와 한 개의 p채널형 MISFET를 조합한 상보형 MISFET로 구성되어 있다. 도 19의 b난에 나타낸 바와 같이 이 스위치는 스위치 온(switch-on) 시의 온 저항의 저감을 실현하기 위하여 상보형 MISFET의 게이트 길이가 1.0㎛ 이하로 되어 있다. 이 스위치를 사용하는 개소는 상기 도 11에 나타낸 바와 같은 스위치드 커패시터 회로의 스위치(S1~S4) 등이며, 스위치를 온/오프하는 주기(샘플링 시간)와의 관계로 온 저항과 샘플링 용량(C1)과의 시간 상수(time constant)가 문제가 되지 않도록 설계되어 있다.

도 19의 c난에 나타낸 바와 같이 신호 입출력 패드와 내부 회로의 인터페이스부를 구성하는 상보형 MISFET는 정전 파괴를 방지하기 위하여 약간 큰 치수의 게이트 길이(예를 들면 수㎛)를 가지고 있다. 인터페이스부의 구체적인 예로서는 상기 도 13에 나타낸 디지털 신호 입력부의 인버터(Qp1, Qp2)나 보호 다이오드(M1, M2) 또는 상기 도 14에 나타낸 디지털 신호 출력부의 인버터(Qp1, Qp2) 등을 들 수 있다.

또한, 도 20 및 도 21에 나타낸 바와 같이 디지털 회로부와 아날로그 회로부의 전원계를 다르게 한 경우에는 아날로그 디지털 인터페이스부에서 발생될 수 있는 정전 파괴를 방지하기 위하여 이 인터페이스부를 구성하는 보호 다이오드인 상보형 MISFET(M1, M2) 또는 버퍼 회로의 상보형 MISFET(Qp25~Qp28, Qn28~Qn31)의 게이트 길이 역시 비교적 큰 치수(예를 들면 수㎛)로 한다.

아날로그 회로부의 연산 증폭기(op 앰프)는 상기 도 9에 나타낸 바와 같은 회로 구성이 되어 있다. 도 22는 도 9에 나타낸 연산 증폭기(op 앰프)의 기본 회로에 바이어스 전류를 생성하기 위한 바이어스 회로를 부가한 회로를 나타내고 있다.

이 연산 증폭기의 출력단을 구성하는 상보형 MISFET(Qn25)는 차동단의 일부를 구성하는 부하용 상보형 MISFET(Qn23, Qn24)와의 정합성을 고려하면 게이트 길이를 크게 하는 것이 더 좋지만, 게이트 길이를 지나치게 크게 하면 차동단에서 보이는 출력단의 MISFET(Qn25)의 게이트 용량 증가로 인한 주파수 특성의 저하나 출력 부하 구동 능력의 저하가 문제로 될 수 있다. 따라서, 연산 증폭기의 출력단을 구성하는 상보형 MISFET(Qn25)는 도 19의 d난에 나타낸 바와 같이 약간 큰 치수의 게이트 길이(예를 들면 1~2㎛)로 한다.

연산 증폭기의 차동 입력단을 구성하는 상보형 MISFET(Qn21, Qn22, Qn23, Qn24)는 차동 입력용 MISFET(Qn21, Qn22)의 페어(pair)성 및 커런트미러 부하용 MISFET(Qn23, Qn24)의 페어성을 확보하는 것이 요구되기 때문에 게이트 길이를 크게 함으로써 게이트 길이의 프로세스 변동을 저감 할 필요가 있다. 따라서, 이들 상보형 MISFET(Qn21, Qn22, Qn23, Qn24)는 도 19의 e난에 나타낸 바와 같이 큰 치수의 게이트 길이(예를 들면 1~6㎛)로 한다.

또한, 연산 증폭기의 커런트미러로서 사용되는 MISFET(Qn18, Qn19, Qn20) 및 바이어스 회로의 커런트미러로서 사용되는 MISFET(Qn23, Qn24, Qn27) 역시 페어성을 확보하는 것이 요구되기 때문에 큰 치수의 게이트 길이(예를 들면 1~6㎛)로 하는 것이 적당하다. 한편, 상기 바이어스 회로의 전류 공급용 MISFET(Qn26)는 그 게이트 길이의 변동이 바로 회로 전체의 변동의 원인이 되기 때문에 도 19의 f난에 나타낸 바와 같이 특별히 큰 치수의 게이트 길이(예를 들면 6㎛ 이상)로 한다.

또한, 본 실시 형태의 아날로그 디지털 혼재 LSI는 디지털 신호용 게이트 보호 회로의 저항 소자와 아날로그용 게이트 보호 회로의 저항 소자를 다른 재료로 구성하고 있다.

도 23은 상기 도 15에 나타낸 디지털 신호 입력부의 게이트 보호 회로를 나타낸 평면도이고, 도 24의 왼쪽 부분은 도 23의 A-B선을 따른 보호 다이오드(M1, M2)의 단면도, 오른쪽 부분은 C-D선을 따른 보호 저항(RN)의 단면도이다.

도 23 및 도 24는 반도체 기판 주면의 소자 형성부를 나타내고 있다. 단결정 실리콘으로 이루어지는 반도체 기판(1)의 p형 반도체 주면(1)에는 분리용 산화 실리콘막(4), n형 웰(2)이 형성되어 있다. 보호 저항(RN)은 n형 웰(2) 내의 pn접합으로 구획된 p형 확산 영역(3)으로 구성되어 있다. 이 p형 확산 영역(3)(보호 저항(RN))은 그 도전형을 반대로 하여 p형 주면(1)에 형성할 수도 있다. pn접합에 의하여 구획된 p형 확산 영역(3)은 pn접합의 기생 소자가 부가되므로 정전기 입력 등의 바람직하지 못한 과대한 서지 입력 전압을 더 낮은 전압으로 크램프하고, 또는 감소시킬 수 있는 기능을 가지게 되며, 보호 저항으로서 유리하다.

다이오드접속된 p채널형 MISFET(M2)는 n형 웰(2) 내에 형성된 p형 소스 영역(S2)과 드레인 영역(D2)을 가지며, 또한 하층이 다결정 실리콘층으로, 상층이 텅스텐 등의 메탈층으로 이루어지는 게이트 전극(G2)을 가지고 있다. 또한, 배선(예를 들면 알루미늄, 텅스텐 등의 메탈 배선)(W2)에 의하여 상기 게이트 전극(G2)과 소스 영역(S2)이 다이오드접속되며, 배선(W3)에 의하여 상기 드레인 영역(D2)이 인출되어 있다.

마찬가지로, 다이오드접속된 n채널형 MISFET(M1)는 p형 영역(1) 내에 형성된 n형 소스 영역(S1)과 드레인 영역(D1)을 가지고, 또한 M2와 동일하게, 하층이 다결정 실리콘층으로, 상층이 메탈층으로 이루어지는 게이트 전극(G1)을 가지고 있다. 또한, 배선(W3)에 의하여 그 드레인 영역(D1)이 인출되며, 상기 p채널 다이오드(M2)의 드레인 영역 및 확산 저항(RN)의 한쪽 끝과 공통적으로 접속되어 있다.

이들 두 개의 다이오드(M1, M2)는 서지 입력 전압에 대한 크램프 다이오드로서 동작할 수 있다. 또한, 도 24 중 부호 5 및 6은 층간 절연막의 하층막과 상층막을 나타내고 있다. 확산 저항(RN)의 다른 한쪽 끝은 배선(W4)에 의하여 인버터용 MISFET의 게이트 전극에 전기적으로 접속되어 있다. 결과적으로, 보호 다이오드 회로(M1, M2 및 RN)에 의하여 과대한 서지 입력 전압으로 기인된 인버터용 MISFET의 게이트 절연막의 파괴가 방지될 수 있다.

도 23 및 도 24에 나타낸 보호 다이오드를 구성하는 상보형 MISFET(M1, M2)는 정전 파괴를 고려하여 내부 회로(디지털 회로부)를 구성하는 상보형 MISFET에 비하여 큰 치수의 게이트 길이(예를 들면 수㎛)를 가지고 있다. 또한, 상기 도 20 및 도 21에 나타낸 아날로그 디지털 인터페이스부의 저항 역시 정전 파괴에 강한 확산 저항으로 구성되어 있다.

한편, 도 25는 상기 도 16에 나타낸 아날로그 신호 입력용 게이트 보호 회로를 나타낸 평면도이고, 도 26의 왼쪽 부분은 도 25의 A-B선을 따른 보호 다이오드(M1, M2)의 단면도, 오른쪽 부분은 C-D선을 따른 보호 저항(R1)의 단면도이다.

도 25 및 도 26은 반도체 기판 주면의 소자 형성부를 나타내고 있다. 반도체 기판의 p형 반도체 주면(1)에는 분리용 산화 실리콘막(열 산화막)(4), n형 웰(2)이 형성되어 있다. 보호 회로(ESD)를 구성하는 보호 저항(R1)은 n형 웰(2)을 덮는 분리용 산화 실리콘막(4)의 상부에 형성되며, 저농도의 p형 또는 n형 불순물을 포함하는 다결정 실리콘막(31)으로 구성되어 있다. 이 보호 저항(R1)은 연산 증폭기(OP)(도 16 참조)의 입력 저항으로서도 작용한다. 도 26에는 나타내지 않지만, 분리용 산화 실리콘막(4)의 상부에는 보호 저항(입력 저항)(R1)과 같은 다결정 실리콘막(32)이 형성되며, 연산 증폭기(OP)의 귀환 저항(R2)을 구성하고 있다.

다이오드접속된 p채널형 MISFET(M2)는 n형 웰(2) 내에 형성된 p형 소스 영역(S2)과 드레인 영역(D2)을 가지고, 또한 하층이 다결정 실리콘층으로, 상층이 텅스텐 등의 메탈층으로 이루어지는 게이트 전극(G2)을 가지고 있다. 또한, 배선(예를 들면 알루미늄, 텅스텐 등의 메탈 배선)(W2)에 의하여 그 게이트 전극(G2)과 소스 영역(S2)이 다이오드접속되며, 배선(W3)에 의하여 그 드레인 영역(D2)이 인출되어 있다.

마찬가지로, 다이오드접속된 n채널형 MISFET(M1)는 p형 영역(1) 내에 형성된 n형 소스 영역(S1)과 드레인 영역(D1)을 가지고, 또한 (M2)와 동일하게 하층이 다결정 실리콘층으로, 상층이 메탈층으로 이루어지는 게이트 전극(G1)을 가지고 있다. 또한, 배선(W1)에 의하여 그 게이트 전극(G1)과 소스 영역(S1)이 다이오드접속되며, 배선(W3)에 의하여 그 드레인 영역(D1)이 인출되어, 상기 p채널 다이오드(M2)의 드레인 영역 및 보호 저항(R1)의 한쪽 끝과 공통적으로 접속되어 있다. 이들 두 개의 다이오드(M1, M2)는 서지 입력 전압에 대한 크램프 다이오드로서 동작할 수 있다.

또한, 도 25 및 도 26 중 부호 5 및 6은 층간 절연막의 하층막과 상층막을 나타내고 있다. 보호 저항(R1)의 다른 한쪽 끝은 배선(W4)에 의하여 연산 증폭기(OP)의 입력 MISFET의 게이트 전극(INM)에 전기적으로 접속되어 있다. 결과적으로, 보호 다이오드 회로(M1, M2 및 R1)에 의하여 정전기 등의 과대한 서지 입력 전압으로 기인된 연산 증폭기(OP)의 입력 MISFET의 게이트 절연막 파괴가 방지될 수 있다. 한편, 도 25에 나타낸 바와 같이 귀환 저항(R2)의 한쪽 끝은 배선(W5)에 의하여 연산 증폭기(OP)의 출력 단자(OUT)에 전기적으로 접속되고, 이 저항의 다른 한쪽 끝은 배선(W4)에 의하여 연산 증폭기(OP)의 입력 단자(INM)에 전기적으로 접속된다. 귀환 저항(R2)은 입력 저항(R1)과 함께 부귀환 회로를 구성하며, 저항비(R1/R2)에 의하여 연산 증폭기(OP)의 이득을 결정하고 있다.

도시한 바와 같이, 귀환 저항(R2)과 입력 저항을 겸한 보호 저항(R1)은 반도체 기판(1)의 주면 상에 형성된 다결정 실리콘막으로 구성되어 있다. 입력 저항(R1)과 귀환 저항(R2)과 연산 증폭기를 조합함으로써 반전 증폭기가 구성되어 있다. 연산 증폭기의 (+)단자에는 아날로그 회로부 내에서 아날로그 신호의 기준 전위가 되는 전압(아날로그 그라운드)이 접속되어 있다.

상기 반전 증폭기의 이득(게인) 오차는 저항비(R2/R1)의 정밀도에 의거하는 바가 크기 때문에, 두 개의 저항(R1, R2)을 다결정 실리콘막과 같이 동일 재료로 구성하여야 정밀도가 더 높은 저항비(R2/R1)를 실현할 수 있다.

상기 반전 증폭기 등에서 사용되는 저항은 연산 증폭기의 전류 구동 능력을 고려하면 수십~100kΩ 정도가 적당하지만, 이러한 저항치를 가지는 저항 소자를 확산 저항으로 실현하려면 저항 소자의 레이아웃 면적이 커지게 되어, pn접합 용량으로 인한 반도체 기판(1)으로부터의 노이즈의 영향이 문제로 될 수 있다. 이에 반대로, 저항(R1, R2)을 다결정 실리콘막으로 구성한 경우에는 노이즈의 영향을 저감할 수 있게 된다.

또한, 본 실시 형태의 반도체 집적 회로 장치를 구성하는 상보형 MISFET(M1, M2)의 게이트 전극은 다결정 실리콘막으로 구성된 저항, 예를 들면 저항(R1, R2)과는 불순물 농도에 차이가 있기 때문에 시트(sheet) 저항이 보다 작은 별도의 다결정 실리콘막을 사용한다.

저항과 연산 증폭기를 조합하여 게인(gain)을 조정하는 회로로서는 상기 반전 증폭기 이외에도 도 27에 나타낸 바와 같은 차동 증폭기나 비반전 증폭기 등이 있다.

특히, 노이즈의 영향을 받기 어려운 회로나 다결정 실리콘막으로 실현할 수 없는 저항을 필요로 할 경우에는 확산 저항을 이용하는 것도 가능하지만, 예를 들면 저항과 용량으로 구성되는 적분기와 같이 저항의 절대치가 중요하게 될 경우에는 절대 정밀도에 우수한 다결정 실리콘 저항을 이용하는 것이 더 좋다. 또한, 상술한 바와 같이 연산 증폭기의 입력 단자는 차동단의 페어성을 확보하기 위하여 게이트 길이가 큰 MISFET로 구성된다.

아날로그 회로이면서도 다결정 실리콘 저항을 이용하지 않고, 확산 저항을 이용할 경우도 있다. 예를 들면 상기 도 11에 나타낸 스위치드 커패시터 회로의 보호 저항(RN)은 확산 저항으로 구성되어 있다. 스위치드 커패시터 회로의 경우, 스위치를 온/오프하는 주기(샘플링 시간)가 보호 저항(RN)과 샘플링 용량(C1)의 시간 상수로 정해지는 시간보다도 충분히 크면, 저항 절대치를 고려하지 않고 신호 입력 패드와 입력 스위치(S1) 사이에 확산 저항으로 이루어지는 보호 저항을 설치할 경우도 있다.

또한, 상술한 바와 같이 스위치를 구성하는 상보형 MISFET는 스위치 온 시의 온 저항의 저감을 실현하기 위하여 게이트 길이를 짧게 하기 때문에 상기 보호 저항(RN)은 정전 파괴에 강한 확산 저항으로 구성하는 것이 바람직하다. 보호 저항의 저항치는 수 kΩ이며, 확산 저항으로 구성한 경우라도 반도체 기판(1)으로부터의 노이즈가 문제가 될 만큼 레이아웃 면적이 커지게 될 것은 없다.

이상, 본 발명자에 의하여 이루어진 발명들을 실시 형태에 의거하여 구체적으로 설명하였으나, 본 발명들은 상기 실시 형태에 한정되는 것이 아니고, 그 요지를 일탈하지 않는 범위 내에서 여러 가지 변경이 가능한 것은 말할 나위도 없다.

발명의 효과

본원에 의하여 개시되는 발명들 중 대표적인 것에 의하여 얻을 수 있는 효과를 간단히 설명하면 이하와 같다.

본 발명에 따르면 아날로그 디지털 혼재형 반도체 집적 회로 장치의 고성능화를 추진할 수 있다.

(57) 청구의 범위

청구항 1.

주면을 가지는 반도체 기판과,

상기 반도체 기판 주면의 제1 영역에 형성된 디지털 회로부와,

상기 반도체 기판 주면의 제2 영역에 형성된 아날로그 회로부와,

상기 반도체 기판 주면의 제3 영역에 형성되며, 상기 디지털 회로부에 입력 신호를 공급하기 위한 디지털 신호 입력부 및 상기 디지털 회로부로부터 출력 신호를 끄집어내기 위한 디지털 신호 출력부와,

상기 반도체 기판 주면의 제4 영역에 형성되며, 상기 아날로그 회로부에 입력 신호를 공급하기 위한 아날로그 신호 입력부 및 상기 아날로그 회로부로부터 출력 신호를 끄집어내기 위한 아날로그 신호 출력부

를 가지는 아날로그 디지털 혼재형 반도체 집적 회로 장치로서,

상기 디지털 회로부가 형성된 상기 제1 영역과 상기 아날로그 회로부가 형성된 상기 제2 영역은 서로 분리되어 배치되고,

상기 디지털 신호 입력부 및 상기 디지털 신호 출력부가 형성된 상기 제3 영역과 상기 제1 영역은 서로 근접되어 배치되고,

상기 아날로그 신호 입력부 및 상기 아날로그 신호 출력부가 형성된 상기 제4 영역과 상기 제2 영역은 서로 근접되어 배치되고,

상기 제3 영역과 상기 제4 영역은 그들 사이에 배치된 상기 제1 영역과 상기 제2 영역을 사이에 두어 서로 이간되어 배치되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 2.

제1항에 있어서,

상기 디지털 회로부 및 상기 아날로그 회로부의 각기는 n채널형 MISFET 및 p채널형 MISFET로 이루어지는 상보형 MISFET를 포함하여 구성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 3.

제1항에 있어서,

상기 제3 영역의 단부는 상기 제4 영역의 근방으로 연장되고, 통상 동작 상태에서의 신호 입력 레벨이 Hi 레벨 또는 Low 레벨로 고정되는 테스트용 패드가 상기 제3 영역과 상기 제4 영역의 경계부 근방에 배치되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 4.

제1항에 있어서,

상기 디지털 회로부는 메모리 회로부를 포함하고, 상기 메모리 회로부는 상기 디지털 회로부가 형성된 상기 제1 영역의 코너부 또는 주변부에 배치되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 5.

제4항에 있어서,

상기 메모리 회로부의 인터페이스는 상기 디지털 회로부가 형성된 상기 제1 영역의 중심 방향을 향하고 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 6.

주면을 가지는 반도체 기판과,

상기 반도체 기판 주면의 제1 영역에 형성된 n채널형 MISFET 및 p채널형 MISFET로 이루어지는 제1 상보형 MISFET를 포함하여 구성된 디지털 회로부와,

상기 반도체 기판 주면의 제2 영역에 형성된 n채널형 MISFET 및 p채널형 MISFET로 이루어지는 제2 상보형 MISFET를 포함하여 구성된 아날로그 회로부와,

상기 반도체 기판 주면의 제3 영역에 형성되며, 상기 디지털 회로부에 입력 신호를 공급하기 위한 디지털 신호 입력부 및 상기 디지털 회로부로부터 출력 신호를 끄집어내기 위한 디지털 신호 출력부와,

상기 반도체 기판 주면의 제4 영역에 형성되며, 상기 아날로그 회로부에 입력 신호를 공급하기 위한 아날로그 신호 입력부 및 상기 아날로그 회로부로부터 출력 신호를 끄집어내기 위한 아날로그 신호 출력부를 가지는 아날로그 디지털 혼재형 반도체 집적 회로 장치로서,

상기 제3 영역 및 상기 제4 영역의 각기에 형성된 n채널형 MISFET 및 p채널형 MISFET로 이루어지는 제3 상보형 MISFET를 포함하여 구성되며, 상기 디지털 회로부의 MISFET 및 상기 아날로그 회로부의 MISFET의 파괴를 방지하기 위한 보호 회로를 구성하는 상기 제3 상보형 MISFET는 상기 디지털 회로부를 구성하는 상기 제1 상보형 MISFET의 게이트 길이보다도 긴 제1 게이트 길이를 가지고,

상기 아날로그 회로부를 구성하는 상기 제2 상보형 MISFET는 상기 제1 게이트 길이보다도 긴 제2 게이트 길이를 가지고 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 7.

제6항에 있어서,

상기 디지털 회로부를 구성하는 상기 제1 상보형 MISFET의 게이트 길이는 프로세스의 최소 가공 치수와 동일한 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 8.

제6항에 있어서,

상기 아날로그 회로부는 상기 제2 게이트 길이를 가지는 상기 제2 상보형 MISFET를 포함하여 구성된 연산 증폭기를 가지고 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 9.

제6항에 있어서,

상기 아날로그 회로부는 상기 연산 증폭기에 공급하는 전류를 생성하는 바이어스 회로를 더 포함하고, 상기 바이어스 회로는 상기 제2 게이트 길이를 가지는 상기 제2 상보형 MISFET와 상기 제2 게이트 길이보다도 긴 제3 게이트 길이를 가지는 제4 상보형 MISFET를 포함하여 구성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 10.

제6항에 있어서,

상기 아날로그 회로부는 스위치드 커패시터 회로를 더 포함하고, 상기 스위치드 커패시터 회로는 상기 제1 게이트 길이보다도 짧은 제4 게이트 길이를 가지는 제5 상보형 MISFET를 포함하여 구성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 11.

제6항에 있어서,

상기 디지털 회로부와 상기 아날로그 회로부는 서로 다른 전원계를 가지고, 상기 디지털 회로부와 상기 아날로그 회로부를 접속하는 아날로그 디지털 인터페이스부는 상기 제1 게이트 길이와 대략 동일한 게이트 길이를 가지는 제6 상보형 MISFET를 포함하여 구성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 12.

주면을 가지는 반도체 기판과,

상기 반도체 기판 주면의 제1 영역에 형성된 디지털 회로부와,

상기 반도체 기판 주면의 제2 영역에 형성된 아날로그 회로부와,

상기 반도체 기판 주면의 제3 영역에 형성되며, 상기 디지털 회로부에 입력 신호를 공급하기 위한 디지털 신호 입력부 및 상기 디지털 회로부로부터 출력 신호를 끄집어내기 위한 디지털 신호 출력부와,

상기 반도체 기판 주면의 제4 영역에 형성되며, 상기 아날로그 회로부에 입력 신호를 공급하기 위한 아날로그 신호 입력부 및 상기 아날로그 회로부로부터 출력 신호를 끄집어내기 위한 아날로그 신호 출력부

를 가지는 아날로그 디지털 혼재형 반도체 집적 회로 장치로서,

상기 디지털 신호 입력부는 상기 반도체 기판 내의 pn접합에 의하여 구획된 반도체 영역으로 이루어지는 제1 저항 소자를 포함하여 구성되며, 상기 디지털 회로부의 MISFET의 파괴를 방지하기 위한 제1 보호 회로를 가지고,

상기 아날로그 회로부 또는 신호 입력부는 상기 반도체 기판의 주면 상에 형성된 다결정 실리콘막으로 이루어지는 제2 저항 소자를 포함하여 구성되며, 상기 아날로그 회로부의 MISFET의 파괴를 방지하기 위한 제2 보호 회로를 가지고 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 13.

제12항에 있어서,

상기 아날로그 회로부는 연산 증폭기를 포함하며, 상기 제2 저항 소자를 상기 연산 증폭기의 반전 입력에 입력 저항으로서 접속하고, 상기 반도체 기판의 주면 상에 형성된 다결정 실리콘막으로 이루어지는 제3 저항 소자를 상기 연산 증폭기의 반전 입력과 그 출력 단자 사이에 형성된 귀환 저항으로서 접속함으로써 구성된 증폭기를 가지는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 14.

제12항에 있어서,

상기 아날로그 신호 입력부에는 상기 반도체 기판 내의 pn접합에 의하여 구획된 반도체 영역으로 이루어지는 제4 저항 소자를 포함하여 구성되는 제3 보호 회로가 형성되고, 상기 아날로그 회로부에는 상기 제3 보호 회로에 접속된 스위치드 커패시터 회로가 형성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 15.

제12항에 있어서,

상기 디지털 회로부와 상기 아날로그 회로부는 서로 다른 전원계를 가지고, 상기 디지털 회로부와 상기 아날로그 회로부를 접속하는 아날로그 디지털 인터페이스부는 상기 반도체 기판 내의 pn접합에 의하여 구획되는 반도체 영역으로 이루어지는 제5 저항 소자를 포함하여 구성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

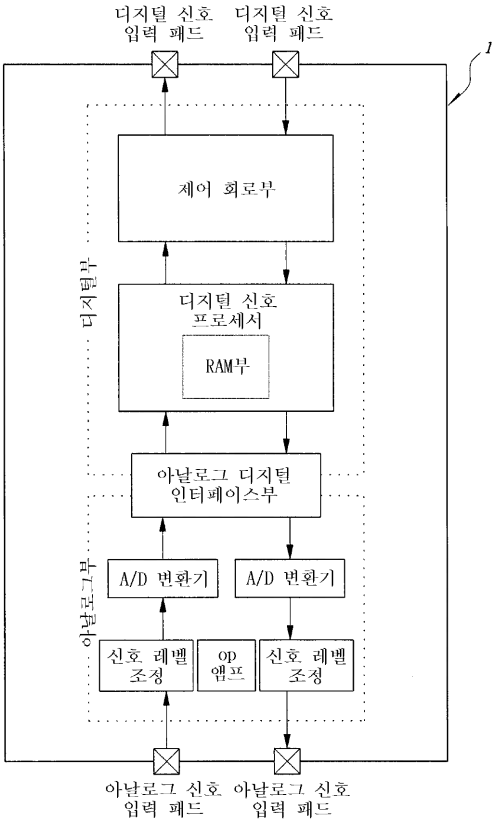
청구항 16.

제12항에 있어서,

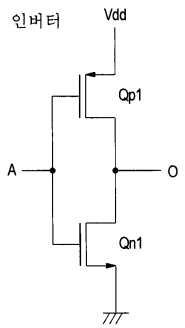
상기 아날로그 회로부는 상기 반도체 기판의 주면 상에 형성된 다결정 실리콘막으로 이루어지는 한 쌍의 제6 및 제7 저항 소자와 연산 증폭기를 포함하여 구성된 차동 증폭기를 더 가지고 있는 것을 특징으로 하는 반도체 집적 회로 장치.

도면

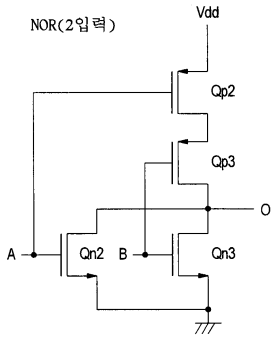
도면 1


디지털 신호 입력 패드
디지털 신호 입력 패드
1
제어 회로부
디지털부
디지털 신호 프로세서
RAM부
아날로그 디지털 인터페이스부
A/D 변환기
A/D 변환기
아날로그부
신호 레벨 조정
op 앰프
신호 레벨 조정
아날로그 신호 입력 패드
아날로그 신호 입력 패드

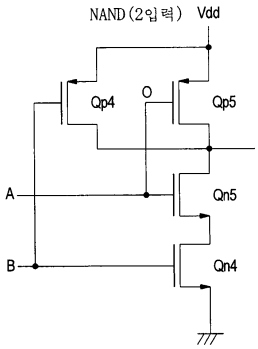
도면 2


인버터
Vdd
Qp1
A
O
Qn1

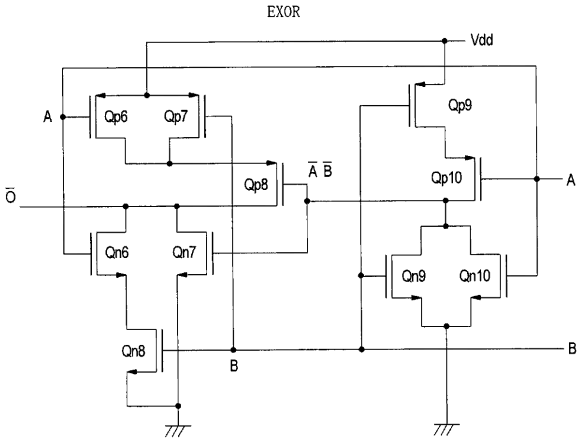
도면 3


NOR(2입력)
Vdd
Qp2
Qp3
O
A
Qn2
B
Qn3

도면 4

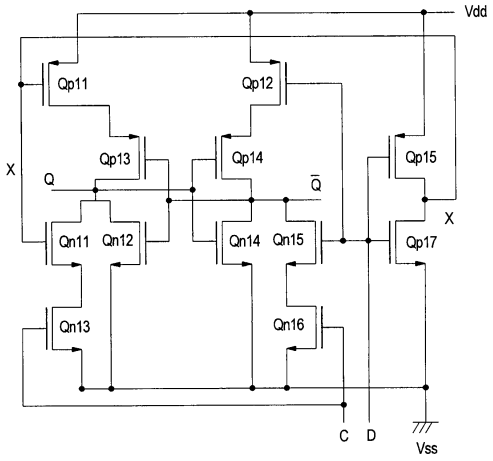

NAND(2입력)
Vdd
Qp4
O
Qp5
A
Qn5
B
Qn4

도면 5


EXOR
Vdd
A
Qp6
Qp7
Qp9
Qp8
$\overline{A}\,\overline{B}$
Qp10
A
$\overline{O}$
Qn6
Qn7
Qn9
Qn10
Qn8
B
B

도면 6

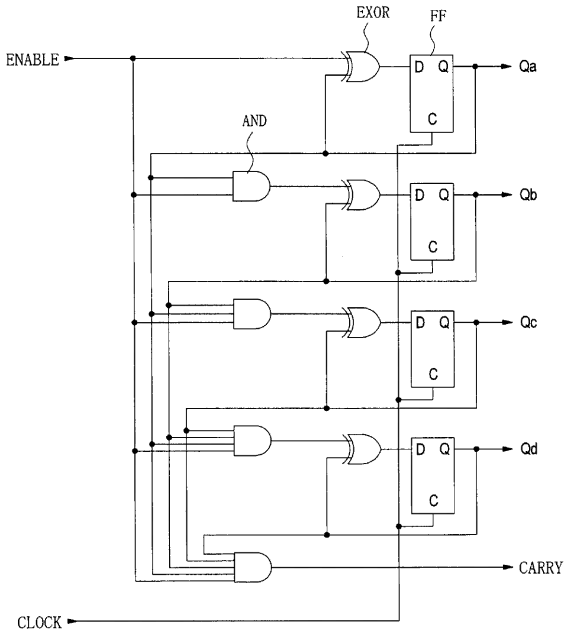
D형 플립플롭



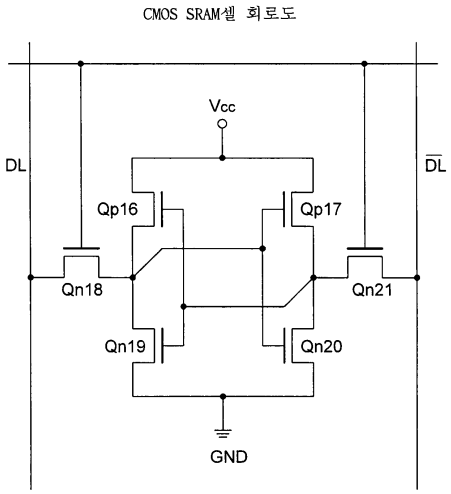
D형 플립플롭
진리값표

Dn	Cn	Qn+1
0	0	Qn
0	1	0
1	0	Qn
1	1	1

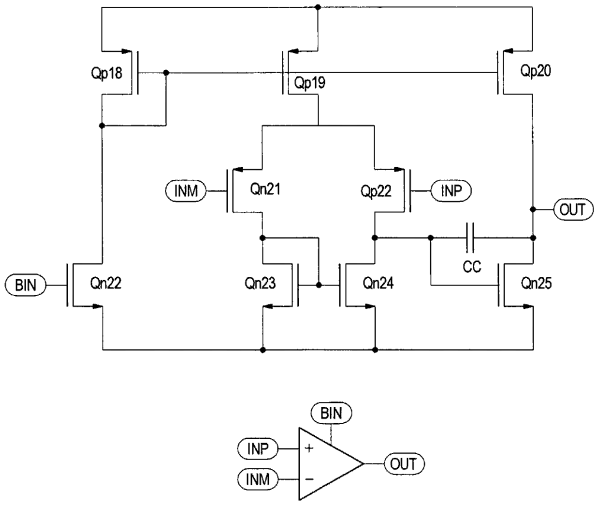
도면 7


EXOR
FF
ENABLE
AND
D Q
C
Qa
Qb
Qc
Qd
CARRY
CLOCK

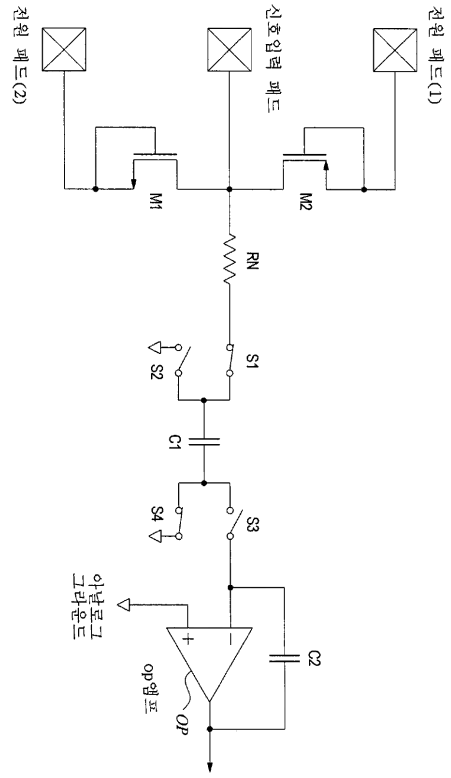
도면 8


CMOS SRAM셀 회로도
Vcc
DL
$\overline{DL}$
Qp16
Qp17
Qn18
Qn21
Qn19
Qn20
GND

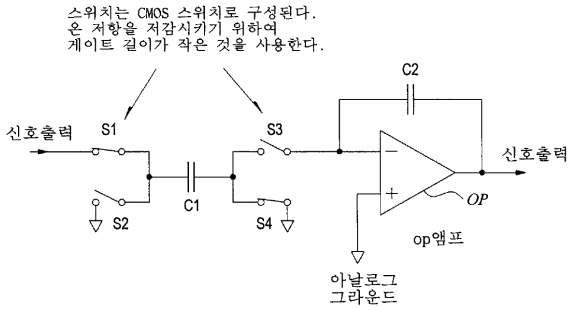
도면 9


Qp18
Qp19
Qp20
INM
Qn21
Qp22
INP
OUT
CC
BIN
Qn22
Qn23
Qn24
Qn25
BIN
INP
INM
+
-
OUT

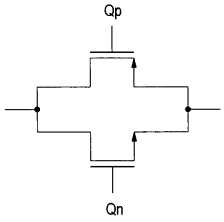
도면 10


전원 패드(2)
신호입력 패드
전원 패드(1)
M1
M2
RN
S1
S2
C1
S3
S4
아날로그 그라운드
C2
op앰프
OP

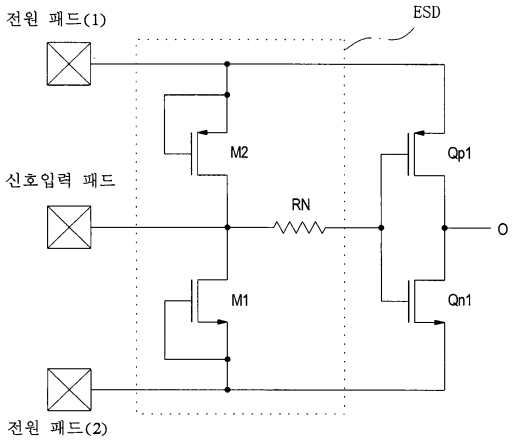
도면 11


스위치는 CMOS 스위치로 구성된다.
온 저항을 저감시키기 위하여
게이트 길이가 작은 것을 사용한다.
C2
신호출력
S1
S3
신호출력
C1
OP
S2
S4
op앰프
아날로그
그라운드

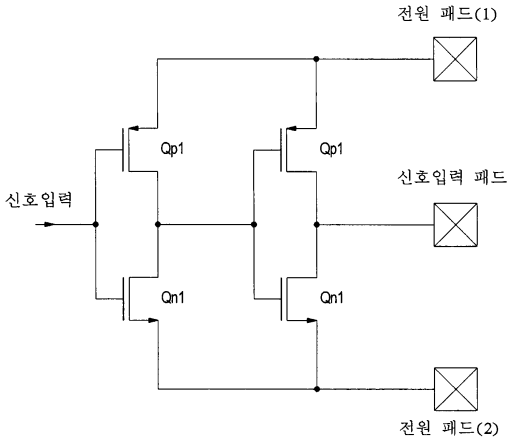
도면 12



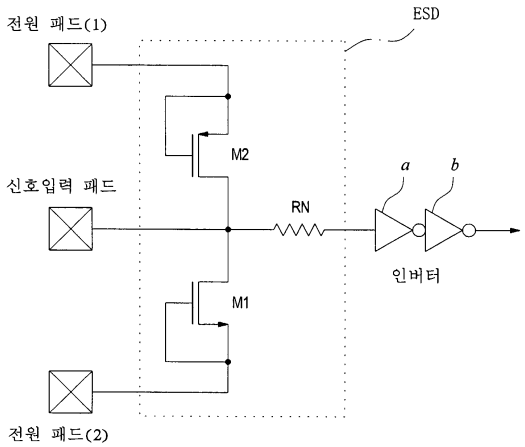
도면 13



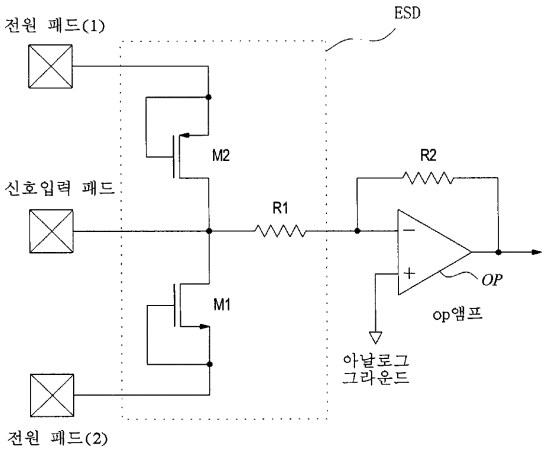
도면 14



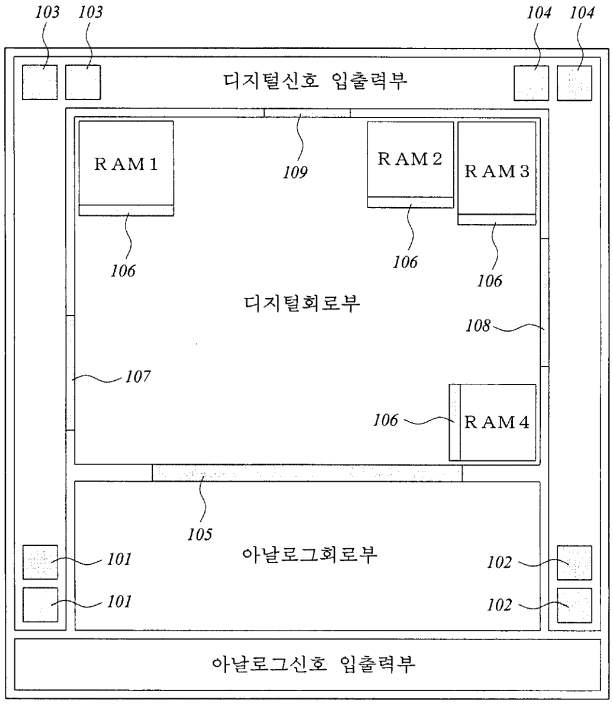
도면 15


전원 패드(1)
ESD
M2
신호입력 패드
RN
a
b
인버터
M1
전원 패드(2)

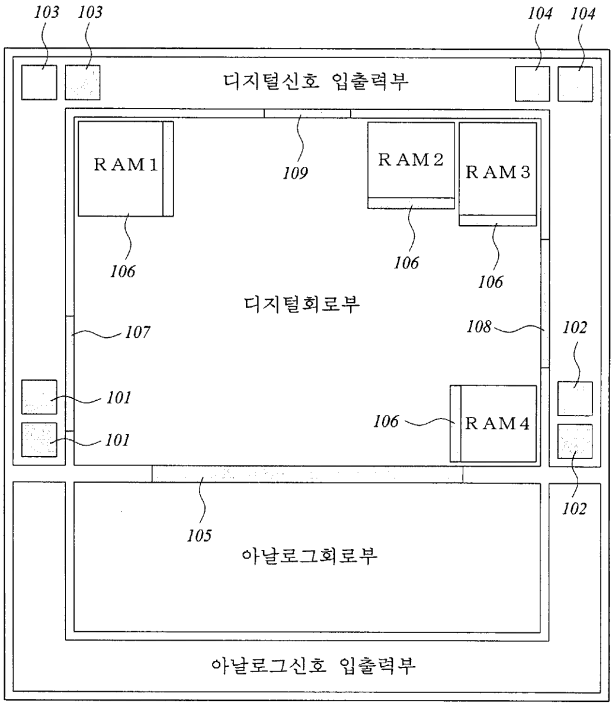
도면 16


전원 패드(1)
ESD
M2
R2
신호입력 패드
R1
OP
op앰프
M1
아날로그
그라운드
전원 패드(2)

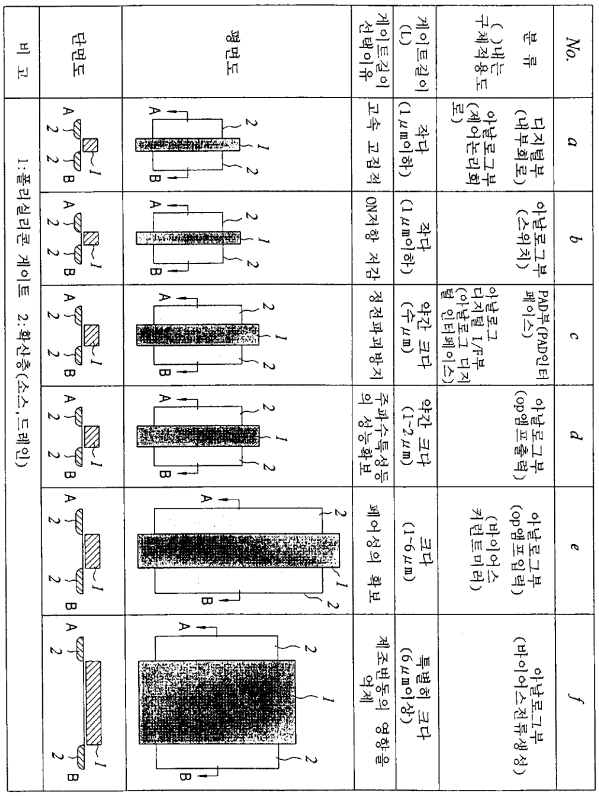
도면 17


103
103
104
104
디지털신호 입출력부
RAM1
109
RAM2
RAM3
106
106
106
디지털회로부
108
107
106
RAM4
105
아날로그회로부
101
101
102
102
아날로그신호 입출력부

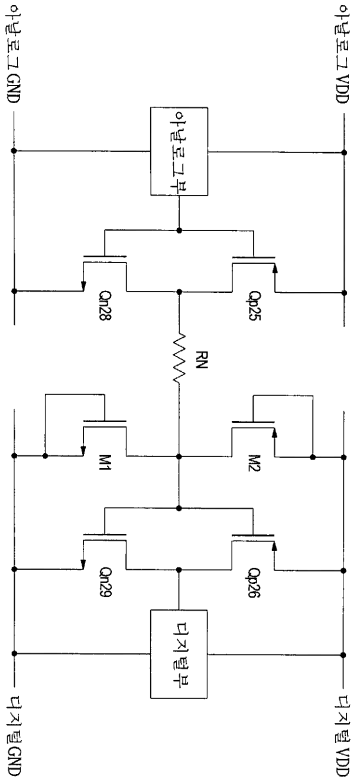
도면 18


103
103
104
104
디지털신호 입출력부
RAM1
109
RAM2
RAM3
106
106
106
디지털회로부
107
108
102
101
101
106
RAM4
105
102
아날로그회로부
아날로그신호 입출력부

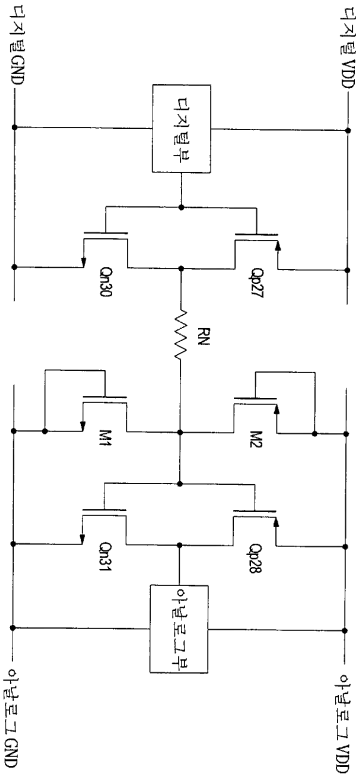
도면 19



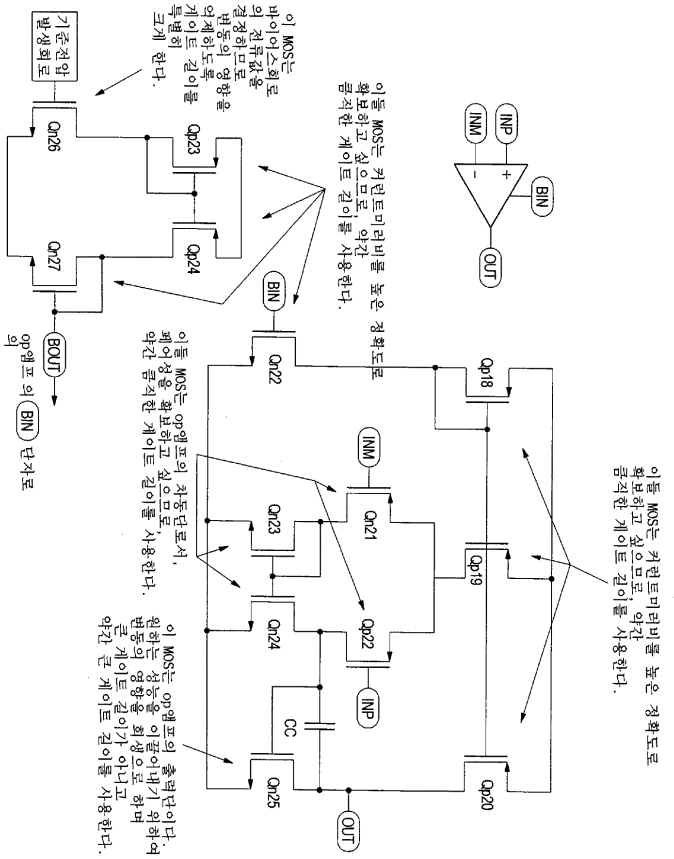
도면 20


아날로그 GND
아날로그 VDD
아날로그부
Qp28
Qp25
RN
M1
M2
Qn29
Qp26
디지털부
디지털 GND
디지털 VDD

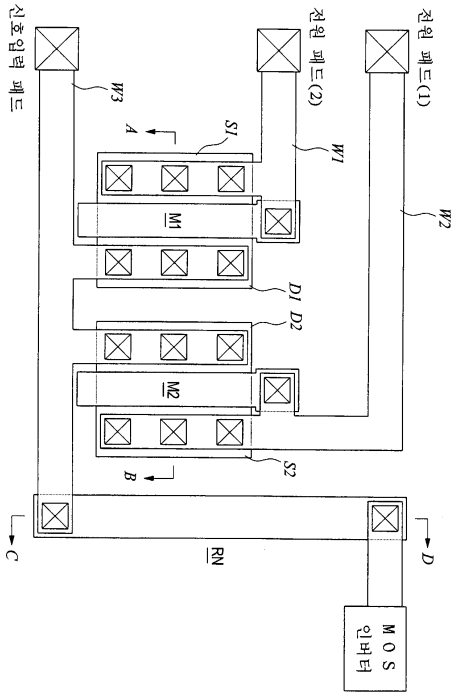
도면 21


디지털 GND
디지털 VDD
디지털부
Qn30
Qp27
RN
M1
M2
Qn31
Qp28
아날로그부
아날로그 GND
아날로그 VDD

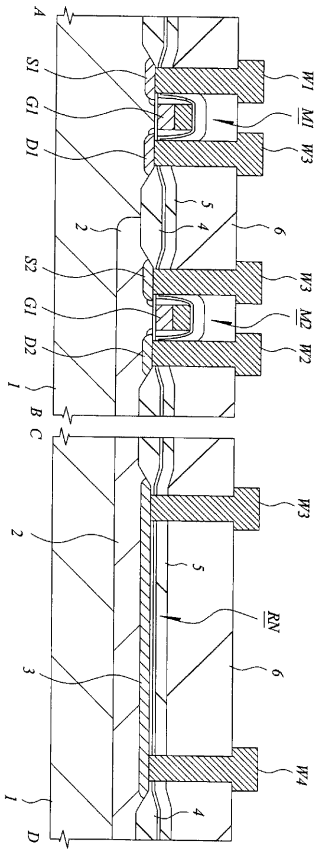
도면 22


INM
INP
BIN
OUT
Qp18
Qp19
Qp20
Qn21
Qn22
Qn23
Qn24
Qn25
CC
Qp22
Qp23
Qp24
Qn26
Qn27
기준전압 발생회로
BOUT
이들 MOS는 커런트미러비를 높은 정확도로 확보하고 싶으므로, 약간 큰 게이트 길이를 사용한다.
이 MOS는 바이어스회로의 전류값을 결정하므로 변동의 영향을 억제하도록 게이트 길이를 특별히 크게 한다.
이들 MOS는 앰프의 차동단로서, 페어성을 확보하고 싶으므로, 약간 큼직한 게이트 길이를 사용한다.
이 MOS는 앰프의 출력단이다. 원하는 성능을 이끌어내기 위하여, 변동의 영향을 최소로 하며 약간 큰 게이트 길이가 아니고 약간 큰 게이트 길이를 사용한다.
앰프의 BIN 단자로

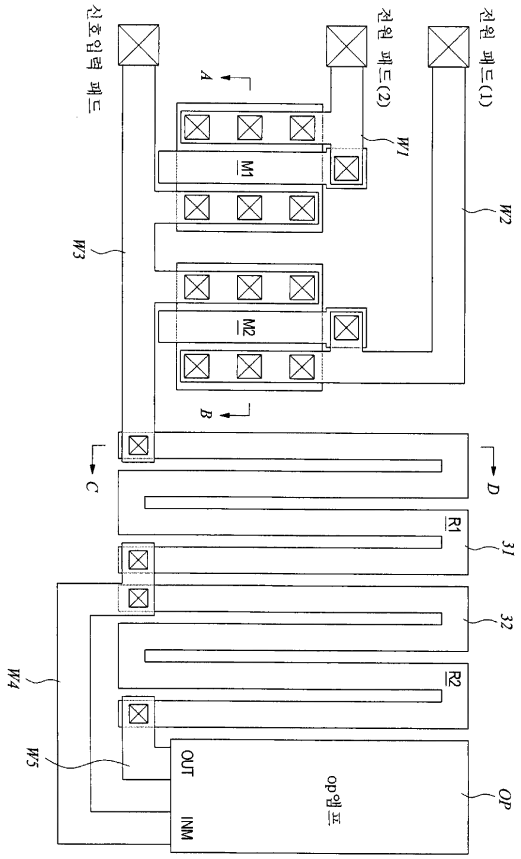
도면 23



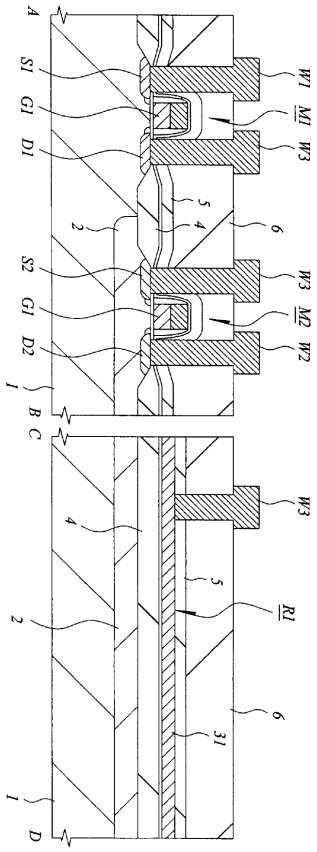
도면 24



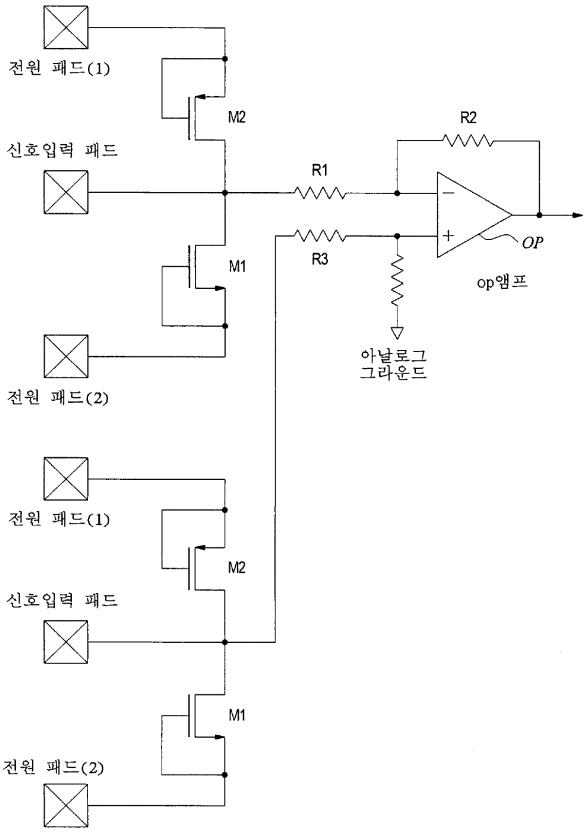
도면 25


신호입력 패드
전원 패드(2)
전원 패드(1)
A
W1
M1
W2
W3
M2
B
C
D
R1
31
32
R2
W4
W5
OUT
INM
op앰프
OP

도면 26



도면 27


전원 패드(1)
M2
R2
신호입력 패드
R1
R3
M1
OP
op앰프
아날로그
그라운드
전원 패드(2)
전원 패드(1)
M2
신호입력 패드
M1
전원 패드(2)