

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4921981号
(P4921981)

(45) 発行日 平成24年4月25日(2012.4.25)

(24) 登録日 平成24年2月10日(2012.2.10)

(51) Int.Cl.

F I

HO 1 L 21/8242 (2006.01)

HO 1 L 27/10 6 2 1 C

HO 1 L 27/108 (2006.01)

請求項の数 2 (全 15 頁)

(21) 出願番号	特願2006-549949 (P2006-549949)	(73) 特許権者	501209070
(86) (22) 出願日	平成16年12月30日 (2004.12.30)		インフィネオン テクノロジーズ アーゲ
(65) 公表番号	特表2007-520069 (P2007-520069A)		ー
(43) 公表日	平成19年7月19日 (2007.7.19)		ドイツ連邦共和国 8 5 5 7 9 ノイビー
(86) 国際出願番号	PCT/EP2004/053733		ベルク アム カンペオン 1-12
(87) 国際公開番号	W02005/074024	(74) 代理人	110000338
(87) 国際公開日	平成17年8月11日 (2005.8.11)		特許業務法人原謙三国際特許事務所
審査請求日	平成18年7月31日 (2006.7.31)	(72) 発明者	ニルシュル, トーマス
(31) 優先権主張番号	102004004584.4		アメリカ合衆国 0 5 4 5 2 バーモント
(32) 優先日	平成16年1月29日 (2004.1.29)		州 エセックス ジャンクション ラモイ
(33) 優先権主張国	ドイツ (DE)		ル ストリート 17エー
前置審査		(72) 発明者	オルブリッヒ, アレクサンダー
			ドイツ連邦共和国 8 5 6 6 2 ホーエン
			ブルン ヘーエンキルヒェナーシュトラ
			ーセ 12
			最終頁に続く

(54) 【発明の名称】 半導体メモリセルの製造方法

(57) 【特許請求の範囲】

【請求項 1】

コンタクトホールキャパシタ（KK）と、上記コンタクトホールキャパシタ（KK）に接続された少なくとも一つの選択トランジスタ（AT）とを有する半導体メモリセルの製造方法において、

- a) 半導体基板（1）を調製する工程と、
- b) 上記半導体基板内にてチャネルを規定するためのソース領域（S）およびドレイン領域（D）、上記チャネルの表面上に形成されたゲート絶縁体（2）および制御電極（G）を備えるゲートスタックを含む上記選択トランジスタ（AT）を形成する工程と、
- c) 上記半導体基板（1）の表面上、および上記ゲートスタック（2、G）の表面上に層間絶縁体（4）を形成する工程と、
- d) 上記選択トランジスタ（AT）のソース領域（S）およびドレイン領域（D）を少なくとも部分的に露出するための、上記層間絶縁体（4）内での、ソースまたはドレインの領域、およびコンタクトホールキャパシタのためのコンタクトホールを形成する工程と、
- e) 上記半導体基板（1）の表面上、および上記コンタクトホールキャパシタ（KK）のための上記少なくとも一つのコンタクトホールの表面上にて形成され、かつ、上記層間絶縁体（4）の表面にまで達しないように形成された内張り層（5）をキャパシタ対向電極（CE1）として形成する工程と、
- f) 上記層間絶縁体（4）の表面上に延び、上記キャパシタ対向電極（CE1）の表

10

20

面上に、さらなる絶縁体層（７）をキャパシタ絶縁体として形成する工程と、

g) 上記コンタクトホールキャパシタ（ＫＫ）のための上記少なくとも一つのコンタクトホールの内部にて、上記キャパシタ絶縁体（ＣＤ）の表面上にて導電性の充填材層（８）をキャパシタ電極（ＣＥ２）として形成する工程と、

h) 上記層間絶縁体（４）の表面上、かつ、上記充填材層（８）の表面上に、上記キャパシタ電極（ＣＥ２）を接続するためのキャパシタ接続線（Ｖｓｓ）を形成する工程と、を含み、

上記工程 f) では、上記ソースまたはドレインの各領域のための上記コンタクトホールを、第１マスク（ＭＸ１）にて充填し、

上記さらなる絶縁体層（７）を、表面全体に堆積し、続いて、上記層間絶縁体（４）の表面に達するまで平坦化し、

上記第１マスク（ＭＸ１）を、上記ソースまたはドレインの各領域のための上記コンタクトホールから除去することを特徴とする半導体メモリセルの製造方法。

【請求項２】

コンタクトホールキャパシタ（ＫＫ）と、上記コンタクトホールキャパシタ（ＫＫ）に接続された少なくとも一つの選択トランジスタ（ＡＴ）とを有する半導体メモリセルの製造方法において、

a) 半導体基板（１）を調製する工程と、

b) 上記半導体基板内にてチャンネルを規定するためのソース領域（Ｓ）およびドレイン領域（Ｄ）、上記チャンネルの表面上に形成されたゲート絶縁体（２）および制御電極（Ｇ）を備えるゲートスタックを含む上記選択トランジスタ（ＡＴ）を形成する工程と、

c) 上記半導体基板（１）の表面上、および上記ゲートスタック（２、Ｇ）の表面上に層間絶縁体（４）を形成する工程と、

d) 上記選択トランジスタ（ＡＴ）のソース領域（Ｓ）およびドレイン領域（Ｄ）を少なくとも部分的に露出するための、上記層間絶縁体（４）内での、ソースまたはドレインの領域、およびコンタクトホールキャパシタのためのコンタクトホールを形成する工程と、

e) 上記半導体基板（１）の表面上、および上記コンタクトホールキャパシタ（ＫＫ）のための上記少なくとも一つのコンタクトホールの表面上にて形成され、かつ、上記層間絶縁体（４）の表面にまで達しないように形成された内張り層（５）をキャパシタ対向電極（ＣＥ１）として形成する工程と、

f) 上記層間絶縁体（４）の表面上に延び、上記キャパシタ対向電極（ＣＥ１）の表面上に、さらなる絶縁体層（７）をキャパシタ絶縁体として形成する工程と、

g) 上記コンタクトホールキャパシタ（ＫＫ）のための上記少なくとも一つのコンタクトホールの内部にて、上記キャパシタ絶縁体（ＣＤ）の表面上にて導電性の充填材層（８）をキャパシタ電極（ＣＥ２）として形成する工程と、

h) 上記層間絶縁体（４）の表面上、かつ、上記充填材層（８）の表面上に、上記キャパシタ電極（ＣＥ２）を接続するためのキャパシタ接続線（Ｖｓｓ）を形成する工程と、を含み、

上記工程 f) では、上記コンタクトホールキャパシタ（ＫＫ）のための少なくとも一つのコンタクトホールを、第１マスク（ＭＸ１０）にて充填し、

上記ソースまたはドレインの各領域のための上記コンタクトホールを、導電性の第２充填材層（６）にて充填し、

上記第１マスク（ＭＸ１０）を除去し、

上記コンタクトホールキャパシタ（ＫＫ）のための上記少なくとも一つのコンタクトホールのみを露出する第２マスク（ＭＸ２０）を形成し、

上記さらなる絶縁体層（７）を、表面全体に堆積することを特徴とする半導体メモリセルの製造方法。

【発明の詳細な説明】

【発明の詳細な説明】

10

20

30

40

50

【 0 0 0 1 】

本発明は、半導体メモリセル、特に、コンタクトホールキャパシタを有する半導体メモリセル、および、その製造方法に関するものである。

【 0 0 0 2 】

将来的に、半導体部品において、大きな高密度メモリーゾーンのための要求が非常に大きくなるであろう。このような埋め込み型メモリーゾーンによって利用可能なチップ表面における全体的な占有度は、現在、既に、トータルのチップ表面の約 5 0 % であり、さらに増大するであろう。

【 0 0 0 3 】

したがって、半導体メモリセルにおいて、高密度が必要とされるのは、メモリーゾーンをできるだけ小さくして、半導体部品の全体的なサイズを低減するためであり、その結果、製造コストも下げることができる。

【 0 0 0 4 】

この理由により、半導体産業は、従来の 6 トランジスタ半導体メモリセルから離れて、1 トランジスタ、2 トランジスタ、および、3 トランジスタ (1 T、2 T、3 T) 半導体メモリセルへ向かう傾向がある。その傾向の結果、漏れ電流を低減できると共に、集積度を高くし、生産の歩留りを向上でき、その上、いわゆるソフトエラーを生じ難くできる。

【 0 0 0 5 】

しかしながら、6 トランジスタ半導体メモリセルに比べて、1 トランジスタ、2 トランジスタ、および、3 トランジスタ半導体メモリセルは、電荷を蓄えるための容量またはキャパシタを必要とし、蓄えた電荷を所定の時間間隔でリフレッシュする必要がある。埋め込み型の 1 T、2 T、3 T の半導体メモリセルのリフレッシュレートは、従来の D R A M (dynamic random access memories) よりもかなり高くできるので、小さなストレージキャパシタを使用することが可能となる。

【 0 0 0 6 】

図 1 ないし図 3 に、1 トランジスタ、2 トランジスタ、および、3 トランジスタ半導体メモリセルの概略化した等価回路図をそれぞれ示す。B L はビット線を示し、W L はワード線を示し、A T は各選択トランジスタを示し、この各選択トランジスタを介して、ストレージキャパシタ C を駆動することができる。

【 0 0 0 7 】

図 2 では、2 トランジスタ半導体メモリセルに、反転されたワード線 W L / および反転されたビット線 B L / がさらに設けられている。反転されたワード線 W L / および反転されたビット線 B L / は、さらなる別の選択トランジスタ A T を介してストレージキャパシタ C を駆動する。

【 0 0 0 8 】

図 3 では、3 トランジスタ半導体メモリセルにおけるストレージキャパシタ C は、一方で、書き込みビット線 B L_w と書き込みワード線 W L_w と関連付けられた選択トランジスタ A T とを介して書き込まれ、読み出しワード線 W L_r と読み出しビット線 B L_r と別の 2 つの更なる関連付けられた各選択トランジスタ A T とを介して読み出される。

【 0 0 0 9 】

このような 1 T、2 T、3 T 半導体メモリセルを製造するために、例えば、いわゆる埋め込み型 D R A M 半導体メモリセルが使用される。

【 0 0 1 0 】

図 4 に、深いトレンチキャパシタを有する 1 トランジスタ半導体メモリセルの概略化した断面図を示す。図 4 によれば、深いトレンチキャパシタ D T C を製造するための深いトレンチが、半導体基板 1 0 に設けられている。キャパシタ誘電体 (C D) は、トレンチ表面上、および、導電性の充填材層上に形成されている。

【 0 0 1 1 】

上記導電性の充填材層は、キャパシタ誘電体の表面上のキャパシタ対向電極 C E 1 として形成されている。上記導電性の充填材層は、他のキャパシタ電極としての半導体基板 1

10

20

30

40

50

0と共に、深いトレンチキャパシタDTCを形成する。半導体基板10内にチャンネルを規定するためのソース領域Sとドレイン領域Dとを有する電界効果トランジスタは、選択トランジスタATとして従来は使用されている。

【0012】

チャンネルの表面上に、ゲート誘電体60が形成されており、ゲート誘電体60上に、ワード線WLを実質的に形成する制御電極いわゆるゲートGが形成されている。ソース領域Sは、例えばソースコンタクト部KSまたは対応するコンタクトを介して、例えばメタライゼーション層にあるビット線BLに接続されている。同様に、ドレイン領域Dは、例えば第1メタライゼーション層M1と、ドレインコンタクト部KDと、キャパシタコンタクト部KCとを介して、深いトレンチキャパシタDTCつまりそのキャパシタ対向電極CE1に接続されている。

10

【0013】

アクティブエリアAAを規定するための、特に、スイッチング素子(例えば、選択トランジスタAT)を絶縁するための半導体回路は、いわゆるトレンチ分離部STIをさらに備え、トレンチ分離部STIは、例えば、絶縁性の内張り層20と絶縁性の充填材層30とを備えている。

【0014】

深いトレンチキャパシタDTCを使用することによって、非常に小さいスペースが要求されている半導体メモリセルを、例えばDRAM半導体メモリセルとして製造することはできるが、深いトレンチキャパシタDTCのための製造プロセスにより、特にコストが極めて高い。

20

【0015】

したがって、従来では、現状の1T、2T、3Tの各半導体メモリセルは、實際上、製造のためのコスト効率がより好適な、いわゆるMOS/MIMキャパシタ(MOS/MIMcaps)により、製造されている。

【0016】

図5に、このようなMOSキャパシタMOSCを有する1トランジスタの半導体メモリセルの概略化した断面図を示す。図1に示す部材と同一の部材、または図1に示す部材に相当する部材については、以下において同一の部材番号を付与し、その部材に対する繰り返しの説明を省略している。

30

【0017】

したがって、図5では、ストレージキャパシタは、MOSキャパシタMOSCによって製造されている。半導体基板10または半導体基板10に形成されたドーピング領域は、キャパシタ電極CE2として使用されている。キャパシタ電極CE2の表面上に、キャパシタ誘電体CDが、キャパシタ対向電極CE1と共に形成されている。キャパシタ対向電極CE1は、キャパシタ誘電体CD上に、例えば多結晶半導体層として形成されている。

【0018】

また、キャパシタ対向電極CE1は、キャパシタコンタクト部KCと、ドレインコンタクト部KDと、好ましくは第1メタライゼーション層M1とを介して、選択トランジスタATのドレイン領域Dに電氣的に接続されている。

40

【0019】

このことにより、コストを本質的に下げることができるが、このような半導体メモリセルのために必要なエリアは、大幅に増大している。なぜなら、MOSまたはMIMキャパシタMOSCは、半導体基板10の表面上に基本的に形成されており、したがって、MOSまたはMIMキャパシタMOSCの容量は、利用可能な部品表面でのエリア占有に正比例しているからである。

【0020】

それゆえ、本発明の目的は、集積度を向上させながら、製造コストを低減できる、半導体メモリセルおよびその製造方法を提供することである。

【0021】

50

本発明によれば、上記目的は、本願の請求項 1 の半導体メモリセルの特徴によって達成され、および本願の請求項 10 の製造方法の特徴によって達成される。

【0022】

上記目的は、特に、選択トランジスタのソース領域またはドレイン領域のための、少なくとも一つのコンタクトホール内に、ストレージキャパシタとしてのコンタクトホールキャパシタを用いることによって達成される。選択トランジスタのために、何れの場合も必要とされるコンタクトホール内に上記キャパシタが形成されるので、半導体メモリセルの集積度を、実質的に向上できる。その上、必要とされるコンタクトホールの形成のための製造方法のサブ工程が、コンタクトホールキャパシタを形成するためにも同時に用いることができるので、製造コストも、さらに低減できる。

10

【0023】

好ましくは、コンタクトホールキャパシタのための、少なくとも一つのコンタクトホールにおいては、半導体基板上に形成された層間絶縁体内に形成される一方、コンタクトホールに対応する、ソース領域またはドレイン領域の少なくとも一部を露出させる。

【0024】

キャパシタの対向電極は、上記コンタクトホールの表面上に形成され、上記対向電極は、上記層間絶縁体の表面までには達しないが、上記対向電極における、上記表面に対して下側となる下方ゾーンにて、ソース領域またはドレイン領域と電気的に接続されている。

【0025】

キャパシタの絶縁体は、上記層間絶縁体の表面に達し、さらに、上記キャパシタの対向電極上に形成され、上記コンタクトホールの上部領域を形成する。最後に、上記コンタクトホールの内部のキャパシタ電極を形成するための導電性の充填材層は、キャパシタ絶縁体の表面上に形成されている。

20

【0026】

したがって、コンタクトホールキャパシタは、最小のスペース要求を備え、十分な充電容量を有しており、また、従来の製造方法に対し、単に僅かな変更により製造できるものである。

【0027】

好ましくは、上記少なくとも一つのコンタクトホールは、円柱状、楕円柱状、角柱状、または、標準的な製造方法において使用可能などのようなマスク形状による形状を備えていてもよい。

30

【0028】

上記コンタクトホールキャパシタを接続するために、さらに、キャパシタ接続線を、上記層間絶縁体の上に形成してもよい。そのようなキャパシタ接続線は、従来の金属層の面に配置されるので、上記キャパシタ接続線の電気抵抗値を最小値に維持できる。

【0029】

上記キャパシタ接続線は、少なくとも一つの補助接続線を含んでもよい。少なくとも一つの補助接続線は、上記層間絶縁体の上の上記キャパシタ接続線に対し、基本的には直交するように形成される。以上のように、それぞれの容量を、コンタクトホールキャパシタ全体のために、きめ細かく、任意の数値に調整することができる。

40

【0030】

特に、複数の各コンタクトホールキャパシタを、選択トランジスタの、それぞれのソース領域またはドレイン領域のために形成してもよい。互いに平行な上記複数の各コンタクトホールキャパシタを互いに一緒に接続するための、少なくとも一つの補助接続線部を設けてもよい。そのようなキャパシタは、例えば、従来から知られている、レーザビームを用いて、所望する容量値に変更、または調整されてもよい。

【0031】

上記キャパシタ絶縁体には、高い比誘電率を備えた、シリコン酸化物、シリコン窒化物、および/またはいわゆる高k材料が、好ましく使用される。その使用の結果、所望する容量を、さらに増加させることが可能となる。

50

【 0 0 3 2 】

上記製造方法では、ソース領域およびドレイン領域と共に、ゲート絶縁体および制御電極とを備えた選択トランジスタが、最初に形成される。上記選択トランジスタ上に層間絶縁体が配置される。続いて、ソース領域およびドレイン領域を少なくとも部分的に露出するためのコンタクトホールを、層間絶縁体内に形成する。その後、内張り層を、少なくとも一つのコンタクトホール内に、キャパシタの対向電極として形成する。ただし、上記内張り層は、上記層間絶縁体の表面までには到達しないように形成されている。

【 0 0 3 3 】

次に、さらなる絶縁層を、上記キャパシタの対向電極上に、キャパシタ絶縁体として、上記層間絶縁体の表面に到達するまで形成する。その後、導電性の充填材層を、上記さらなる絶縁層上に、上記コンタクトホールキャパシタのための上記少なくとも一つのコンタクトホール内部にてキャパシタ電極として形成する。続いて、上記キャパシタ電極を接続するために、キャパシタ接続線を、上記層間絶縁体および上記充填材層の上に形成する。

10

【 0 0 3 4 】

上記製造方法における、従来のコンタクトホールを形成するための各工程を、本発明の製造方法でのコンタクトホールキャパシタを形成するための各工程に共用できるので、本発明の製造方法の製造コストを、極めて低減できる。

【 0 0 3 5 】

特に、コンタクトホールキャパシタのためのコンタクトホールと、残っているソース領域またはドレイン領域のためのコンタクトホールとの双方での、従来からの製造方法により提供されている導電性内張り層の形成方法を、同時に用いることによって、従来のコンタクトホールの製造方法にて使用される何れかの製造方法の各工程または各層の製造方法を、本発明のコンタクトホールキャパシタのキャパシタ対向電極を形成するために使用できることは有利な点である。

20

【 0 0 3 6 】

その上、上記キャパシタ接続線と共にそれに対応する上記補助接続線部を、上記キャパシタ電極を形成するための導電性の充填材層と共に同時に形成することができる。その結果、上記コンタクトホールキャパシタの製造コストをさらに低減できる。

【 0 0 3 7 】

本発明の他の有利な構成や工程については、さらに他の従属請求項に示されている。

30

【 0 0 3 8 】

以下で図を参照して各実施形態により本発明をより詳しく説明する。

【 0 0 3 9 】

図 1 ~ 図 3 は、従来技術の 1 T、2 T、3 T 半導体メモリセルの概略化された等価回路図である。図 4 は、従来技術の深いトレンチキャパシタを有する 1 T 半導体メモリセルの概略化された断面図である。図 5 は、従来技術の MOS キャパシタを有する 1 T 半導体メモリセルの概略化された断面図である。

【 0 0 4 0 】

図 6 A ~ 図 6 C は、第 1 実施形態の本発明の 1 T 半導体メモリセルの製造における主要な方法の工程を示す概略化された断面図である。図 7 A ~ 図 7 C は、第 2 実施形態の本発明の 1 T 半導体メモリセルの製造における主要な方法の工程を示す概略化された断面図である。

40

【 0 0 4 1 】

図 8 は、第 3 実施形態の本発明の 1 T 半導体メモリセルの概略化された断面図である。図 9 は、図 8 の本発明の 1 T 半導体メモリセルの概略化された平面図である。図 10 は、第 4 ないし第 6 の各実施形態の本発明の 1 T 半導体メモリセルの概略化された平面図である。図 11 は、キャパシタ誘電体と、並列に接続された複数のコンタクトホールキャパシタとの関数として、全体的な容量を概略化して示す図である。

【 0 0 4 2 】

図 6 A ~ 図 6 C に、本発明の第 1 実施形態に係る、1 T 半導体メモリセルの製造におけ

50

る主要な方法の工程を示す概略化された断面を示す。以下では、図 1 ないし図 5 と同じ参照番号の部材は、同一またはそれに相当する部材を示し、それらに関する繰り返しの説明を省略した。

【 0 0 4 3 】

図 6 A によれば、まず、半導体基板 1 を調製する。半導体基板 1 としては、S i 半導体基板を使用することが好ましい。このような調製工程においては、図示されていないが、特に、半導体基板 1 に、アクティブエリア A A を規定するためのトレンチ分離部 S T I を形成してもよい、および / または、トレンチ分離部 S T I に対応する位置にトレンチドーピングを行ってもよい。

【 0 0 4 4 】

続いて、半導体基板 1 に、半導体メモリセルを選択するための選択トランジスタ A T を形成する。例えば、半導体基板 1 の表面上に、ゲート絶縁層 2 を表面全体に形成し、ゲート絶縁層 2 の表面全体上に、制御電極層 3 を形成する。次に、ゲート絶縁層 2 と制御電極層 3 とを備えるいわゆるゲートスタックを、例えばリソグラフィ法によってパターン化する。

【 0 0 4 5 】

最後に、ゲートスタックの両側の半導体基板 1 に、ソース領域 S とドレイン領域 D とを、自己整合的 (セルフアライメント) に、例えばイオン打ち込み法によって形成する。導電性を増大化するために、制御電極層 3 またはパターン化された制御電極 G を任意にサリサイド化 (salicided) してもよい。高導電性金属半導体複合体は、堆積された金属層を用いて形成される。このため、制御電極層 3 は、多結晶半導体材料、特に、ポリシリコンからなることが好ましい。

【 0 0 4 6 】

続いて、半導体基板 1、または、ゲートスタック 2、G の表面上に、いわゆる、層状の層間誘電体 (層間絶縁体) を形成する。層間誘電体の形成としては、B P S G (硼素・リンけい酸ガラス) を表面全体に塗布することが好ましい。この B P S G 層は、従来の各方法において所定の標準的な厚みを有しているが、この層の厚みは、今後形成されるコンタクトホールキャパシタの容量を既に部分的に決定する。

【 0 0 4 7 】

図 6 B によれば、コンタクトホールを、層間誘電体 4 に、ソース領域 S とドレイン領域 D とのために形成する。コンタクトホールは、ソース領域 S とドレイン領域 D とを、少なくとも部分的に露出させ、また、半導体基板 1 の露出場所において開口を形成するものである。以下において、コンタクトホールに関し、本実施形態では、例えばドレイン領域 D 上に形成されたコンタクトホールキャパシタ K K 用の一方のコンタクトホールと、他のソース領域 S 上に形成された他方のコンタクトホールとを区別する。当然、コンタクトホールキャパシタを、ソース領域 S 用のコンタクトホールに形成してもよい。また、通常のコンタクトホールを、ドレイン領域 D のエリアに形成してもよい。

【 0 0 4 8 】

これらの各コンタクトホールは、従来の標準的なプロセス、特に異方性エッチング方法、および、好ましくはいわゆる R I E 法 (反応性イオンエッチング法) を用いて同時に形成されることが好ましい。したがって、コンタクトホールキャパシタと残りのソース領域 S とのための各コンタクトホールは、特に同時に形成されるが、原則的には、これらの窪みまたはへこみを、方法の異なる工程において、例えば、前後に連続してそれぞれ形成することも可能である。

【 0 0 4 9 】

図 9 に、このような 1 T 半導体メモリセルを説明するために概略化した平面図を示す。図 1 ~ 図 6 と同じ部材番号の部材については、同一またはそれに相当する部材を示し、以下では、それらの繰り返しの説明を省いた。

【 0 0 5 0 】

図 9 によれば、サイズの相異なる各コンタクトホールを、コンタクトホールキャパシタ

10

20

30

40

50

K Kと、残りのソース領域Sとのために、層間誘電体4に形成することが好ましい。このことにより、特に、コンタクトホールキャパシタのキャパシタ容量を増大化すると共に、ソース領域Sおよびドレイン領域Dのコンタクト抵抗をほぼ同じにすることができる。さらに、この場合、所望のコンタクトホールキャパシタK Kを形成するために、キャパシタ対向電極C E 1と、キャパシタ誘電体C Dと、キャパシタ電極C E 2とによってコンタクトホールを充填することを特に大幅に簡素化される。

【0051】

再び図6Bに戻り、続いて、少なくともコンタクトホールキャパシタK Kまたはドレイン領域D用のコンタクトホールの表面上に（すなわち、ドレイン領域D上の層間誘電体4の表面上と半導体基板1の露出した表面上とに）、導電性の内張り層5を、キャパシタ対向電極C E 1として形成する。この場合、絶縁の理由から、内張り層5がコンタクトホールの上部ゾーンにある層間誘電体4の水平な表面にまで延びない（到達しない）ようにする必要はある。

10

【0052】

内張り層5を、残りのソース領域S用のコンタクトホールの表面上または残りのソース領域S用のコンタクトホールの半導体基板1の露出された表面上にも同時に形成することが好ましい。なぜなら、このような内張り層は、従来は、基準として、接触ヴィアまたはコンタクト素子を作製するための製造方法において提供されるからである。これにより、内張り層5に対応する層を、ウエハー表面上の表面全体に形成し、コンタクトホールの上部ゾーンにおいて所望の空間を形成するために、層間誘電体4の水平な表面からの、上記層に対する異方性エッチバックを好ましくは遂行して、上記内張り層5を形成する。

20

【0053】

例えば、約10nmの厚みのTiN層を、均一に、すなわち、一定の層厚で堆積し、RIEエッチング方法によってエッチバックする。その結果、コンタクトホールの上部ゾーンに上記エッチバックが生じる。

【0054】

上記製造方法では、コンタクトホールの下部または底部ゾーンにおいて内張り層5が等方性エッチングされる可能性があるが、半導体基板1またはソース領域Sおよびドレイン領域Dが露出されたとしても、このことは不利なことではない。続いて、この導電性の内張り層5によって、コンタクトホールキャパシタ用のキャパシタ対向電極C E 1を形成する。一方、内張り層5は、従来の残りのソース領域S用のコンタクトホールにおいて、基本的には堆積プロセスを改善し、導電性を改善するために形成される。

30

【0055】

続いて、図6Bによれば、残りのソース領域Sのためのコンタクトホールを、第1マスク層または第1マスクMX 1（必須でない）によって、マスク（覆い）または充填し、さらなる誘電層7を、好ましくは表面全体に堆積する。さらなる誘電層7として、例えば、3～15nmの厚みを有し、好ましくは、高い比誘電率を有するいわゆる高k誘電体である、酸化物および/または窒化物の層を使用する。

【0056】

図6Cによれば、続いて、例えば層間誘電体4の表面までの平坦化を行い、第1マスクMX 1を、残りのソース領域S用のコンタクトホールから除去または剥離する。キャパシタ誘電体C Dは、層間誘電体4の水平な表面までに達していることから、内張り層5つまりキャパシタ対向電極C E 1をコンタクトホールの上部ゾーンにおいて確実に絶縁している。よって、キャパシタ誘電体C Dは、コンタクトホールキャパシタまたはドレイン領域Dのためのコンタクトホールのエリア内にて得られる。

40

【0057】

図6Cによれば、続いて、導電性の充填材層8を、層間誘電体4の表面上とコンタクトホールの中とに堆積してもよい。その場合、コンタクトホールは完全に充填される。充填材層8として、コンタクトホールの製造方法において従来使用されているタングステン層を表面全体に堆積することが好ましい。

50

【 0 0 5 8 】

続いて、導電性の充填材層 8 を、フォトリソグラフィでパターニングする。その結果、ソース領域 S に接続されたビット線 B L と、それに対応したキャパシタ接続線 V s s を有するコンタクトホール内部におけるキャパシタ電極 C E 2 とを 1 つの製造工程で形成することができる。

【 0 0 5 9 】

しかしながら、パターニングの代わりに、層間誘電体 4 の表面に到達するまでさらに平坦化することも原則的には可能である。ビット線 B L と、キャパシタ電極 C E を接続するためのキャパシタ接続線とは、従来の方法にて後続のメタライゼーション工程において形成される。

10

【 0 0 6 0 】

図 7 A ないし図 7 C に、本発明の第 2 実施形態に係る、1 トランジスタ半導体メモリセルの製造方法における主要な各工程を説明するために、さらなる概略化した各断面図を示す。図 1 ないし図 6 と同じ部材番号の部材は、同一またはそれに相当する部材を示し、以下では繰り返しの説明を省いた。図 7 A に、例えば、第 1 実施形態の代替として図 6 A による調製工程の後の断面図を示す。

【 0 0 6 1 】

本第 2 実施形態では、第 1 実施形態と同様に、コンタクトホールと内張り層 5 とをまず形成する。続いて、将来的なコンタクトホールキャパシタ用のコンタクトホールを、第 1 マスク M X 1 0 (必須でない) によって被覆または充填する。続いて、残りのソース領域 S 用のコンタクトホールを、導電性の第 2 充填材層 6 (例えば、タングステン) によって充填することにより、ソース領域 S のためのコンタクト素子を完成させる。例えば、第 2 充填材層を同じく表面全体に堆積し、続いて平坦化してもよい。

20

【 0 0 6 2 】

平坦化の後、コンタクトホールキャパシタのためのコンタクトホールに残っている第 1 マスク M X 1 0 の一部も、除去または剥離し、層間誘電体 4 の表面上に、第 2 マスク層 M X 2 0 を形成する。その結果、コンタクトホールキャパシタまたはドレイン領域 D のためのコンタクトホールのゾーンのみが露出されたまま残る。続いて、同じく、最終的にキャパシタ誘電体 C D となる誘電層 7 と、導電性の第 1 充填材層 8 (例えば W) とを表面全体に堆積する。このようなものの断面図を図 7 B に示す。

30

【 0 0 6 3 】

図 7 C に示す工程および中間物において、同じく、層間誘電体 4 の表面まで平坦化を任意に行ってもよい。続いて、ビット線 B L とキャパシタ接続線 V s s とを、導電性の第 1 充填材層 8 すなわちキャパシタ電極と、導電性の第 2 充填材層 6 との表面上にそれぞれ形成する。

【 0 0 6 4 】

しかしながら、コンタクトホールキャパシタ用のコンタクトホールにキャパシタ電極 C E 2 を製造するために、キャパシタ接続線 V s s を、導電性の第 1 充填材層 8 と一体的に形成することが好ましい。ビット線 B L を、後続の方法の工程において形成する。ビット線 B L は、さらに、キャパシタ接続線 V s s およびキャパシタ電極 C E 2 またはコンタクトホールのための充填材層と同時に形成されてもよく、その場合は、ビット線 B L 用の窪みを、例えば第 2 マスク層 M X 2 0 の対応する位置に、ダマシン法と同様に形成する必要もある。

40

【 0 0 6 5 】

図 8 に、本発明の第 3 実施形態に係る、1 トランジスタ半導体メモリセルを説明するための概略化した断面図を示す。図 1 ないし図 7 と同じ部材番号の部材は、同一の部材またはそれに相当する部材を示し、以下では、それらに関する繰り返しの説明を省いた。

【 0 0 6 6 】

図 8 によれば、層間誘電体 4 は、さらに、連続した多層構造を備えていてもよく、S i N 層 4 A および B P S G 層 4 B を連続して有する多層構造が特に使用される。この場合、

50

S i N層4 Aは、パッシベーション層として使用されており、半導体基板1の表面上と、ゲート絶縁層2および制御電極Gからなるパターン化されたゲートスタックとの表面上に直接的（当接して）設けられている。従来のコンタクトの製造方法で知られている材料を、同じく、内張り層5またはキャパシタ対向電極C E 1のために使用する。約10 nmの厚みのT i N層が特に使用される。

【0067】

本発明の製造プロセスにて新しく導入されるキャパシタ誘電体C D、または、さらなる誘電層7のために、酸化シリコン、窒化シリコン、または、高い比誘電率を有するいわゆる高k誘電体を使用することが好ましい。また、この誘電層7の厚みは、3 nm ~ 15 nmであり、その結果、上記厚みにより、容量を調整することができる。

10

【0068】

従来のコンタクト方法で知られており、多くの場合非常に深いコンタクトホールを最適に充填することのできるタングステンプラグを、各充填材層6、8として、コンタクトホールに使用することが好ましい。各充填材層6、8が一体的に作製されない場合は、ビット線B Lおよびキャパシタ接続線V s sを、第1メタライゼーション層においてパターン化して、各A 1層により形成することが好ましい。さらに、同様に、C u層または他の高導電性金属層を、例えば、ダマシン方法により、第1メタライゼーション層またはより上層でのメタライゼーション層にて形成することもできる。

【0069】

図9に、第1ないし第3の各実施形態に係る、1 T半導体メモリセルの概略化した平面図を示す。図1ないし図8と同じ部材番号の部材については、同一の部材またはそれに相当する部材を示し、それに関する繰り返しの説明を以下では省略されている。

20

【0070】

図9によれば、コンタクトホールは、その平面図（半導体基板1の表面方向に沿った断面）において楕円形を有している。しかしながら、これらのコンタクトホールは、楕円形に制限されず、同様に、円形、長方形、または、他の形であってもよい。特に、本実施形態では、コンタクトホールの形状としては、正方形または台形が想定される。

【0071】

図10に、本発明の第4ないし第6の各実施形態に係る、1トランジスタ半導体メモリセルを説明するための概略化した、さらなる平面図を示す。図1ないし図9と同じ部材番号の部材は、同一の部材またはそれに相当する部材を示し、それらに関する繰り返しの説明を以下では省略されている。

30

【0072】

図10によれば、特に、キャパシタ容量を自由に選択して調節するためのコンタクトホールが大幅に拡大化されていてもよい。半導体基板1におけるドレイン領域Dは、このドーピングされているドレイン領域Dを補助ドレイン領域H Dによって大幅に拡大化されたものとなっている。補助ドレイン領域H Dは、その長手方向がワード線W Lの長手方向に対して例えば直交するように配置されている。同様に、上記層間誘電体4上に、補助接続線部H V s sが形成されていてもよい。補助接続線部H V s sにより、コンタクトホールにおける充填材層8の十分なコンタクトを行える。電極ゾーンが拡大化されることにより、キャパシタ容量が増大する。このような構成や方法により、例えばリフレッシュサイクルを、実質的に延長することができる。

40

【0073】

図10は、さらに、2つまたは3つの各コンタクトホールキャパシタK K 1・K K 2・K K 3を有する1トランジスタ半導体メモリセルを表している。各コンタクトホールキャパシタK K 1・K K 2・K K 3は、同じく、拡大化された補助ドレイン領域H D上に配置され、同じく、上記層間誘電体4上の補助接続線部H V s sに対して相互に並行に接続されている。

【0074】

キャパシタ接続線V s sに対してほぼ直交して、または、ワード線W Lおよびビット線

50

B L に対して直交するように形成された補助接続線部 H V s s により、3つの各コンタクトホールキャパシタ K K 1 ~ K K 3 は、そのそれぞれの容量が互いに並列に接続されていてもよい。その結果、対応する1トランジスタ半導体メモリセルに対する全体的な容量は、各コンタクトホールキャパシタ K K 1 ~ K K 3 に対応して増大化される。

【0075】

コンタクトホールキャパシタを所定の容量値となるようにモジュール式に連結できるモジュール式の半導体メモリセルは、さらに、上記容量値を、従来から知られている、例えば、レーザートリミングによって、順次、補正することができるという利点を有している。このためには、不必要なコンタクトホールキャパシタを、補助接続線部を介した分離または断線により除去することだけが必要となる。

10

【0076】

一方、原理的には、異なった容量値または異なった形状に成形された各コンタクトホールキャパシタが、上記の方法で相互接続されてもよい。その結果、モジュール式の容量値を各回路要求に対して細かく適合することができる。

【0077】

図11に、使用されたキャパシタ誘電体として機能するコンタクトホールキャパシタの総容量値と、図10に示されているような互いに並列に接続された各サブキャパシタの数との間の依存性を示す概略化されたグラフを示す。

【0078】

したがって、キャパシタ誘電体として約5nmの厚さの窒化物層を有する拡大化されたコンタクトホールキャパシタに対してさえ、非常に高い容量値が得られる。さらに、互いに並列に接続された各キャパシタの数に対する全体的な容量値の予測される依存性を確認することができた。

20

【0079】

以上では、本発明を、シリコン半導体基板に形成された1トランジスタ半導体メモリセルに関連して説明してきた。しかしながら、本発明は、上記説明に制限されず、図2および図3に記載の2トランジスタおよび3トランジスタ半導体メモリセル、および、代替の半導体材料を権利範囲としてカバーしている。さらに、コンタクトホールキャパシタは、ソース領域S用のコンタクトホールに形成されてもよい。コンタクトホールは基本的には楕円形を有しているが、代替のコンタクトホール形状を同様に使用してもよい。コンタクトホールキャパシタのために特に使用された材料の代わりに、さらに、十分に高いキャパシタ容量を許容する代替材料を使用することもできる。

30

【図面の簡単な説明】

【0080】

【図1】従来技術の1T半導体メモリセルの概略化された等価回路図である。

【図2】従来技術の2T半導体メモリセルの概略化された等価回路図である。

【図3】従来技術の3T半導体メモリセルの概略化された等価回路図である。

【図4】従来技術の深いトレンチキャパシタを有する1T半導体メモリセルの概略化された断面図である。

【図5】従来技術のMOSキャパシタを有する1T半導体メモリセルの概略化された断面図である。

40

【図6A】本発明の第1実施形態に係る、1T半導体メモリセルの製造方法における主要な一工程を示す概略化された断面図である。

【図6B】本発明の第1実施形態に係る、1T半導体メモリセルの製造方法における主要な他の工程を示す概略化された断面図である。

【図6C】本発明の第1実施形態に係る、1T半導体メモリセルの製造方法における主要なさらに他の工程を示す概略化された断面図である。

【図7A】本発明の第2実施形態に係る、1T半導体メモリセルの製造方法における主要な一工程を示す概略化された断面図である。

【図7B】本発明の第2実施形態に係る、1T半導体メモリセルの製造方法における主要

50

な他の工程を示す概略化された断面図である。

【図 7 C】本発明の第 2 実施形態に係る、1 T 半導体メモリセルの製造方法における主要なさらに他の工程を示す概略化された断面図である。

【図 8】本発明の第 3 実施形態に係る、1 T 半導体メモリセルの概略化された断面図である。

【図 9】本発明の図 8 に示す、各 1 T 半導体メモリセルの概略化された平面図である。

【図 10】本発明の第 4 ないし第 6 の各実施形態に係る、各 1 T 半導体メモリセルの概略化された平面図である。

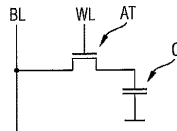
【図 11】使用されたキャパシタ誘電体の機能としての全体的な容量と、互いに並列に接続された複数の各コンタクトホールキャパシタとの関係を概略化して示すグラフである。

10

【図 1】

FIG 1

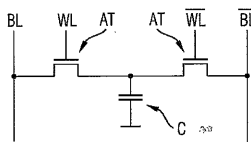
Stand der Technik



【図 2】

FIG 2

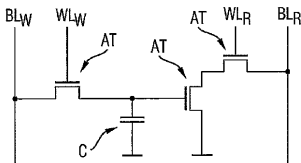
Stand der Technik



【図 3】

FIG 3

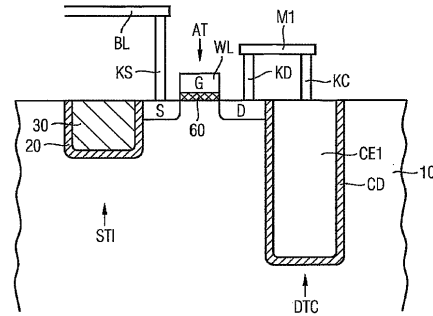
Stand der Technik



【図 4】

FIG 4

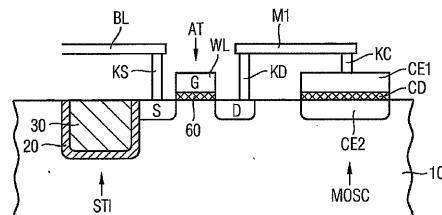
Stand der Technik



【図 5】

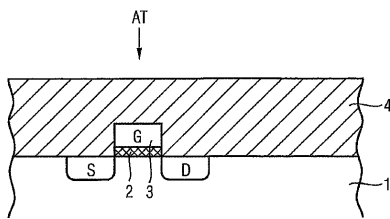
FIG 5

Stand der Technik



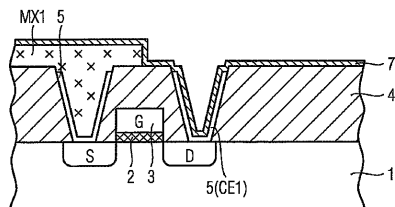
【 図 6 A 】

FIG 6A



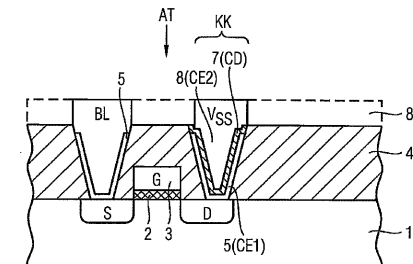
【 図 6 B 】

FIG 6B



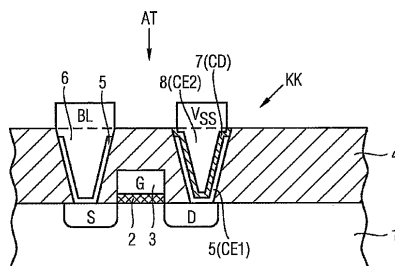
【 図 6 C 】

FIG 6C



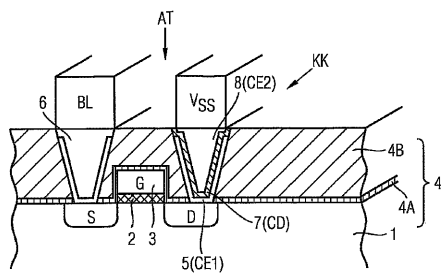
【 図 7 C 】

FIG 7C



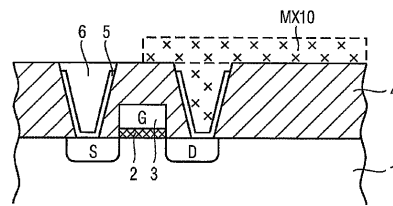
【圖 8】

FIG 8



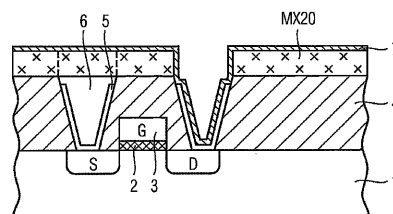
【 図 7 A 】

FIG 7A

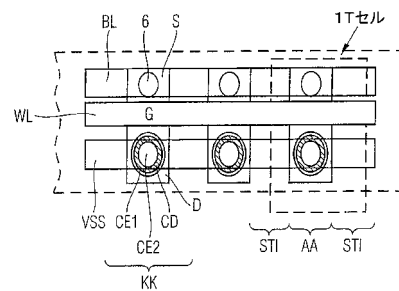


【 図 7 B 】

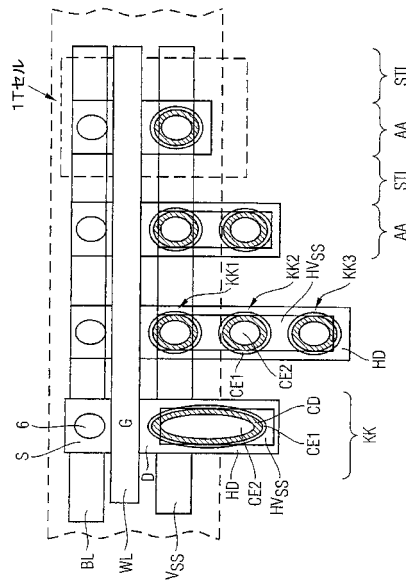
FIG 7B



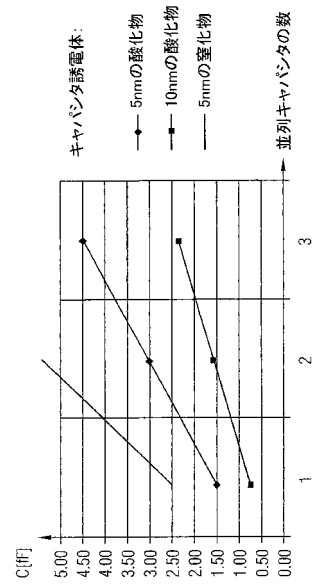
【 図 9 】



【図10】



【図11】



フロントページの続き

(72)発明者 オースターマイヤー, マルティン
ドイツ連邦共和国 8 5 6 2 2 フェルトキルヘン ルートヴィヒシュトラッセ 9

審査官 須原 宏光

(56)参考文献 特開平 1 1 - 1 9 1 6 1 5 (J P , A)
特開平 1 1 - 2 6 1 0 3 0 (J P , A)
特開平 1 0 - 0 0 4 1 9 0 (J P , A)
特開 2 0 0 1 - 0 6 8 4 7 1 (J P , A)
特開 2 0 0 0 - 0 5 8 7 8 4 (J P , A)
米国特許第 0 5 1 7 2 2 0 1 (U S , A)
特開 2 0 0 0 - 1 8 8 3 7 9 (J P , A)
特開 2 0 0 0 - 2 2 3 5 8 9 (J P , A)
特開 2 0 0 1 - 0 9 3 9 9 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8242

H01L 27/108

H01L 27/105

H01L 21/8246