

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5293939号  
(P5293939)

(45) 発行日 平成25年9月18日(2013.9.18)

(24) 登録日 平成25年6月21日(2013.6.21)

(51) Int.Cl.

F I

H O 1 L 21/82 (2006.01)

H O 1 L 21/82 L

H O 1 L 21/822 (2006.01)

H O 1 L 21/82 B

H O 1 L 27/04 (2006.01)

H O 1 L 21/82 F

H O 1 L 21/8238 (2006.01)

H O 1 L 27/04 D

H O 1 L 27/092 (2006.01)

H O 1 L 27/08 3 2 1 F

請求項の数 9 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2008-137063 (P2008-137063)  
 (22) 出願日 平成20年5月26日(2008.5.26)  
 (65) 公開番号 特開2009-49370 (P2009-49370A)  
 (43) 公開日 平成21年3月5日(2009.3.5)  
 審査請求日 平成23年2月14日(2011.2.14)  
 (31) 優先権主張番号 特願2007-193580 (P2007-193580)  
 (32) 優先日 平成19年7月25日(2007.7.25)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 302062931  
 ルネサスエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100064746  
 弁理士 深見 久郎  
 (74) 代理人 100085132  
 弁理士 森田 俊雄  
 (74) 代理人 100083703  
 弁理士 仲村 義平  
 (74) 代理人 100096781  
 弁理士 堀井 豊  
 (74) 代理人 100109162  
 弁理士 酒井 将行  
 (74) 代理人 100111246  
 弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

配列された複数個のスタンダードセルを有する半導体装置であって、  
 前記スタンダードセルに含まれる機能素子と、  
 前記機能素子に電氣的に接続され、かつ下層配線および上層配線を有する電源線とを備え、  
 前記下層配線は互いに隣り合う前記スタンダードセルの境界に沿って前記境界上に延在する部分を有し、  
 前記上層配線が平面視において前記下層配線よりも前記スタンダードセルの内側に位置する部分を有し、  
 前記機能素子は前記上層配線を介して前記下層配線に電氣的に接続されており、  
 前記機能素子に電氣的に接続された信号線をさらに備え、  
 前記信号線は、平面視において、前記機能素子および前記上層配線の接続部と前記下層配線の前記境界上に延在する部分との間に位置するように配置されている、半導体装置。

【請求項 2】

前記機能素子が配置される前記スタンダードセル内で前記上層配線と前記下層配線とが接続されている、請求項 1 に記載の半導体装置。

【請求項 3】

前記機能素子を含まない前記スタンダードセル内で前記上層配線と前記下層配線とが接続されている、請求項 1 に記載の半導体装置。

## 【請求項 4】

前記機能素子を含まない前記スタンダードセル内に配置され、かつ前記下層配線に電氣的に接続されたヒューズをさらに備えた、請求項 3 に記載の半導体装置。

## 【請求項 5】

前記上層配線は前記スタンダードセルの境界に沿って前記境界上に延在する部分を有し、  
前記上層配線の前記境界上に延在する部分の線幅は、前記下層配線の前記境界上に延在する部分の線幅よりも大きい、請求項 1 ~ 3 のいずれかに記載の半導体装置。

## 【請求項 6】

配列された複数個のスタンダードセルを有する半導体装置であって、  
前記スタンダードセルに含まれる機能素子と、  
前記機能素子に電氣的に接続され、かつ下層配線および上層配線を有する第 1 の電源線とを備え、  
前記下層配線および前記上層配線のそれぞれは、互いに電氣的に接続され、かつ互いに隣り合う前記スタンダードセルの境界に沿って前記境界上に延在する部分を有し、  
前記上層配線が平面視において前記下層配線よりも太い線幅を有しており、  
前記複数個のスタンダードセルは、第 1 のスタンダードセルと第 2 のスタンダードセルとを含み、

前記第 1 のスタンダードセルは、  
前記下層配線および前記上層配線を有する前記第 1 の電源線と、  
前記上層配線と同じ層上に延び、かつ平面視において前記下層配線および前記上層配線と同じ方向に延びる第 1 の信号線とを含み、  
前記第 2 のスタンダードセルは、  
前記下層配線と同じ層上に延びる配線層のみからなる第 2 の電源線と、  
前記上層配線と同じ層上に延び、かつ平面視において前記配線層と直交する方向に延びる第 2 の信号線とを含む、半導体装置。

## 【請求項 7】

前記下層配線と前記上層配線とは複数個の第 1 のビアホールにより電氣的に接続されており、  
前記複数個の第 1 のビアホールは、前記機能素子を構成するトランジスタの配置ピッチと同じピッチで配置されている、請求項 6 に記載の半導体装置。

## 【請求項 8】

前記第 1 の電源線は、前記上層配線よりも上の層に形成された補強配線を有し、  
前記補強配線は平面視において前記上層配線と直交する方向に延在している、請求項 6 または 7 に記載の半導体装置。

## 【請求項 9】

前記上層配線と前記補強配線との間に形成された層間絶縁層をさらに備え、  
前記層間絶縁層は、平面視において前記上層配線と前記補強配線とが交差する 1 つの交差部において、前記上層配線と前記補強配線とを電氣的に接続するための複数個の第 2 のビアホールを有している、請求項 8 に記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置に関し、特に、配列された複数個のスタンダードセルを有する半導体装置に関するものである。

## 【背景技術】

## 【0002】

近年、SOC (System On Chip) では回路の大規模化により、標準セルライブラリを使用したレイアウト設計が一般的に行われている。また、SOC の高機能化、高性能化に伴い、標準セルライブラリは高集積化、高速化を求められている。一方で、高速化に伴って

消費電流が増加することにより  $I R - D r o p$  (電流  $I$  がある経路を流れる時、その経路の抵抗値  $R$  とすると、 $I \times R$  で表現される電位差が経路の両端に発生すること) などの電源ノイズによる特性劣化を引き起こす問題が大きくなってきている。

#### 【0003】

従来、標準セルライブラリのスタンダードセルに、機能素子としてたとえば  $C M O S$  (Complementary Metal Oxide Semiconductor) インバータを形成した構成がある。この構成では、 $n$  型ウエル領域の表面に  $p$  チャネル  $M O S$  トランジスタ (以下、 $p M O S$  トランジスタと称する) が形成され、 $p$  型ウエル領域の表面に  $n$  チャネル  $M O S$  トランジスタ (以下、 $n M O S$  トランジスタと称する) が形成されている。これらの  $p M O S$  トランジスタおよび  $n M O S$  トランジスタの各々には、電源線 ( $V D D$  配線、 $G N D$  配線) が接続されている。これらの電源線の各々は、基板にコンタクトされて基板電位を固定しており、各スタンダードセルの機能素子に共通に設けられている。

10

#### 【0004】

標準セルライブラリ的高速化に伴いスタンダードセルの消費電流は増大するので、電源線に流れる電流も増加していく。また、各スタンダードセルに共通の電源線には複数のスタンダードセルの電流が流れ込む。これにより、電源線に流れる電流値が大きくなるため、 $I R - D r o p$  の影響を考慮する必要がある。電源線の  $I R - D r o p$  は電源線の抵抗値と相関があり、抵抗値が小さいほど  $I R - D r o p$  の影響は小さくなる。このため、電源線の線幅を太くする対策が従来行われていた。

#### 【0005】

20

一方で、標準セルライブラリの高集積化に伴い、ドレインノードが異なる 2 つの  $C M O S$  トランジスタを 1 つのスタンダードセル内に配置する場合がある。この場合には、4 つのトランジスタを平面視において縦方向に一列に並べて配置することでスタンダードセルの高集積化を図る手法が従来より行われていた。この手法では、トランジスタ同士を接続する配線と、トランジスタと電源線を接続する配線とが多くなり、配線レイアウトが複雑になる傾向があった。

#### 【0006】

また従来のスタンダードセルを複数配置したレイアウトは、たとえば特開 2000-223575 号公報に開示されている。この公報には、第 1 層電源線 ( $3 V D D 1$ 、 $3 V S S 1$ ) と、これに平行な第 3 層電源線 ( $3 V D D 3$ 、 $3 V S S 3$ ) を設け、また第 2 層に信号線 ( $3 S 2$ ) を通すことにより、第 2 層の配置に制限を生じさせることなしに、第 1 層電源線を第 3 層電源線で補強することが開示されている。

30

【特許文献 1】特開 2000-223575 号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0007】

しかし、上記のような従来のスタンダードセルの構成では、高集積でかつ高速なスタンダードセルを実現するために、高速化向けの電源線を太くした構成と、高集積化向けの複数のトランジスタを縦方向に配置した構成とを両立することが困難であった。なぜなら、電源線を太くすることにより、インバータを構成する  $p M O S$  トランジスタおよび  $n M O S$  トランジスタの各ドレインを接続する配線と、電源線をトランジスタに接続する配線部分との間隔を確保することが困難となるからである。

40

#### 【0008】

本発明は、上記の課題を鑑みてなされたものであり、その目的は、高速化および高集積化の双方を両立可能な半導体装置を提供することである。

#### 【課題を解決するための手段】

#### 【0009】

本発明の実施の形態における半導体装置は、配列された複数個のスタンダードセルを有する半導体装置であって、機能素子と、電源線と、信号線とを備えている。機能素子は、スタンダードセルに含まれている。電源線は、機能素子に電氣的に接続され、かつ下層配

50

線および上層配線を有している。下層配線は互いに隣り合うスタンダードセルの境界に沿って境界上に延在する部分を有している。上層配線は平面視において下層配線よりもスタンダードセルの内側に位置する部分を有している。機能素子は上層配線を介して下層配線に電氣的に接続されている。信号線は機能素子に電氣的に接続されている。信号線は、平面視において、機能素子および上層配線の接続部と下層配線の境界上を延在する部分との間に位置するように配置されている。

【発明の効果】

【0010】

本発明の実施の形態における半導体装置によれば、電源線が下層配線と上層配線とに分離しており、電源線が単一層の場合よりも電流経路が増えているため、高速化を図ることができる。また、電源線の線幅を太くすることなく電流経路を増やすことができるため、高集積化を図ることもできる。

10

【0011】

また下層配線がスタンダードセルの境界に沿って延在しているため、隣り合うスタンダードセル間で下層配線を共有することができる。これにより隣り合うスタンダードセルの各々で別個に下層配線を形成する必要がないため、高集積化を図ることができる。

【0012】

さらに機能素子は上層配線を介して下層配線に接続されているため、スタンダードセルの境界に位置する下層配線を機能素子が位置するスタンダードセルの中央部へ延ばす必要がなくなる。これにより、下層配線をスタンダードセルの中央部へ延ばすべき部分に空き空間が生じるため、その空き空間に他の配線などを配置することが可能となり、高集積化を図ることができる。

20

【0013】

以上より、高速化および高集積化の双方を両立可能な半導体装置を得ることができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態について図に基づいて説明する。

(実施の形態1)

図1は、本発明の実施の形態1における半導体装置の構成を概略的に示す平面図である。図1を参照して、半導体装置(たとえば半導体チップ)50は、その表面に、スタンダードセル領域51と、そのスタンダードセル領域51の周囲に配置されたI/O(Input/Output)セル領域52と、外部との入出力に用いられるパッド(図示せず)とを主に有している。

30

【0015】

スタンダードセル領域51は、マトリックス状(行列状)に配置された複数のスタンダードセル51aを有している。標準セルライブラリを使用したSOCでは、このスタンダードセル領域51内に、CPU(Central Processing Unit)、RAM(Random Access Memory)、FIFO(First-In First-Out)、SCSI(Small Computer System Interface)、SOG(Sea Of Gate)などが形成されている。

40

【0016】

図2は、図1に示す1つのスタンダードセル51a内に形成される機能素子の回路構成の一例を示す回路図である。図2を参照して、スタンダードセル51a内に形成される機能素子の回路は、たとえばTriState(トライステート)用バッファの一部回路であり、出力段とドライバー部とを有している。出力段は、たとえばpMOSトランジスタPT1とnMOSトランジスタNT1とからなるCMOSインバータよりなっている。ドライバー部は、たとえばpMOSトランジスタPT2およびnMOSトランジスタNT2とからなるCMOSインバータと、pMOSトランジスタPT3とnMOSトランジスタNT3とからなるCMOSインバータとからなっている。

【0017】

50

p MOS トランジスタ P T 2 および n MOS トランジスタ N T 2 からなる C M O S インバータの出力が、出力段の n MOS トランジスタ N T 1 に入力されている。また p MOS トランジスタ P T 3 および n MOS トランジスタ N T 3 からなる C M O S インバータの出力が、出力段の p MOS トランジスタ P T 1 に入力されている。

【 0 0 1 8 】

この回路では、ドライバー部の 2 つの C M O S インバータに “ H i g h ” を入力した場合には出力段の C M O S インバータから “ H i g h ” が出力される。またドライバー部の 2 つの C M O S インバータに “ L o w ” を入力した場合には出力段の C M O S インバータから “ L o w ” が出力される。また p MOS トランジスタ P T 3 および n MOS トランジスタ N T 3 からなる C M O S インバータに “ L o w ” を入力し、 p MOS トランジスタ P T 2 および n MOS トランジスタ N T 2 からなる C M O S インバータに “ H i g h ” を入力した場合、出力段の C M O S インバータの出力がフローティング状態となり、いわゆる “ H i g h i m p e d a n c e ” となる。

【 0 0 1 9 】

図 3 は、図 2 に示す回路が形成された 1 つのスタンダードセルの構成を概略的に示す平面図である。また図 4 は、図 3 の I V - I V 線に沿う概略断面図である。図 3 および図 4 を参照して、半導体基板の表面に p 型ウエル領域 1 が形成されており、この p 型ウエル領域 1 内の表面には n 型ウエル領域 2 が選択的に形成されている。この p 型ウエル領域 1 内の表面には、n MOS トランジスタ N T 1、N T 2、N T 3 が形成されている。n 型ウエル領域 2 内の表面には、p MOS トランジスタ P T 1、P T 2、P T 3 が形成されている。

【 0 0 2 0 】

またスタンダードセル 5 1 a の縦方向（図 3 中 Y 方向）の境界の一方（図 3 中の Y 方向下側の境界）に沿って、p 型ウエル領域 1 内の表面には横方向（図 3 中 X 方向）に延びるように p<sup>+</sup>領域 1 5 が形成されている。またスタンダードセル 5 1 a の縦方向（図 3 中 Y 方向）の境界の他方（図 3 中の Y 方向上側の境界）に沿って、n 型ウエル領域 2 内の表面には横方向（図 3 中 X 方向）に延びるように n<sup>+</sup>領域 2 5 が形成されている。

【 0 0 2 1 】

複数の MOS トランジスタの形成領域、p<sup>+</sup>領域 1 5 および n<sup>+</sup>領域 2 5 の各々を電氣的に分離するために、半導体基板の表面にたとえば S T I（Shallow Trench Isolation）よりなる素子分離領域 3 が形成されている。この S T I は、半導体基板の表面に設けた溝と、その溝内を充填する絶縁性の充填物により構成されている。

【 0 0 2 2 】

n MOS トランジスタ N T 1、N T 2、N T 3 の各々は、ドレイン領域 1 1 a およびソース領域 1 1 b と、ゲート絶縁層 1 2 と、ゲート電極層 1 3 とを有している。ドレイン領域 1 1 a およびソース領域 1 1 b は、n 型の不純物領域よりなっており、p 型ウエル領域 1 の表面に互いに距離をおいて形成されている。ゲート電極層 1 3 は、ドレイン領域 1 1 a およびソース領域 1 1 b に挟まれる領域上にゲート絶縁層 1 2 を介して形成されている。

【 0 0 2 3 】

p MOS トランジスタ P T 1、P T 2、P T 3 の各々は、ドレイン領域 2 1 a およびソース領域 2 1 b と、ゲート絶縁層 2 2 と、ゲート電極層 2 3 とを有している。ドレイン領域 2 1 a およびソース領域 2 1 b は、p 型の不純物領域よりなっており、n 型ウエル領域 2 の表面に互いに距離をおいて形成されている。ゲート電極層 2 3 は、ドレイン領域 2 1 a およびソース領域 2 1 b に挟まれる領域上にゲート絶縁層 2 2 を介して形成されている。

【 0 0 2 4 】

n MOS トランジスタ N T 2 のゲート電極層 1 3 と p MOS トランジスタ P T 2 のゲート電極層 2 3 とは共通の導電層よりなっており、互いに電氣的に接続されている。また n MOS トランジスタ N T 3 のゲート電極層 1 3 と p MOS トランジスタ P T 3 のゲート電

10

20

30

40

50

極層 2 3 とは共通の導電層よりなっており、互いに電氣的に接続されている。

【 0 0 2 5 】

これらの各 MOS トランジスタ NT 1 ~ NT 3、PT 1 ~ PT 3 を覆うように半導体基板の表面上に層間絶縁層 3 1 A、3 1 B が積層されて形成されている。層間絶縁層 3 1 A はたとえば TEOS (Tetra-Ethyl-Ortho-Silicate) 酸化膜よりなっており、層間絶縁層 3 1 B はたとえば SiOC、MSQ (Methylsilses-Quioxane) などよりなっている。

【 0 0 2 6 】

層間絶縁層 3 1 B にはその上面から層間絶縁層 3 1 A に達する配線用溝 3 1 b が形成されており、層間絶縁層 3 1 A には配線用溝 3 1 b の底部から半導体基板に達するコンタクトホール 3 1 a が形成されている。上記の配線用溝 3 1 b の各々の内部には、たとえば CuAl 合金 (Al 含有量がたとえば 0.1 ~ 1.0 % 程度) よりなる配線層 3 2 a ~ 3 2 h の各々が埋め込まれて形成されている。また上記のコンタクトホール 3 1 a の各々の内部には、たとえばタングステン (W) よりなるプラグ層が埋め込まれて形成されている。

【 0 0 2 7 】

なおコンタクトホール 3 1 a の側面および底面にはバリアメタル層 (図示せず) が形成されている。このバリアメタル層は、上記プラグ層と層間絶縁層 3 1 A との間および上記プラグ層と半導体基板との間に位置している。このバリアメタル層は、たとえばチタン (Ti) と窒化チタン (TiN) との積層構造を有している。

【 0 0 2 8 】

配線用溝 3 1 b の側面および底面にもバリアメタル層 (図示せず) が形成されている。このバリアメタル層は、上記配線層 3 2 a ~ 3 2 h と層間絶縁層 3 1 B との間、上記配線層 3 2 a ~ 3 2 h と上記プラグ層との間および上記配線層 3 2 a ~ 3 2 h と層間絶縁層 3 1 A との間に位置している。このバリアメタル層は、たとえばタンタル (Ta) よりなっている。

【 0 0 2 9 】

また層間絶縁層 3 1 A と層間絶縁層 3 1 B との間には、たとえば SiCN よりなるエッチングストップ層 (図示せず) が形成されている。

【 0 0 3 0 】

配線層 3 2 e により、nMOS トランジスタ NT 1 のドレイン領域 1 1 a と pMOS トランジスタ PT 1 のドレイン領域 2 1 a とが互いに電氣的に接続されている。また配線層 3 2 c により、nMOS トランジスタ NT 2 のドレイン領域 1 1 a と pMOS トランジスタ PT 2 のドレイン領域 2 1 a とが互いに電氣的に接続され、かつ nMOS トランジスタ NT 1 のゲート電極層 1 3 に電氣的に接続されている。また配線層 3 2 d により、nMOS トランジスタ NT 3 のドレイン領域 1 1 a と pMOS トランジスタ PT 3 のドレイン領域 2 1 a とが互いに電氣的に接続され、かつ pMOS トランジスタ PT 1 のゲート電極層 2 3 に電氣的に接続されている。これらの配線層 3 2 c、3 2 d はドライバー部から出力段へ信号を伝達する信号線に該当する。

【 0 0 3 1 】

また配線層 3 2 a は、スタンダードセル 5 1 a の縦方向の境界の一方 (図 3 中の Y 方向下側の境界) に沿ってその境界上を横方向 (図 3 中 X 方向) に延びるように延在している。また配線層 3 2 b は、スタンダードセル 5 1 a の縦方向の境界の他方 (図 3 中の Y 方向上側の境界) に沿ってその境界上を横方向 (図 3 中 X 方向) に延びるように延在している。これらのスタンダードセルの境界上に沿って延在する配線層 3 2 a、3 2 b の各々は、電源電位 (VDD、GND) を印加可能であり、電源線の下層配線に対応する。

【 0 0 3 2 】

具体的には、配線層 3 2 a には GND 電位が印加可能であり、配線層 3 2 b には VDD 電位が印加可能である。

【 0 0 3 3 】

配線層 3 2 a は p<sup>+</sup>領域 1 5 に電氣的に接続されており、p 型ウエル領域 1 の電位を固定している。また配線層 3 2 a は、縦方向 (図 3 中の Y 方向) の境界の一方 (図 3 中の Y

10

20

30

40

50

方向下側の境界)に沿って直線的に延在する部分から分岐してnMOSトランジスタNT2、NT3の各々のソース領域11b上に延びる部分を有し、その部分においてそれらのソース領域11bに電氣的に接続されている。

【0034】

配線層32bはn<sup>+</sup>領域25に電氣的に接続されており、n型ウエル領域2の電位を固定している。また配線層32bは、縦方向(図3中のY方向)の境界の他方(図3中のY方向上側の境界)に沿って直線的に延在する部分から分岐してpMOSトランジスタPT2のソース領域21b上に延びる部分を有し、その部分においてそのソース領域21bに電氣的に接続されている。

【0035】

またnMOSトランジスタNT1のソース領域11b、pMOSトランジスタPT1のソース領域21bおよびpMOSトランジスタPT3のソース領域21bの各々には、配線層32g、32h、32fの各々が電氣的に接続されている。

【0036】

なお配線層32a~32hの各々と半導体基板の表面に形成された不純物領域との接続は、層間絶縁層31Aに形成されたコンタクトホール31a内のプラグ層を通じてなされている。

【0037】

配線層32a~32hを覆うように層間絶縁層31B上に、たとえばSiOC、MSQよりなる層間絶縁層33が形成されている。この層間絶縁層33の上面には配線用溝33bが形成されており、配線用溝33bの底部から下層の各配線層の各々に達するビア溝33aが形成されている。このビア溝33aおよび配線用溝33b内を埋め込むように、たとえばCuAl合金(Al含有量がたとえば0.1~1.0%程度)よりなる配線層34a~34dの各々が形成されている。

【0038】

またビア溝33aおよび配線用溝33bの側面および底面にはバリアメタル層(図示せず)が形成されている。このバリアメタル層は、配線層34a~34dの各々と層間絶縁層33との間、ビア溝33aの各々と層間絶縁層33との間およびビア溝33aの各々と下層の配線層との間に位置している。このバリアメタル層は、たとえばタンタル(Ta)と窒化タンタル(TaN)との積層構造を有している。

【0039】

また層間絶縁層33の下には、たとえばSiCNよりなるエッチングストップ層(図示せず)が形成されている。

【0040】

配線層34cにより、nMOSトランジスタNT1のソース領域11b(配線層32g)とnMOSトランジスタNT3のソース領域11bとが互いに電氣的に接続され、かつGND電位が印加可能な配線層32aに電氣的に接続されている。また配線層34dにより、pMOSトランジスタPT1のソース領域21b(配線層32h)とpMOSトランジスタPT3のソース領域21b(配線層32f)とpMOSトランジスタPT2のソース領域21bとが互いに電氣的に接続され、かつVDD電位が印加可能な配線層32bに電氣的に接続されている。

【0041】

配線層34cは、図3に示す平面視において、電源線の下層配線32aよりもスタンダードセル51aの内側(中央側)に配置されている。また配線層34dは、図3に示す平面視において、電源線の下層配線32bよりもスタンダードセル51aの内側(中央側)に配置されている。

【0042】

また配線層34aは、スタンダードセル51aの縦方向(図3中のY方向)の境界の一方(図3中のY方向下側の境界)に沿ってその境界上を横方向(図3中X方向)に延びるように延在している。また配線層34bは、スタンダードセル51aの縦方向(図3中の

10

20

30

40

50

Y方向)の境界の他方(図3中のY方向上側の境界)に沿ってその境界上を横方向(図3中X方向)に延びるように延在している。配線層34aはその下層に並走して延在する配線層32aに接続されており、配線層34bはその下層に並走して延在する配線層32bに接続されている。

【0043】

また配線層34aはその下層に並走して延在する配線層32aの線幅W1aよりも大きな線幅W2aを有している。また配線層34bはその下層に並走して延在する配線層32bの線幅W1bよりも大きな線幅W2bを有している。

【0044】

このように、このスタンダードセル51a内のすべての配線層34a、34b、34c、34dはVDDおよびGNDのいずれかの電源電位となるため、電源線の上層配線に該当する。

【0045】

なお配線層34a~34dの各々と配線層32a、32b、32e~32hの各々との電氣的接続は、配線層34a~34dの各々のビア溝33a内を埋め込む部分を通じてなされている。

【0046】

上記のように、nMOSトランジスタNT1のソース領域11bは、GND電位の電源線の上層配線34cを介してGND電位の電源線の下層配線32aに電氣的に接続されている。またpMOSトランジスタPT1、PT3の各々のソース領域21bは、VDD電位の電源線の上層配線34dを介してVDD電位の電源線の下層配線32bに電氣的に接続されている。

【0047】

また信号線32cは、図3に示す平面視において、電源線の上層配線34cおよび配線層32gの接続部(ビアホール33a)と、下層配線32aのスタンダードセル51aの境界に沿って直線的に延在する部分との間に位置するように配置されている。信号線32dは、図3に示す平面視において、電源線の上層配線34dおよび配線層32hの接続部(ビアホール33a)と、下層配線32bのスタンダードセル51aの境界に沿って直線的に延在する部分との間に位置するように配置されている。

【0048】

本実施の形態によれば、GND電位の電源線が下層配線32aと上層配線34aとに分離しており、かつVDD電位の電源線が下層配線32bと上層配線34bとに分離している。このため、電源線が単一層の場合よりも電流経路が増えているため、高速化を図ることができる。また、電源線の線幅を太くすることなく電流経路を増やすことができるため、高集積化を図ることもできる。

【0049】

また上層配線34a、34bが下層配線32a、32bの線幅W1a、W1bよりも大きな線幅W2a、W2bを有しているため、電源線の抵抗値を低減することができる。

【0050】

また下層配線32a、32bが上層配線34a、34bの線幅W2a、W2bよりも小さな線幅W1a、W1bを有しているため、その分、配線の配置のための空き空間が大きくなる。このため下層配線と同じ層に他の配線(たとえば信号線32c、32d)などを配置することが容易となり、他の配線の平面レイアウトの自由度が高まる。

【0051】

また下層配線32a、32bの各々が、スタンダードセル51aの境界に沿って延在している。このため、隣り合うスタンダードセル51a間で下層配線32a、32bを共有することができる。これにより隣り合うスタンダードセル51aの各々で別個に下層配線32a、32bを形成する必要がないため、高集積化を図ることができる。

【0052】

また上層配線34a、34bの各々が、スタンダードセル51aの境界に沿って延在し

10

20

30

40

50



ている。このため、上記と同様、隣り合うスタンダードセル 5 1 a の各々で別個に上層配線 3 4 a、3 4 b を形成する必要がないため、高集積化を図ることができる。

【 0 0 5 3 】

さらに n M O S トランジスタ N T 1 のソース領域 1 1 b は、G N D 電位の電源線の上層配線 3 4 c を介して G N D 電位の電源線の下層配線 3 2 a に電氣的に接続されている。また p M O S トランジスタ P T 1、P T 3 の各々のソース領域 2 1 b は、V D D 電位の電源線の上層配線 3 4 d を介して V D D 電位の電源線の下層配線 3 2 b に電氣的に接続されている。このため、スタンダードセル 5 1 a の境界に位置する下層配線 3 2 a、3 2 b の各々をトランジスタが位置するスタンダードセル 5 1 a の中央部へ延ばす必要がなくなる。これにより、下層配線 3 2 a、3 2 b の各々をスタンダードセル 5 1 a の中央部へ延ばすべき部分に空き空間が生じるため、その空き空間に信号線 3 2 c、3 2 d などの他の配線を配置することが可能となり、高集積化を図ることができる。

10

【 0 0 5 4 】

このように空き空間に信号線 3 2 c、3 2 d を配置した結果、信号線 3 2 c は、図 3 に示す平面視において、電源線の上層配線 3 4 c および配線層 3 2 g の接続部と、下層配線 3 2 a のスタンダードセル 5 1 a の境界に沿って延在する部分との間に位置するように配置され得る。また信号線 3 2 d は、図 3 に示す平面視において、電源線の上層配線 3 4 d および配線層 3 2 h の接続部と、下層配線 3 2 b のスタンダードセル 5 1 a の境界に沿って延在する部分との間に位置するように配置され得る。

【 0 0 5 5 】

20

以上より、高速化および高集積化の双方を両立可能な半導体装置を得ることができる。

( 実施の形態 2 )

図 5 は、本発明の実施の形態 2 における半導体装置の複数個のスタンダードセルが並んだ様子を概略的に示す平面図である。図 6 は、図 5 の V I - V I 線に沿う概略断面図である。図 5 および図 6 を参照して、本実施の形態では、複数のスタンダードセル 5 1 a のそれぞれに、n M O S トランジスタ N T 1 および p M O S トランジスタ P T 1 よりなる C M O S インバータが形成された構成について説明する。

【 0 0 5 6 】

半導体基板の表面に p 型ウエル領域 1 が形成されており、この p 型ウエル領域 1 内の表面には n 型ウエル領域 2 が選択的に形成されている。p 型ウエル領域 1 内の表面には、n M O S トランジスタ N T 1 が形成されている。n 型ウエル領域 2 内の表面には、p M O S トランジスタ P T 1 が形成されている。

30

【 0 0 5 7 】

スタンダードセル 5 1 a の縦方向 ( 図 5 中の Y 方向 ) の境界の一方 ( 図 5 中の Y 方向下側の境界 ) に沿って横方向 ( 図 5 中 X 方向 ) に延びるように、p 型ウエル領域 1 内の表面には p<sup>+</sup>領域 1 5 が形成されている。またスタンダードセル 5 1 a の縦方向 ( 図 5 中の Y 方向 ) の境界の他方 ( 図 5 中の Y 方向上側の境界 ) に沿って横方向 ( 図 5 中 X 方向 ) に延びるように、n 型ウエル領域 2 内の表面には n<sup>+</sup>領域 2 5 が形成されている。

【 0 0 5 8 】

複数の M O S トランジスタの形成領域、p<sup>+</sup>領域 1 5 および n<sup>+</sup>領域 2 5 の各々を電氣的に分離するために、半導体基板の表面にたとえば S T I よりなる素子分離領域 3 が形成されている。この S T I は、半導体基板の表面に設けた溝と、その溝内を充填する絶縁性の充填物により構成されている。

40

【 0 0 5 9 】

n M O S トランジスタ N T 1 は、ドレイン領域 1 1 a およびソース領域 1 1 b と、ゲート絶縁層 1 2 と、ゲート電極層 1 3 とを有している。ドレイン領域 1 1 a およびソース領域 1 1 b は、n 型の不純物領域よりなっており、p 型ウエル領域 1 の表面に互いに距離をおいて形成されている。ゲート電極層 1 3 は、ドレイン領域 1 1 a およびソース領域 1 1 b に挟まれる領域上にゲート絶縁層 1 2 を介して形成されている。

【 0 0 6 0 】

50

pMOSトランジスタPT1は、ドレイン領域21aおよびソース領域21bと、ゲート絶縁層22と、ゲート電極層23とを有している。ドレイン領域21aおよびソース領域21bは、p型の不純物領域よりなっており、n型ウエル領域2の表面に互いに距離をおいて形成されている。ゲート電極層23は、ドレイン領域21aおよびソース領域21bに挟まれる領域上にゲート絶縁層22を介して形成されている。

【0061】

nMOSトランジスタNT2のゲート電極層13とpMOSトランジスタPT2のゲート電極層23とは共通の導電層よりなっており、互いに電氣的に接続されている。

【0062】

これらの各MOSトランジスタNT1、PT1を覆うように半導体基板の表面上に層間絶縁層31A、31Bが積層されて形成されている。層間絶縁層31AはたとえばTEOS酸化膜よりなっており、層間絶縁層31BはたとえばSiOC、MSQなどよりなっている。層間絶縁層31Bにはその上面から層間絶縁層31Aに達する配線用溝31bが形成されており、層間絶縁層31Aには配線用溝31bの底部から半導体基板に達するコンタクトホール31aが形成されている。上記の配線用溝31bの各々の内部には、たとえばCuAl合金（Al含有量がたとえば0.1～1.0%程度）よりなる配線層32a、32b、32e、32g、32hの各々が埋め込まれて形成されている。また上記のコンタクトホール31aの各々の内部には、たとえばタングステン（W）よりなるプラグ層が埋め込まれて形成されている。

【0063】

なおコンタクトホール31aの側面および底面にはバリアメタル層（図示せず）が形成されている。このバリアメタル層は、上記プラグ層と層間絶縁層31Aとの間および上記プラグ層と半導体基板との間に位置している。このバリアメタル層は、たとえばチタン（Ti）と窒化チタン（TiN）との積層構造を有している。

【0064】

配線用溝31bの側面および底面にもバリアメタル層（図示せず）が形成されている。このバリアメタル層は、上記配線層32a、32b、32e、32g、32hの各々と層間絶縁層31Bとの間、上記配線層32a、32b、32e、32g、32hの各々と上記プラグ層との間および上記配線層32a、32b、32e、32g、32hの各々と層間絶縁層31Aとの間に位置している。このバリアメタル層は、たとえばタンタル（Ta）よりなっている。

【0065】

また層間絶縁層31Aと層間絶縁層31Bの間には、たとえばSiCNよりなるエッチングストップ層（図示せず）が形成されている。

【0066】

配線層32eにより、nMOSトランジスタNT1のドレイン領域11aとpMOSトランジスタPT1のドレイン領域21aとが互いに電氣的に接続されている。また配線層32aは、スタンダードセル51aの縦方向（図5中のY方向）の境界の一方（図5中のY方向下側の境界）に沿ってその境界上を横方向（図5中X方向）に延びるように延在している。また配線層32bは、スタンダードセル51aの縦方向（図5中のY方向）の境界の他方（図5中のY方向上側の境界）に沿ってその境界上を横方向（図5中X方向）に延びるように延在している。この配線層32bは、その下層のn<sup>+</sup>領域25に電氣的に接続されており、それによりn型ウエル領域2の電位を固定している。これらのスタンダードセル51aの境界線上に沿って延在する配線層32a、32bの各々は、VDDおよびGNDのいずれかの電源電位を印加可能であり、電源線の下層配線に対応する。

【0067】

具体的には、配線層32aにはGND電位が印加可能であり、配線層32bにはVDD電位が印加可能である。

【0068】

配線層32aはその下層のp<sup>+</sup>領域15に電氣的に接続されており、それによりp型ウ

10

20

30

40

50

エル領域 1 の電位を固定している。また配線層 3 2 a は、縦方向（図 5 中の Y 方向）の境界の一方（図 5 中の Y 方向下側の境界）に沿って直線的に延在する部分から分岐して C M O S インバータなどの機能素子が形成されていないスタンダードセル 5 1 a 上に延びる部分を有している。

【 0 0 6 9 】

配線層 3 2 b は  $n^+$  領域 2 5 に電氣的に接続されており、それにより  $n$  型ウエル領域 2 の電位を固定している。また配線層 3 2 b は、縦方向（図 5 中の Y 方向）の境界の他方（図 5 中の Y 方向上側の境界）に沿って直線的に延在する部分から分岐して C M O S インバータなどの機能素子が形成されていないスタンダードセル 5 1 a 上に延びる部分を有している。

10

【 0 0 7 0 】

また  $n$  M O S トランジスタ N T 1 のソース領域 1 1 b および  $p$  M O S トランジスタ P T 1 のソース領域 2 1 b の各々には、配線層 3 2 g、3 2 h の各々が電氣的に接続されている。

【 0 0 7 1 】

なお配線層 3 2 a、3 2 b、3 2 e、3 2 g、3 2 h の各々と半導体基板の表面に形成された不純物領域との接続は、層間絶縁層 3 1 A に形成されたコンタクトホール 3 1 a 内のプラグ層を通じてなされている。

【 0 0 7 2 】

配線層 3 2 a、3 2 b、3 2 e、3 2 g、3 2 h を覆うように層間絶縁層 3 1 B 上に、たとえば S i O C、M S Q よりなる層間絶縁層 3 3 が形成されている。この層間絶縁層 3 3 の上面には配線用溝 3 3 b が形成されており、配線用溝 3 3 b の底部から下層の各配線層の各々に達するビア溝 3 3 a が形成されている。このビア溝 3 3 a および配線用溝 3 3 b 内を埋め込むように、たとえば C u A l 合金（A l 含有量がたとえば 0 . 1 ~ 1 . 0 % 程度）よりなる配線層 3 4 c、3 4 d の各々が形成されている。

20

【 0 0 7 3 】

またビア溝 3 3 a および配線用溝 3 3 b の側面および底面にはバリアメタル層（図示せず）が形成されている。このバリアメタル層は、配線層 3 4 c、3 4 d の各々と層間絶縁層 3 3 との間、ビア溝 3 3 a の各々と層間絶縁層 3 3 との間およびビア溝 3 3 a の各々と下層の配線層との間に位置している。このバリアメタル層は、たとえばタンタル（T a）と窒化タンタル（T a N）との積層構造を有している。

30

【 0 0 7 4 】

また層間絶縁層 3 3 の下には、たとえば S i C N よりなるエッチングストップ層（図示せず）が形成されている。

【 0 0 7 5 】

配線層 3 4 c により、各スタンダードセル 5 1 a における  $n$  M O S トランジスタ N T 1 のソース領域 1 1 b（配線層 3 2 g）が互いに電氣的に接続されている。また配線層 3 4 c は、C M O S インバータが形成されていないスタンダードセル 5 1 a 内にて、電源線の下層配線 3 2 a の分岐部と電氣的に接続されている。

【 0 0 7 6 】

40

配線層 3 4 d により、各スタンダードセル 5 1 a における  $p$  M O S トランジスタ P T 1 のソース領域 2 1 b（配線層 3 2 h）が互いに電氣的に接続されている。また配線層 3 4 d は、C M O S インバータが形成されていないスタンダードセル 5 1 a 内にて、電源線の下層配線 3 2 b の分岐部と電氣的に接続されている。

【 0 0 7 7 】

配線層 3 4 c は、図 5 に示す平面視において、電源線の下層配線 3 2 a よりもスタンダードセル 5 1 a の内側（中央側）に配置されている。また配線層 3 4 d は、図 5 に示す平面視において、電源線の下層配線 3 2 b よりもスタンダードセル 5 1 a の内側（中央側）に配置されている。

【 0 0 7 8 】

50

なお配線層 3 4 c、3 4 d の各々と配線層 3 2 a、3 2 b、3 2 g、3 2 h の各々との電氣的接続は、配線層 3 4 c、3 4 d の各々のビア溝 3 3 a 内を埋め込む部分を通じてなされている。

【0079】

上記のように、nMOSトランジスタNT1のソース領域11bは、GND電位の電源線の上層配線34cを介してGND電位の電源線の下層配線32aに電氣的に接続されている。またpMOSトランジスタPT1のソース領域21bは、VDD電位の電源線の上層配線34dを介してVDD電位の電源線の下層配線32bに電氣的に接続されている。

【0080】

本実施の形態によれば、下層配線32a、32bの各々が、スタンダードセル51aの境界に沿って延在している。このため、隣り合うスタンダードセル51a間で下層配線32a、32bを共有することができる。これにより隣り合うスタンダードセル51aの各々で別個に下層配線32a、32bを形成する必要がないため、高集積化を図ることができる。

【0081】

また上層配線34a、34bの各々が、スタンダードセル51aの境界に沿って延在している。このため、上記と同様、隣り合うスタンダードセル51aの各々で別個に上層配線34a、34bを形成する必要がないため、高集積化を図ることができる。

【0082】

さらにnMOSトランジスタNT1のソース領域11bは、GND電位の電源線の上層配線34cを介してGND電位の電源線の下層配線32aに電氣的に接続されている。またpMOSトランジスタPT1のソース領域21bは、VDD電位の電源線の上層配線34dを介してVDD電位の電源線の下層配線32bに電氣的に接続されている。このため、スタンダードセル51aの境界に位置する下層配線32a、32bの各々を各トランジスタが位置するスタンダードセル51aの中央部へ延ばす必要がなくなる。これにより、下層配線32a、32bの各々をスタンダードセル51aの中央部へ延ばすべき部分に空き空間が生じるため、その空き空間に信号線32c、32dなどの他の配線を配置することが可能となり、高集積化を図ることができる。

【0083】

以上より、高速化および高集積化の双方を両立可能な半導体装置を得ることができる。

なお、実施の形態2において、図5において機能素子(たとえばCMOSインバータ)が形成されていないスタンダードセル51aに、図7に示すようにヒューズ40が配置されていてもよい。このようなヒューズ40が配置された複数のスタンダードセル51aよりなる列がさらに半導体装置内に存在していてもよい。このヒューズ40は、たとえば電源線の下層配線32a、32bの分岐部分の経路の途中に配置されていてもよい。

【0084】

これ以外の図7の構成は、上述した図5および図6の構成とほぼ同じであるため、同一の要素については同一の符号を付し、その説明を繰り返さない。

【0085】

また図5においては、機能素子が形成されていないスタンダードセル51aにおいて電源線の上層配線34cが下層配線32aに電氣的に接続され、かつ電源線の上層配線34dが下層配線32bに電氣的に接続された構成について説明した。しかし、実施の形態2において、図8に示すように機能素子が形成されていないスタンダードセル51a内で電源線の上層配線34cが下層配線32aに電氣的に接続されておらず、かつ電源線の上層配線34dが下層配線32bに電氣的に接続されていないような複数のスタンダードセル51aよりなる列がさらに半導体装置内に存在していてもよい。

【0086】

これ以外の図8の構成は、上述した図5および図6の構成とほぼ同じであるため、同一の要素については同一の符号を付し、その説明を繰り返さない。

【0087】

10

20

30

40

50

実施の形態 2 の図 5 に示すように、機能素子が形成されていないスタンダードセル 5 1 a において、電源線の上層配線 3 4 c が下層配線 3 2 a に電氣的に接続されており、かつ電源線の上層配線 3 4 d が下層配線 3 2 b に電氣的に接続されている形態を A 形態とする。また図 8 に示すように、機能素子が形成されていないスタンダードセル 5 1 a において、電源線の上層配線 3 4 c が下層配線 3 2 a に電氣的に接続されておらず、かつ電源線の上層配線 3 4 d が下層配線 3 2 b に電氣的に接続されていない形態を B 形態とする。

【 0 0 8 8 】

これら A 形態と B 形態とを半導体装置の設計段階で入れ替えるだけで、A 形態を有する複数のスタンダードセル 5 1 a 列は高速動作が可能なセル列として使用できるように設計可能となり、B 形態を有する複数のスタンダードセル 5 1 a 列は低消費電力動作が可能なセル列として使用できるように設計可能となる。

10

【 0 0 8 9 】

A 形態を有する複数のスタンダードセル 5 1 a 列では、複数層からの電源線により動作電流が供給されるため高速動作が可能である。また B 形態を有する複数のスタンダードセル 5 1 a 列では、電位関係が下層配線 3 2 a < 上層配線 3 4 c < 上層配線 3 4 d < 下層配線 3 2 b となる。これにより、n M O S トランジスタ N T 1 や p M O S トランジスタ P T 1 の基板の電位とソース電位とに異なる電位の電圧を供給して基板効果によるトランジスタのしきい値 ( $V_{th}$ ) を大きくすることで、スタンダードセル 5 1 a を含む回路の待機電流を小さくできるため、低消費電力動作が可能となる。

【 0 0 9 0 】

20

これら A 形態と B 形態はセルの大きさが非常に似通っているため、簡単に入れ替え可能であり、簡単に高速動作が可能なセル列と低消費電力動作が可能なセル列とを入れ替えられる。

【 0 0 9 1 】

また図 7 に示すように機能素子が形成されていないスタンダードセル 5 1 a にヒューズ 4 0 が配置されるような形態を C 形態とする。この C 形態を有することで、製品のテスト工程でヒューズの切断有無により上述したような高速動作と低消費電力動作とを入れ替えることができる。半導体プロセスの微細化に伴い、製品のウエハプロセス完了後の特性ばらつきの問題が大きくなってきている。しかし、テスト工程でスタンダードセル 5 1 a を高速動作または低消費電力動作向けと選択することで、特性ばらつきを小さくすることが可能である。たとえば、トランジスタのしきい値電圧  $V_{th}$  が低くなる方向にずれることで、動作速度はターゲットの速度よりも充分速いものの、消費電力がターゲットの消費電力よりも大きくなる場合が考えられる。この場合、ヒューズ 4 0 を切断し、B 形態を有する複数のスタンダードセル 5 1 a 列のような電位関係とすることで基板効果による消費電力削減により消費電力をターゲットの消費電力内に抑えることが可能になる。

30

【 0 0 9 2 】

( 実施の形態 3 )

本実施の形態は、実施の形態 2 の構成を變形することにより図 2 に示す回路構成を実現したものである。

【 0 0 9 3 】

40

図 9 は、本発明の実施の形態 3 における半導体装置の複数個のスタンダードセルが並んだ様子を概略的に示す平面図である。図 1 0 は、図 9 の X - X 線に沿う概略断面図である。図 9 および図 1 0 を参照して、本実施の形態の構成では、たとえばインバータを有する 3 つ並んだスタンダードセル 5 1 a のうち、中央のスタンダードセル 5 1 a 内の n M O S トランジスタ N T 1 および p M O S トランジスタ P T 1 が図 2 における出力段の C M O S インバータに対応している。

【 0 0 9 4 】

また、中央のスタンダードセル 5 1 a の図中右側のスタンダードセル 5 1 a の n M O S トランジスタ N T 2 および p M O S トランジスタ P T 2 よりなる C M O S インバータと、図中左側のスタンダードセル 5 1 a の n M O S トランジスタ N T 3 および p M O S トラン

50

ジスタPT3よりなるCMOSインバータとが図2におけるドライバー部に対応している。

【0095】

中央のスタンダードセル51a内のnMOSトランジスタNT1のゲート電極層13とpMOSトランジスタPT1のゲート電極層23とが電氣的に分離されている。右側のスタンダードセル51aにおける配線層32e<sub>1</sub>は、中央のスタンダードセル51aのゲート電極層13に電氣的に接続されており、実施の形態1における信号線32cに対応するものである。この配線層32e<sub>1</sub>はnMOSトランジスタNT2のドレイン領域11aとpMOSトランジスタPT2のドレイン領域21aとを電氣的に接続している。

【0096】

また左側のスタンダードセル51aにおける配線層32e<sub>2</sub>は、中央のスタンダードセル51aのゲート電極層23に電氣的に接続されており、実施の形態1における信号線32dに対応するものである。この配線層32e<sub>2</sub>はnMOSトランジスタNT3のドレイン領域11aとpMOSトランジスタPT3のドレイン領域21aとを電氣的に接続している。

【0097】

電源線の上層配線34cはその下層に並走して延在する下層配線32aの線幅W1aよりも大きな線幅W2aを有しており、上層配線34dはその下層に並走して延在する下層配線32bの線幅W1bよりも大きな線幅W2bを有している。これにより、上層配線34cは、図9に示す平面視において、下層配線32aよりもスタンダードセル51aの内側に位置する部分を有している。上層配線34cの下層配線32aよりも内側に位置する部分は、配線層32gに平面的に重複しており、かつビアホール33aを介して配線層32gに電氣的に接続されている。

【0098】

また電源線の上層配線34dは、図9に示す平面視において、下層配線32bよりもスタンダードセル51aの内側に位置する部分を有している。上層配線34dの下層配線32bよりも内側に位置する部分は、配線層32hに平面的に重複しており、かつビアホール33aを介して配線層32hに電氣的に接続されている。

【0099】

電源線の下層配線32a、32bの各々は、スタンダードセル51aの境界線に沿って直線的に延びており、その境界部からスタンダードセル51aの内側へ延在する分岐部分を有していない。

【0100】

上記のように、nMOSトランジスタNT1のソース領域11bは、GND電位の電源線の上層配線34cを介してGND電位の電源線の下層配線32aに電氣的に接続されている。またpMOSトランジスタPT1のソース領域21bは、VDD電位の電源線の上層配線34dを介してVDD電位の電源線の下層配線32bに電氣的に接続されている。

【0101】

また信号線32e<sub>1</sub>は、図9に示す平面視において、電源線の上層配線34cおよび配線層32gの接続部（ビアホール33a）と下層配線32aとの間に位置するように配置されている。信号線32e<sub>2</sub>は、図9に示す平面視において、電源線の上層配線34dおよび配線層32hの接続部（ビアホール33a）と下層配線32bとの間に位置するように配置されている。

【0102】

なお、本実施の形態の上記以外の構成は、図5および図6に示す実施の形態2の構成とほぼ同じであるため、同一の要素については同一の符号を付し、その説明を繰り返さない。

【0103】

本実施の形態によれば、GND電位の電源線が下層配線32aと上層配線34cとに分離しており、かつVDD電位の電源線が下層配線32bと上層配線34dとに分離してい

10

20

30

40

50

る。このため、電源線が単一層の場合よりも電流経路が増えているため、高速化を図ることができる。また、電源線の線幅を太くすることなく電流経路を増やすことができるため、高集積化を図ることもできる。

【0104】

また上層配線34c、34dが下層配線32a、32bの線幅W1a、W1bよりも大きな線幅W2a、W2bを有しているため、電源線の抵抗値を低減することができる。

【0105】

また下層配線32a、32bが上層配線34c、34dの線幅W2a、W2bよりも小さな線幅W1a、W1bを有しているため、その分、配線の配置のための空き空間が大きくなる。このため下層配線32a、32bと同じ層に他の配線（たとえば信号線32e<sub>1</sub>、32e<sub>2</sub>）などを配置することが容易となり、他の配線の平面レイアウトの自由度が高まる。

10

【0106】

また下層配線32a、32bの各々が、スタンダードセル51aの境界に沿って延在している。このため、隣り合うスタンダードセル51a間で下層配線32a、32bを共有することができる。これにより隣り合うスタンダードセル51aの各々で別個に下層配線32a、32bを形成する必要がないため、高集積化を図ることができる。

【0107】

また上層配線34c、34dの各々が、スタンダードセル51aの境界に沿って延在しているため、上記と同様、隣り合うスタンダードセル51aの各々で別個に上層配線34c、34dを形成する必要がないため、高集積化を図ることができる。

20

【0108】

さらにnMOSトランジスタNT1～NT3の各々のソース領域11bは、GND電位の電源線の上層配線34cを介してGND電位の電源線の下層配線32aに電氣的に接続されている。またpMOSトランジスタPT1～PT3の各々のソース領域21bは、VDD電位の電源線の上層配線34dを介してVDD電位の電源線の下層配線32bに電氣的に接続されている。このため、スタンダードセル51aの境界に位置する下層配線32a、32bの各々を各トランジスタが位置するスタンダードセル51aの中央部へ延ばす必要がなくなる。これにより、下層配線32a、32bの各々をスタンダードセル51aの中央部へ延ばすべき部分に空き空間が生じるため、その空き空間に信号線32e<sub>1</sub>、32e<sub>2</sub>などの他の配線を配置することが可能となり、高集積化を図ることができる。

30

【0109】

このように空き空間に信号線32e<sub>1</sub>、32e<sub>2</sub>を配置した結果、信号線32e<sub>1</sub>は、図9に示す平面視において、電源線の上層配線34cおよび配線層32gの接続部と下層配線32aとの間に位置するように配置され得る。また信号線32e<sub>2</sub>は、図9に示す平面視において、電源線の上層配線34dおよび配線層32hの接続部と下層配線32bとの間に位置するように配置され得る。

【0110】

以上より、高速化および高集積化の双方を両立可能な半導体装置を得ることができる。

なお上記の実施の形態1～3においては、機能素子としてCMOSインバータを有する素子について説明したが、本発明はこれに限定されるものではなく、CMOSのNANDやNOR回路、これ以外の他の機能素子に適用することもできる。

40

【0111】

（実施の形態4）

図11は本発明の実施の形態4における半導体装置の回路構成を示す回路図である。また図12は図11に示す回路図をトランジスタレベルで示す回路図である。

【0112】

図11および図12を参照して、本実施の形態の回路は、2入力のNANDゲートNA1、NA2と、バッファBU1、BU2、BU3と、インバータINとを有している。

【0113】

50

2入力のNANDゲートNA1は、図12に示すように接続されたpMOSトランジスタPT11、PT12と、nMOSトランジスタNT11、NT12とを有している。pMOSトランジスタPT11とnMOSトランジスタNT11との各ゲートには端子Aが電氣的に接続されており、pMOSトランジスタPT12とnMOSトランジスタNT12との各ゲートには端子Bが電氣的に接続されている。

【0114】

バッファBU1は、pMOSトランジスタPT13およびnMOSトランジスタNT13からなるCMOSインバータと、pMOSトランジスタPT14およびnMOSトランジスタNT14からなるCMOSインバータとにより構成されている。このバッファBU1は、NANDゲートNA1の出力が入力されるように構成されている。

10

【0115】

バッファBU2は、pMOSトランジスタPT15およびnMOSトランジスタNT15からなるCMOSインバータと、pMOSトランジスタPT16およびnMOSトランジスタNT16からなるCMOSインバータとにより構成されている。このバッファBU2は、バッファBU1の出力が入力されるように構成されている。

【0116】

バッファBU3は、pMOSトランジスタPT17およびnMOSトランジスタNT17からなるCMOSインバータと、pMOSトランジスタPT18およびnMOSトランジスタNT18からなるCMOSインバータとにより構成されている。pMOSトランジスタPT17およびnMOSトランジスタNT17の各ゲートには端子Cが電氣的に接続されている。

20

【0117】

2入力のNANDゲートNA2は、図12に示すように接続されたpMOSトランジスタPT19、PT20と、nMOSトランジスタNT19、NT20とを有している。pMOSトランジスタPT19とnMOSトランジスタNT19との各ゲートにはバッファBU2の出力が電氣的に接続されている。pMOSトランジスタPT20とnMOSトランジスタNT20との各ゲートにはバッファBU3の出力が電氣的に接続されている。

【0118】

インバータINは、pMOSトランジスタPT21およびnMOSトランジスタNT21からなるCMOSインバータにより構成されている。pMOSトランジスタPT21およびnMOSトランジスタNT21の各ゲートにはNANDゲートNA2の出力が電氣的に接続されている。またインバータINの出力は端子Yに電氣的に接続されている。

30

【0119】

次に、図11および図12に示す回路を構成する半導体装置の平面レイアウト構成について説明する。

【0120】

図13～図15は、図11および図12に示す回路を構成する半導体装置の平面レイアウト構成を下層から順に示す概略平面図である。図13は半導体基板に形成された拡散領域および素子分離領域と、半導体基板上に形成されたゲート電極層などの多結晶シリコン層とを示している。図14は上記の多結晶シリコン層とその上の第1層目の金属層とを主に示している。また図15は上記の第1層目の金属層とその上の第2層目の金属層と第3層目の金属層とを示している。

40

【0121】

図13を参照して、半導体基板SUBの表面には、NANDゲートの形成領域NA1、NA2と、バッファの形成領域BU1、BU2、BU3と、インバータの形成領域INと、回路非構成領域NONとがある。これらの形成領域のそれぞれはスタンダードセルである。

【0122】

バッファの形成領域BU3と、回路非構成領域NONと、インバータの形成領域INとは、この順で図中X方向に並んで配置されている。またNANDゲートの形成領域NA1

50



と、バッファの形成領域BU1と、バッファの形成領域BU2と、NANDゲートの形成領域NA2とは、この順で図中X方向に並んで配置されている。

【0123】

NANDゲートの形成領域NA1には、上記のpMOSトランジスタPT11、PT12と、nMOSトランジスタNT11、NT12とが形成されている。バッファの形成領域BU1には、上記のpMOSトランジスタPT13、PT14と、nMOSトランジスタNT13、NT14とが形成されている。バッファの形成領域BU2には、上記のpMOSトランジスタPT15、PT16と、nMOSトランジスタNT15、NT16とが形成されている。NANDゲートの形成領域NA2には、上記のpMOSトランジスタPT19、PT20と、nMOSトランジスタNT19、NT20とが形成されている。

10

【0124】

バッファの形成領域BU3には、上記のpMOSトランジスタPT17、PT18と、nMOSトランジスタNT17、NT18とが形成されている。インバータの形成領域INには、上記のpMOSトランジスタPT21およびnMOSトランジスタNT21が形成されている。

【0125】

バッファの形成領域BU3、回路非構成領域NONおよびインバータの形成領域INの図中Y方向上側の境界に沿って図中X方向に延びるように半導体基板SUB内の表面にはp<sup>+</sup>領域PR1が形成されている。またNANDゲートの形成領域NA1、バッファの形成領域BU1、BU2およびNANDゲートの形成領域NA2の図中Y方向下側の境界に沿って図中X方向に延びるように半導体基板SUB内の表面にはp<sup>+</sup>領域PR2が形成されている。

20

【0126】

またバッファの形成領域BU3、回路非構成領域NONおよびインバータの形成領域INの図中Y方向下側の境界であって、NANDゲートの形成領域NA1、バッファの形成領域BU1、BU2およびNANDゲートの形成領域NA2の図中Y方向上側の境界に沿ってn<sup>+</sup>領域NRが形成されている。このn<sup>+</sup>領域NRもその境界に沿って図中X方向に延びるように半導体基板SUB内の表面に形成されている。

【0127】

図14を参照して、MOSトランジスタ上には、層間絶縁層（図示せず）を介して、パターンニングされた第1層目の金属層が形成されている。この第1層目の金属層は、GND電位の電源線の下層配線GNDL1、GNDL2と、VDD電位の電源線の下層配線VDLと、その他信号線SL1とを有している。

30

【0128】

下層配線GNDL1は、バッファの形成領域BU3、回路非構成領域NONおよびインバータの形成領域INの図中Y方向上側の境界に沿って図中X方向に延びている。この下層配線GNDL1は、下層のp<sup>+</sup>領域PR1に複数個のコンタクトホールCHを介して電氣的に接続されている。

【0129】

下層配線GNDL2は、NANDゲートの形成領域NA1、バッファの形成領域BU1、BU2およびNANDゲートの形成領域NA2の図中Y方向下側の境界に沿って図中X方向に延びている。この下層配線GNDL2は、下層のp<sup>+</sup>領域PR2に複数個のコンタクトホールCHを介して電氣的に接続されている。

40

【0130】

下層配線VDLは、バッファの形成領域BU3、回路非構成領域NONおよびインバータの形成領域INの図中Y方向下側の境界であって、NANDゲートの形成領域NA1、バッファの形成領域BU1、BU2およびNANDゲートの形成領域NA2の図中Y方向上側の境界に沿って図中X方向に延びている。下層配線VDLは、下層のn<sup>+</sup>領域NRに複数個のコンタクトホールCHを介して電氣的に接続されている。

【0131】

50

図 1 5 を参照して、第 1 層目の金属層上には、層間絶縁層（図示せず）を介して、パターンニングされた第 2 層目の金属層が形成されている。この第 2 層目の金属層は、GND 電位の電源線の上層配線 GNDU1、GNDU2 と、VDD 電位の電源線の上層配線 VDDU と、その他信号線 SL2 とを有している。

#### 【0132】

上層配線 GNDU1 は、バッファの形成領域 BU3、回路非構成領域 NON およびインバータの形成領域 IN の図中 Y 方向上側の境界に沿って図中 X 方向に延びている。この上層配線 GNDU1 は、下層の下層配線 GNDL1 に複数個のビアホール VH1 を介して電氣的に接続されている。また上層配線 GNDU1 は、下層配線 GNDL1 の線幅  $W1a_1$  よりも大きな線幅  $W2a_1$  を有している。

10

#### 【0133】

上層配線 GNDU2 は、NAND ゲートの形成領域 NA1、バッファの形成領域 BU1、BU2 および NAND ゲートの形成領域 NA2 の図中 Y 方向下側の境界に沿って図中 X 方向に延びている。この上層配線 GNDU2 は、下層の下層配線 GNDL2 に複数個のビアホール VH1 を介して電氣的に接続されている。また上層配線 GNDU2 は、下層配線 GNDL2 の線幅  $W1a_2$  よりも大きな線幅  $W2a_2$  を有している。

#### 【0134】

上層配線 VDDU は、バッファの形成領域 BU3、回路非構成領域 NON およびインバータの形成領域 IN の図中 Y 方向下側の境界であって、NAND ゲートの形成領域 NA1、バッファの形成領域 BU1、BU2 および NAND ゲートの形成領域 NA2 の図中 Y 方向上側の境界に沿って図中 X 方向に延びている。この上層配線 VDDU は、下層の下層配線 VDDL に複数個のビアホール VH1 を介して電氣的に接続されている。また上層配線 VDDU は、下層配線 VDDL の線幅  $W1b$  よりも大きな線幅  $W2b$  を有している。

20

#### 【0135】

この第 2 層目の金属層上には、層間絶縁層（図示せず）を介して、パターンニングされた第 3 層目の金属層が形成されている。この第 3 層目の金属層は、GND 電位の電源線の電位を補強する補強配線 GNDs と、VDD 電位の電源線の電位を補強する補強配線 VDDs と、その他信号線 SL3 とを有している。

#### 【0136】

補強配線 GNDs および補強配線 VDDs のそれぞれは、平面視において上層配線 GNDU1、GNDU2、VDDU に直交する方向（つまり図中 Y 方向）に延びている。補強配線 GNDs は、平面視において上層配線 GNDU1、GNDU2 のそれぞれに交差しており、1 つの交点において複数個（たとえば 4 個）のビアホール VH2 により上層配線 GNDU1、GNDU2 のそれぞれと電氣的に接続されている。また補強配線 VDDs は、平面視において上層配線 VDDU に交差しており、1 つの交点において複数個（たとえば 4 個）のビアホール VH2 により上層配線 VDDU と電氣的に接続されている。

30

#### 【0137】

なお各層における信号線 SL1、SL2、SL3 は、MOS トランジスタの各々を図 1 1 および図 1 2 に示す回路構成となるように電氣的に接続している。更に図 1 3 において、斜線で示された部位は半導体基板上に形成されたゲート電極層などの多結晶シリコン層であり、水玉模様で示された部位は半導体基板上に形成された拡散領域である。これら多結晶シリコン層や拡散領域は MOS トランジスタの各々を図 1 1 および図 1 2 に示す回路構成となるように電氣的に接続されている。

40

#### 【0138】

また図 1 5 に示す下層配線 GNDL1 と上層配線 GNDU1 とを接続する複数個のビアホール VH1 の配置ピッチ  $P_v$  は、図 1 3 に示すトランジスタの配置ピッチ  $P_T$  と同じピッチである。また下層配線 GNDL2 と上層配線 GNDU2 とを接続する複数個のビアホール VH1 の配置ピッチ  $P_v$  および下層配線 VDDL と上層配線 VDDU とを接続する複数個のビアホール VH1 の配置ピッチ  $P_v$  も、図 1 3 に示すトランジスタの配置ピッチ  $P_T$  と同じピッチである。これにより、電源線の抵抗値を低減できるとともに、下層配線と上層

50

配線との電位を強化することができる。

【0139】

図16は、図15に示す補強配線GND Sおよび補強配線VDD Sの配置の様子を示す概略平面図である。図16を参照して、複数本の補強配線GND S、VDD Sと複数本の上層配線GND U、VDD Uとは平面視において格子を構成するように配置されている。

【0140】

複数本の補強配線GND Sのそれぞれは、複数本の上層配線GND U (GND U 1、GND U 2を含む) にビアホールVH 2を介して電氣的に接続されている。また複数本の補強配線VDD Sのそれぞれは、複数本の上層配線VDD UにビアホールVH 2を介して電氣的に接続されている。

10

【0141】

本実施の形態によれば、GND電位の電源線が下層配線GND L 1、GND L 2と上層配線GND U 1、GND U 2とに分離しており、かつVDD電位の電源線が下層配線VDD Lと上層配線VDD Uとに分離している。このため、電源線が単一層の場合よりも電流経路が増えているため、高速化を図ることができる。また、電源線の線幅を太くすることなく電流経路を増やすことができるため、高集積化を図ることもできる。

【0142】

また上層配線GND U 1、GND U 2、VDD Uの線幅 $W2a_1$ 、 $W2a_2$ 、 $W2b$ のそれぞれが、下層配線GND L 1、GND L 2、VDD Lの線幅 $W1a_1$ 、 $W1a_2$ 、 $W1b$ よりも大きい場合、電源線の抵抗値を低減することができる。

20

【0143】

また下層配線GND L 1、GND L 2、VDD Lの線幅 $W1a_1$ 、 $W1a_2$ 、 $W1b$ のそれぞれが、上層配線GND U 1、GND U 2、VDD Uの線幅 $W2a_1$ 、 $W2a_2$ 、 $W2b$ よりも小さい場合、その分、配線の配置のための空き空間が大きくなる。このため下層配線GND L 1、GND L 2、VDD Lと同じ層に他の配線などを配置することが容易となり、他の配線の平面レイアウトの自由度が高まる。

【0144】

また下層配線GND L 1、GND L 2、VDD Lおよび上層配線GND U 1、GND U 2、VDD Uが、それぞれスタンダードセルの境界に沿って延在している。このため、隣り合うスタンダードセルの各々でこれらの電源線を共有することができる。これにより、各スタンダードセルごとに別個にこれらの電源線を形成する必要がないため、高集積化を図ることができる。

30

【0145】

また第1層目の金属層の信号線SL 1はスタンダードセル内配線として用いられている。第2層目の金属層の信号線SL 2は図中X方向に沿って延在し、下層配線GND L 1、GND L 2、VDD Lのような電源系の配線に挟まれるように配置されたスタンダードセル間を接続する配線として用いられている。更に第3層目の金属層の信号線SL 3は図中Y方向に沿って延在し、下層配線GND L 1、GND L 2、VDD Lのような電源系の配線を跨ぐようなスタンダードセル間を接続する配線として用いられている。これにより、P & R (Place and Route: 自動配線配置) における配線設計が容易となる。

40

【0146】

以上より、高速化および高集積化の双方を両立可能な半導体装置を得ることができる。

(実施の形態5)

本実施の形態においては、高速セルと高集積セルとを有する半導体装置について説明する。

【0147】

図17は、本発明の実施の形態5における半導体装置としてSOCチップの構成を概略的に示す平面図である。図17を参照して、SOCチップSOCは、たとえば高集積優先のロジック領域HILと、高性能優先のロジック領域HRLと、ロジック以外の領域ARとを有している。高集積優先のロジック領域HILには、高速動作に適した高速セルが形

50

成されている。また高性能優先のロジック領域 H R L には、高集積化に適した高集積セルが形成されている。

【 0 1 4 8 】

図 1 8 ~ 図 2 0 は、高集積優先のロジック領域 H I L に形成された高速セルと高性能優先のロジック領域 H R L に形成された高集積セルとの平面レイアウト構成を下層から順に示す概略平面図である。図 1 8 は半導体基板に形成された拡散領域および素子分離領域と、半導体基板上に形成されたゲート電極層などの多結晶シリコン層とを示している。図 1 9 は上記の多結晶シリコン層とその上の第 1 層目の金属層とを主に示している。また図 2 0 は上記の第 1 層目の金属層とその上の第 2 層目の金属層とを主に示している。

【 0 1 4 9 】

図 1 8 を参照して、高速セルおよび高集積セルの双方とも、p M O S トランジスタ P T と n M O S トランジスタ N T とからなる C M O S インバータよりなっている。

【 0 1 5 0 】

高速セルおよび高集積セルのいずれにおいても、p M O S トランジスタ P T は、1 対の p 型ソース/ドレイン領域 S D と、ゲート絶縁膜（図示せず）と、ゲート電極層 G E とを有している。1 対の p 型ソース/ドレイン領域 S D の各々は、半導体基板 S U B の表面に形成されている。ゲート電極層 G E は、1 対の p 型ソース/ドレイン領域 S D に挟まれる半導体基板 S U B の表面上にゲート絶縁膜を介して形成されている。

【 0 1 5 1 】

高速セルおよび高集積セルのいずれにおいても、n M O S トランジスタ N T は、1 対の n 型ソース/ドレイン領域 S D と、ゲート絶縁膜（図示せず）と、ゲート電極層 G E とを有している。1 対の n 型ソース/ドレイン領域 S D の各々は、半導体基板 S U B の表面に形成されている。ゲート電極層 G E は、1 対の n 型ソース/ドレイン領域 S D に挟まれる半導体基板 S U B の表面上にゲート絶縁膜を介して形成されている。

【 0 1 5 2 】

高速セルおよび高集積セルのいずれにおいても、p M O S トランジスタ P T のゲート電極層 G E と n M O S トランジスタ N T のゲート電極層 G E とは一体化されて互いに電氣的に接続されている。

【 0 1 5 3 】

高速セルおよび高集積セルのいずれにおいても、スタンダードセル領域の図中 Y 方向上側の境界に沿って図中 X 方向に延びるように半導体基板 S U B 内の表面には n<sup>+</sup>領域 N I R が形成されている。またスタンダードセル領域の図中 Y 方向下側の境界に沿って図中 X 方向に延びるように半導体基板 S U B 内の表面には p<sup>+</sup>領域 P I R が形成されている。

【 0 1 5 4 】

ここで、高速セルにおける C M O S インバータの平面レイアウトと高集積セルにおける C M O S インバータの平面レイアウトとは同じである。また高速セルにおける n<sup>+</sup>領域 N I R および p<sup>+</sup>領域 P I R の各々の平面レイアウトと高集積セルにおける n<sup>+</sup>領域 N I R および p<sup>+</sup>領域 P I R の各々の平面レイアウトとは同じである。

【 0 1 5 5 】

図 1 9 を参照して、M O S トランジスタ P T 、N T 上には、層間絶縁層（図示せず）を介して、パターニングされた第 1 層目の金属層が形成されている。この第 1 層目の金属層は、G N D 電位の電源線の下層配線 G N D 、G N D L と、V D D 電位の電源線の下層配線 V D D 、V D D L と、その他信号線 S L L 1 、S L L 2 とを有している。

【 0 1 5 6 】

下層配線 G N D L は、高速セルにおけるスタンダードセル領域の図中 Y 方向下側の境界に沿って図中 X 方向に延びている。この下層配線 G N D L は、下層の p<sup>+</sup>領域 P I R に複数個のコンタクトホール C H を介して電氣的に接続されている。また下層配線 G N D L は、n M O S トランジスタ N T のソース/ドレイン領域 S D の一方に複数個のコンタクトホール C H を介して電氣的に接続されている。

【 0 1 5 7 】

10

20

30

40

50

下層配線  $VDDL$  は、高速セルにおけるスタンダードセル領域の図中  $Y$  方向上側の境界に沿って図中  $X$  方向に延びている。この下層配線  $VDDL$  は、下層の  $n^+$  領域  $NIR$  に複数個のコンタクトホール  $CH$  を介して電氣的に接続されている。また下層配線  $VDDL$  は、 $pMOS$  トランジスタ  $PT$  のソース/ドレイン領域  $SD$  の一方に複数個のコンタクトホール  $CH$  を介して電氣的に接続されている。

【0158】

信号線  $SL1$  は、 $nMOS$  トランジスタ  $NT$  のソース/ドレイン領域  $SD$  の他方と  $pMOS$  トランジスタ  $PT$  のソース/ドレイン領域  $SD$  の他方との各々にコンタクトホール  $CH$  を介して電氣的に接続されている。信号線  $SL2$  は、ゲート電極層  $GE$  にコンタクトホール  $CH$  を介して電氣的に接続されている。

10

【0159】

ここで、高速セルにおける下層配線  $GND$  および下層配線  $VDDL$  の各々の平面レイアウトと高集積セルにおける下層配線  $GND$  および下層配線  $VDDL$  の各々の平面レイアウトとは同じである。また高速セルにおける信号線  $SL1$  および信号線  $SL2$  の平面レイアウトと高集積セルにおける信号線  $SL1$  および信号線  $SL2$  の平面レイアウトとは同じである。

【0160】

図20を参照して、第1層目の金属層上には、層間絶縁層（図示せず）を介して、パターンニングされた第2層目の金属層が形成されている。この第2層目の金属層は、 $GND$  電位の電源線の上層配線  $GNDU$  と、 $VDD$  電位の電源線の上層配線  $VDDU$  と、その他信号線  $SLU1 \sim SLU4$  とを有している。

20

【0161】

上層配線  $GNDU$  は、高速セルにおけるスタンダードセル領域の図中  $Y$  方向下側の境界に沿って図中  $X$  方向に延びている。この上層配線  $GNDU$  は、下層の下層配線  $GNDL$  に複数個のビアホール  $VH1$  を介して電氣的に接続されている。また上層配線  $GNDU$  は、下層配線  $GNDL$  の線幅  $W1a$  よりも大きな線幅  $W2a$  を有している。

【0162】

上層配線  $VDDU$  は、高速セルにおけるスタンダードセル領域の図中  $Y$  方向上側の境界に沿って図中  $X$  方向に延びている。この上層配線  $VDDU$  は、下層の下層配線  $VDDL$  に複数個のビアホール  $VH1$  を介して電氣的に接続されている。また上層配線  $VDDU$  は、下層配線  $VDDL$  の線幅  $W1b$  よりも大きな線幅  $W2b$  を有している。

30

【0163】

また信号線  $SLU3$ 、 $SLU4$  の各々は、高速セルにおけるスタンダードセル内に形成されている。これらの信号線  $SLU3$ 、 $SLU4$  の各々は、図中  $X$  方向（つまり平面視において上層配線  $GNDU$ 、 $VDDU$  の延びる方向と同じ方向）に延びて高速セルにおけるスタンダードセル領域の境界を横断している。信号線  $SLU3$  はビアホール  $VH1$  を介して信号線  $SL1$  に電氣的に接続されている。また信号線  $SLU4$  はビアホール  $VH1$  を介して信号線  $SL2$  に電氣的に接続されている。

【0164】

また高集積セルのスタンダードセル内においては、信号線  $SLU1$ 、 $SLU2$  の各々は、図中  $Y$  方向（つまり平面視において下層配線  $GND$ 、 $VDD$  の延びる方向と直交する方向）に延びている。信号線  $SLU1$  はビアホール  $VH1$  を介して信号線  $SL1$  に電氣的に接続されている。また信号線  $SLU2$  はビアホール  $VH1$  を介して信号線  $SL2$  に電氣的に接続されている。

40

【0165】

なお信号線  $SLU1$ 、 $SLU2$  の各々は、図中  $Y$  方向に延びて高集積セルにおけるスタンダードセル領域の境界を横断していてもよい。

【0166】

次に、高集積優先のロジック領域  $HIL$  と高性能優先のロジック領域  $HR$  との各々における複数のスタンダードセルに関して説明する。

50

## 【 0 1 6 7 】

図 2 1 ~ 図 2 3 は、高集積優先のロジック領域 H I L における複数のスタンダードセルが高速セルで形成され、かつ高性能優先のロジック領域 H R L における複数のスタンダードセルが高集積セルで形成された場合の平面レイアウト構成を下層から順に示す概略平面図である。図 2 1 は第 1 層目の金属層を示している。図 2 2 は第 1 層目の金属層と、その上の第 2 層目の金属層とを示している。図 2 3 は第 1 層目および第 2 層目の金属層と、その上の第 3 層目の金属層と、さらにその上の第 4 の金属層とを示している。

## 【 0 1 6 8 】

図 2 1 を参照して、複数のスタンダードセルの場合でも単一のスタンダードセルの場合と同様、第 1 層目の金属層とそれより下の層との各々の平面レイアウト構造は、高速セルと高集積セルとで同じである。

10

## 【 0 1 6 9 】

図 2 2 および図 2 3 を参照して、複数のスタンダードセルの場合でも単一のスタンダードセルの場合と同様、第 2 層目の金属層とそれより上の層（たとえば第 3 および第 4 の金属層）との各々の平面レイアウト構造は、高速セルと高集積セルとで異なっている。

## 【 0 1 7 0 】

高速セルにおいては、第 2 層目の金属層よりなる上層配線 G N D U、V D D U が、下層配線 G N D L、V D D L の線幅よりも小さい線幅でスタンダードセルの境界に沿って延びるように形成されている。また第 2 層目の金属層よりなる信号線 S L U は、下層配線 G N D L、V D D L の延びる方向と同じ方向に延びている。

20

## 【 0 1 7 1 】

一方、高集積セルにおいては、第 2 層目の金属層よりなる上層配線 G N D U、V D D U は設けられていない。また第 2 層目の金属層よりなる信号線 S L U は、下層配線 G N D L、V D D L の延びる方向と直交する方向に延びている。

## 【 0 1 7 2 】

高速セルでは、図 2 2 に示すように、第 2 層目の金属層よりなる上層配線 G N D U、V D D U が設けられている。このため、第 2 層目の金属層よりなる信号線 S L U を、図中 Y 方向上側のスタンダードセルと下側のスタンダードセルとの境界を跨ぐように延ばすことができない。よって、高速セルでは、図 2 3 に示すように、第 3 層目の金属層と第 4 層目の金属層とを用いなくと、図中 Y 方向に隣り合うスタンダードセル内の素子同士と、図中 X 方向に隣り合うスタンダードセル内の素子同士を電氣的に接続することができない。

30

## 【 0 1 7 3 】

つまり、第 3 層目の金属層よりなる信号線 S L 3 を図中 Y 方向の上下のスタンダードセル間の境界を跨ぐように配置することで、図中 Y 方向に隣り合うスタンダードセル内の素子同士を電氣的に接続することが可能となる。また第 4 層目の金属層よりなる信号線 S L 4 を図中 X 方向の左右のスタンダードセル間の境界を跨ぐように配置することで、図中 X 方向に隣り合うスタンダードセル内の素子同士を電氣的に接続することが可能となる。

## 【 0 1 7 4 】

一方、高集積セルでは、図 2 2 に示すように、第 2 層目の金属層よりなる上層配線 G N D U、V D D U が設けられていない。このため、第 2 層目の金属層よりなる信号線 S L U を、図中 Y 方向上下に隣り合うスタンダードセル間の境界を跨ぐように延ばすことが可能である。よって、高集積セルでは、図 2 3 に示すように、第 4 層目の金属層を用いなくとも、第 2 層目の金属層と第 3 層目の金属層とを用いて、図中 Y 方向に隣り合うスタンダードセル内の素子同士と、図中 X 方向に隣り合うスタンダードセル内の素子同士を電氣的に接続することができる。

40

## 【 0 1 7 5 】

つまり、第 2 層目の金属層よりなる信号線 S L U を図中 Y 方向の上下のスタンダードセル間の境界を跨ぐように配置することで、図中 Y 方向に隣り合うスタンダードセル内の素子同士を電氣的に接続することが可能となる。また第 3 層目の金属層よりなる信号線 S L 3 を図中 X 方向の左右のスタンダードセル間の境界を跨ぐように配置することで、図中 X

50

方向に隣り合うスタンダードセル内の素子同士を電氣的に接続することが可能となる。

【 0 1 7 6 】

本実施の形態によれば、高速セルのスタンダードセル内において、GND電位の電源線が下層配線GNDLと上層配線GNDUとに分離しており、かつVDD電位の電源線が下層配線VDDLと上層配線VDDUとに分離している。このため、電源線が単一層の場合よりも電流経路が増えているため、高速化を図ることができる。また、電源線の線幅を太くすることなく電流経路を増やすことができるため、高集積化を図ることもできる。

【 0 1 7 7 】

また上層配線GNDU、VDDUの線幅W2a、W2bのそれぞれが、下層配線GNDL、VDDLの線幅W1a、W1bよりも大きいため、電源線の抵抗値を低減することができる。

10

【 0 1 7 8 】

また下層配線GNDL、VDDLの線幅W1a、W1bのそれぞれが、上層配線GNDU、VDDUの線幅W2a、W2bよりも小さいため、その分、配線の配置のための空き空間が大きくなる。このため下層配線と同じ層に他の配線などを配置することが容易となり、他の配線の平面レイアウトの自由度が高まる。

【 0 1 7 9 】

また下層配線GNDL、VDDLおよび上層配線GNDU、VDDUの各々が、スタンダードセルの境界に沿って延在している。このため、隣り合うスタンダードセルの各々でこれらの電源線を共有することができる。これにより、各スタンダードセルごとに別個にこれらの電源線を形成する必要がないため、高集積化を図ることができる。

20

【 0 1 8 0 】

以上より、高速化および高集積化の双方を両立可能な半導体装置を得ることができる。

また本実施の形態によれば、第1層目の金属層とそれより下層との平面レイアウトが、高速セルと高集積セルとにおいて共通化されている。このため、平面レイアウトの設計が容易となる。この設計におけるP & R (Place and Route : 自動配線配置) フローは以下のとおりである。

【 0 1 8 1 】

まず、第1層目の金属層とそれより下層との平面レイアウトが高速セルと高集積セルとの共通レイアウトとして標準セルライブラリに登録される。一方で、高速セルの端子アクセスに使用するビアホールと高集積セルの端子アクセスに使用するビアホールとを登録したテクノロジーファイルが準備される。

30

【 0 1 8 2 】

P & Rフローにおいては、標準セルライブラリに登録された共通のレイアウトからP & Rテクノロジーファイルの登録データを追加することにより、高速セルと高集積セルとを設計される。

【 0 1 8 3 】

このように第1層目の金属層とそれより下層との平面レイアウトが高速セルと高集積セルとにおいて共通化されているため、高速セルと高集積セルとにおいてセル構造が異なる複数のライブラリを準備する必要がなくなり、設計が容易となる。

40

【 0 1 8 4 】

また第2層目の金属層とそれより上層のパターンを変更するだけで、高集積優先のロジック領域HILには高速セルが形成され、かつ高性能優先のロジック領域HRLには高集積セルが形成されている。これにより、高速セルと高集積セルとにおいて第2層目の金属層とそれより下層との平面パターンを同一にできるため、高速化および高集積化の双方を両立可能な半導体装置のパターン設計を容易にすることができる。

【 0 1 8 5 】

また本実施の形態においては、高集積優先のロジック領域HILには高速セルが形成され、かつ高性能優先のロジック領域HRLには高集積セルが形成されている。この高速セルにおいては、電源線(VDD配線、GND配線)が下層配線GNDL、VDDLと上層

50

配線 GND U、VDD Uとに分配されている。このため、電源線が単一層の場合よりも電流経路が増えているため、高速化を図ることができる。

【0186】

また高集積セルにおいては、電源線（VDD 配線、GND 配線）が単一層よりなっているため、積層方向の高集積化を図ることができる。また、電源線（VDD 配線、GND 配線）が単一層よりなっているため、第2層目の金属層よりなる信号線を高速セルよりも自由に配置することができる。たとえば図20に示すように、第2層目の金属層よりなる信号線を、下層配線GND、VDDに対して平面視において直交する方向に延ばしてスタンダードセルの境界を横断させることも可能となる。これにより、第2層目の金属層よりなる信号線の平面レイアウトの自由度が高くなる。

10

【0187】

（実施の形態6）

図24は、本発明の実施の形態6における半導体装置として高速セルおよび高集積セルの双方を有する装置の構成を概略的に示す平面図である。図24を参照して、本実施の形態の構成は、図21～図23に示す実施の形態5の構成と比較して、高速セルの平面レイアウトに対して高集積セルの平面レイアウトを相対的に90°回転させた構成を有する点において異なっている。

【0188】

これにより、第3層目の金属層よりなる信号線SL3の延びる方向が高速セルおよび高集積セルの双方において同じ方向とすることができる。

20

【0189】

なお、本実施の形態の上記以外の構成は、図21～図23に示す実施の形態5の構成とほぼ同じであるため、同一の要素については同一の符号を付し、その説明を繰り返さない。

【0190】

本実施の形態によれば、第3層目の金属層よりなる信号線SL3の延びる方向を高速セルと高集積セルとにおいて同じ方向にできるため、配線設計が容易になる。これにより、集積度の向上および自動配線の収束時間の短縮などを行うことができる。

【0191】

なお上記の実施の形態1～6においては、対して互いに隣り合うスタンダードセル内の機能素子および配線の平面レイアウト構成が、それらのスタンダードセルの境界線に対して線対称な構成を有していてもよい。特に複数種類のスタンダードセル間で、スタンダードセル境界に設けられたグランド配線や電源配線は、セル境界にて線対称な構造となっている。これによりこのセル境界上下に存在するスタンダードセルにてグランド配線や電源配線を共通化でき、レイアウトの縮小やP & R（Place and Route：自動配線配置）におけるセル配置設計が容易となる。

30

【0192】

なお上記の実施の形態4～6においては、機能素子としてCMOSインバータ、NANDなどを有する素子について説明したが、本発明はこれに限定されるものではなく、CMOSのNANDやNOR回路、フリップフロップ回路、トライステートバッファ回路、これ以外の他の機能素子に適用することもできる。

40

【0193】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

【0194】

本発明は、配列された複数個のスタンダードセルを有する半導体装置に特に有利に適用され得る。

50



## 【図面の簡単な説明】

【 0 1 9 5 】

【図 1】本発明の実施の形態 1 における半導体装置の構成を概略的に示す平面図である。

【図 2】図 1 に示す 1 つのスタンダードセル 5 1 a 内に形成される機能素子の回路構成の一例を示す回路図である。

【図 3】図 2 に示す回路が形成された 1 つのスタンダードセルの構成を概略的に示す平面図である。

【図 4】図 3 の I V - I V 線に沿う概略断面図である。

【図 5】本発明の実施の形態 2 における半導体装置の複数個のスタンダードセルが並んだ様子を概略的に示す平面図である。

【図 6】図 5 の V I - V I 線に沿う概略断面図である。

【図 7】図 5 の構成において機能素子が形成されないスタンダードセルにヒューズを形成した構成を概略的に示す平面図である。

【図 8】図 5 の構成において機能素子が形成されないスタンダードセルで電源線の上層配線と下層配線とを接続しない構成を概略的に示す平面図である。

【図 9】本発明の実施の形態 3 における半導体装置の複数個のスタンダードセルが並んだ様子を概略的に示す平面図である。

【図 1 0】図 9 の X - X 線に沿う概略断面図である。

【図 1 1】本発明の実施の形態 4 における半導体装置の回路構成を示す回路図である。

【図 1 2】図 1 1 に示す回路図をトランジスタレベルで示す回路図である。

【図 1 3】図 1 1 および図 1 2 に示す回路を構成する半導体装置の平面レイアウト構成を示す概略平面図であって、半導体基板に形成された拡散領域および素子分離領域と、半導体基板上に形成されたゲート電極層などの多結晶シリコン層とを示す図である。

【図 1 4】図 1 1 および図 1 2 に示す回路を構成する半導体装置の平面レイアウト構成を示す概略平面図であって、多結晶シリコン層とその上の第 1 層目の金属層とを主に示す図である。

【図 1 5】図 1 1 および図 1 2 に示す回路を構成する半導体装置の平面レイアウト構成を示す概略平面図であって、第 1 層目の金属層とその上の第 2 層目の金属層と第 3 層目の金属層とを示す図である。

【図 1 6】図 1 5 に示す補強配線 G N D S および補強配線 V D D S の配置の様子を示す概略平面図である。

【図 1 7】本発明の実施の形態 5 における半導体装置として S O C チップの構成を概略的に示す平面図である。

【図 1 8】高集積優先のロジック領域 H I L に形成された高速セルと高性能優先のロジック領域 H R L に形成された高集積セルとの平面レイアウト構成を示す概略平面図であって、半導体基板に形成された拡散領域および素子分離領域と、半導体基板上に形成されたゲート電極層などの多結晶シリコン層とを示す図である。

【図 1 9】高集積優先のロジック領域 H I L に形成された高速セルと高性能優先のロジック領域 H R L に形成された高集積セルとの平面レイアウト構成を示す概略平面図であって、多結晶シリコン層とその上の第 1 層目の金属層とを主に示す図である。

【図 2 0】高集積優先のロジック領域 H I L に形成された高速セルと高性能優先のロジック領域 H R L に形成された高集積セルとの平面レイアウト構成を示す概略平面図であって、第 1 層目の金属層とその上の第 2 層目の金属層とを示す図である。

【図 2 1】高集積優先のロジック領域 H I L における複数のスタンダードセルが高速セルで形成され、かつ高性能優先のロジック領域 H R L における複数のスタンダードセルが高集積セルで形成された場合の平面レイアウト構成を示す概略平面図であって、第 1 層目の金属層を示す図である。

【図 2 2】高集積優先のロジック領域 H I L における複数のスタンダードセルが高速セルで形成され、かつ高性能優先のロジック領域 H R L における複数のスタンダードセルが高集積セルで形成された場合の平面レイアウト構成を下層から順に示す概略平面図であって

10

20

30

40

50

、第1層目の金属層と、その上の第2層目の金属層とを示す図である。

【図23】高集積優先のロジック領域HILにおける複数のスタンダードセルが高速セルで形成され、かつ高性能優先のロジック領域HRLにおける複数のスタンダードセルが高集積セルで形成された場合の平面レイアウト構成を下層から順に示す概略平面図であって、第1層目および第2層目の金属層と、その上の第3層目の金属層と、さらにその上の第4の金属層とを示す図である。

【図24】本発明の実施の形態6における半導体装置として高速セルおよび高集積セルの双方を有する装置の構成を概略的に示す平面図である。

【符号の説明】

【0196】

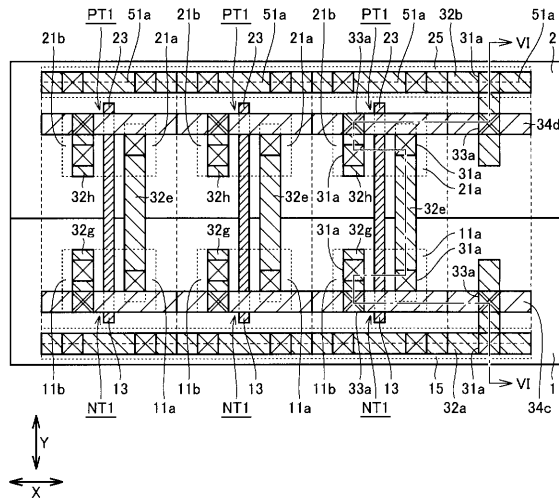
1 p型ウエル領域、2 n型ウエル領域、3 素子分離領域、11a, 21a ドレイン領域、11b, 21b ソース領域、12, 22 ゲート絶縁層、13, 23 ゲート電極層、15 p<sup>+</sup>領域、25 n<sup>+</sup>領域、31A, 31B 層間絶縁層、31a コンタクトホール、31b, 33b 配線用溝、32a, 32b 下層配線、32c, 32d, 32e<sub>1</sub>, 32e<sub>2</sub> 信号線、32e, 32f, 32g, 32h 配線層、33 層間絶縁層、33a ビアホール(ビア溝)、34a, 34b, 34c, 34d 上層配線、40 ヒューズ、51 スタンダードセル領域、51a スタンダードセル、52 I/Oセル領域、AR ロジック以外の領域、BU1, BU2, BU3 バッファ形成領域、CH コンタクトホール、GE ゲート電極層、GND, GNDL, GNDL1, GNDL2, VDD, VDDL 下層配線、GNDs, VDDs 補強配線、GNDU, GNDU1, GNDU2, VDDU 上層配線、HIL 高集積優先ロジック領域、HRL 高性能優先ロジック領域、IN インバータ形成領域、NA1, NA2 NANDゲート形成領域、NIR, NR n<sup>+</sup>領域、NON 回路非構成領域、NT, NT1~NT3, NT11~NT21 nMOSトランジスタ、PIR, PR1, PR2 p<sup>+</sup>領域、PT, PT1~PT3, PT11~PT21 pMOSトランジスタ、SD ソース/ドレイン領域、SL1~SL4, SLL1~SLL4, SLU 信号線、SUB 半導体基板、VH1, VH2 ビアホール。

10

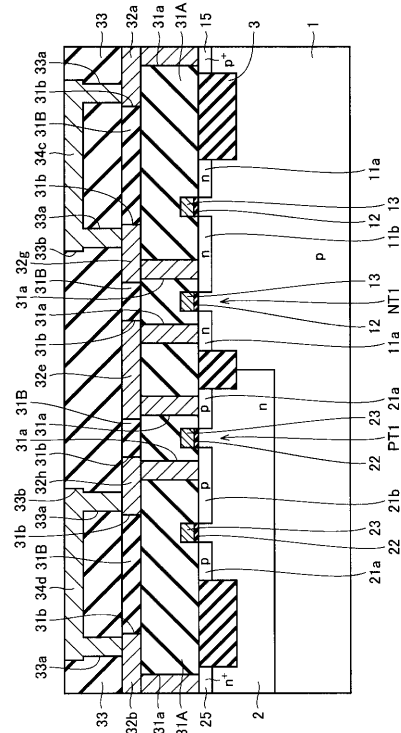
20



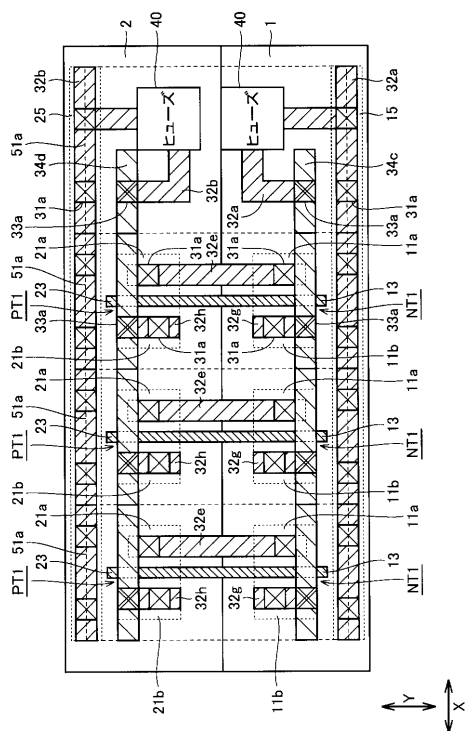
【 図 5 】



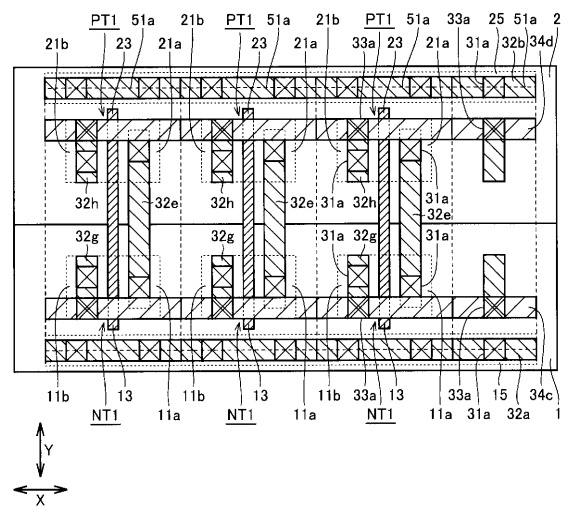
【 図 6 】



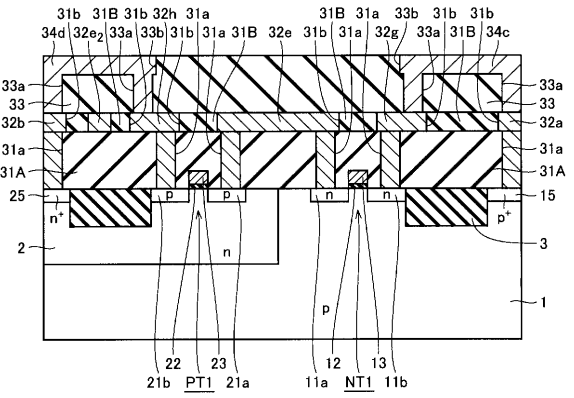
【圖 7】



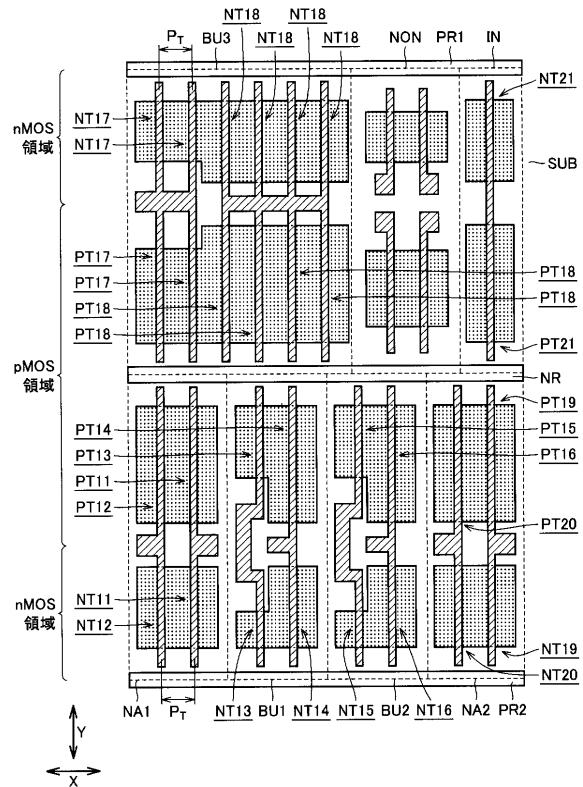
【 図 8 】



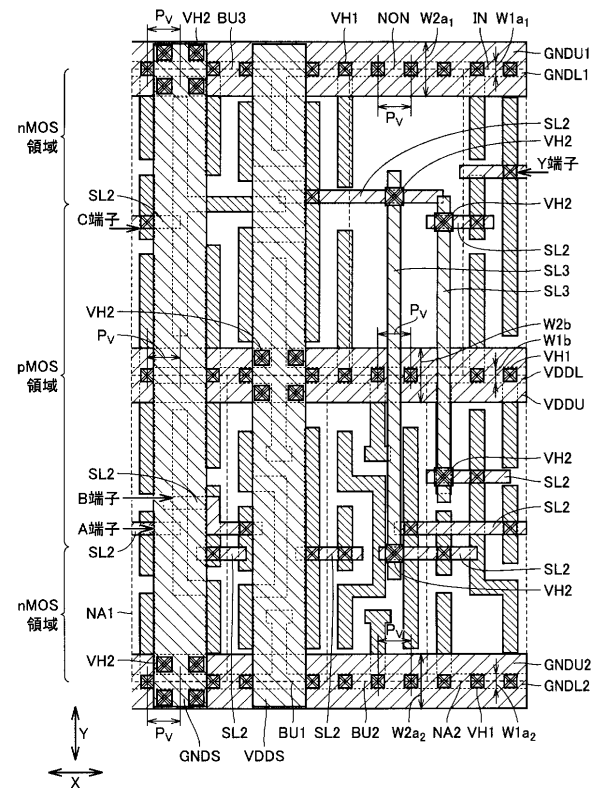
【 図 1 0 】



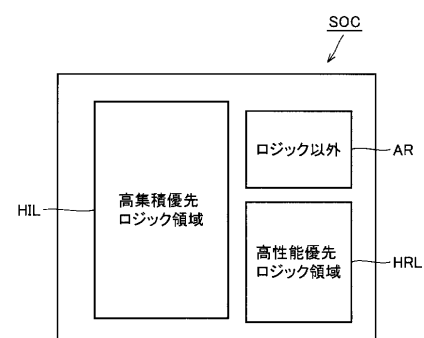
【 図 1 3 】



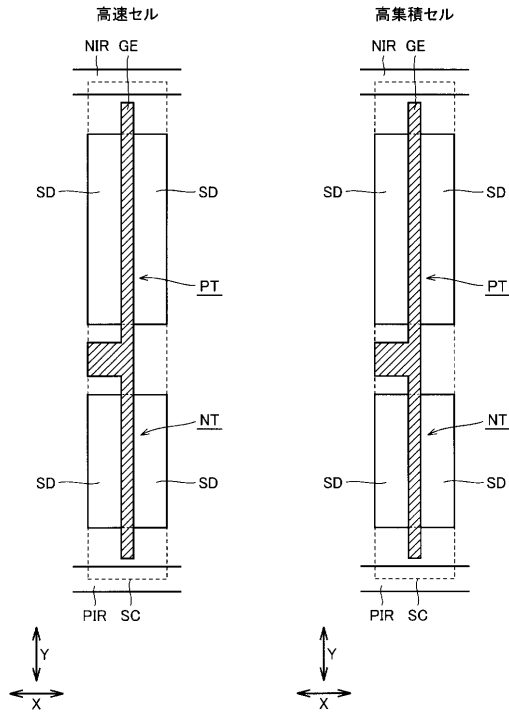
【 図 1 5 】



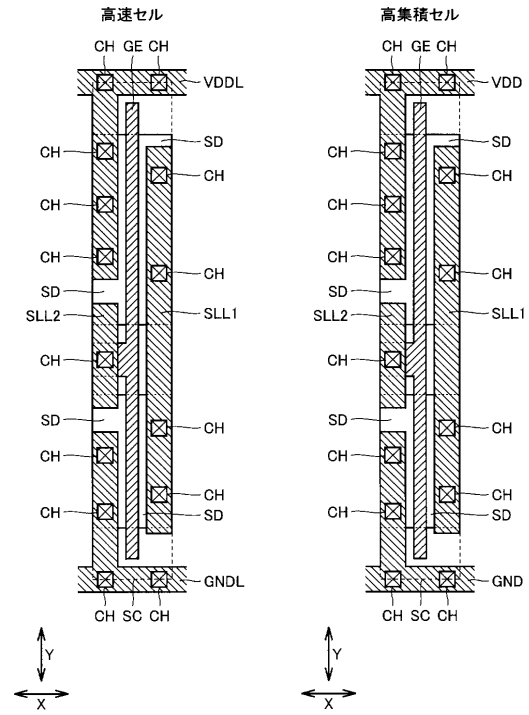
【圖 17】



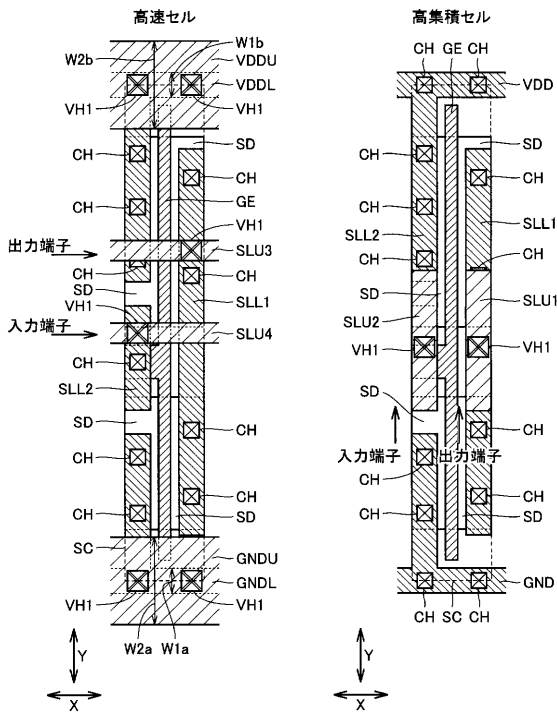
【図 18】



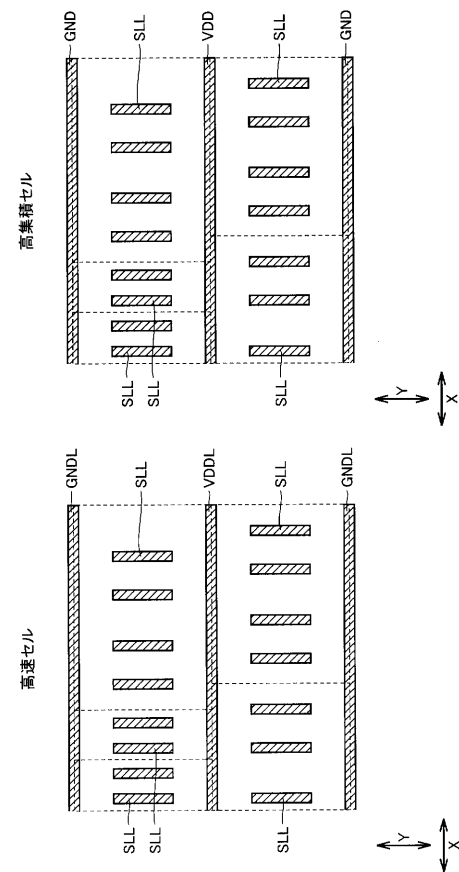
【図 19】



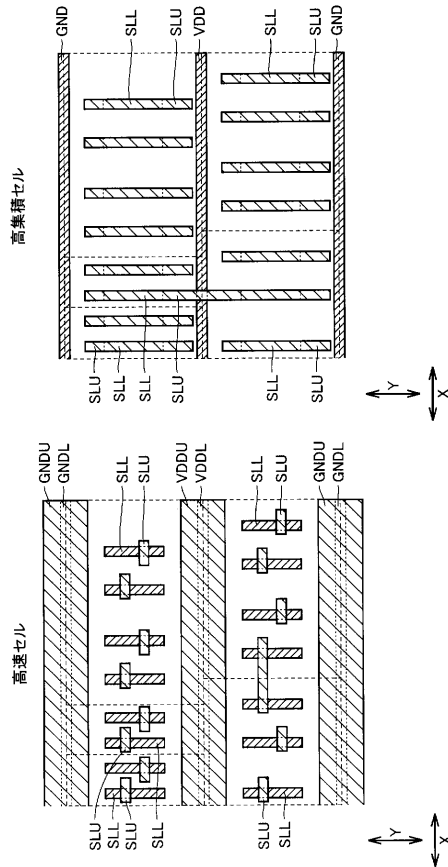
【図 20】



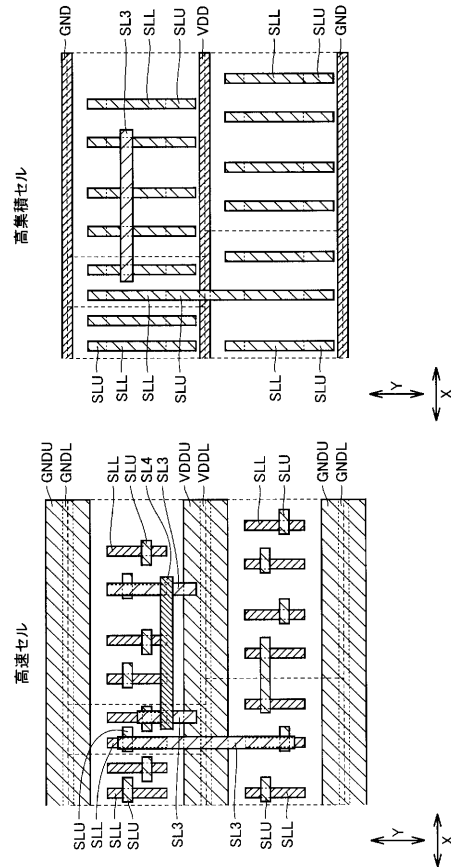
【図 21】



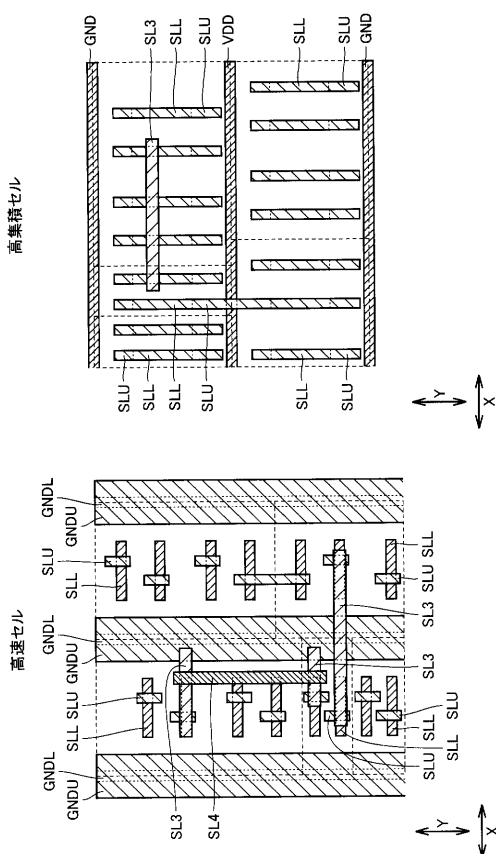
【図 2 2】



【図 2 3】



【図 2 4】





## フロントページの続き

|                           |  |               |   |
|---------------------------|--|---------------|---|
| (51)Int.Cl.               |  | F I           |   |
| H 0 1 L 21/768 (2006.01)  |  | H 0 1 L 21/88 | Z |
| H 0 1 L 21/3205 (2006.01) |  | H 0 1 L 21/90 | A |
| H 0 1 L 23/522 (2006.01)  |  | H 0 1 L 21/90 | C |

(74)代理人 100124523  
弁理士 佐々木 真人

(74)代理人 100098316  
弁理士 野田 久登

(72)発明者 津田 信浩  
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

審査官 平野 崇

(56)参考文献 特開2001-237328(JP,A)  
特開2006-100673(JP,A)  
特開2004-048170(JP,A)  
米国特許第07332780(US,B1)  
米国特許第05923060(US,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2  
H 0 1 L 2 1 / 3 2 0 5  
H 0 1 L 2 1 / 7 6 8  
H 0 1 L 2 1 / 8 2 2  
H 0 1 L 2 1 / 8 2 3 8  
H 0 1 L 2 3 / 5 2 2  
H 0 1 L 2 7 / 0 4  
H 0 1 L 2 7 / 0 9 2  
C i N i i