

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 13 日 (13.01.2022)



(10) 国际公布号
WO 2022/007600 A1

(51) 国际专利分类号:
H01L 21/768 (2006.01) **H01L 21/8242** (2006.01)
H01L 27/115 (2017.01)

(21) 国际申请号: PCT/CN2021/100239

(22) 国际申请日: 2021 年 6 月 16 日 (16.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010649880.0 2020 年 7 月 8 日 (08.07.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 刘志拯 (LIU, Chih-Cheng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房 (部位: 自编 01-03 和 08-12 单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体结构及其制作方法

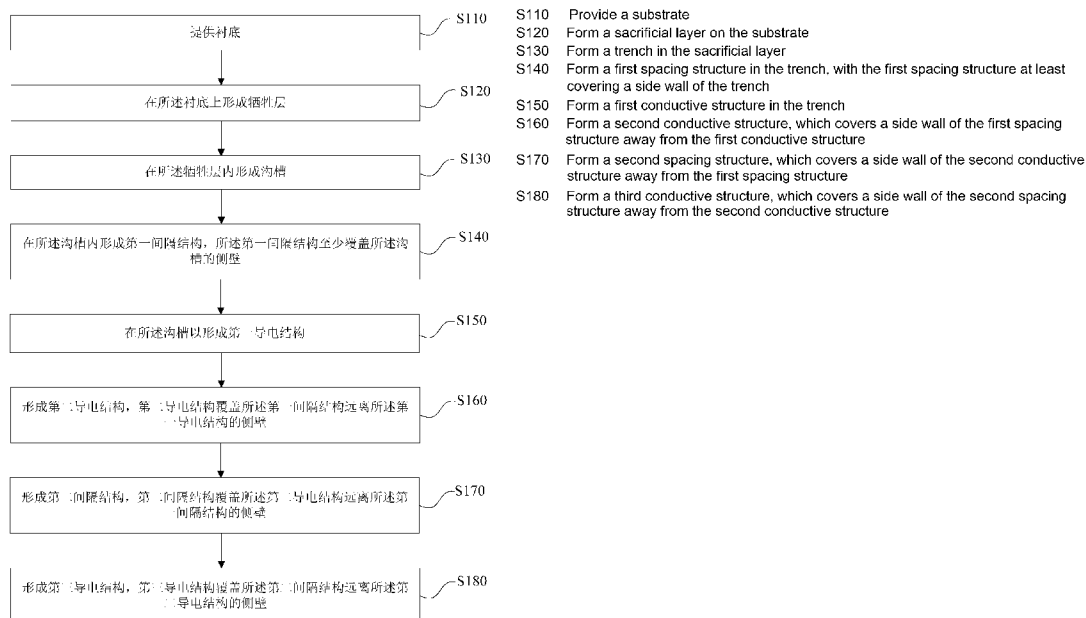


图 1

(57) Abstract: A manufacturing method for a semiconductor structure, the method comprising: forming a sacrificial layer on a substrate; forming a trench in the sacrificial layer; forming a first spacing structure in the trench, with the first spacing structure at least covering a side wall of the trench; forming a first conductive structure in the trench; forming a second conductive structure which covers an outer side wall of the first spacing structure; forming a second spacing structure which covers an outer side wall of the second conductive structure; and forming a third conductive structure which covers an outer side wall of the second spacing structure.

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种半导体结构的制作方法包括: 在衬底上形成牺牲层; 在牺牲层内形成沟槽; 在沟槽内形成第一间隔结构, 第一间隔结构至少覆盖沟槽的侧壁; 在沟槽以形成第一导电结构; 形成覆盖第一间隔结构外侧侧壁的第二导电结构; 形成覆盖第二导电结构的外侧侧壁的第二间隔结构; 形成覆盖第二间隔结构外侧侧壁的第三导电结构。

半导体结构及其制作方法

相关申请的交叉引用

本申请要求于 2020 年 7 月 8 日提交中国专利局、申请号为 2020106498800、发明名称为“半导体结构及其制作方法”的中国专利申请的
5 优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及集成电路技术领域，特别是涉及一种半导体结构及其制作方
法。

10

背景技术

随着半导体存储器关键尺寸在不断的缩小，器件结构的集成度随之越来越高，尤其在关键尺寸较小的 DRAM（Dynamic Random Access Memory，即动态随机存取存储器）制造过程中，刻蚀工艺的余量也随之减小，例如在形
15 成了诸如传感放大器（SA）和子字线驱动器（SWD）的外围电路结构 M0 中，布线图案的间距迅速变小，使得利用图案化工艺进行金属布线变得困难。

发明内容

根据各个实施例，提供一种半导体结构及其制作方法。

20

一种半导体结构的制作方法，包括：

提供衬底；

在所述衬底上形成牺牲层；

在所述牺牲层内形成沟槽；

在所述沟槽内形成第一间隔结构，所述第一间隔结构至少覆盖所述沟槽的侧壁；

在所述沟槽以形成第一导电结构；

5 形成第二导电结构，所述第二导电结构覆盖所述第一间隔结构远离所述第一导电结构的侧壁；

形成第二间隔结构，所述第二间隔结构覆盖所述第二导电结构远离所述第一间隔结构的侧壁；

10 形成第三导电结构，所述第三导电结构覆盖所述第二间隔结构远离所述第二导电结构的侧壁。

在其中一个实施例中，所述第一导电结构为焊盘，所述第二导电结构和所述第三导电结构均为导电引线。

15 在其中一个实施例中，所述沟槽包括第一区域和第二区域，其中所述第一区域的宽度大于所述第二区域的宽度，所述第一导电结构形成于所述第一区域内。

在其中一个实施例中，形成所述第一间隔结构步骤包括：

通过沉积工艺形成第一隔离材料层，所述第一隔离材料层覆盖所述沟槽的侧壁和底部以及所述牺牲层的顶部，且填满所述沟槽的第二区域；

20 对所述第一隔离材料层进行刻蚀，去除覆盖所述沟槽的底部以及所述牺牲层的顶部的所述第一隔离材料层，保留覆盖所述沟槽的侧壁上的所述第一隔离材料层以形成所述第一间隔结构。

在其中一个实施例中，形成所述第一导电结构的步骤包括：

形成第一导电材料层，所述第一导电材料层填满所述沟槽的第一区域，

且覆盖所述牺牲层和所述第一间隔结构的顶部；

去除覆盖所述牺牲层和所述第一间隔结构的顶部的所述第一导电材料层以形成所述第一导电结构，所述第一导电结构的顶部与所述第一间隔结构的顶部齐平。

5 在其中一个实施例中，形成所述第二导电结构的步骤包括：

去除所述牺牲层；

沉积形成第二导电材料层，所述第二导电材料层覆盖所述衬底、所述第一间隔结构和第一导电结构的顶部以及所述第一间隔结构的外侧侧壁；

10 去除覆盖所述衬底、所述第一间隔结构和第一导电结构的顶部的所述第二导电材料层，保留覆盖所述第一间隔结构的外侧侧壁的所述第二导电材料层以形成所述第二导电结构。

在其中一个实施例中，所述第二导电结构和所述第三导电结构的线宽范围均为 10~50nm。

15 在其中一个实施例中，所述第一导电结构、所述第二导电结构和所述第三导电结构均采用金属导电材料制作。

在其中一个实施例中，所述半导体结构的制作方法还包括：

去除所述第一间隔结构和所述第二间隔结构，以形成待填充区域；

形成绝缘层，所述绝缘层填充所述待填充区域，且覆盖所述第一导电结构、所述第二导电结构以及第三导电结构的顶部。

20 基于同一发明构思，还提供了采用上述任一实施例所述的半导体结构的制作方法形成的半导体结构，所述半导体结构包括：衬底、第一导电结构、第二导电结构和第三导电结构；

其中，所述第一导电结构、所述第二导电结构和所述第三导电结构间隔

的设置 在所述衬底表面，且所述第二导电结构位于所述第一导电结构和所述第三导电结构之间。

在其中一个实施例中，所述半导体结构还包括绝缘层，所述绝缘层填充在所述第一导电结构、所述第二导电结构和所述第三导电结构之间的区域，

5 且覆盖所述第一导电结构、所述第二导电结构以及所述第三导电结构的顶部。

在其中一个实施例中，所述第一导电结构为焊盘，所述第二导电结构和所述第三导电结构为引线。

在其中一个实施例中，所述第二导电结构和所述第三导电结构的线宽范围均为 10~50nm。

10 在上述方法中，通过先在牺牲层内形成沟槽，然后再在沟槽内依次形成第一间隔结构以及第一导电结构，使得光刻过程中使用的掩膜的尺寸增大至第一导电结构的宽度与 2 倍的第一间隔结构的宽度之和，降低了对光刻工艺的限制，从而解决了因关键尺寸变小所导致的外围电路结构中金属布线困难的问题，同时提高产品品质。

15

附图说明

为了更清楚地说明本发明实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，

20 在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为一实施例提供的半导体结构的制作方法的流程图；

图 2-8 为一实施例中提供的半导体结构的制作方法中所得结构的截面结构示意图；

图 9 为一实施例提供的半导体结构的俯视图。

具体实施方式

为了便于理解本发明，下面将参照相关附图对本发明进行更全面的描述。

5 附图中给出了本发明的实施例。但是，本发明可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使本发明的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本发明的技术领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的
10 的术语只是为了描述具体的实施例的目的，不是旨在于限制本发明。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。此外，这里参考作为本发明的理想实
15 施例(和中间结构)的示意图的横截面图来描述发明的实施例，这样可以预期由于例如制造技术和/或容差导致的所示形状的变化。因此，本发明的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造技术导致的形状偏差。

请参阅图 1，根据一实施例，提供一种半导体结构的制作方法，包括如
20 下步骤：

步骤 S110，提供衬底 100；

步骤 S120，在所述衬底 100 上形成牺牲层 200；

步骤 S130，在所述牺牲层 200 内形成沟槽 210；

步骤 S140，在所述沟槽 210 内形成第一间隔结构 300，所述第一间隔结构 300 至少覆盖所述沟槽 210 的侧壁；

步骤 S150，在所述沟槽 210 以形成第一导电结构 400；

步骤 S160，形成第二导电结构 500，所述第二导电结构 500 覆盖所述第一间隔结构 300 远离所述第一导电结构 400 的侧壁；

步骤 S170，形成第二间隔结构 600，所述第二间隔结构 600 覆盖所述第二导电结构 500 远离所述第一间隔结构 300 的侧壁；

步骤 S180，形成第三导电结构 700，所述第三导电结构 700 覆盖所述第二间隔结构 600 远离所述第二导电结构 500 的侧壁。

可以理解，核心区域布局受限于字线/位线间距的限制，随着关键尺寸的减小，形成核心区域对应的金属布线时图案化工艺也受到限制，传统的利用反向自对准双重图案技术已无法很好实现布线。为此，本实施例中通过先在牺牲层 200 内形成沟槽 210，然后再在沟槽内依次形成第一间隔结构 300 以及第一导电结构 400，使得光刻过程中使用的掩膜的尺寸增大至第一导电结构 400 的宽度与 2 倍的第一间隔结构 300 的宽度之和，降低了对光刻工艺的限制，从而解决了因关键尺寸变小所导致的外围电路结构中金属布线困难的问题，同时提高产品品质。

本实施例中，所述衬底 100 包括半导体基底以及在所述半导体基底上依次形成的字线结构、位线结构和电容结构。半导体基底可以为硅基底、外延硅基底、硅锗基底、碳化硅基底或硅覆绝缘基底，但不以此为限。

在其中一个实施例中，所述第一导电结构 400 为焊盘，所述第二导电结构 500 和所述第三导电结构 700 均为导电引线。本实施例中，所述第二导电结构 500 和所述第三导电结构 700 均与所述焊盘连接，将焊盘接收到的数据

提供给相应的字线或位线结构。

请参见图 2，其中，图 2 中的 (a) 图为形成沟槽 210 后的俯视结构示意图，图 2 中的 (b) 图为沿图 (a) 中虚线 AB 处的截面结构示意图。在其中一个实施例中，所述沟槽 210 包括第一区域 211 和第二区域 212，其中所述第一区域 211 的宽度大于所述第二区域 212 的宽度，所述第一导电结构 400 形成于所述第一区域 211 内。

具体的，本实施例中形成沟槽 210 的具体步骤包括：

首先，利用沉积工艺在衬底 100 上沉积牺牲材料以形成牺牲层 200。本实施例中，所述牺牲层 200 的厚度由所需要形成的第一导电结构 400 的高度来决定。具体的，可采用氧化硅、氮化硅等材料制作所述牺牲层 200，其中沉积工艺可以包括化学气相沉积 (CVD)、低压 CVD (LPCVD)、等离子体增强 CVD (PECVD)、原子层沉积 (ALD) 以及等离子体增强 ALD (PEALD)。

其次，于所述牺牲层 200 上形成图形化掩膜层，所述图形化掩膜层内具有暴露出所述牺牲层 200 的开口，所述开口定义出所述沟槽 210 的形状及位置。该图形化掩膜层可以包括图形光刻胶层或图形化硬掩膜层，当所述图形化掩膜层为图形化光刻胶层时，形成图形化掩膜层的步骤具体包括：于所述牺牲层 200 上涂覆光刻胶，形成光刻胶层，然后利用激光器通过光罩照射光刻胶层引起曝光区域的光刻胶发生化学反应；再通过显影技术溶解去除曝光区域或未曝光区域的光刻胶（前者称正性光刻胶，后者称负性光刻胶），将光罩上的图案转移到所述光刻胶层，形成图形化掩膜层。当所述图形化掩膜层为图形化硬掩膜层时，可以先于所述牺牲层 200 上形成硬掩膜层，其次于所述硬掩膜层上形成光刻胶层，然后采用曝光显影工艺对所述光刻胶层进行曝光显影以得到图形化光刻胶层；接着再基于所述图形化光刻胶层对所述硬掩

膜层进行刻蚀以形成所述图形化硬掩膜层。

最后，基于所述图形化掩膜层刻蚀所述牺牲层 200 以形成所述沟槽 210，所述沟槽 210 的底部露出所述衬底 100。

形成沟槽 210 之后还包括去除图形化掩膜层的步骤；具体的，当图形化掩膜层为图形化硬掩膜层时，可以采用化学机械研磨工艺、刻蚀工艺或化学机械研磨工艺与刻蚀工艺相结合的工艺来去除图形化掩膜层；当图形化掩膜层为图形化光刻胶层时，可以采用灰化工艺去除图形化掩膜层。

在其中一个实施例中，形成所述第一间隔结构 300 步骤包括：

通过沉积工艺形成第一隔离材料层，所述第一隔离材料层覆盖所述沟槽 210 的侧壁和底部以及所述牺牲层 200 的顶部，且填满所述沟槽 210 的第二区域 212；

对所述第一隔离材料层进行化学机械研磨或刻蚀，去除覆盖所述沟槽 210 的底部以及所述牺牲层 200 的顶部的所述第一隔离材料层，保留覆盖所述沟槽 210 的侧壁上的所述第一隔离材料层，形成所述第一间隔结构 300。

请参见图 3，本实施例中，所述第一导电结构 400 为焊盘，所述第二导电结构 500 和所述第三导电结构 700 均为导电引线。焊盘的长度小于导电引线的长度，因此只需要在设置焊盘的区域加大所述沟槽 210 的宽度。具体的，当所述牺牲层 200 采用氧化硅制作时，可通过沉积工艺沉积氮化硅材料，形成所述第一隔离材料层，所述第一隔离材料层覆盖所述沟槽 210 的侧壁和底部以及所述牺牲层 200 的顶部，且填满所述沟槽 210 的第二区域 212；然后，利用回刻蚀或化学机械研磨工艺去除覆盖所述沟槽 210 的底部以及所述牺牲层 200 的顶部的所述第一隔离材料层，保留覆盖所述沟槽 210 的侧壁上的所述第一隔离材料层，形成所述第一间隔结构 300。

需注意的是，为了填满所述第二区域 212，因此利用沉积工艺形成的第一间隔结构 300 在第一区域 211 内宽度大于或等于其在第二区域 212 内宽度。因此在沿垂直于沟槽 210 延伸的方向上，沟槽 210 在第一区域 211 内的宽度与其在第二区域 212 内的宽度差大于或等于需要形成的第一导电结构 400 的宽度。

在其中一个实施例中，形成所述第一导电结构 400 的步骤包括：

形成第一导电材料层，所述第一导电材料层填满所述沟槽 210 的第一区域 211，且覆盖所述牺牲层 200 和所述第一间隔结构的顶部；

去除覆盖所述牺牲层 200 和所述第一间隔结构的顶部的所述第一导电材料层以形成所述第一导电结构 400，所述第一导电结构 400 的顶部与所述第一间隔结构 300 的顶部齐平。

请参见图 4，本发明实施例中形成第一导电结构 400 的具体过程包括：利用沉积工艺在形成第一间隔结构 300 的衬底 100 上沉积导电材料，例如钨、镍等金属材料，以形成第一导电材料层，所述第一导电材料层填满所述沟槽 210 的第一区域 211，且覆盖所述牺牲层 200 和所述第一间隔结构的顶部；然后，利用回刻蚀或化学机械研磨工艺去除覆盖所述牺牲层 200 和所述第一间隔结构的顶部的所述第一导电材料层以形成所述第一导电结构 400，所述第一导电结构 400 的顶部与所述第一间隔结构 300 的顶部齐平。

在其中一个实施例中，形成所述第二导电结构 500 的步骤包括：

去除所述牺牲层 200；

沉积形成第二导电材料层，所述第二导电材料层覆盖所述衬底 100、所述第一间隔结构 300 和第一导电结构 400 的顶部以及所述第一间隔结构 300 的外侧侧壁；

去除覆盖所述衬底 100、所述第一间隔结构 300 和第一导电结构 400 的顶部的所述第二导电材料层，保留覆盖所述第一间隔结构 300 的外侧侧壁的所述第二导电材料层以形成所述第二导电结构 500。

请参见图 5，在形成第一导电结构 400 后，首先去除所述牺牲层 200，由于本实施例中牺牲层 200 采用氧化硅材料，而第一隔离结构采用氮化硅材料，因此可利用氧化硅材料与氮化硅材料的刻蚀选择比去除所述牺牲层 200；然后，利用沉积工艺沉积导电材料，例如钨、镍等金属材料，形成第二导电材料层，所述第二导电材料层覆盖所述衬底 100、所述第一间隔结构 300 和第一导电结构 400 的顶部以及所述第一间隔结构 300 的外侧侧壁；最后，对所述第二导电材料层进行回刻蚀，去除覆盖所述衬底 100、所述第一间隔结构 300 和第一导电结构 400 的顶部的所述第二导电材料层，保留覆盖所述第一间隔结构 300 的外侧侧壁的所述第二导电材料层，形成所述第二导电结构 500。

请参见图 6，在其中一个实施例中，形成第二间隔结构 600 的过程具体包括：

首先，在形成所述第二导电结构 500 的衬底 100 上，利用沉积工艺沉积氮化硅材料以形成第二隔离材料层，所述第二隔离材料层覆盖衬底 100、第一导电结构 400、第一间隔结构 300 和第二导电结构 500 的顶部，且覆盖所述第二导电结构 500 远离所述第一间隔结构 300 的侧壁。

然后，对所述第二隔离材料层进行化学机械研磨或回刻蚀，去除覆盖衬底 100、第一导电结构 400、第一间隔结构 300 和第二导电结构 500 的顶部的第二隔离材料层，保留覆盖所述第二导电结构 500 远离所述第一间隔结构 300 的侧壁的第二隔离材料层，形成所述第二间隔结构 600。

请参见图 7，在其中一个实施例中，形成第三导电结构 700 的过程具体包括：首先，沉积利用沉积工艺沉积导电材料，例如钨、镍等金属材料，形成第三导电材料层，所述第三导电材料层覆盖所述衬底 100、所述第一间隔结构 300、所述第一导电结构 400、所述第二导电结构 500、所述第二间隔结构 600 的顶部以及所述第二间隔结构 600 的远离所述第一间隔结构 300 的侧壁；最后，对所述第三导电材料层进行化学机械研磨或回刻蚀，去除覆盖衬底 100、所述第一间隔结构 300、所述第一导电结构 400、所述第二导电结构 500、所述第二间隔结构 600 的顶部的所述第三导电材料层，保留覆盖所述第一间隔结构 300 的外侧侧壁的所述第三导电材料层，形成所述第三导电结构 700。

在其中一个实施例中，所述第二导电结构和所述第三导电结构的线宽范围均为 10~50nm；具体的，第二导电结构和第三导电结构的线宽可以为 10nm、20nm、30nm、40nm 或 50nm。利用本发明提供的制作方法，可将所述第二导电结构和所述第三导电结构的线宽范围控制在 10~50nm 范围内，降低导电引线上的内阻，同时满足字线/位线的间距的限制。导电引线的之间的间隔距离具体由二者之间的间隔结构的厚度来决定。

在其中一个实施例中，所述第一导电结构 400、所述第二导电结构 500 和所述第三导电结构 700 均采用金属导电材料制作。可以理解，采用金属导电材料制所述第一导电结构 400、所述第二导电结构 500 和所述第三导电结构 700，可减小导电引线上的内阻，保持传输信号的时序具有良好的一致性，且有利于降低物料管理难度，进而降低生产成本。

请参见图 8，在其中一个实施例中，所述半导体结构的制作方法还包括：去除所述第一间隔结构和所述第二间隔结构，以形成待填充区域；

形成绝缘层 800，所述绝缘层 800 填充所述待填充区域，且覆盖所述第一导电结构 400、所述第二导电结构 500 以及第三导电结构 700 的顶部。

可以理解，在第一间隔结构 300 和第二间隔结构 600 的过程中，为了便于制作，有可能采用的绝缘性较差和/或介电系数较低的材料，因此如采用第一间隔结构 300 和第二间隔结构 600 作为绝缘结构则可能会导致产生暗电流和/或寄生电容，因此需要重新形成绝缘层 800。在其它一些实施例中，如果制作第一间隔结构 300 和第二间隔结构 600 的材料具有良好的绝缘性和较高的介电系数，也可保留所述第一间隔结构 300 和第二间隔结构 600。

基于同一发明构思，一实施例还提供了一种采用上述任一实施例所述的半导体结构的制作方法形成的半导体结构，请参见图 9，所述半导体结构包括：衬底 100、第一导电结构 400、第二导电结构 500 和第三导电结构 700。

所述第一导电结构 400、所述第二导电结构 500 和所述第三导电结构 700 间隔的设置所述衬底 100 表面，且所述第二导电结构 500 位于所述第一导电结构 400 和所述第三导电结构 700 之间。

本实施例中，所述衬底 100 包括半导体基底以及在所述半导体基底上依次形成的字线结构、位线结构和电容结构。半导体基底可以为硅基底、外延硅基底、硅锗基底、碳化硅基底或硅覆绝缘基底，但不以此为限。

在其中一个实施例中，所述半导体结构还包括绝缘层 800，所述绝缘层 800 填充在所述第一导电结构 400、所述第二导电结构 500 和所述第三导电结构 700 之间的区域，且覆盖所述第一导电结构 400、所述第二导电结构 500 以及所述第三导电结构 700 的顶部。本实施例中，通过绝缘层 800 将所述第一导电结构 400、所述第二导电结构 500 和所述第三导电结构 700 进行绝缘，以防止产生暗电流和/或寄生电容；此外，所述绝缘层 800 还对第一导电结构

400、所述第二导电结构 500 和所述第三导电结构 700 起到了支撑作用，防止第一导电结构 400、所述第二导电结构 500 和所述第三导电结构 700 因受到外力作用而发生倒伏或坍塌。

在其中一个实施例中，所述第一导电结构 400 为焊盘，所述第二导电结构 500 和所述第三导电结构 700 均为导电引线。本实施例中，所述第二导电结构 500 和所述第三导电结构 700 均与所述焊盘连接，将焊盘接收到的数据提供给相应的字线或位线结构。

在其中一个实施例中，在其中一个实施例中，所述第二导电结构和所述第三导电结构的线宽范围均为 10~50nm；具体的，第二导电结构和第三导电结构的线宽均可以为 10nm、20nm、30nm、40nm 或 50nm 等等。利用本发明提供的制作方法，可将所述第二导电结构和所述第三导电结构的线宽范围控制在 10~50nm 范围内，降低导电引线上的内阻，同时满足字线/位线的间距的限制。导电引线的之间的间隔距离具体由二者之间的间隔结构的厚度来决定。

综上，本实施例提供了一种半导体结构及其制作方法，其中所述制作方法包括：提供衬底 100；在所述衬底 100 上形成牺牲层 200；在所述牺牲层 200 内形成沟槽 210；在所述沟槽 210 内形成第一间隔结构 300，所述第一间隔结构 300 至少覆盖所述沟槽 210 的侧壁；在所述沟槽 210 以形成第一导电结构 400；形成第二导电结构 500，所述第二导电结构 500 覆盖所述第一间隔结构 300 远离所述第一导电结构 400 的侧壁；形成第二间隔结构 600，所述第二间隔结构 600 覆盖所述第二导电结构 500 远离所述第一间隔结构 300 的侧壁；形成第三导电结构 700，所述第三导电结构 700 覆盖所述第二间隔结构 600 远离所述第二导电结构 500 的侧壁。上述方法中，通过先在牺牲层 200 内形成沟槽 210，然后再在沟槽内依次形成第一间隔结构 300 以及第一导电

结构 400，使得光刻过程中使用的掩膜的尺寸增大至第一导电结构 400 的宽度与 2 倍的第一间隔结构 300 的宽度之和，降低了对光刻工艺的限制，从而解决了因关键尺寸变小所导致的外围电路结构中金属布线困难的问题，同时提高产品品质。

5 在本说明书的描述中，参考术语“其中一个实施例”、“其他一些实施例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特征包含于本发明的至少一个实施例或示例中。在本说明书中，对上述术语的示意性描述不一定指的是相同的实施例或示例。

10 上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

15 以上所述实施例仅表达了本发明的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，发明专利的保护范围应以所附权利要求为准。

权利要求书

1、一种半导体结构的制作方法，包括：

提供衬底；

在所述衬底上形成牺牲层；

在所述牺牲层内形成沟槽；

5 在所述沟槽内形成第一间隔结构，所述第一间隔结构至少覆盖所述沟槽的侧壁；

在所述沟槽以形成第一导电结构；

形成第二导电结构，所述第二导电结构覆盖所述第一间隔结构远离所述第一导电结构的侧壁；

10 形成第二间隔结构，所述第二间隔结构覆盖所述第二导电结构远离所述第一间隔结构的侧壁；及

形成第三导电结构，所述第三导电结构覆盖所述第二间隔结构远离所述第二导电结构的侧壁。

2、如权利要求 1 所述的方法，其中所述第一导电结构为焊盘，所述第二
15 导电结构和所述第三导电结构均为导电引线。

3、如权利要求 1 所述的方法，其中所述沟槽包括第一区域和第二区域，其中所述第一区域的宽度大于所述第二区域的宽度，所述第一导电结构形成于所述第一区域内。

4、如权利要求 3 所述的方法，其中形成所述第一间隔结构包括：

20 通过沉积工艺形成第一隔离材料层，所述第一隔离材料层覆盖所述沟槽的侧壁和底部以及所述牺牲层的顶部，且填满所述沟槽的第二区域；

对所述第一隔离材料层进行刻蚀，去除覆盖所述沟槽的底部以及所述牺

牲层的顶部的所述第一隔离材料层，保留覆盖所述沟槽的侧壁上的所述第一隔离材料层以形成所述第一间隔结构。

5、如权利要求 3 所述的方法，其中形成所述第一导电结构包括：

形成第一导电材料层，所述第一导电材料层填满所述沟槽的第一区域，

5 且覆盖所述牺牲层和所述第一间隔结构的顶部；

去除覆盖所述牺牲层和所述第一间隔结构的顶部的所述第一导电材料层以形成所述第一导电结构，所述第一导电结构的顶部与所述第一间隔结构的顶部齐平。

6、如权利要求 1 所述的方法，其中形成所述第二导电结构包括：

10 去除所述牺牲层；

沉积形成第二导电材料层，所述第二导电材料层覆盖所述衬底、所述第一间隔结构和第一导电结构的顶部以及所述第一间隔结构的外侧侧壁；

去除覆盖所述衬底、所述第一间隔结构和第一导电结构的顶部的所述第二导电材料层，保留覆盖所述第一间隔结构的外侧侧壁的所述第二导电材料层以形成所述第二导电结构。

15

7、如权利要求 1 所述的方法，其中所述第二导电结构和所述第三导电结构的线宽范围均为 10~50nm。

8、如权利要求 1 所述的方法，其中所述第一导电结构、所述第二导电结构和所述第三导电结构均采用金属导电材料制作。

9、如权利要求 1 所述的方法，还包括：

20

去除所述第一间隔结构和所述第二间隔结构，以形成待填充区域；及

形成绝缘层，所述绝缘层填充所述待填充区域，且覆盖所述第一导电结构、所述第二导电结构以及第三导电结构的顶部。

10、一种半导体结构，采用如权利要求 1 所述的方法形成，所述半导体结构包括：衬底、第一导电结构、第二导电结构和第三导电结构；

其中，所述第一导电结构、所述第二导电结构和所述第三导电结构间隔的设置
5 在所述衬底表面，且所述第二导电结构位于所述第一导电结构和所述第三导电结构之间。

11、如权利要求 10 所述的半导体结构，还包括绝缘层，所述绝缘层填充在所述第一导电结构、所述第二导电结构和所述第三导电结构之间的区域，且覆盖所述第一导电结构、所述第二导电结构以及所述第三导电结构的顶部。

12、如权利要求 10 所述的半导体结构，其中所述第一导电结构为焊盘，
10 所述第二导电结构和所述第三导电结构为引线。

13、如权利要求 10-12 中任一项所述的半导体结构，其中所述第二导电结构和所述第三导电结构的线宽范围均为 10~50nm。

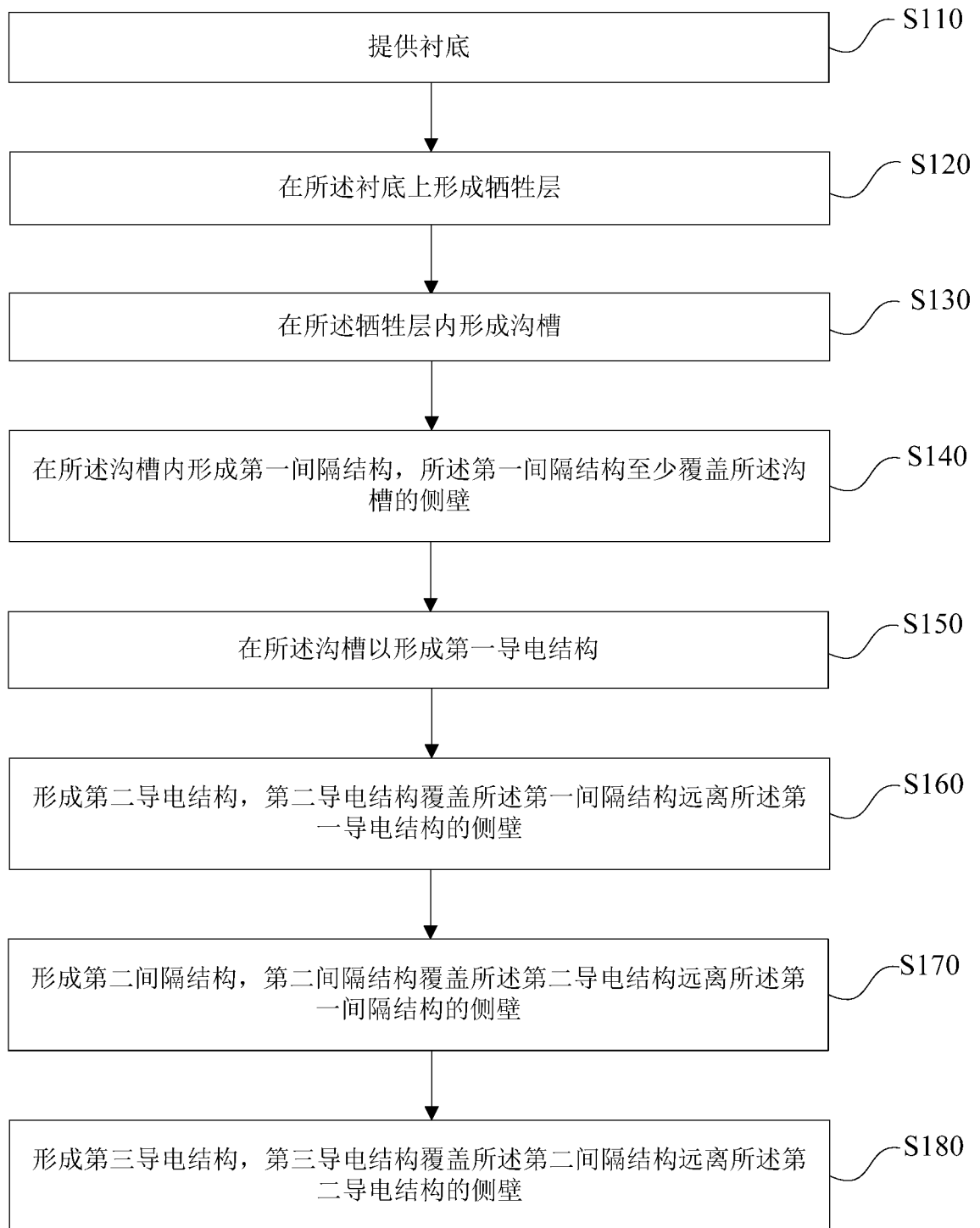
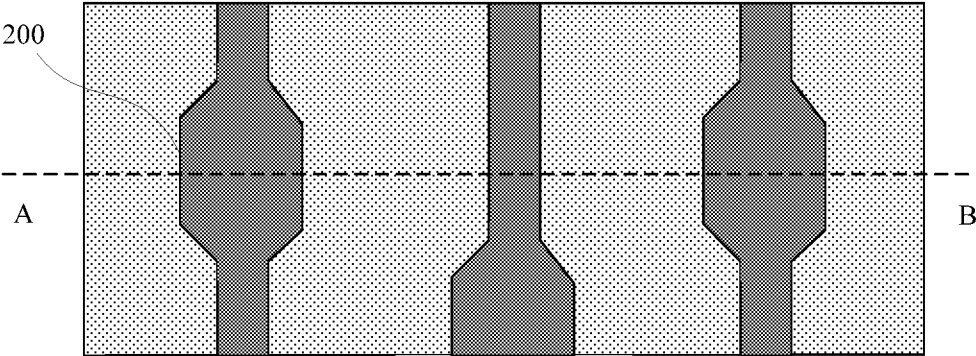
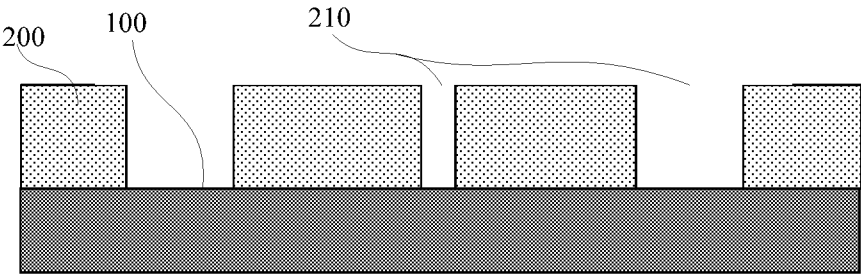


图 1



(a)



(b)

图 2

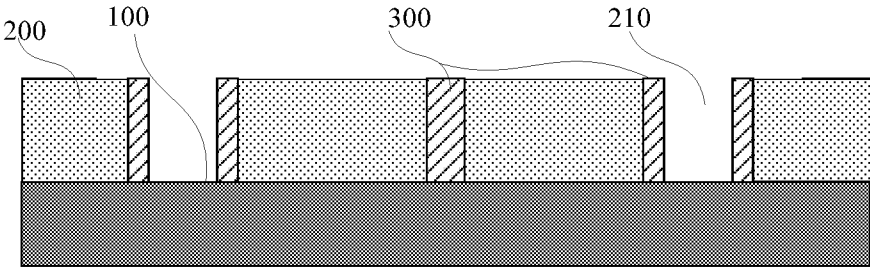


图 3

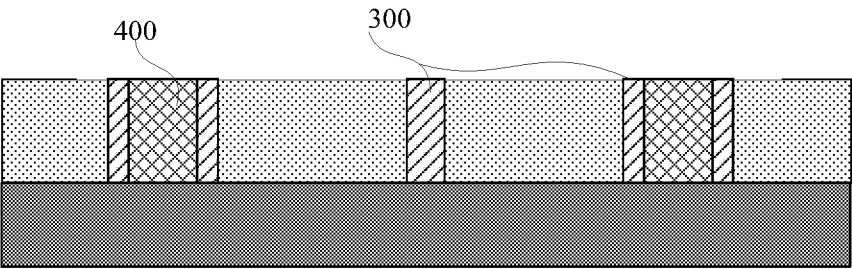


图 4

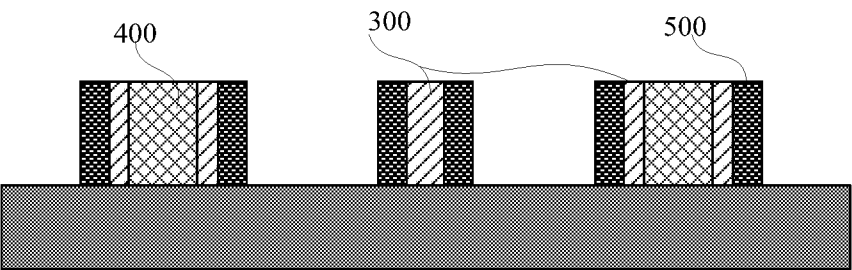


图 5

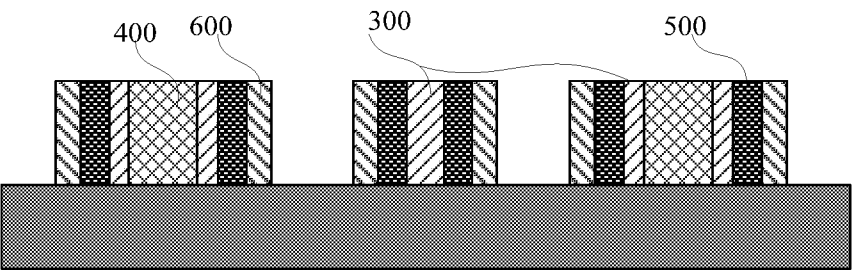


图 6

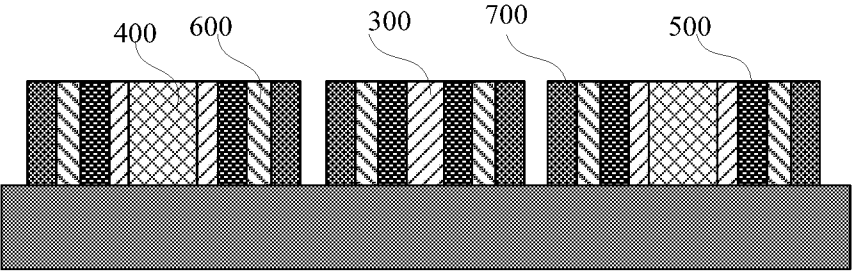


图 7

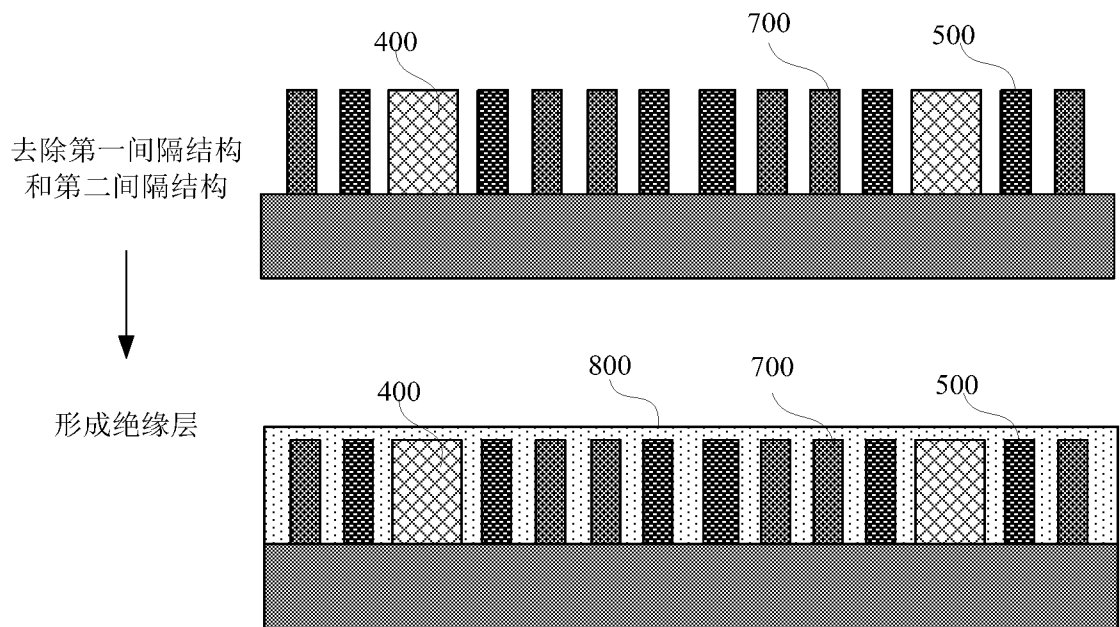


图 8

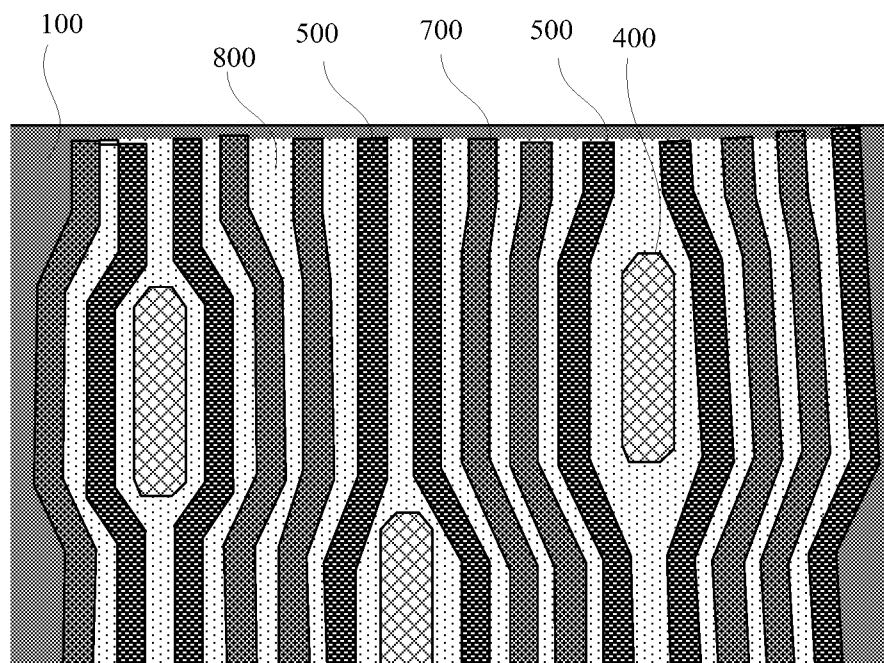


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/100239

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; H01L 27/115(2017.01)i; H01L 21/8242(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI, IEEE: 牺牲, 初始, 槽, 凹, 开口, 侧壁, 侧墙, 间隔, 间隙, 导线, 引线, 位线, 字线, 存储, 去除, 移除, 介质, 绝缘, sacrificial, trench, groove, recess, opening, sidewall, spacer, wiring, line, wire, bit, word, memory, removing, dielectric, insulation

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105789113 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 20 July 2016 (2016-07-20) description paragraphs [0060]-[0100], figures 1-9	1-13
X	US 2015340313 A1 (SAMSUNG ELECTRONICS CO., LTD.) 26 November 2015 (2015-11-26) description paragraphs [0035]-[0062], figures 1A-14C	10-13
X	US 2014256134 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY) 11 September 2014 (2014-09-11) description paragraphs [0010]-[0017], figures 1-4	10-13
A	US 2004152294 A1 (CHOI, K. K.) 05 August 2004 (2004-08-05) entire document	1-13
A	US 2009186485 A1 (LAM, C. H. et al.) 23 July 2009 (2009-07-23) entire document	1-13
A	JP 2000068376 A (MATSUSHITA ELECTRONICS CORP.) 03 March 2000 (2000-03-03) entire document	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 August 2021

Date of mailing of the international search report

15 September 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/100239

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105789113	A	20 July 2016	CN	105789113	B	14 May 2019
US	2015340313	A1	26 November 2015	KR	20150134164	A	01 December 2015
				US	10121744	B2	06 November 2018
				US	10804198	B2	13 October 2020
				US	2017221811	A1	03 August 2017
				US	9768115	B2	19 September 2017
				US	10658289	B2	19 May 2020
				US	2019035724	A1	31 January 2019
				KR	102171258	B1	28 October 2020
				US	2020235049	A1	23 July 2020
US	2014256134	A1	11 September 2014	TW	201436011	A	16 September 2014
				US	8828875	B1	09 September 2014
				US	2014377954	A1	25 December 2014
				US	9466501	B2	11 October 2016
				TW	1518765	B	21 January 2016
US	2004152294	A1	05 August 2004	DE	10354744	A1	19 August 2004
				KR	20040070879	A	11 August 2004
				JP	2004241759	A	26 August 2004
				KR	100476710	B1	16 March 2005
US	2009186485	A1	23 July 2009	US	7879728	B2	01 February 2011
				US	8421194	B2	16 April 2013
				US	2011108960	A1	12 May 2011
				US	2011104899	A1	05 May 2011
				US	8420540	B2	16 April 2013
JP	2000068376	A	03 March 2000	None			

国际检索报告

国际申请号

PCT/CN2021/100239

A. 主题的分类 H01L 21/768(2006.01)i; H01L 27/115(2017.01)i; H01L 21/8242(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, EPDOC, WPI, CNKI, IEEE: 牺牲, 初始, 槽, 凹, 开口, 侧壁, 侧墙, 间隔, 间隙, 导线, 引线, 位线, 字线, 存储, 去除, 移除, 介质, 绝缘, sacrificial, trench, groove, recess, opening, sidewall, spacer, wiring, line, wire, bit, word, memory, removing, dielectric, insulation																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 105789113 A (上海华虹宏力半导体制造有限公司) 2016年 7月 20日 (2016 - 07 - 20) 说明书第[0060]-[0100]段, 附图1-9</td> <td>1-13</td> </tr> <tr> <td>X</td> <td>US 2015340313 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2015年 11月 26日 (2015 - 11 - 26) 说明书第[0035]-[0062]段, 附图1A-14C</td> <td>10-13</td> </tr> <tr> <td>X</td> <td>US 2014256134 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY) 2014年 9月 11日 (2014 - 09 - 11) 说明书第[0010]-[0017]段, 附图1-4</td> <td>10-13</td> </tr> <tr> <td>A</td> <td>US 2004152294 A1 (CHOI, K. K.) 2004年 8月 5日 (2004 - 08 - 05) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>US 2009186485 A1 (LAM, C. H. 等) 2009年 7月 23日 (2009 - 07 - 23) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>JP 2000068376 A (MATSUSHITA ELECTRONICS CORP.) 2000年 3月 3日 (2000 - 03 - 03) 全文</td> <td>1-13</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 105789113 A (上海华虹宏力半导体制造有限公司) 2016年 7月 20日 (2016 - 07 - 20) 说明书第[0060]-[0100]段, 附图1-9	1-13	X	US 2015340313 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2015年 11月 26日 (2015 - 11 - 26) 说明书第[0035]-[0062]段, 附图1A-14C	10-13	X	US 2014256134 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY) 2014年 9月 11日 (2014 - 09 - 11) 说明书第[0010]-[0017]段, 附图1-4	10-13	A	US 2004152294 A1 (CHOI, K. K.) 2004年 8月 5日 (2004 - 08 - 05) 全文	1-13	A	US 2009186485 A1 (LAM, C. H. 等) 2009年 7月 23日 (2009 - 07 - 23) 全文	1-13	A	JP 2000068376 A (MATSUSHITA ELECTRONICS CORP.) 2000年 3月 3日 (2000 - 03 - 03) 全文	1-13
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 105789113 A (上海华虹宏力半导体制造有限公司) 2016年 7月 20日 (2016 - 07 - 20) 说明书第[0060]-[0100]段, 附图1-9	1-13																					
X	US 2015340313 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2015年 11月 26日 (2015 - 11 - 26) 说明书第[0035]-[0062]段, 附图1A-14C	10-13																					
X	US 2014256134 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY) 2014年 9月 11日 (2014 - 09 - 11) 说明书第[0010]-[0017]段, 附图1-4	10-13																					
A	US 2004152294 A1 (CHOI, K. K.) 2004年 8月 5日 (2004 - 08 - 05) 全文	1-13																					
A	US 2009186485 A1 (LAM, C. H. 等) 2009年 7月 23日 (2009 - 07 - 23) 全文	1-13																					
A	JP 2000068376 A (MATSUSHITA ELECTRONICS CORP.) 2000年 3月 3日 (2000 - 03 - 03) 全文	1-13																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2021年 8月 26日		国际检索报告邮寄日期 2021年 9月 15日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 杨燕 电话号码 86-(10)-53961450																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/100239

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105789113	A	2016年 7月 20日	CN	105789113	B	2019年 5月 14日
US	2015340313	A1	2015年 11月 26日	KR	20150134164	A	2015年 12月 1日
				US	10121744	B2	2018年 11月 6日
				US	10804198	B2	2020年 10月 13日
				US	2017221811	A1	2017年 8月 3日
				US	9768115	B2	2017年 9月 19日
				US	10658289	B2	2020年 5月 19日
				US	2019035724	A1	2019年 1月 31日
				KR	102171258	B1	2020年 10月 28日
				US	2020235049	A1	2020年 7月 23日
US	2014256134	A1	2014年 9月 11日	TW	201436011	A	2014年 9月 16日
				US	8828875	B1	2014年 9月 9日
				US	2014377954	A1	2014年 12月 25日
				US	9466501	B2	2016年 10月 11日
				TW	1518765	B	2016年 1月 21日
US	2004152294	A1	2004年 8月 5日	DE	10354744	A1	2004年 8月 19日
				KR	20040070879	A	2004年 8月 11日
				JP	2004241759	A	2004年 8月 26日
				KR	100476710	B1	2005年 3月 16日
US	2009186485	A1	2009年 7月 23日	US	7879728	B2	2011年 2月 1日
				US	8421194	B2	2013年 4月 16日
				US	2011108960	A1	2011年 5月 12日
				US	2011104899	A1	2011年 5月 5日
				US	8420540	B2	2013年 4月 16日
JP	2000068376	A	2000年 3月 3日	无			