



(12)发明专利

(10)授权公告号 CN 104704630 B

(45)授权公告日 2017.03.29

(21)申请号 201380049912.1

爱德华·库兰 唐纳恰·罗尼

(22)申请日 2013.08.21

(74)专利代理机构 北京银龙知识产权代理有限公司 11243

(65)同一申请的已公布的文献号

申请公布号 CN 104704630 A

代理人 许静 黄灿

(43)申请公布日 2015.06.10

(51)Int.Cl.

(30)优先权数据

13/626,829 2012.09.25 US

H01L 23/498(2006.01)

H01L 23/552(2006.01)

(85)PCT国际申请进入国家阶段日

2015.03.25

(56)对比文件

CN 101459178 A, 2009.06.17,

CN 102104033 A, 2011.06.22,

US 2008179718 A1, 2008.07.31,

US 2004188827 A1, 2004.09.30,

US 6362525 B1, 2002.03.26,

US 2007262422 A1, 2007.11.15,

US 2010078771 A1, 2010.04.01,

US 2012217624 A1, 2012.08.30,

(86)PCT国际申请的申请数据

PCT/US2013/055993 2013.08.21

(87)PCT国际申请的公布数据

W02014/051894 EN 2014.04.03

(73)专利权人 吉林克斯公司

地址 美国加利福尼亚州

审查员 王毅冰

(72)发明人 克里斯多夫·爱德曼

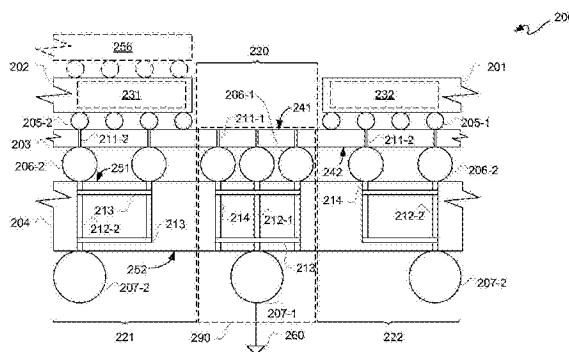
权利要求书3页 说明书8页 附图9页

(54)发明名称

噪声衰减壁

(57)摘要

本发明揭示一种设备的实施例。对于所述设备的此实施例，插入件(203)具有第一通孔(211)。第一互连件(205)及第二互连件(206)分别耦合在所述插入件(203)的相反表面上。所述第一互连件(205)的第一部分及所述第一互连件(205)的第二部分彼此间隔开，从而在其间定义隔离区域(220)。衬底(204)具有第二通孔(212)。第三互连件(207)及第二互连件(206)分别耦合在所述封装衬底(204)的相反表面上。所述第一通孔(211)的第一部分及所述第二通孔(212)的第一部分均处于所述隔离区域(220)中并利用所述第二互连件(206)的第一部分彼此耦合。



1. 一种设备,其包括:

插入件,其具有多个第一通孔、顶表面、与所述顶表面相反的底表面;

分别耦合到所述插入件的所述顶表面和所述底表面上的多个第一互连件及多个第二互连件;

其中所述多个第一互连件中的第一群第一互连件及所述多个第一互连件中的第二群第一互连件彼此间隔开,从而在其间定义隔离区域;

衬底,其具有多个第二通孔、顶表面、与所述顶表面相反的底表面;

分别耦合到所述衬底的所述顶表面和所述底表面上的多个第三互连件及所述多个第二互连件;

其中所述多个第一通孔中的第一群第一通孔及所述多个第二通孔中的第一群第二通孔均处于所述隔离区域中,并利用所述多个第二互连件中的第一群第二互连件耦合彼此;以及

其中所述多个第二通孔中的所述第一群第二通孔的每一者延伸到所述插入件的所述顶表面和所述底表面中的每一者,并且所述多个第二通孔中的所述第一群第二通孔的每一者在所述衬底内耦合彼此。

2. 根据权利要求1所述的设备,其进一步包括:

第一集成电路裸片,其利用所述多个第一互连件中的所述第一群第一互连件耦合到所述插入件;以及

第二集成电路裸片,其利用所述多个第一互连件中的所述第二群第一互连件耦合到所述插入件。

3. 根据权利要求2所述的设备,其中:

所述第一集成电路裸片包含利用所述多个第一互连件中的所述第一群第一互连件耦合到所述插入件的模拟电路;以及

所述第二集成电路裸片包含利用所述多个第一互连件中的所述第二群第一互连件耦合到所述插入件的数字电路。

4. 根据权利要求1所述的设备,其进一步包括利用所述多个第一互连件中的所述第一群第一互连件和所述第二群第一互连件耦合到所述插入件的集成电路裸片。

5. 根据权利要求1所述的设备,其中所述多个第一通孔中的所述第一群第一通孔通过所述多个第二互连件中的所述第一群第二互连件、所述多个第二通孔中的所述第一群第二通孔及所述多个第三互连件中的第一群第三互连件耦合到接地。

6. 根据权利要求5所述的设备,其中所述多个第一通孔中的第二群第一通孔、所述多个第二互连件中的第二群第二互连件、所述多个第二通孔中的第二群第二通孔及所述多个第三互连件中的第二群第三互连件皆位于所述隔离区域的外侧。

7. 根据权利要求6所述的设备,其中:

所述多个第一通孔中的所述第二群第一通孔的第一集合、所述多个第二互连件的第一集合、所述多个第二通孔的第一集合及所述多个第三互连件的第一集合皆位于与数字电路的操作相关联的第一有源区域中;以及

所述多个第一通孔中的所述第二群第一通孔的第二集合、所述多个第二互连件的第二集合、所述多个第二通孔的第二集合及所述多个第三互连件的第二集合皆位于与模拟电路

的操作相关联的第二有源区域中。

8. 根据权利要求1所述的设备,其中所述多个第一通孔中的所述第一群第一通孔的每一第一通孔延伸到所述插入件的所述顶表面和所述底表面中的每一者。

9. 一种设备,其包括:

电路平台,其包括:

多个通孔,所述多个通孔的至少一部分使用一或多个导电层互连彼此,所述一或多个导电层经安置为正交于所述多个通孔;

未连接到所述多个通孔的至少一个第一导体;

未连接到所述通孔的至少一个第二导体;

其中所述多个通孔彼此间隔开以提供噪声衰减壁;

其中所述多个通孔围绕所述至少一个第二导体,以在所述至少一个第二导体与所述至少一个第一导体之间提供噪声障壁;以及

其中所述至少一个第一导体位于所述噪声衰减壁的外侧。

10. 根据权利要求9所述的设备,其中:

所述至少一个第一导体是用于传导至少一个第一信号;

所述至少一个第二导体是用于传导至少一个第二信号;以及

所述至少一个第一信号相对于所述至少一个第二信号为干扰源信号。

11. 根据权利要求9所述的设备,其中所述多个通孔延伸到所述电路平台的相反表面。

12. 根据权利要求9所述的设备,其中所述电路平台为插入件或封装衬底。

13. 根据权利要求9所述的设备,其中:

所述噪声衰减壁包含至少一个双层壁;

所述多个通孔的第一部分用于提供所述至少一个双层壁的至少一个外壁;

所述多个通孔的第二部分用于提供环状内壁;以及

所述多个通孔的所述第一部分相对于所述多个通孔的所述第二部分的子集进行交错,所述子集安置在所述噪声衰减壁的与所述至少一个外壁相同的侧上。

14. 根据权利要求9所述的设备,其中:

所述多个通孔的第一部分是用于耦合到一或多个接地;以及

所述多个通孔的第二部分是用于耦合到一或多个供应电压。

15. 根据权利要求9所述的设备,其中所述噪声衰减壁提供所述噪声障壁,以对同一封装内的裸片到裸片通信提供通道。

16. 一种设备,其包括:

具有多个衬底穿通孔、多个晶体管及至少一个导电层的裸片;

其中所述至少一个导电层将所述多个衬底穿通孔互连彼此;

其中所述多个衬底穿通孔彼此间隔开以提供噪声衰减壁;

位于所述噪声衰减壁的第一侧上并且未经互连到所述噪声衰减壁的第一导体;

位于所述噪声衰减壁的第二侧上并且未经互连到所述噪声衰减壁的第二导体;

其中所述第一导体是用于传导第一信号;

其中所述第二导体是用于传导第二信号;

其中所述第一信号相对于所述第二信号为噪声干扰源;以及

其中所述噪声衰减壁位于所述第一导体与所述第二导体之间,以减少由所述第一信号引起的噪声被感应到所述第二信号上。

17. 根据权利要求16所述的设备,其中所述多个衬底穿通孔围绕所述第二导体,以在所述第二导体与所述第一导体之间提供噪声障壁。

噪声衰减壁

技术领域

[0001] 实施例涉及集成电路装置(“IC”)。更确切地说,实施例涉及一种具有噪声衰减壁的IC封装。

背景技术

[0002] 集成电路已随着时间变得更“密集”,即,更多逻辑特征已在给定大小的IC中实施。此外,多个集成电路裸片可实施在同一IC封装中。不论是来自单一IC还是来自多个裸片的IC封装,一个信号有更多的机会造成对另一信号的干扰或噪声,即串扰。因此,需要提供具有减少的串扰的IC封装。

发明内容

[0003] 一或多个实施例大体上涉及一种具有噪声衰减壁的IC封装。

[0004] 实施例大体上涉及一种设备。在此类实施例中,插入件具有第一通孔。第一互连件及第二互连件分别耦合到所述插入件的相反表面上。第一互连件的第一部分及第一互连件的第二部分彼此间隔开,从而在其间定义隔离区域。封装衬底具有第二通孔。第三互连件及第二互连件分别耦合到所述封装衬底的相反表面上。第一通孔的第一部分及第二通孔的第一部分均处于所述隔离区域中并利用所述第二互连件的第一部分彼此耦合。

[0005] 另一实施例大体上涉及另一种设备。在此类实施例中,电路平台具有通孔。所述电路平台包含未连接到所述通孔的至少一个第一导体。所述电路平台进一步包含未连接到所述通孔的至少一个第二导体。所述通孔彼此间隔开以提供一噪声衰减壁。所述通孔围绕至少一个第二导体以在所述至少一个第二导体与所述至少一个第一导体之间提供噪声障壁。至少一个第一导体位于噪声衰减壁的外侧。

[0006] 又另一个实施例大体上涉及又另一种设备。在此类实施例中,裸片具有衬底穿通孔、晶体管及至少一个导电层。所述至少一个导电层将衬底穿通孔彼此互连。所述衬底穿通孔彼此间隔开以提供噪声衰减壁。第一导体位于噪声衰减壁的第一侧上并且未经互连到所述噪声衰减壁。第二导体位于噪声衰减壁的第二侧上并且未经互连到所述噪声衰减壁。第一导体是用于传导第一信号。第二导体是用于传导第二信号。第一信号相对于第二信号壁为噪声干扰源。所述噪声衰减壁位于第一导体与第二导体之间以减少由第一信号引起的噪声被感应到第二信号上。

附图说明

[0007] 附图展示示范性实施例。然而,附图不应被视为限制所展示的实施例,而是仅用于解释及理解。

[0008] 图1为描绘柱状现场可编程门阵列(“FPGA”)架构的示范性实施例的简化框图。

[0009] 图2-1至2-4为描绘装置封装的相应的示范性实施例的横截面视角的框图。

[0010] 图3为描绘电路平台的示范性实施例的顶部正视视角的框图。

[0011] 图4为描绘电路平台的另一示范性实施例的顶部正视视角的框图。

[0012] 图5为描绘电路平台的又另一示范性实施例的顶部正视视角的框图。

[0013] 图6为描绘电路平台的又另一示范性实施例的顶部正视视角的框图。

具体实施方式

[0014] 在以下描述中,阐述众多具体细节以提供对具体实施例的更彻底描述。然而,所属领域的技术人员应显而易见,可在没有以下给定的所有具体细节的情况下实践一或多个实施例。在其它情况下,未详细描述众所周知的特征,以免使一或多个实施例难以理解。为了便于说明,在不同的图中使用相同的数字标记以指代相同的项目;然而,所述项目在替代实施例中可以是不同的。

[0015] 在描述若干图中的说明性地描绘的示范性实施例之前,提供总体介绍用于进一步理解。来自一个电路的信号在来自另一电路的信号中导致噪声。这些干扰信号可在同一集成电路封装内,其中所述集成电路封装可包含两个或两个以上的集成电路裸片。此类两个或两个以上集成电路裸片可耦合到同一插入件或载体裸片(“插入件”),且此插入件可耦合到封装平台构件(“封装衬底”)。此类插入件大体上被视为无源插入件,即没有晶体管的裸片。然而,在另一实施例中,可使用有源插入件,即具有一或多个晶体管的裸片。此外,即使下文中描述耦合到插入件的多个裸片,但应理解,如本文中所描述的噪声屏蔽可用于单个裸片。

[0016] 为了衰减集成电路封装内的干扰源传信的噪声,可使用如下文中另外详细描述的噪声衰减壁。

[0017] 通过铭记上述总体理解,在下文中大体上描述了噪声衰减壁的各种实施例。

[0018] 因为一或多个上述实施例是使用特定类型的IC例示的,所以在下文中提供了对此类IC的详细描述。然而,应理解,其它类型的IC可以受益于本文中所描述的一或多个实施例。

[0019] 可编程逻辑装置(“PLD”)是众所周知的类型的集成电路,所述集成电路可经编程以执行指定的逻辑功能。一种类型的PLD(现场可编程门阵列(“FPGA”))通常包含可编程单元片的阵列。这些可编程单元片可包含(例如)输入/输出块(“IOB”)、可配置逻辑块(“CLB”)、专用随机存取存储器块(“BRAM”)、乘法器、数字信号处理块(“DSP”)、处理器、时钟管理器、延迟锁定环路(“DLL”)等等。如本文中所使用,“包含”表示包含但不限于。

[0020] 每个可编程单元片通常包含可编程互连件和可编程逻辑两者。所述可编程互连件通常包含大量由可编程互连点(“PIP”)互连的不同长度的互连线。所述可编程逻辑使用可包含例如函数产生器、寄存器、运算逻辑等等的可编程元件实施用户设计的逻辑。

[0021] 通常,通过将配置数据流加载到定义可编程元件的配置方式的内部配置存储器单元来对所述可编程互连件与可编程逻辑进行编程。配置数据可以由外部装置从存储器(例如,从外部PROM)中读取或写入到FPGA中。然后,个别的存储器单元的集体状态确定FPGA的功能。

[0022] 另一类型的PLD为复杂可编程逻辑装置,或CPLD。CPLD包含由互连开关矩阵连接在一起并连接到输入/输出(“I/O”)资源的两个或两个以上“功能块”。CPLD的每个功能块包含类似于可编程逻辑阵列(“PLA”)与可编程阵列逻辑(“PAL”)装置中所使用的结构的两级与/

或(AND/OR)结构。在CPLD中,配置数据通常以片上方式存储在非易失性存储器中。在一些CPLD中,配置数据以片上方式存储在非易失性存储器中,然后作为初始配置(编程)序列的一部分下载到易失性存储器上。

[0023] 对于所有这些可编程逻辑装置(“PLD”),所述装置的功能性由出于所述控制的目的提供到装置的数据位控制。所述数据位可存储在易失性存储器(例如,静态存储单元,如在FPGA与一些CPLD中)、非易失性存储器(例如,快闪存储器,如在一些CPLD中)、或任何其它类型的存储单元中。

[0024] 通过涂覆以可编程方式互连装置上的多种元件的处理层(例如金属层)来对其它PLD进行编程。这些PLD被称为掩模可编程装置。PLD还可以其它方式来实施,例如使用熔丝或反熔丝技术。术语“PLD”与“可编程逻辑装置”包含但不限于这些示范性装置,以及涵盖仅仅部分可编程的装置。举例来说,一种类型的PLD包含经硬编码的晶体管逻辑与以可编程的方式互连所述经硬编码的晶体管逻辑的可编程开关构造的组合。

[0025] 如上文所述,先进的FPGA可在阵列中包含几个不同类型的可编程逻辑块。例如,图1说明包含大量不同可编程单元片的FPGA架构100,所述可编程单元片包含数千兆位收发器(“MGT”)101、可配置逻辑块(“CLB”)102、随机存取存储器块(“BRAM”)103、输入/输出块(“IOB”)104、配置和定时逻辑(“CONFIG/CLOCKS”)105、数字信号处理块(“DSP”)106、专用输入/输出块(“I/O”)107(例如,配置端口和时钟端口)以及其它可编程逻辑108,例如,数字时钟管理器、模数转换器、系统监视逻辑等。一些FPGA也包含专用处理器块(“PROC”)110。

[0026] 在一些FPGA中,每个可编程单元片包含具有与每个相邻单元片中的对应互连元件的标准化连接的可编程互连元件(“INT”)111。因此,可编程互连元件结合在一起实施用于所说明的FPGA的可编程互连结构。所述可编程互连元件111还包含与同一单元片内的可编程逻辑元件的连接,如图1顶部处包含的实例所展示。

[0027] 举例来说,CLB 102可以包含可经编程以实施用户逻辑的可配置逻辑元件(“CLE”)112加上单个可编程互连元件(“INT”)111。BRAM 103除一或多个可编程互连元件之外还可以包含BRAM逻辑元件(“BRL”)113。通常,单元片中所包含的互连元件的数目取决于单元片的高度。在所描绘的实施例中,BRAM单元片具有与五个CLB相同的高度,但也可使用其它数目(例如,四个)。除适当数目的可编程互连元件之外,DSP单元片106也可包含DSP逻辑元件(“DSPL”)114。IOB 104除可编程互连元件INT 111的一个实例之外还可以包含(例如)输入/输出逻辑元件(“IOL”)115的两个实例。如所属领域的技术人员将清楚的,连接到例如I/O逻辑元件115的实际I/O衬垫通常未被限制到输入/输出逻辑元件115的区域。

[0028] 在所描绘的实施例中,(图1中所展示的)裸片的中心附近的水平区域用于配置、时钟以及其它控制逻辑。自此水平区域或列延伸的垂直列109用于横跨FPGA的宽度来分配时钟和配置信号。

[0029] 一些利用图1中所说明的架构的FPGA包含额外的逻辑块,所述额外的逻辑块扰乱组成FPGA的较大部分的常规柱状结构。所述额外的逻辑块可以是可编程块和/或专用逻辑。举例来说,处理器块110跨越了CLB和BRAM的若干列。

[0030] 应注意,图1意在仅说明示范性FPGA架构。举例来说,行中的逻辑块的数目、行的相对宽度、行的数目与次序、包含在行中的逻辑块的类型、所述逻辑块的相对大小,以及包含在图1顶部处的互连/逻辑实施方案纯粹是示范性的。举例来说,在实际的FPGA中,CLB的一

个以上相邻行通常包含在CLB出现处,以促进用户逻辑的有效实施,但相邻CLB行的数目随着FPGA总体大小而变化。

[0031] 图2-1至2-4为描绘装置封装200的相应示范性实施例的横截面视角的框图。参照图2-1,装置封装200包含集成电路裸片201、集成电路裸片202、互连件205、电路平台203、互连件206、电路平台204,及互连件207。视情况地,装置封装200可包含一或多个裸片堆叠,如大体上由集成电路裸片202顶部上的任选集成电路裸片256所指示。按照如此方法,应理解,以下描述适用于裸片的层级不止为两个的情况。然而,出于清晰性的目的且不加以任何限制,下文描述两级裸片堆叠,尽管在其它实施例中可使用更多层级的裸片。更确切地说,在实施例中,互连件205可为微凸块;电路平台203可为插入件或载体;互连件206可为C4凸块;电路平台204可为封装衬底;且互连件207可为封装焊球。出于清晰性目的,举例来说且不加以任何限制,参考以上所列术语来进一步描述装置封装200。另外,集成电路裸片201及202均可可为同一类型的IC,例如FPGA裸片或某种其它类型的IC裸片,或集成电路裸片201及202可为不同类型的IC裸片,例如,FPGA裸片、存储器裸片、无线电裸片、电力供应器裸片或某种其它类型的IC裸片的某种组合。大体来说,可使用一或多个FPGA裸片与一或多个数据转换器裸片的混合,所述数据转换器裸片例如为一或多个模数转换器(“DAC”)、数模转换器,和/或其它数据转换裸片。

[0032] 集成电路裸片201可包含电路232,且集成电路裸片202可包含电路231。电路232可为模拟或数字电路,且电路231可为模拟或数字电路,其中电路231及232中的任一者干扰另一者。出于清晰性目的,举例来说而非加以限制,将假定电路231为数字电路,且电路232为模拟电路。此外,出于清晰性目的,举例来说而非加以限制,将假定,由操作电路231所导致的噪声(包含但不限于,传递到或传递自与电路231的操作相关联的集成电路裸片202的数字信号)产生可导致相对于模拟信号的“串扰”的噪声,所述模拟信号经传递到或传递自与电路232的操作相关联的集成电路裸片201。在此实例中,与电路231的操作相关联的数字信号为干扰源信号,且与电路232的操作相关联的模拟信号为被干扰信号;然而,在另一实施例中,与电路232的操作相关联的模拟信号可为干扰源信号,且与电路231的操作相关联的数字信号可为被干扰信号。

[0033] 微凸块205用于将集成电路裸片201及202耦合到插入件203。更确切地说,微凸块205的第一部分(即微凸块205-1)用于将集成电路裸片201耦合到插入件203,且微凸块205的第二部分(即微凸块205-2)用于将集成电路裸片202耦合到插入件203。在此实例中,集成电路裸片201及202分别与微凸块205-1及205-2一起彼此间隔开,从而在此类集成电路裸片或微凸块集合之间定义隔离区域220。

[0034] 迄今为止,隔离区域220可能并未包含下文所描述用于衰减干扰源信号对于被干扰信号的噪声的电路,这意味着隔离区域220必须比在使用如下文另外详细描述噪声衰减电路时的此类区域宽。因此,在不使用如下文所描述的噪声衰减电路的情况下,必须耗费更多电路平台面积以提供噪声隔离。

[0035] 插入件203的顶表面241可与微凸块205接触,且插入件203的底表面242可与C4凸块206接触。换句话说,微凸块205及C4凸块206可分别耦合到插入件203的相反表面上。

[0036] 一或多个微凸块205可耦合到插入件203的一或多个通孔211。一或多个C4凸块206可耦合到插入件203的一或多个通孔211。通孔211可延伸到顶表面241及底表面242。换句话

说,通孔211可为“电路平台穿透孔”或“穿透孔”。一些通孔211未必从插入件203的顶表面241一直延伸到底表面242。对于使用硅衬底形成的插入件203,通孔211可形成硅穿透孔(“TSV”)。然而,如本文中所描述,通孔211不仅贯穿衬底(例如半导体或电介质衬底),而且可延伸穿过在此类衬底上形成的所有其它层。

[0037] C4凸块206可用于耦合插入件203与封装衬底204。封装衬底204可包含通孔212。与插入件203的通孔211一样,一些通孔212可为“穿透孔”。按照如此方法,一些通孔212可从封装衬底204的顶表面251延伸到封装衬底204的底表面252。通孔212可由一或多个多个导电层形成。举例来说,通孔212可由单填充通孔层214,或大体上垂直的通孔层214与大体上水平的迹线层213的组合形成。两个或两个以上的通孔212可通过一或多个迹线层213彼此耦合。

[0038] C4凸块206因此可与封装衬底204的顶表面251接触,且封装焊球207可与封装衬底204的底表面252接触。换句话说,C4凸块206及封装焊球207可在封装衬底204的相反表面上。

[0039] 通孔211、C4凸块206、通孔212及封装焊球207的一部分至少基本上位于隔离区域220中。通孔211、C4凸块206、通孔212及封装焊球207的其它部分至少基本上位于隔离区域220的外侧,即,至少大部分位于区域221及222中。为了描绘所述两种情况,至少基本上位于隔离区域220中的通孔211、C4凸块206、通孔212及封装焊球207具有-1,且至少基本上位于区域221及222中的通孔211、C4凸块206、通孔212及封装焊球207具有-2。因此,通孔211-1、C4凸块206-1、通孔212-1及封装焊球207-1至少基本上位于隔离区域220中。同样,通孔211-2、C4凸块206-2、通孔212-2及封装焊球207-2至少基本上位于区域221或222中。继续以上实例,将假定区域221为对应于数字电路231的数字区域,且区域222为对应于模拟电路232的模拟区域。

[0040] 在此示范性实施例中,使用三个C4凸块206-1将三个通孔211-1中的每一者分别耦合到三个对应的通孔212-1。利用迹线213将通孔212-1彼此耦合。封装焊球207-1经耦合到通孔211-1中的一通孔,且所述封装焊球207经耦合到接地260。尽管在此实施例中的所有通孔211-1实际上耦合到接地260,但不是所有此类通孔211-1都需要耦合到接地以提供某种噪声屏蔽。此外,尽管此实施例中的接地260为独立接地(即,既不耦合到模拟电路232也不耦合到数字电路231),但不需要在其它实施例中使用独立接地。此外,接地不一定必须用于固定电势。在其它实施例中,可根据应用(例如,针对具有足够低噪声的低频数字控制信号)而使用牺牲性电力供应器网络来取代接地。

[0041] 可使用呈组合的通孔211-1、C4凸块206-1、通孔212-1及一或多个封装焊球207-1以在模拟区域222与数字区域221之间提供噪声衰减壁290,其中外部封装焊球207-1经耦合到接地。噪声衰减壁290是用于衰减由数字电路231针对模拟电路232的操作上的影响所产生的噪声。在另一实施例中,在模拟电路232为干扰源的情况下,噪声衰减壁290可用于衰减由模拟电路232针对数字电路231的操作上的影响所产生的噪声。实际上,噪声衰减壁290可用于“吸收”由电路产生的噪声,并将此类吸收的噪声分流到接地。噪声衰减壁290可用于形成任何多种配置,如下文另外详细描述。

[0042] 噪声衰减壁290的元件之间的间隔可在受到间距限制的影响下变化,以调整所述壁的电障壁孔隙度。噪声衰减壁290的元件的间距可减小,即,噪声衰减壁290的元件相隔更

近,以便降低孔隙度来增加噪声衰减有效性。此外,噪声衰减壁290的元件的间距可增大,即,噪声衰减壁290的元件相隔更远,以便增加孔隙度来降低噪声衰减有效性。另外,噪声衰减壁290的元件的行或层的数目可增大或减小以分别增大或减小噪声衰减有效性。

[0043] 为了概括,涉及不同功能之间的隔离的任何应用可并入有如本文中所描述的噪声衰减壁290。固定电势可耦合到所述噪声衰减壁290以用于吸收噪声。噪声衰减壁290的元件之间的间隔可根据应用而变化以定制有效性,且噪声衰减壁290的配置可根据应用而变化以定制有效性。

[0044] 在数字区域221中,微凸块205-2的一部分耦合到C4凸块206-2的具有通孔211-2的一部分。此外,在数字区域221中,通孔212-2的一部分将C4凸块206-2的此部分耦合到封装焊球207-2的一部分。通孔212-2的此部分可通过一或多个迹线213彼此耦合。

[0045] 在模拟区域222中,微凸块205-1的一部分耦合到C4凸块206-2的具有通孔211-2的一部分。此外,在模拟区域222中,通孔212-2的一部分将C4凸块206-2的此部分耦合到封装焊球207-2的一部分。通孔212-2的此部分可通过一或多个迹线213彼此耦合。

[0046] 参照图2-2,说明性地描绘了装置封装200的另一实施例。此实施例与图2-1的实施例相同,不过两个封装焊球207-1用于将相应的通孔212-1耦合到接地260。封装焊球207-1主要在隔离区域220中;然而,此封装焊球207-1的部分可延伸到区域221和/或222中的一或多者中。

[0047] 参照图2-3,说明性地描绘了装置封装200的又另一实施例。此实施例与图2-1的实施例相同,不过说明性地描绘了具有数字电路231及模拟电路232两者的单个集成电路裸片201。因此,隔离壁290可用于相对于通过插入件203以及封装衬底204的信号来隔离同一集成电路上分开的电路部分。

[0048] 参照图2-4,说明性地描绘了装置封装200的又另一实施例。此实施例与图2-3的实施例相同,不过两个封装焊球207-1用于将相应的通孔212-1耦合到接地260。封装焊球207-1主要在隔离区域220中;然而,此类封装焊球207-1的部分可延伸到区域221和/或222中的一或多者中。

[0049] 图3为描绘电路平台300的示范性实施例的顶部正视视角的框图。电路平台300可为具有一或多个导电层(例如,金属层)及一或多个晶体管(例如,大体上由图5的框510所指示,即晶体管510)的衬底。换句话说,电路平台300可为有源裸片,例如,有源插入件、FPGA、PLD、数据转换器或其它类型的集成电路裸片。然而,出于清晰性目的且不加以限制,将假定电路平台300为插入件203或封装衬底204,如本文先前所描述。电路平台300包含通孔311及导体312至315。

[0050] 通孔311可用于耦合以提供噪声衰减壁390。噪声衰减壁390可为环状壁结构或框架。尽管说明性描绘了环状壁框架,但在其它实施例中,噪声衰减壁可能不围绕一或多个信号导体。在此类其它实施例中,噪声衰减壁可定位于一或多个干扰源信号导体与一或多个被干扰信号导体之间。然而,出于清晰性目的且不加以限制,进一步描述用于噪声衰减壁的环状结构。噪声衰减壁390可包含噪声衰减壁290,如本文先前所描述。按照如此方法,通孔311可像通孔211-1或212-1一样经耦合以提供环绕导体313及314的噪声衰减壁。尽管噪声衰减壁390经说明性地描绘为形成有十个通孔311以便围绕导体313及314,但在其它实施例中,噪声衰减壁390可形成有少于或多于十个通孔311。一或多个导体(例如,导体312及315)

可位于噪声衰减壁390的外侧。

[0051] 在此实例中,导体312及315用于传导相对于由导体313及314传导的差分信号的干扰源(“A”)信号。在此实例中,导体313传导差分信号的正面(“P”),且导体314传导差分信号的负面(“N”)。尽管两个导体经说明性地描绘为被噪声衰减壁390围绕,但少于或多于两个导体可被如本文中所描述的噪声衰减壁围绕。此外,尽管使用差分信号的实例,但其它类型的易受噪声影响的信号可通过位于噪声衰减壁390内侧的一或多个导体传导。

[0052] 导体313及314以及导体312及315并未耦合到通孔311。然而,用于噪声隔离(“I”)的通孔311可彼此耦合以用于耦合到接地260来提供噪声衰减壁390。通孔311可通过用于提供一或多个导电线319的一或多个导电层彼此耦合。导电线319或更一般为导电层可至少大致上正交于通孔311或更一般为用于提供通孔311的导电填充层。

[0053] 通孔311可彼此间隔开以提供用于噪声衰减壁390的框架。然而,尽管为电气多孔的,但围绕导体313及314的通孔311在此类导体313及314与导体312及315之间提供噪声障壁。

[0054] 通孔311可延伸到电路平台300的相反表面。如说明性描绘,通孔311延伸到电路平台300的顶表面320。然而,通孔311可同样延伸到电路平台300的底表面(图中未展示),和通孔211或212一样。

[0055] 导体312及315的定位322及325可分别对应于至少两个通孔311(即,例如分别为通孔311A及311B)的定位。隔离通孔311与干扰源信号传导导体的对准可促进噪声衰减。

[0056] 图4为描绘电路平台300的另一示范性实施例的顶部正视视角的框图。由于图4的电路平台300的实施例的许多元件与图3的所述实施例一样,因此在下文出于清晰性目的大体上仅描述差异。

[0057] 参照图4,电路平台300进一步包含使用额外通孔311形成的外噪声隔离壁490A及490B。在此实施例中,通孔311未经说明性地描绘为彼此耦合,然而,在另一实施例中,用于形成一或多个噪声隔离壁490A及490B的通孔311可使用迹线彼此耦合,如本文先前所描述。尽管针对噪声隔离壁490A及490B中的每一者说明性地描绘五个通孔311,但少于或多于五个通孔可用于提供此类噪声隔离壁490A及490B的结构框架。

[0058] 噪声隔离壁490A及490B的通孔311位于噪声衰减壁390的通孔311的外侧及相反侧面上。因此,噪声隔离壁490A及490B提供一外壁或障壁,且噪声衰减壁390提供一内壁或障壁。噪声隔离壁490A及490B的通孔311可延伸到电路平台300的相反表面,如先前所描述。

[0059] 噪声隔离壁490A位于噪声衰减壁390的最外周边与用于传导一或多个干扰源信号的一或多个导体(例如,导体312及315)之间。同样,噪声隔离壁490B可位于噪声衰减壁390的最外周边与用于传导一或多个其它干扰源信号的一或多个其它导体之间。添加噪声隔离壁490A及490B提供了用于噪声隔离的双壁式框架以用于噪声衰减。

[0060] 导体312及315的定位322及325可分别对应于噪声隔离壁490A的至少两个通孔311(即,例如分别为通孔311C及311D)的定位。再一次,最接近的隔离通孔311与干扰源信号传导导体的对准可促进噪声衰减。

[0061] 此外,为增强电气密度来提高噪声衰减,每一噪声隔离壁490A及490B的通孔311可与噪声衰减壁390的相应通孔311交错,但间隔开。举例来说,隔离壁490A的通孔311的一部分(即通孔311C至311E)相对于噪声衰减壁390的通孔311的对应部分(即通孔311a至311d)

交错。换句话说,外部噪声隔离壁的通孔可相对于安置在环状噪声衰减壁的另一侧上的对应通孔交错。

[0062] 图5为描绘电路平台300的又另一示范性实施例的顶部正视视角的框图。由于图5的电路平台300的实施例的许多元件与图3的所述实施例一样,因此在下文出于清晰性目的大体上仅描述差异。再一次,与图3的电路平台300一样,图5的电路平台300可包含一或多个晶体管510。图5的噪声衰减壁390是使用八个通孔311形成。然而,噪声衰减壁390的通孔311的一部分经耦合到一或多个接地(“G”),且噪声衰减壁390的通孔311的剩余部分经耦合到一或多个DC供应电压(“V”)。

[0063] 图6为描绘电路平台300的又另一示范性实施例的顶部正视视角的框图。由于图5的电路平台300的实施例的许多元件与图3的所述实施例一样,因此在下文出于清晰性目的大体上仅描述差异。

[0064] 噪声衰减壁390对用于由集成电路裸片201及202进行的及在所述集成电路裸片之间的裸片到裸片通信的相应通道或信道601及602提供噪声障壁。集成电路裸片201及202可封装在同一集成电路封装中。

[0065] 此外,尽管以上描述是大体上依据多裸片封装的无源插入件拟出的,但使用彼此互连的基板穿透孔形成的噪声衰减壁可形成于有源插入件和/或有源集成电路裸片(包括但不限于FPGA、数据转换器,或其它有源裸片)中。

[0066] 虽然上文描述了示范性实施例,但可在不脱离其范围的情况下设计根据一或多个方面的其它和进一步的实施例,所述范围由所附权利要求书及其等效物确定。权利要求书列出的步骤并不暗示步骤的任何次序。商标为其相应所有者的财产。

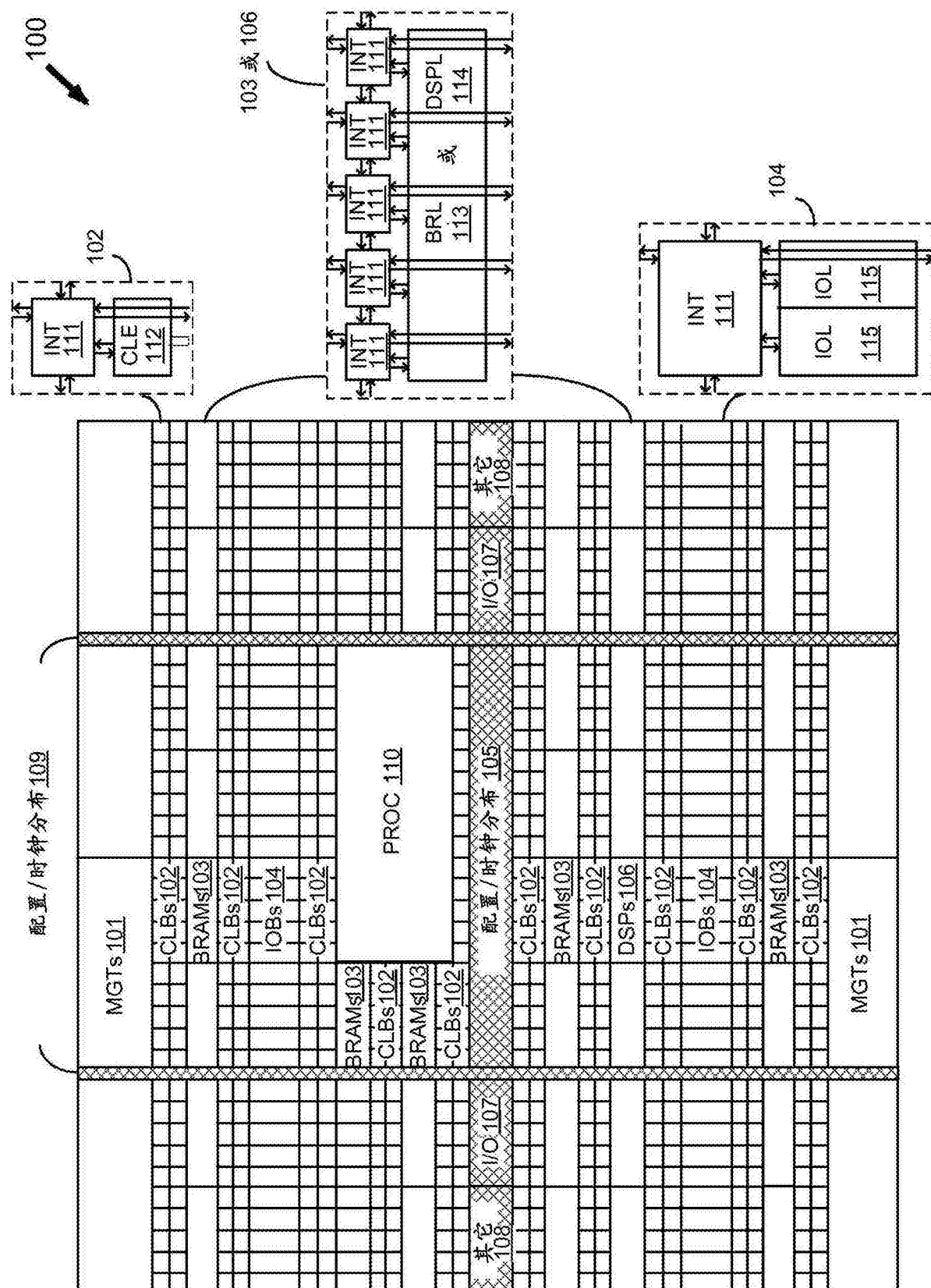


图 1

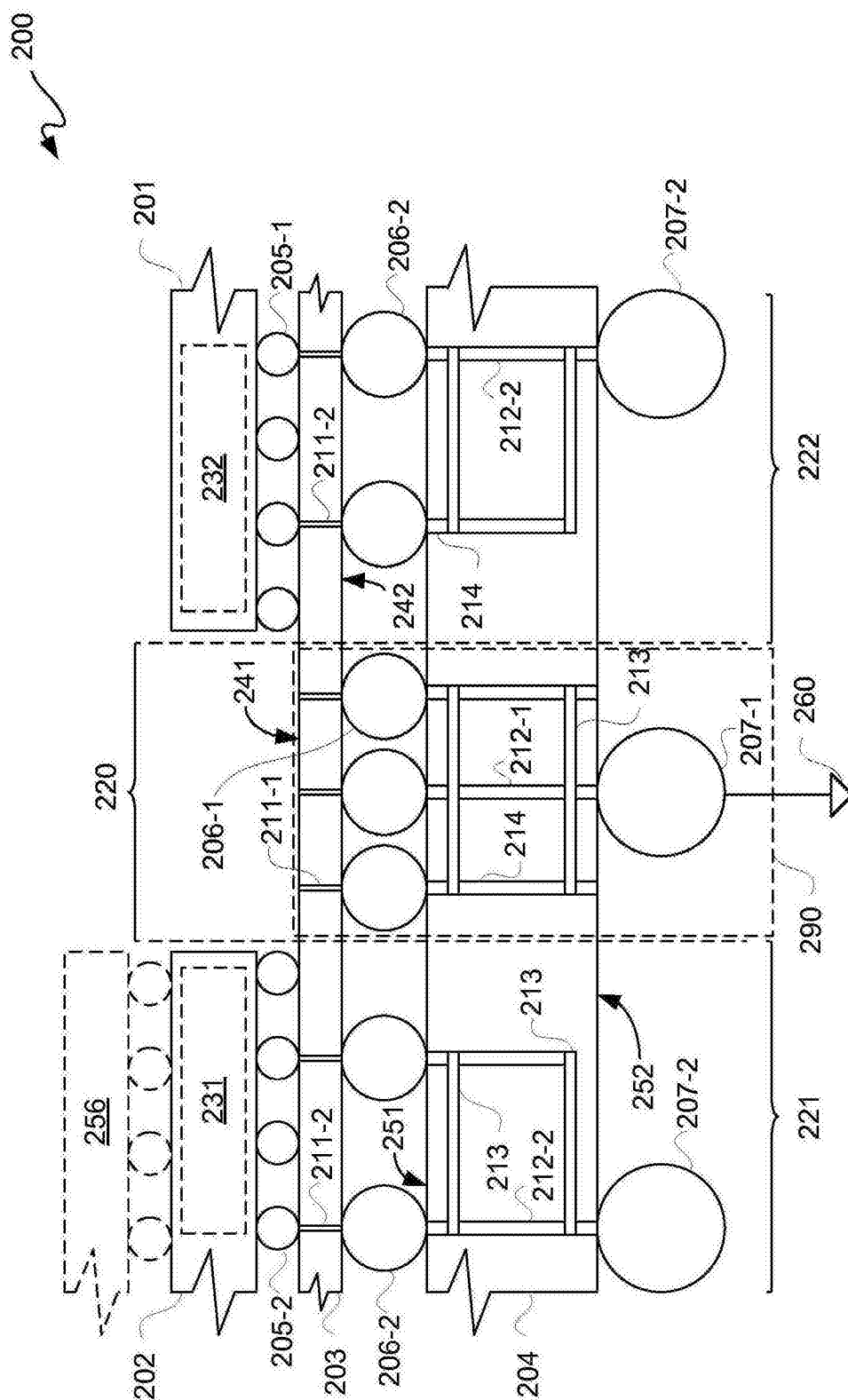


图2-1

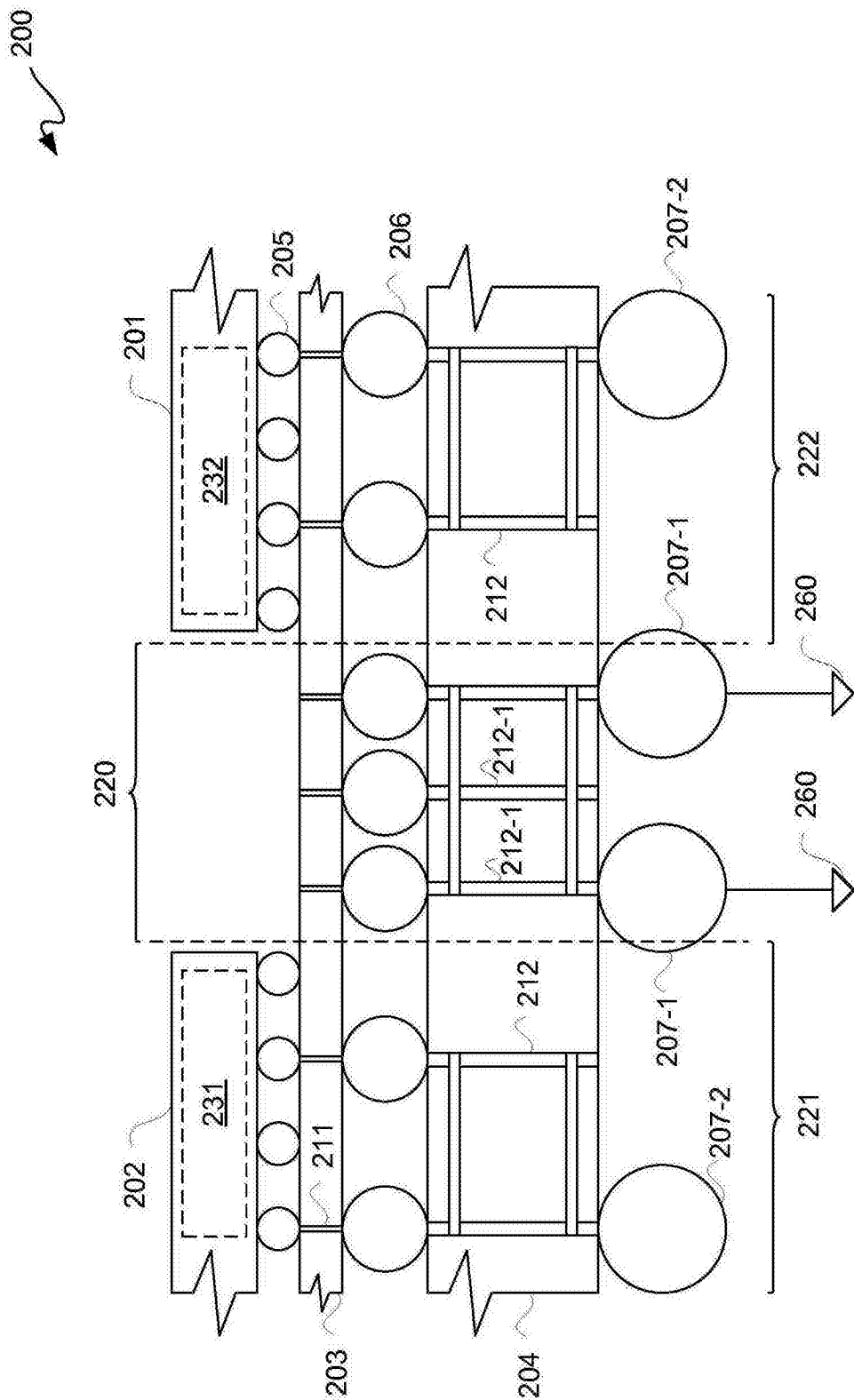


图2-2

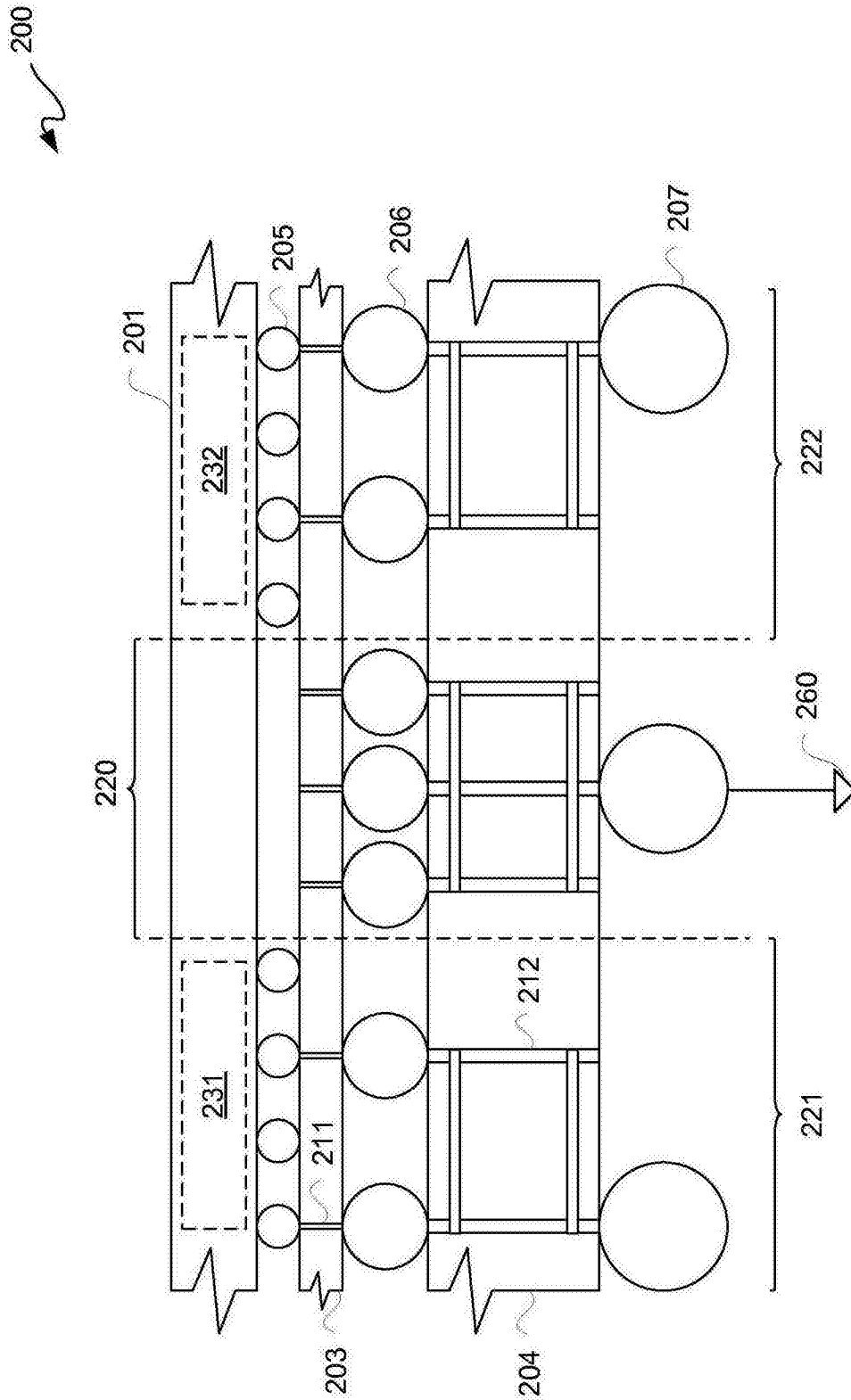


图2-3

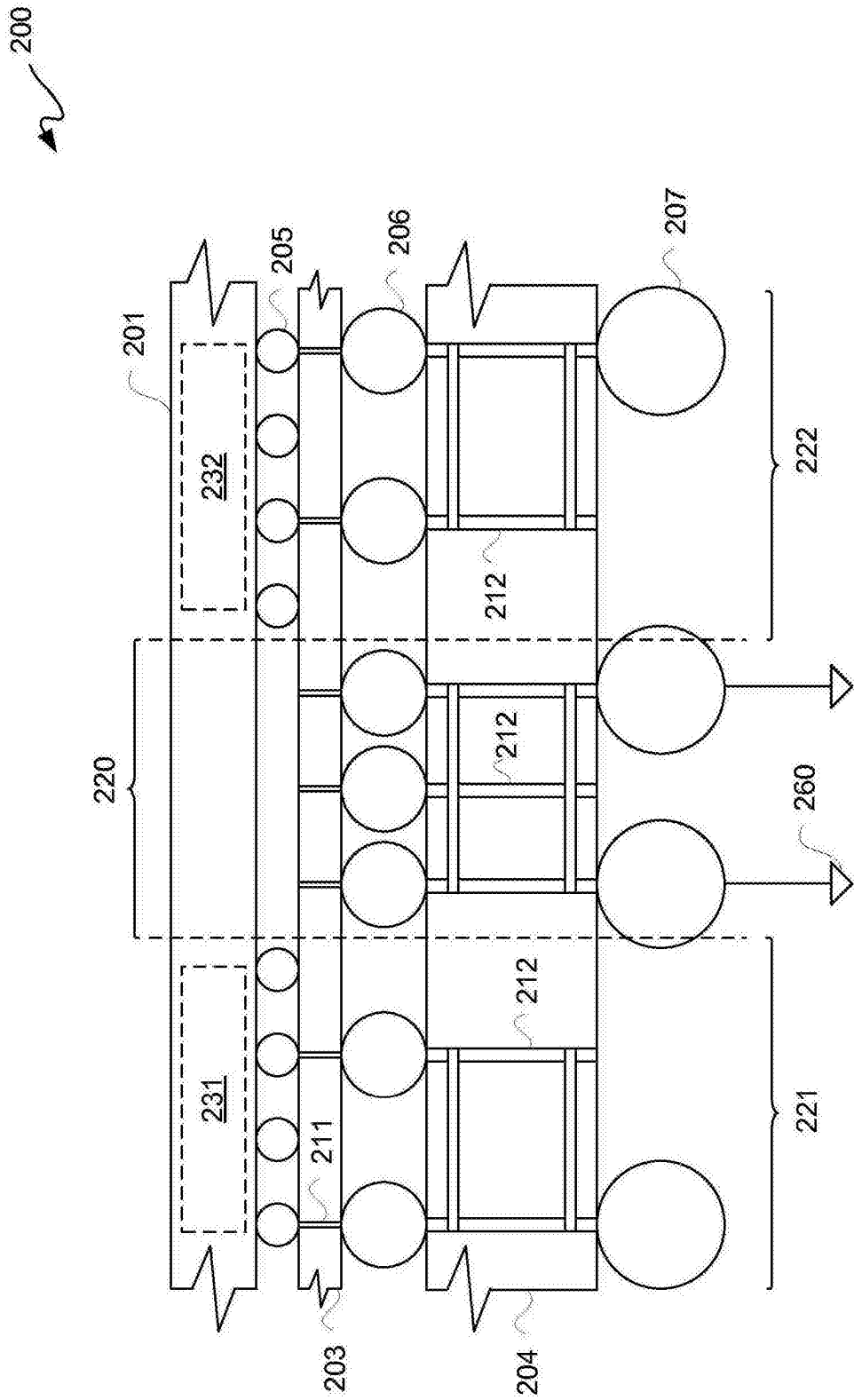


图2-4

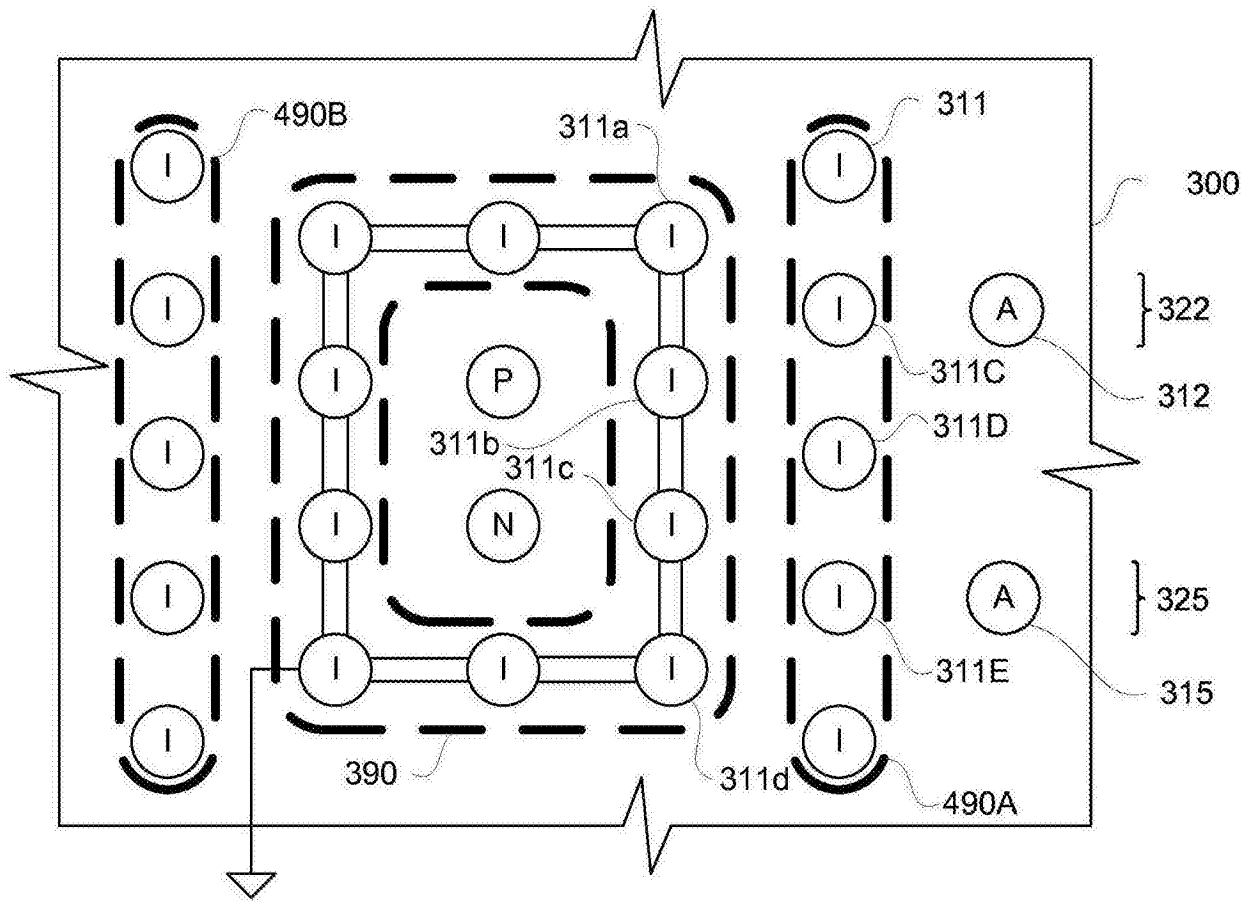


图4

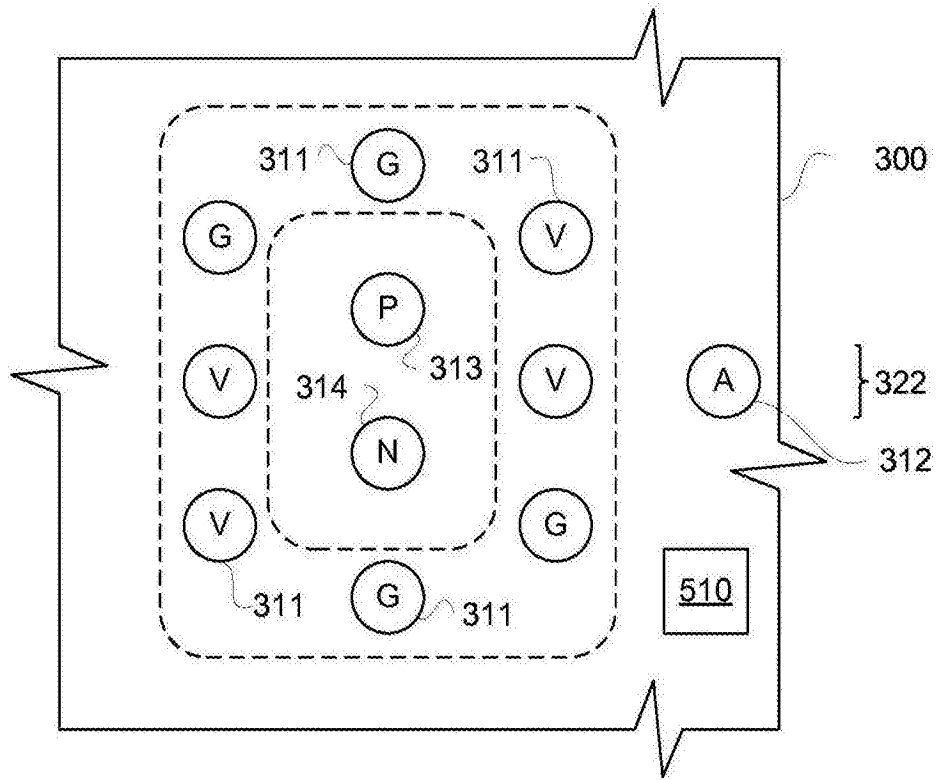


图5

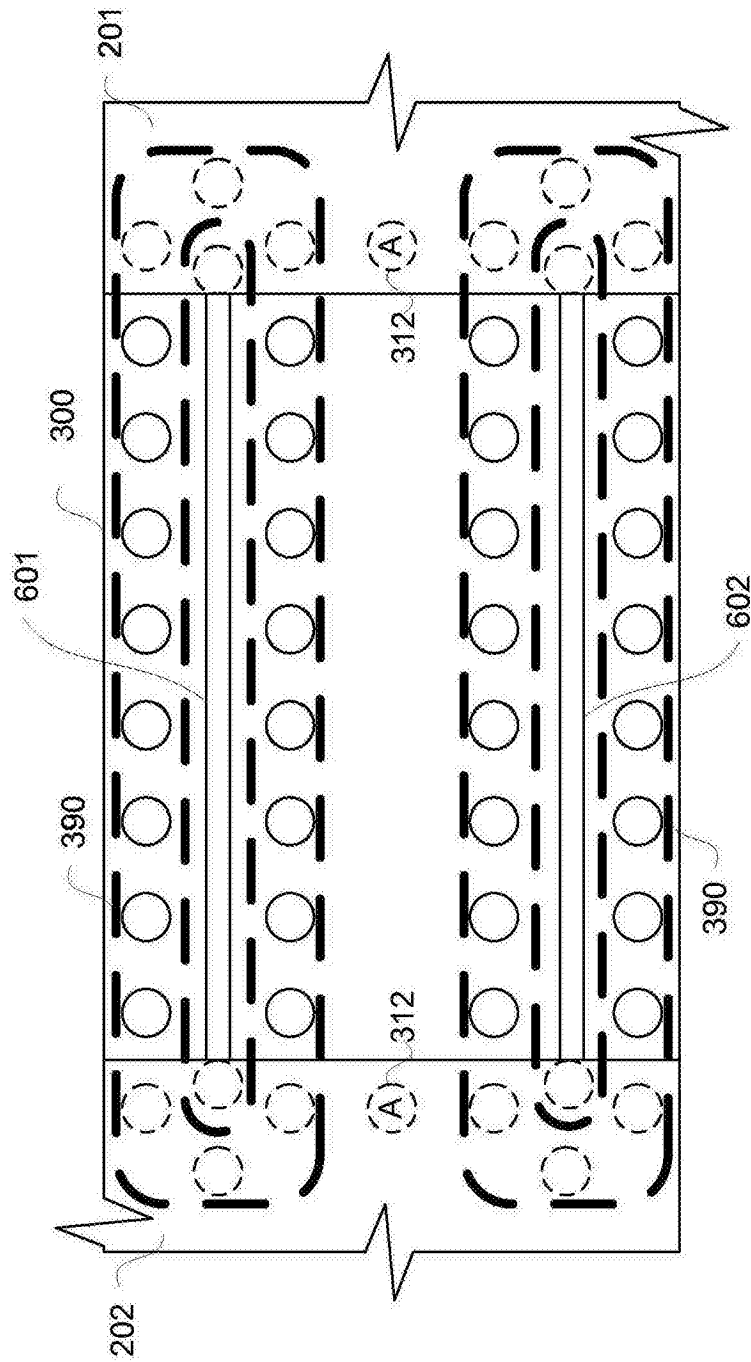


图6