

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구  
국제사무국

(43) 국제공개일  
2025년 5월 15일 (15.05.2025)

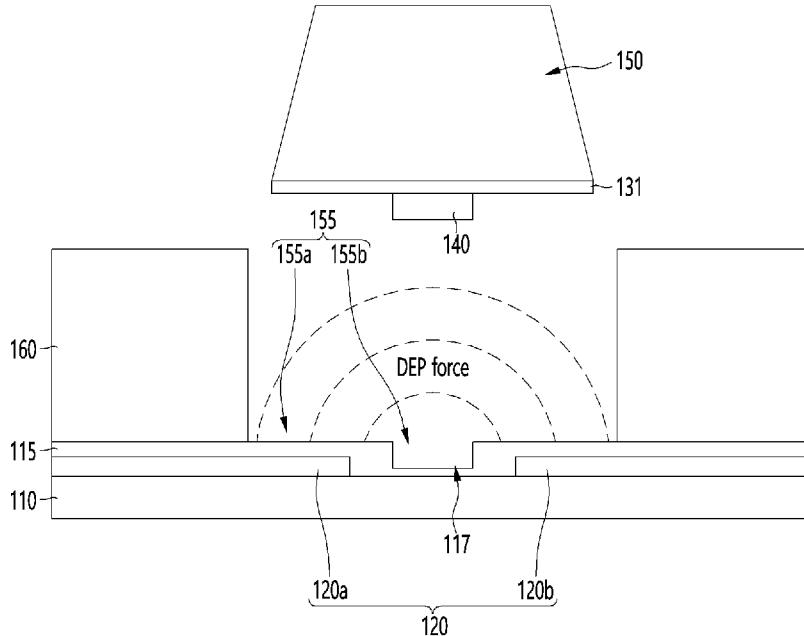


(10) 국제공개번호  
**WO 2025/100596 A1**

- (51) 국제특허분류: *H01L 33/38* (2010.01) *H01L 25/075* (2006.01)  
*H01L 33/48* (2010.01) *H01L 23/00* (2006.01)  
*H01L 33/62* (2010.01)
- (21) 국제출원번호: PCT/KR2023/017939
- (22) 국제출원일: 2023년 11월 9일 (09.11.2023)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (71) 출원인: 엘지전자 주식회사 (LG ELECTRONICS INC.) [KR/KR]; 07336 서울특별시 영등포구 여의대로 128 (KR).
- (72) 발명자: 김찬석 (KIM, Chanseok); 06772 서울특별시 서초구 양재대로11길 19 LG전자 특허센터 (KR).  
양영성 (YANG, Youngsung); 06772 서울특별시 서초구 양재대로11길 19 LG전자 특허센터 (KR).  
강병준 (KANG, Byungjun); 06772 서울특별시 서초구 양재대로11길 19 LG전자 특허센터 (KR).
- (74) 대리인: 허용록 (HAW, Yong Noke); 06252 서울특별시 강남구 역삼로 114 현죽빌딩 6층 (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,

(54) Title: SEMICONDUCTOR LIGHT-EMITTING ELEMENT FOR DISPLAY PIXEL, AND DISPLAY DEVICE COMPRISING SAME

(54) 발명의 명칭: 디스플레이 화소용 반도체 발광소자 및 이를 포함하는 디스플레이 장치



(57) Abstract: A semiconductor light-emitting element for a display pixel, according to an embodiment, may comprise: a light-emitting structure including a first conductive semiconductor layer, an active layer, and a second conductive semiconductor layer; and a first electrode disposed under the light-emitting structure, wherein: the bottom surface of the first electrode includes an electrode region and a first region, and further includes an aligner disposed in the first region; and the aligner comprises an insulating material.

(57) 요약서: 실시예에 따른 디스플레이 화소용 반도체 발광소자는 제1 도전형 반도체층, 활성층, 제2 도전형 반도체층을 포함하는 발광구조물; 및 상기 발광구조물 아래에 배치되는 제1 전극;을 포함하며, 상기 제1 전극의 하면은 전극 영역 및 제1 영역을 포함하고, 상기 제1 영역에 배치되는 얼라이너를 더 포함하며, 상기 얼라이너는 절연물질을 포함할 수 있다.

WO 2025/100596 A1

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,  
KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

## 명세서

### 발명의 명칭: 디스플레이 화소용 반도체 발광소자 및 이를 포함하는 디스플레이 장치

#### 기술분야

- [1] 실시예는 디스플레이 화소용 반도체 발광소자 및 이를 포함하는 디스플레이 장치에 관한 것이다.

#### 배경기술

- [2] 대면적 디스플레이는 액정디스플레이(LCD), OLED 디스플레이, 그리고 마이크로-LED 디스플레이(Micro-LED display) 등이 있다.
- [3] 마이크로-LED 디스플레이는  $100\mu\text{m}$  이하의 직경 또는 단면적을 가지는 반도체 발광소자인 마이크로-LED를 표시소자로 사용하는 디스플레이이다.
- [4] 마이크로-LED 디스플레이는 반도체 발광소자인 마이크로-LED를 표시소자로 사용하기 때문에 명암비, 응답속도, 색 재현률, 시야각, 밝기, 해상도, 수명, 발광 효율이나 휘도 등 많은 특성에서 우수한 성능을 가지고 있다.
- [5] 특히 마이크로-LED 디스플레이는 화면을 모듈 방식으로 분리, 결합할 수 있어 크기나 해상도 조절이 자유로운 장점 및 플렉서블 디스플레이 구현이 가능한 장점이 있다.
- [6]
- [7] 그런데 대형 마이크로-LED 디스플레이는 수백만 개 이상의 마이크로-LED가 필요로 하기 때문에 마이크로-LED를 디스플레이 패널에 신속하고 정확하게 전사하기 어려운 기술적 문제가 있다.
- [8] 최근 개발되고 있는 전사기술에는 픽앤-플레이스 공법(pick and place process), 레이저 리프트 오프법(Laser Lift-off method) 또는 자가조립 방식(self-assembly method) 등이 있다.
- [9] 이 중에서, 자가조립 방식은 유체 내에서 반도체 발광소자가 조립위치를 스스로 찾아가는 방식으로서 대화면의 디스플레이 장치의 구현에 유리한 방식이다.
- [10] 최근에 미국등록특허 제9,825,202에서 자가조립에 적합한 마이크로-LED 구조를 제시한 바 있으나, 아직 마이크로-LED의 자가조립을 통하여 디스플레이를 제조하는 기술에 대한 연구가 미비한 실정이다.
- [11] 특히 종래기술에서 대형 디스플레이에 수백만 개 이상의 반도체 발광소자를 신속하게 전사하는 경우 전사 속도(transfer speed)는 향상시킬 수 있으나 전사 불량률(transfer error rate)이 높아질 수 있어 전사 수율(transfer yield)이 낮아지는 기술적 문제가 있다.
- [12] 한편, 관련 기술에서 유전영동(dielectrophoresis, DEP)을 이용한 자가조립 방식의 전사공정이 시도되고 있으나 DEP force의 불균일성 등으로 인해 자가 조립률이 낮은 문제가 있다.

- [13] 또한, 반도체 발광소자가 기판에 전사 시 한쪽으로 치우치도록 배치될 수 있다. 이에 따라, 다른 칩이 끼는 더블 불량 발생하거나, 이후 픽 앤 플레이스 공정 시 칩을 정위치에서 픽업하지 못하는 문제가 발생하고 있다.

### 발명의 상세한 설명

#### 기술적 과제

- [14] 실시예의 기술적 과제 중의 하나는 자가조립 시 더블 불량을 방지하는 것이다.
- [15] 또한, 실시예의 기술적 과제 중의 하나는 자가조립 시 기 조립된 칩이 이탈되는 것을 방지하는 것이다.
- [16] 또한, 실시예의 기술적 과제 중의 하나는 자가조립 시 전사율을 향상시키는 것이다.
- [17] 또한, 실시예의 기술적 과제 중의 하나는 자가조립 시 조립력을 향상시키는 것이다.
- [18] 또한, 실시예의 기술적 과제 중의 하나는 별도 부재없이 칩을 물리적으로 기판에 고정시키는 것이다.
- [19] 실시예의 기술적과제는 본 항목에 기재된 것에 한정되지 않으며 발명의 설명을 통해 파악될 수 있는 것을 포함한다.

#### 과제 해결 수단

- [20] 실시예에 따른 디스플레이 화소용 반도체 발광소자는 제1 도전형 반도체층, 활성층, 제2 도전형 반도체층을 포함하는 발광구조물; 및 상기 발광구조물 아래에 배치되는 제1 전극;을 포함할 수 있다.
- [21] 상기 제1 전극의 하면은 전극 영역 및 제1 영역을 포함할 수 있다.
- [22] 실시예는 상기 제1 전극의 제1 영역에 배치되는 절연물질의 얼라이너를 더 포함할 수 있다.
- [23] 또한, 실시예에서 상기 얼라이너의 중심은 상기 제1 전극의 중심에 대응될 수 있다.
- [24] 또한, 실시예에서 상기 전극 영역은 상기 얼라이너에 의해 구획할 수 있다.
- [25] 예를 들어, 상기 전극 영역은 수직방향으로 상기 얼라이너와 중첩되지 않을 수 있다.
- [26] 또한, 실시예에서 상기 얼라이너는 상기 제1 전극의 하면의 중심을 가로지를 수 있다.
- [27] 또한, 실시예에서 상기 얼라이너는 수평 단면이 링 형태를 포함할 수 있다.
- [28] 또한, 실시예는 상기 얼라이너 내에 배치되는 자성층을 더 포함할 수 있다.
- [29] 또한, 실시예에서 상기 제1 영역(141)은 상기 전극 영역을 둘러쌀 수 있다.
- [30] 또한, 다른 실시예에 따른 반도체 발광소자를 포함하는 디스플레이 장치는 기판; 상기 기판 상에 배치되는 복수의 조립 배선; 상기 조립 배선 상에 배치되는 절연층;

- [31] 상기 절연층 상에 배치되며, 조립 홀을 구비하는 격벽; 및 상기 조립 홀 내에 배치되는 반도체 발광소자;를 포함하며, 상기 반도체 발광소자는, 발광구조물, 상기 발광구조물 아래에 배치되는 제1 전극, 상기 제1 전극 아래에 배치되는 얼라이너를 포함하며, 상기 얼라이너는 절연물질을 포함하고, 상기 절연층은 상기 얼라이너의 형태에 대응되는 제1 홈부를 가질 수 있다.
- [32] 또한, 실시예에서 상기 얼라이너는 상기 복수의 조립 배선 사이에 위치할 수 있다.
- [33] 또한, 실시예에서 상기 복수의 조립 배선은 상기 얼라이너 형태에 대응되는 제2 홈부를 가질 수 있다.
- [34] 상기 반도체 발광소자는 상기 어느 하나의 디스플레이 화소용 반도체 발광소자를 포함할 수 있다.

### 발명의 효과

- [35] 실시예에 따른 디스플레이 화소용 반도체 발광소자 및 이를 포함하는 디스플레이 장치는 자가조립 시 하나의 조립 홀에 두 개 이상의 칩이 조립되는 더블 불량을 방지할 수 있는 기술적 효과가 있다.
- [36] 예를 들어, 실시예는 반도체 발광소자가 얼라이너에 의해 조립 홀의 중앙에 위치함에 따라 남은 공간을 축소시켜, 후행 칩이 추가로 조립되는 것을 방지할 수 있다.
- [37] 또한, 실시예는 자가조립 시 전사율을 향상시킬 수 있는 기술적 효과가 있다.
- [38] 예를 들어, 실시예는 반도체 발광소자가 조립 홀의 중앙에 위치하여, 전사 공정 시 반도체 발광소자가 정 위치에 전사되어 전사율이 향상될 수 있다.
- [39] 또한, 실시예는 조립된 칩이 이탈되는 것을 방지할 수 있는 기술적 효과가 있다.
- [40] 예를 들어, 실시예는 반도체 발광소자의 얼라이너에 의해 기판에 고정되어, 칩이 이탈되는 것을 방지할 수 있다.
- [41] 또한, 실시예는 자가조립 시 조립력을 향상시킬 수 있는 기술적 효과가 있다.
- [42] 예를 들어, 실시예는 후면의 얼라이너를 기준으로 DEP force를 받는 영역이 대칭으로 배치되어 조립력이 향상될 수 있다.
- [43] 또한, 실시예는 별도의 부재없이 칩을 물리적으로 기판에 고정할 수 있는 기술적 효과가 있다.
- [44] 예를 들어, 실시예는 후면의 얼라이너가 앵커 기능을 수행하여, 별도의 부재없이 칩이 물리적으로 기판에 고정될 수 있다.
- [45] 실시예의 기술적 효과는 본 항목에 기재된 것에 한정되지 않으며 발명의 설명을 통해 파악될 수 있는 것을 포함한다.

### 도면의 간단한 설명

- [46] 도 1은 실시예에 따른 디스플레이 장치가 배치된 주택의 거실에 대한 예시도.
- [47] 도 2는 도 1의 디스플레이 장치에서 제1 패널영역의 확대도.
- [48] 도 3은 도 2의 A2 영역의 B1-B2 선을 따른 단면도.

- [49] 도 4는 실시예에 따른 발광 소자가 자가 조립 방식에 의해 기판에 조립되는 예 시도.
- [50] 도 5는 내부기술에서 연구되는 반도체 발광소자의 조립용 기판의 개념도.
- [51] 도 6은 제1 실시예에 따른 디스플레이 화소용 반도체 발광소자의 단면도.
- [52] 도 7a 내지 7d는 제2 내지 제5 실시예에 따른 디스플레이 화소용 반도체 발광소자의 후면을 나타낸 개념도.
- [53] 도 8은 제6 실시예에 따른 반도체 발광소자를 포함하는 디스플레이 장치에서 조립 공정을 나타낸 공정도.
- [54] 도 9는 제6 실시예에 따른 반도체 발광소자를 포함하는 디스플레이 장치의 개념도.
- [55] 도 10은 제7 실시예에 따른 반도체 발광소자를 포함하는 디스플레이 장치의 개념도.

### 발명의 실시를 위한 형태

- [56] 이하, 첨부된 도면을 참조하여 본 명세서에 개시된 실시예를 상세히 설명하기로 한다. 이하의 설명에서 사용되는 구성요소에 대한 접미사 '모듈' 및 '부'는 명세서 작성의 용이함이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다. 또한, 첨부된 도면은 본 명세서에 개시된 실시예를 쉽게 이해할 수 있도록 하기 위한 것이며, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되는 것은 아니다. 또한, 층, 영역 또는 기판과 같은 요소가 다른 구성요소 '상(on)'에 존재하는 것으로 언급될 때, 이것은 직접적으로 다른 요소 상에 존재하거나 또는 그 사이에 다른 중간 요소가 존재할 수도 있는 것을 포함한다.
- [57] 본 명세서에서 설명되는 디스플레이 장치에는 디지털 TV, 휴대폰, 스마트폰(smart phone), 노트북 컴퓨터(laptop computer), 디지털방송용 단말기, PDA(personal digital assistants), PMP(portable multimedia player), 네비게이션, 슬레이트(Slate) PC, 태블릿(Tablet) PC, 울트라 북(Ultra-Book), 데스크탑 컴퓨터 등이 포함될 수 있다. 그러나, 본 명세서에 기재된 실시예에 따른 구성은 추후 개발되는 새로운 제품형태이라도, 디스플레이가 가능한 장치에도 적용될 수 있다.
- [58]
- [59] 이하 실시예에 따른 발광소자 및 이를 포함하는 디스플레이 장치에 대해 설명한다.
- [60] 도 1은 실시예에 따른 디스플레이 장치(100)가 배치된 주택의 거실을 도시한다.
- [61] 실시예의 디스플레이 장치(100)는 세탁기(101), 로봇 청소기(102), 공기 청정기(103) 등의 각종 전자 제품의 상태를 표시할 수 있고, 각 전자 제품들과 IOT 기반으로 통신할 수 있으며 사용자의 설정 데이터에 기초하여 각 전자 제품들을 제어할 수도 있다.

- [62] 실시예에 따른 디스플레이 장치(100)는 얇고 유연한 기판 위에 제작되는 플렉서블 디스플레이(flexible display)를 포함할 수 있다. 플렉서블 디스플레이는 기존의 평판 디스플레이의 특성을 유지하면서, 종이와 같이 휘어지거나 말릴 수 있다.
- [63] 플렉서블 디스플레이에서 시각정보는 매트릭스 형태로 배치되는 단위 화소(unit pixel)의 발광이 독자적으로 제어됨에 의하여 구현될 수 있다. 단위 화소는 하나의 색을 구현하기 위한 최소 단위를 의미한다. 플렉서블 디스플레이의 단위 화소는 발광소자에 의하여 구현될 수 있다. 실시예에서 발광소자는 Micro-LED 나 Nano-LED일 수 있으나 이에 한정되는 것은 아니다.
- [64]
- [65] 도 2는 도 1의 디스플레이 장치에서 제1 패널영역(A1)의 확대도이다.
- [66] 도 2에 의하면, 실시예의 디스플레이 장치(100)는 제1 패널영역(A1)과 같은 복수의 패널영역들이 타일링에 의해 기구적, 전기적 연결되어 제조될 수 있다.
- [67] 제1 패널영역(A1)은 단위 화소(도 2의 PX) 별로 배치된 복수의 발광소자(150)를 포함할 수 있다.
- [68] 예컨대, 단위 화소(PX)는 제1 서브 화소(PX1), 제2 서브 화소(PX2) 및 제3 서브 화소(PX3)를 포함할 수 있다. 예컨대, 복수의 적색 발광소자(150R)가 제1 서브 화소(PX1)에 배치되고, 복수의 녹색 발광소자(150G)가 제2 서브 화소(PX2)에 배치되며, 복수의 청색 발광소자(150B)가 제3 서브 화소(PX3)에 배치될 수 있다. 단위 화소(PX)는 발광소자가 배치되지 않는 제4 서브 화소를 더 포함할 수도 있지만, 이에 대해서는 한정하지 않는다. 한편, 발광소자(150)는 반도체 발광소자일 수 있다.
- [69]
- [70] 다음으로 도 3은 도 2의 A2 영역의 B1-B2 선을 따른 단면도이다.
- [71] 도 3을 참조하면, 실시예의 디스플레이 장치(100)는 기판(200), 조립 배선(201, 202), 제1 절연층(211a), 제2 절연층(211b), 제3 절연층(206) 및 복수의 발광소자(150)를 포함할 수 있다.
- [72] 조립 배선은 서로 이격된 제1 조립 배선(201) 및 제2 조립 배선(202)을 포함할 수 있다. 제1 조립 배선(201) 및 제2 조립 배선(202)은 발광소자(150)를 조립하기 위해 유전영동 힘을 생성하기 위해 구비될 수 있다. 또한 상기 제1 조립 배선(201) 및 제2 조립 배선(202)은 상기 발광소자의 전극과 전기적으로 연결되어 디스플레이 패널의 전극으로 기능할 수도 있다.
- [73] 조립 배선(201, 202)은 투광성 전극(ITO)으로 형성되거나, 전기 전도성이 우수한 금속물질을 포함할 수 있다. 예를 들어, 조립 배선(201, 202)은 티탄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 몰리브덴(Mo) 중 적어도 어느 하나 또는 이들의 합금으로 형성될 수 있다.
- [74] 상기 제1 조립 배선(201) 및 제2 조립 배선(202) 사이에 제1 절연층(211a)이 배치될 수 있고, 상기 제1 조립 배선(201) 및 제2 조립 배선(202) 상에 제2 절연층

(211b)이 배치될 수 있다. 상기 제1 절연층(211a)과 상기 제2 절연층(211b)은 산화막, 질화막 등일 수 있으나 이에 한정되는 것은 아니다.

[75]

[76] 발광소자(150)는 각각 단위 화소(sub-pixel)를 이루기 위하여 적색 발광소자(150R), 녹색 발광소자(150G) 및 청색 발광소자(150B)를 포함할 수 있으나 이에 한정되는 것은 아니며, 적색 형광체와 녹색 형광체 등을 구비하여 각각 적색과 녹색을 구현할 수도 있다.

[77] 기판(200)은 유리나 폴리이미드(Polyimide)로 형성될 수 있다. 또한 기판(200)은 PEN(Polyethylene Naphthalate), PET(Polyethylene Terephthalate) 등의 유연성 있는 재질을 포함할 수 있다. 또한, 기판(200)은 투광성한 재질일 수 있으나 이에 한정되는 것은 아니다.

[78] 제3 절연층(206)은 폴리이미드, PEN, PET 등과 같이 절연성과 유연성 있는 재질을 포함할 수 있으며, 기판(200)과 일체로 이루어져 하나의 기판을 형성할 수도 있다.

[79] 제3 절연층(206)은 접착성과 전도성을 가지는 전도성 접착층일 수 있고, 전도성 접착층은 연성이 있어서 디스플레이 장치의 플렉서블 기능을 가능하게 할 수 있다. 예를 들어, 제3 절연층(206)은 이방성 전도성 필름(ACF, anisotropy conductive film)이거나 이방성 전도매질, 전도성 입자를 함유한 솔루션(solution) 등의 전도성 접착층일 수 있다. 전도성 접착층은 두께에 대해 수직방향으로는 전기적으로 전도성이나, 두께에 대해 수평방향으로는 전기적으로 절연성을 가지는 레이아웃될 수 있다.

[80] 제3 절연층(206)은 발광소자(150)가 삽입되기 위한 조립 홀(203)을 포함할 수 있다. 따라서, 자가 조립시, 발광소자(150)가 제3 절연층(206)의 조립 홀(203)에 용이하게 삽입될 수 있다. 조립 홀(203)은 삽입 홀, 고정 홀, 정렬 홀 등으로 불릴 수 있다.

[81] 조립 배선(201, 202) 간의 간격은 발광소자(150)의 폭 및 조립 홀(203)의 폭보다 작게 형성되어, 전기장을 이용한 발광소자(150)의 조립 위치를 보다 정밀하게 고정할 수 있다.

[82] 조립 배선(201, 202) 상에는 제3 절연층(206)이 형성되어, 조립 배선(201, 202)을 유체(1200)로부터 보호하고, 조립 배선(201, 202)에 흐르는 전류의 누출을 방지할 수 있다. 제3 절연층(206)은 실리카, 알루미늄 등의 무기물 절연체 또는 유기물 절연체가 단일층 또는 다층으로 형성될 수 있다.

[83] 또한 제3 절연층(206)은 폴리이미드, PEN, PET 등과 같이 절연성과 유연성 있는 재질을 포함할 수 있으며, 기판(200)과 일체로 이루어져 하나의 기판을 형성할 수도 있다.

[84] 제3 절연층(206)은 접착성이 있는 절연층일 수 있거나, 전도성을 가지는 전도성 접착층일 수 있다. 제3 절연층(206)은 연성이 있어서 디스플레이 장치의 플렉서블 기능을 가능하게 할 수 있다.

- [85] 제3 절연층(206)은 격벽을 가지고, 이 격벽에 의해 조립 홀(203)이 형성될 수 있다. 예컨대, 기관(200)의 형성 시, 제3 절연층(206)의 일부가 제거됨으로써, 발광소자(150)들 각각이 제3 절연층(206)의 조립 홀(203)에 조립될 수 있다.
- [86] 기관(200)에는 발광소자(150)들이 결합되는 조립 홀(203)이 형성되고, 조립 홀(203)이 형성된 면은 유체(1200)와 접촉할 수 있다. 조립 홀(203)은 발광소자(150)의 정확한 조립 위치를 가이드할 수 있다.
- [87] 한편, 조립 홀(203)은 대응하는 위치에 조립될 발광소자(150)의 형상에 대응하는 형상 및 크기를 가질 수 있다. 이에 따라, 조립 홀(203)에 다른 발광소자가 조립되거나 복수의 발광소자들이 조립되는 것을 방지할 수 있다.
- [88]
- [89] 도 4는 실시예에 따른 발광소자가 자가 조립 방식에 의해 기관에 조립되는 예를 나타내는 도면이며, 도면들을 참조하여 발광소자의 자가 조립 방식을 설명한다.
- [90] 기관(200)은 디스플레이 장치의 패널 기관일 수 있다. 이후 설명에서는 기관(200)은 디스플레이 장치의 패널 기관인 경우로 설명하나 실시예가 이에 한정되는 것은 아니다.
- [91] 도 4를 참조하면, 복수의 발광소자(150)는 유체(1200)가 채워진 챔버(1300)에 투입될 수 있다. 유체(1200)는 초순수 등의 물질일 수 있으나 이에 한정되는 것은 아니다. 챔버는 수조, 컨테이너, 용기 등으로 불릴 수 있다.
- [92] 이후, 기관(200)이 챔버(1300) 상에 배치될 수 있다. 실시예에 따라, 기관(200)은 챔버(1300) 내로 투입될 수도 있다.
- [93] 도 3에 도시한 바와 같이, 기관(200)에는 조립될 발광소자(150) 각각에 대응하는 한 쌍의 조립 배선(201, 202)이 배치될 수 있다.
- [94] 도 4를 참조하면, 기관(200)이 배치된 후, 자성체를 포함하는 조립 장치(1100)가 기관(200)을 따라 이동할 수 있다. 자성체로 예컨대, 자석이나 전자석이 사용될 수 있다. 조립 장치(1100)는 자기장이 미치는 영역을 유체(1200) 내로 최대화하기 위해, 기관(200)과 접촉한 상태로 이동할 수 있다. 실시예에 따라서는, 조립 장치(1100)가 복수의 자성체를 포함하거나, 기관(200)과 대응하는 크기의 자성체를 포함할 수도 있다. 이 경우, 조립 장치(1100)의 이동 거리는 소정 범위 이내로 제한될 수도 있다.
- [95] 조립 장치(1100)에 의해 발생하는 자기장에 의해, 챔버(1300) 내의 발광소자(150)는 조립 장치(1100)를 향해 이동할 수 있다.
- [96] 발광소자(150)는 조립 장치(1100)를 향해 이동 중, 유전영동 힘(DEP force)에 의해 조립 홀(203)로 진입하여 기관(200)과 접촉될 수 있다.
- [97] 구체적으로 조립 배선(201, 202)은 외부에서 공급된 전원에 의해 전기장을 형성하고, 이 전기장에 의해 유전영동 힘이 조립 배선(201, 202) 사이에 형성될 수 있다. 이 유전영동 힘에 의해 기관(200) 상의 조립 홀(203)에 발광소자(150)를 고정시킬 수 있다.

- [98] 기관(200)에 형성된 조립 배선(201, 202)에 의해 가해지는 전기장에 의해, 기관(200)에 접촉된 발광소자(150)가 조립 장치(1100)의 이동에 의해 이탈되는 것이 방지될 수 있다. 실시예에 의하면, 상술한 전자기장을 이용한 자가 조립 방식에 의해, 발광소자(150)들 각각이 기관(200)에 조립되는 데 소요되는 시간을 급격히 단축시킬 수 있으므로, 대면적 고화소 디스플레이를 보다 신속하고 경제적으로 구현할 수 있다.
- [99] 이때 기관(200)의 조립 홀(203) 상에 조립된 발광소자(150)와 조립 전극 사이에 소정의 솔더층(미도시)이 형성되어 발광소자(150)의 결합력을 향상시킬 수 있다.
- [100] 다음으로 기관(200)의 조립 홀(203)에 몰딩층(미도시)이 형성될 수 있다. 몰딩층은 투광성 레진이거나 또는 반사물질, 산란물질이 포함된 레진일 수 있다.
- [101]
- [102] 도 5는 내부 기술에서 연구되는 반도체 발광소자가 조립 기관에 조립된 모습을 나타낸 개념도이다. 도 5를 참조하면, 복수의 조립 배선(20) 상에 절연층(미도시)이 배치될 수 있으며, 상기 절연층 상에 조립 홀(55)을 구비하는 격벽(미도시)이 배치될 수 있다. 상기 복수의 조립 배선(20)은 서로 이격되어 배치된 제1 조립 배선(20a) 및 제2 조립 배선(20b)을 포함할 수 있다. 상기 제1 조립 배선(20a)과 제2 조립 배선(20b) 사이에서 DEP force가 발생하여 반도체 발광소자(50)를 조립 홀(55) 내에 조립시킬 수 있다. 한편, 반도체 발광소자(50)의 후면은 평평하며, 반도체 발광소자(50)의 중앙이 조립 홀(55) 내에서 한 쪽으로 치우치도록 배치될 수 있다. 이에 따라, 반도체 발광소자를 최종 기관으로 픽업하는 과정에서 반도체 발광소자의 중앙을 픽업하지 못하여 전사 불량 발생 가능성이 발생할 수 있는 문제가 있다. 또한, 조립 홀(55) 내에 빈 공간이 발생하여, 후행 칩이 끼는 더블 불량 발생 가능성이 발생할 수 있다.
- [103]
- [104] 이하, 상기 문제를 해결하기 위한 실시예를 설명하도록 한다.
- [105] 도 6은 제1 실시예에 따른 반도체 발광소자의 단면도이다. 도 6을 참조하면, 디스플레이 화소용 반도체 발광소자(150)는 발광구조물(130), 제1 전극(131), 제2 전극(135), 패시베이션층(138), 및 얼라이너(140)를 포함할 수 있다. 상기 반도체 발광소자(150)는 수직형 반도체일 수 있다. 또한, 상기 반도체 발광소자(150)는 수평형 반도체 발광소자일 수 있다.
- [106] 상기 발광구조물(130)은 제1 도전형 반도체층(132), 상기 제1 도전형 반도체층(132) 상에 배치되는 활성층(133), 상기 활성층(133) 상에 배치되는 제2 도전형 반도체층(134)을 포함할 수 있다.
- [107] 상기 제1 도전형 반도체층(132)은 n형 반도체층일 수 있고, 제2 도전형 반도체층(134)은 p형 반도체층일 수 있으나 이에 한정되는 것은 아니다. 상기 제1 도전형 반도체층(132), 활성층(133) 및 제2 도전형 반도체층(134)은 화합물 반도체 물질로 이루어질 수 있다. 예컨대, 화합물 반도체 물질은 3족-5족 화합물 반도체 물질, 2족-6족 화합물 반도체 물질 등일 수 있다. 예컨대, 화합물 반도체는 GaP,

GaAs, GaSb, AlP, AlAs, AlSb, InP, InAs, InSb 및 이들의 혼합물로 이루어진 군에서 선택되는 이원소 화합물; GaNP, GaNAs, GaNSb, GaPAs, GaPSb, AlInP, AlNP, AlNAs, AlNSb, AlPAs, AlPSb, InNP, InNAs, InNSb, InPAs, InPSb, GaAlNP 및 이들의 혼합물로 이루어진 군에서 선택되는 삼원소 화합물; 및 AlGaInP, GaAlNAs, GaAlNSb, GaAlPAs, GaAlPSb, GaInNP, GaInNAs, GaInNSb, GaInPAs, GaInPSb, InAlNP, InAlNAs, InAlNSb, InAlPAs, InAlPSb 및 이들의 혼합물로 이루어진 군에서 선택되는 사원소 화합물로 이루어진 군에서 선택될 수 있다.

[108] 예컨대, 제1 도전형 반도체층(132)은 제1 도전형 도펀트를 포함하고, 제2 도전형 반도체층(134)은 제2 도전형 도펀트를 포함할 수 있다. 예컨대, 제1 도전형 도펀트는 실리콘(Si)과 같은 n형 도펀트이고, 제2 도전형 도펀트는 보론(B)과 같은 p형 도펀트일 수 있다.

[109] 활성층(133)은 광을 생성하는 영역으로서, 화합물 반도체의 물질 특성에 따라 특정 파장 대역을 갖는 광을 생성할 수 있다. 또한, 활성층(133)은 다중양자우물 또는 단일양자우물 구조일 수 있으며, 활성층(133)에 포함된 화합물 반도체의 에너지 밴드갭에 의해 파장 대역이 결정될 수 있다. 따라서, 활성층(133)에 포함된 화합물 반도체의 에너지 밴드갭에 따라 실시예의 반도체 발광소자는 UV 광, 청색 광, 녹색 광, 적색 광을 생성할 수 있다.

[110] 상기 발광구조물(130) 아래에 배치되는 제1 전극(131)은 오믹 컨택층을 포함할 수 있다. 또한, 상기 제1 전극(131)은 자성물질을 포함할 수 있다. 또한, 상기 발광구조물(130) 상에 배치되는 제2 전극(135)은 투명전극으로 형성될 수 있다. 예를 들어 제2 전극(135)은 ITO, IZO, ZnO 등을 포함할 수 있다.

[111] 한편, 상기 제1 전극(131) 아래에 얼라이너(140)가 배치될 수 있다. 상기 얼라이너(140)는 상기 반도체 발광소자(150)의 중심영역에 배치될 수 있다. 상기 제1 전극(131)의 하면은 상기 얼라이너(140)가 배치되는 제1 영역(141) 및 상기 얼라이너(140)가 배치되지 않는 전극 영역(142)을 포함할 수 있다. 또한, 상기 얼라이너(140)의 중심은 상기 반도체 발광소자(150)의 중심과 중첩되도록 형성될 수 있다. 상기 얼라이너(140)는 절연물질을 포함할 수 있다. 예를 들어, 얼라이너(140)는 SiO<sub>2</sub>, SiN<sub>x</sub> 등을 포함할 수 있으나, 이에 한정되지 않는다.

[112] 한편, 상기 반도체 발광소자(150)는 유체 내에서 분산되어 조립용 기판에 조립될 수 있다. 이 때, 반도체 발광소자(150)의 후면은 상기 얼라이너(140)에 의해 단차를 가질 수 있다. 이에 따라, 상기 반도체 발광소자(150)는 유체 내에서 후면이 위를 향하도록 배치될 수 있다. 또한, 반도체 발광소자(150)는 조립되는 면이 조립용 기판을 향하도록 배치될 수 있다. 또한, 반도체 발광소자(150)의 얼라이너(140)가 조립용 기판을 향하도록 배치될 수 있다. 이에 따라, 자가 조립 시 반도체 발광소자(150)가 뒤집히거나, DEP force가 가해지지 않아 미 조립되는 것을 방지할 수 있다. 따라서, 실시예는 반도체 발광소자의 정 조립율이 향상될 수 있다.

[113] 또한, 실시예는 얼라이너에 의해 단차를 가짐에 따라, 자가조립 시 기판의 조립홀에서 랜덤한 위치에 조립되는 것이 아닌, 얼라이너에 대응되는 위치에 조립될

수 있다. 이에 따라, 실시예는 반도체 발광소자를 조립 홀의 정 중앙에 조립시킬 수 있으며, 방향성을 제어할 수 있는 기술적 효과가 있다.

[114]

[115] 도 7a 내지 7d는 제2 실시예 내지 제5 실시예에 따른 반도체 발광소자의 얼라이너의 형태들을 나타낸 개념도이다.

[116] 도 7a의 (a)를 참조하면, 반도체 발광소자(150a)의 후면과, 조립 전극(120) 및 절연층(115)을 나타낸 개념도이다. 반도체 발광소자(150a)의 후면에는 얼라이너(140)가 구비될 수 있다. 또한, 후면에서 얼라이너(140)가 배치되지 않은 영역은 제1 전극의 일부이며, 전극 영역(142)으로 불릴 수 있다.

[117] 한편, 조립용 기판에는 기판 상에 조립 배선(120)이 배치될 수 있다(도 8 참조). 조립 배선(120)은 서로 이격된 제1 조립 배선(120a) 및 제2 조립 배선(120b)을 포함할 수 있다. 상기 조립 배선(120) 상에 절연층(115)이 배치되며, 상기 절연층(115) 상에 조립 홀(155)이 배치될 수 있다.

[118] 상기 조립 홀(155)은 제1 조립 홀(155a) 및 제2 조립 홀(155b)을 포함할 수 있다. 상기 제2 조립 홀(155b)은 상기 조립 배선(120)과 같은 평면상에 위치할 수 있다(도 7a 및 도 8 참조). 또한, 상기 제1 조립 홀(155a)은 상기 조립 배선(120) 상에 위치할 수 있으며, 상기 절연층(115) 상에 위치할 수 있다.

[119] 또한, 상기 조립 배선(120)은 제2 조립 홀(155b)에 대응되는 형태를 가질 수 있다. 또한, 상기 절연층(115)은 상기 조립 배선(120)에서 상기 제2 조립 홀(155b)의 형태에 대응될 수 있다.

[120] 또한, 상기 제2 조립 홀(155b)은 상기 조립 배선(120) 상에 위치할 수 있다. 이 때, 상기 제2 조립 홀(155b)은 상기 절연층(115)과 같은 평면 상에 위치할 수 있다. 또한, 상기 제1 조립 홀(155a)은 상기 절연층(115) 상에 위치할 수 있다.

[121]

[122] 도 7a의 (b)를 참조하면, 반도체 발광소자(150a)의 얼라이너(140)는 제2 조립 홀(155b) 내에 위치할 수 있다. 상기 얼라이너(140)는 제2 조립 홀(155b)의 크기 및 형태에 대응될 수 있다. 이에 따라, 제2 실시예는 얼라이너(140)가 앵커 기능을 수행함에 따라, 반도체 발광소자가 조립용 기판에 물리적으로 고정될 수 있는 기술적 효과가 있다.

[123] 또한, 반도체 발광소자(150a)의 전극 영역(142)은 제1 조립 홀(155a) 내에 위치할 수 있다. 상기 조립 배선(120)에서 발생한 DEP force가 전극 영역(142)에 균일하게 인가될 수 있다. 이에 따라, 제2 실시예는 얼라이너(140)에 의해 전극 영역(142)이 대칭으로 구획되며, DEP force가 균일하게 인가되어, 조립 홀(155)의 중앙에 칩이 조립될 수 있는 기술적 효과가 있다.

[124]

[125] 도 7b를 참조하면, 제3 실시예의 반도체 발광소자(150b)의 후면에 얼라이너(140)가 배치될 수 있다. 상기 얼라이너(140)는 반도체 발광소자(150b)의 후면의 일단에서 중앙을 가로지르는 형태를 갖도록 형성될 수 있다. 상기 얼라이너(140)

는 조립용 기관에서 복수의 조립 배선 사이에 오버랩되도록 위치할 수 있다. 또한, 얼라이너(140)가 배치되지 않은 전극 영역(142)은 상기 얼라이너(140)를 기준으로 대칭일 수 있다. 이에 따라, DEP force가 대칭으로 작용하여 반도체 발광소자를 조립 홀의 중앙으로 가이드할 수 있는 기술적 효과가 있다.

[126]

[127] 도 7c를 참조하면, 제4 실시예의 반도체 발광소자(150c)의 후면에 얼라이너(140)가 배치될 수 있다. 상기 얼라이너(140)는 중앙에서 서로 교차되는 형태를 가질 수 있다. 상기 얼라이너(140)에 의해 전극 영역(142)이 복수의 영역으로 구분될 수 있다. 상기 전극 영역(142)에서 복수의 영역 각각은 DEP force가 가해질 수 있다. 또한, 조립 홀의 절연층은 상기 얼라이너(140)의 형태에 대응되는 형태를 가질 수 있다. 이에 따라, 제4 실시예의 반도체 발광소자(150c)는 조립 홀 내에서 기 설정된 위치에 조립될 수 있는 기술적 효과가 있다.

[128]

[129] 도 7d를 참조하면, 제5 실시예의 반도체 발광소자(150d)의 후면에 얼라이너(140)가 배치될 수 있다. 상기 얼라이너(140)의 중심은 반도체 발광소자(150d) 후면의 중심과 동일할 수 있다. 상기 얼라이너(140)는 수평단면이 링 형태로 형성될 수 있다. 이에 따라, 반도체 발광소자(150d)의 후면은 상기 얼라이너(140)에 의해 내부에 위치한 제1 전극 영역(142a)과 외부에 위치한 제2 전극 영역(142b)으로 나뉠 수 있다. 이에 따라, DEP force가 얼라이너(140)를 기준으로 반도체 발광소자 후면의 내측과 외측에 작용하여 조립율을 향상시킬 수 있는 기술적 효과가 있다.

[130]

[131] 도 8은 제6 실시예에 따른 디스플레이 화소용 반도체 발광소자 및 이를 포함하는 디스플레이 장치에서 반도체 발광소자(150)가 기관에 조립되는 과정을 나타낸 개념도이다. 도 8을 참조하면, 기관(110) 상에 복수의 조립 배선(120)이 배치되며, 상기 조립 배선(120)상에 절연층(115)이 배치될 수 있다. 또한, 상기 절연층(115) 상에 조립 홀(155)을 구비하는 격벽(160)이 배치될 수 있다. 상기 조립 홀(155)은 원형 또는 타원형일 수 있으나 이에 한정하지 않는다. 또한, 상기 반도체 발광소자의 하면은 원형 또는 타원형일 수 있으나, 이에 한정하지 않는다.

[132] 상기 복수의 조립 배선(120)은 서로 반대 크기를 갖는 전원이 교류로 인가되어 DEP force를 형성할 수 있으며, DEP force에 의해 반도체 발광소자(150)가 상기 조립 홀(155) 내에 조립될 수 있다.

[133] 반면에, 제6 실시예에서는 상기 절연층(115)이 홈부(117)를 포함할 수 있다. 상기 홈부(117)는 원형, 타원형 및 사각형 등의 다각형 형태를 포함할 수 있다. 상기 홈부(117)에 의해 복수의 조립 배선(120)이 노출되지 않을 수 있다. 또는, 상기 홈부(117)에 의해 복수의 조립 배선(120)이 노출될 수 있다. 상기 홈부(117)의 중심은 상기 조립 홀(155)의 중심에 대응될 수 있다. 상기 홈부(117)는 상기 조립 홀(155) 내에서 일 측으로 치우치지 않을 수 있다.

- [134] 이 때, 상기 반도체 발광소자(150)는 얼라이너(140)를 구비할 수 있다. 상기 얼라이너(140)는 상기 절연층(115)의 홈부(117)에 대응하는 형태를 가질 수 있다. 상기 얼라이너(140)의 중심은 상기 반도체 발광소자(150)의 후면의 중심에 대응될 수 있다.
- [135] 상기 반도체 발광소자(150)의 후면은 상기 얼라이너(140) 및 상기 얼라이너(140)가 배치되지 않은 전극 영역을 포함할 수 있다. 상기 전극 영역은 상기 얼라이너(140)에 의해 대칭으로 분포할 수 있다.
- [136] 상기 복수의 조립 배선(120)에 의해 DEP force가 형성될 때 대칭으로 분포한 전극 영역에 DEP force가 대칭으로 가해져서 반도체 발광소자(150)에게 조립력을 균일하게 가할 수 있는 기술적 효과가 있다.
- [137] 또한, 상기 반도체 발광소자(150)는 얼라이너(140)에 의해 단차를 가질 수 있다. 이에 따라, 상기 반도체 발광소자(150)는 얼라이너(140)가 홈부(117)가 아닌 영역에 위치할 경우 조립되지 않을 수 있다. 상기 얼라이너(140)가 홈부(117) 내에 위치할 경우 정 조립될 수 있다.
- [138]
- [139] 도 9는 도 8의 제6 실시예에서 반도체 발광소자(150)가 조립용 기판에 조립된 상태를 나타낸 개념도이다. 도 9를 참조하면, 상기 반도체 발광소자(150)가 조립홀(155) 내에 조립될 수 있다. 상기 반도체 발광소자(150)의 얼라이너(140)는 절연층(115)이 구비하는 홈부에 위치할 수 있다.
- [140] 상기 얼라이너(140)는 상기 홈부의 형태에 대응될 수 있다. 이에 따라, 상기 반도체 발광소자(150)는 얼라이너(140)에 의해 조립용 기판에 물리적으로 고정될 수 있다. 이에 따라, 상기 얼라이너(140)는 앵커 기능을 수행할 수 있다. 따라서, 실시예는 조립용 기판에 반도체 발광소자가 조립되고 난 후, 후행 칩의 충돌이 있어도 조립된 반도체 발광소자(150)가 제거되는 것을 방지할 수 있는 기술적 효과가 있다. 또한, 복수의 조립 배선(120)의 DEP force가 사라지더라도 반도체 발광소자는 조립된 상태를 유지할 수 있는 기술적 효과가 있다.
- [141] 또한, 도면에는 도시되지 않았지만, 반도체 발광소자(150)의 하면에 패시베이션층이 형성되어 있는 경우, 절연층(115)은 생략될 수 있다. 이 때, 반도체 발광소자(150)의 얼라이너(140)는 복수의 조립 배선(120) 사이에 위치하며, 이에 대응하는 형태를 가질 수 있다.
- [142] 따라서, 제6 실시예는 반도체 발광소자가 후면에 얼라이너(140)를 구비함에 따라, DEP force가 제어되어 조립력을 향상시킬뿐만 아니라, 조립된 이후에도 앵커 기능을 수행하여 물리적으로 고정되어 칩의 이탈을 방지하는 기술적 효과가 있다.
- [143] 또한, 제6 실시예는 반도체 발광소자가 조립홀의 정 중앙에 조립됨에 따라, 하나의 조립홀에 두 개 이상의 칩이 위치하는 더블 불량이 방지되는 기술적 효과가 있다. 또한, 전사과정에서 반도체 발광소자의 중심이 조립홀의 중앙에 위치하기 때문에 전사 불량이 방지되어 전사율이 향상되는 기술적 효과가 있다.

[144]

[145] 도 10은 제7 실시예에 따른 디스플레이 화소용 반도체 발광소자 및 이를 포함하는 디스플레이 장치의 개념도이다. 도 10을 참조하면, 반도체 발광소자(150)는 후면에 얼라이너(140)를 포함할 수 있다. 상기 얼라이너(140) 내에 제2 자성층(145)이 배치될 수 있다. 제2 자성층(145)은 자성물질을 포함할 수 있다. 상기 제2 자성층(145)은 제1 전극(131)과 서로 다른 물질을 포함할 수 있으나 이에 한정되는 것은 아니다.

[146] 상기 제2 자성층(145)은 상기 제1 전극(131)보다 아래에 위치할 수 있다. 유체 내에서 자가조립 시 조립용 자석이 반도체 발광소자를 조립용 기판으로 당길 때, 상기 제2 자성층(145)은 반도체 발광소자(150)의 후면의 중앙에 위치하여, 조립 홀(155)의 중앙으로 위치할 수 있도록 가이드할 수 있다.

[147] 또한, 조립 배선(120)에서 DEP force가 발생하여 반도체 발광소자를 조립할 때 제1 전극(131)뿐만 아니라 중앙부에 위치한 제2 자성층(145)에도 DEP force가 가해질 수 있다. 이에 따라, DEP force가 반도체 발광소자(150)의 후면의 중앙부에 집중되어, 조립 홀(155)의 중앙으로 반도체 발광소자가 위치하도록 가이드할 수 있다. 따라서, 제7 실시예는 반도체 발광소자(150)가 조립 홀(155) 중앙에 위치하도록 유도되며, 조립률이 더욱 향상될 수 있는 기술적 효과가 있다.

[148]

[149] 실시예에 따른 디스플레이 화소용 반도체 발광소자 및 이를 포함하는 디스플레이 장치는 자가조립 시 하나의 조립 홀에 두 개 이상의 칩이 조립되는 더블 불량을 방지할 수 있는 기술적 효과가 있다.

[150] 예를 들어, 실시예는 반도체 발광소자가 얼라이너에 의해 조립 홀의 중앙에 위치함에 따라 남은 공간을 축소시켜, 후행 칩이 추가로 조립되는 것을 방지할 수 있다.

[151] 또한, 실시예는 자가조립 시 전사율을 향상시킬 수 있는 기술적 효과가 있다.

[152] 예를 들어, 실시예는 반도체 발광소자가 조립 홀의 중앙에 위치하여, 전사 공정 시 반도체 발광소자가 정 위치에 전사되어 전사율이 향상될 수 있다.

[153] 또한, 실시예는 조립된 칩이 이탈되는 것을 방지할 수 있는 기술적 효과가 있다.

[154] 예를 들어, 실시예는 반도체 발광소자의 얼라이너에 의해 기판에 고정되어, 칩이 이탈되는 것을 방지할 수 있다.

[155] 또한, 실시예는 자가조립 시 조립력을 향상시킬 수 있는 기술적 효과가 있다.

[156] 예를 들어, 실시예는 후면의 얼라이너를 기준으로 DEP force를 받는 영역이 대칭으로 배치되어 조립력이 향상될 수 있다.

[157] 또한, 실시예는 별도의 부재없이 칩을 물리적으로 기판에 고정할 수 있는 기술적 효과가 있다.

[158] 예를 들어, 실시예는 후면의 얼라이너가 앵커 기능을 수행하여, 별도의 부재없이 칩이 물리적으로 기판에 고정될 수 있다.

- [159] 이상에서는 본 발명의 실시예를 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 쉽게 이해할 수 있을 것이다.

#### **산업상 이용가능성**

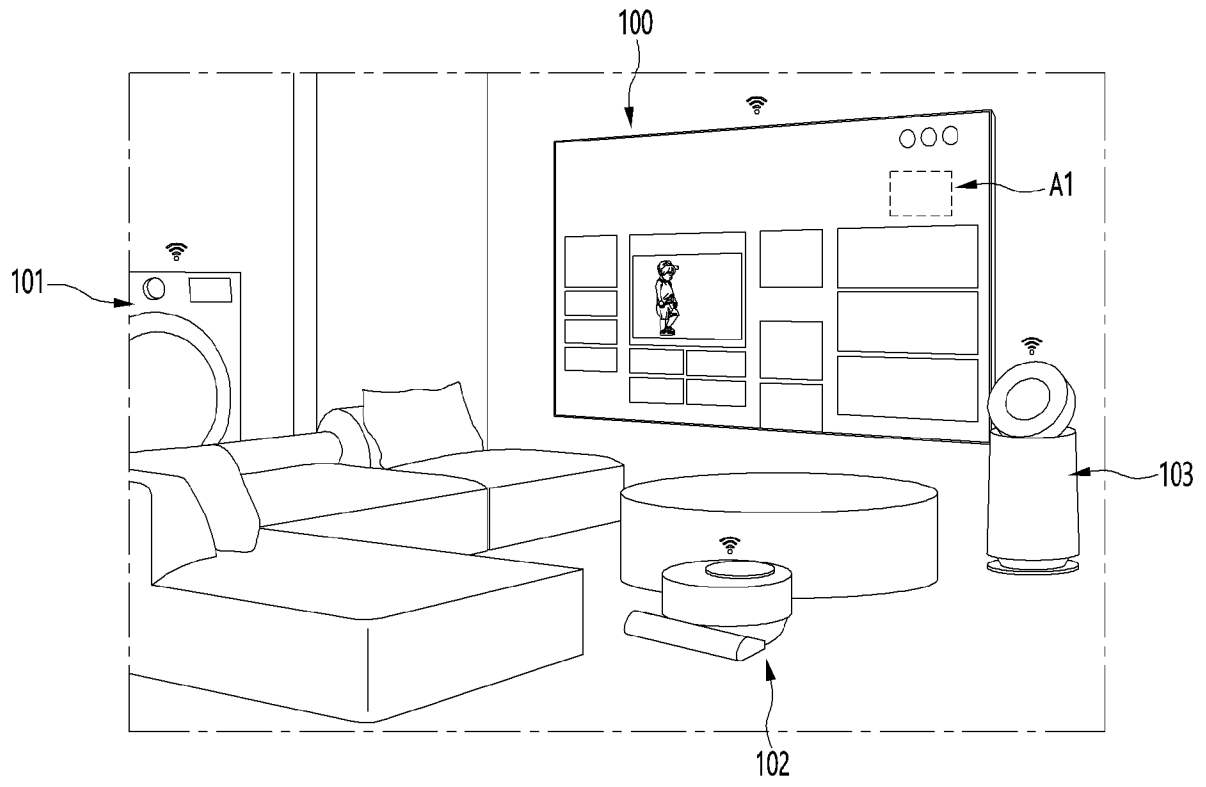
- [160] 실시예는 디스플레이 장치에 적용될 수 있으나 이에 한정되는 것은 아니다. 예를 들어, 실시예는 무기 발광소자인 LED를 발광화소로 하는 마이크로-LED 디스플레이(Micro-LED display)에 적용될 수 있으나 이에 한정되는 것은 아니다.

## 청구범위

- [청구항 1] 제1 도전형 반도체층, 활성층, 제2 도전형 반도체층을 포함하는 발광구조물; 및  
 상기 발광구조물 아래에 배치되며, 전극 영역 및 제1 영역을 포함하는 제1 전극;  
 상기 제1 전극의 제1 영역 상에 배치되는 절연물질의 얼라이너;를 포함하는,  
 디스플레이 화소용 반도체 발광소자.
- [청구항 2] 제1항에 있어서,  
 상기 얼라이너의 중심은 상기 제1 전극의 중심에 대응되는, 디스플레이 화소용 반도체 발광소자.
- [청구항 3] 제1항에 있어서,  
 상기 전극 영역은 수직방향으로 상기 얼라이너와 중첩되지 않는, 디스플레이 화소용 반도체 발광소자.
- [청구항 4] 제1항에 있어서,  
 상기 얼라이너는 상기 제1 전극의 하면의 중심을 가로지르는, 디스플레이 화소용 반도체 발광소자.
- [청구항 5] 제1항에 있어서,  
 상기 얼라이너는 수평 단면이 링 형태를 가지는, 디스플레이 화소용 반도체 발광소자.
- [청구항 6] 제1항에 있어서,  
 상기 얼라이너 내에 배치되는 자성층을 더 포함하는, 디스플레이 화소용 반도체 발광소자.
- [청구항 7] 제1항에 있어서,  
 상기 제1 영역은 상기 전극 영역을 둘러싸는, 디스플레이 화소용 반도체 발광소자.
- [청구항 8] 기판;  
 상기 기판 상에 배치되는 복수의 조립 배선;  
 상기 조립 배선 상에 배치되는 절연층;  
 상기 절연층 상에 배치되며, 조립 홀을 구비하는 격벽; 및  
 상기 조립 홀 내에 배치되는 반도체 발광소자;를 포함하며,  
 상기 반도체 발광소자는,  
 발광구조물, 상기 발광구조물 아래에 배치되는 제1 전극, 상기 제1 전극 아래에 배치되는 얼라이너를 포함하며,  
 상기 얼라이너는 절연물질을 포함하고,  
 상기 절연층은 상기 얼라이너의 형태에 대응되는 제1 홈부를 가지는, 반도체 발광소자를 포함하는 디스플레이 장치.

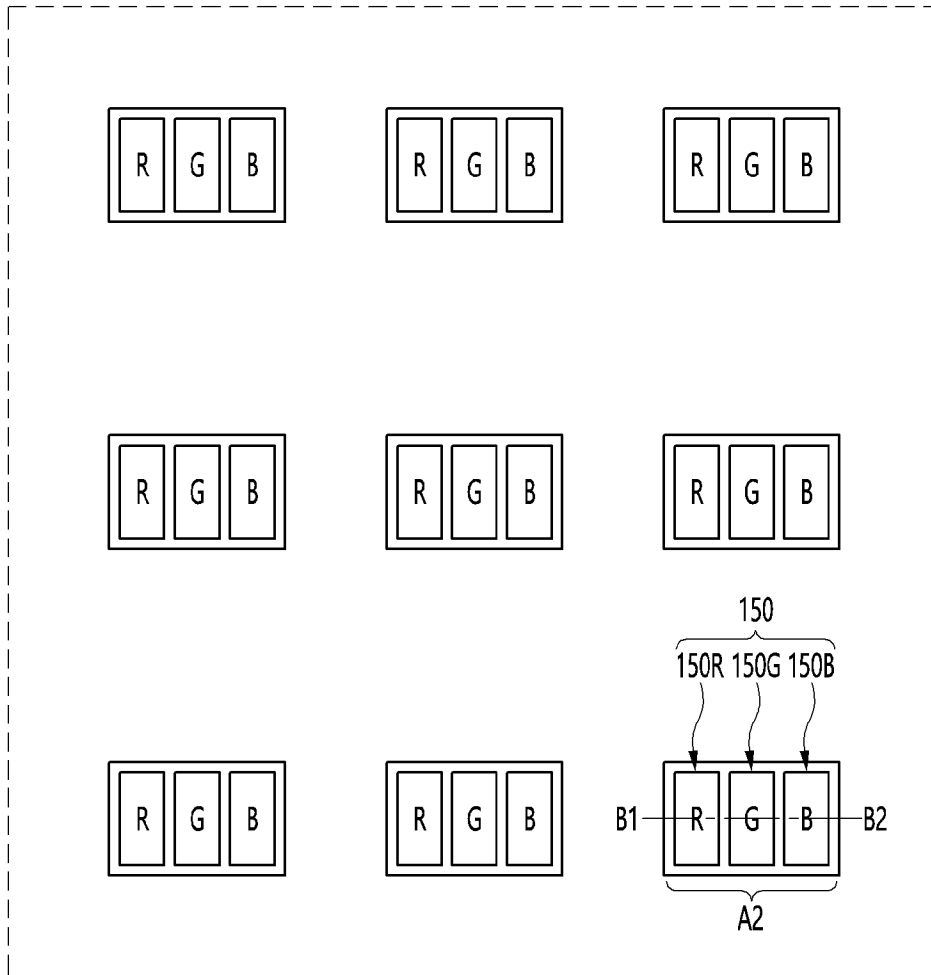
- [청구항 9] 제8항에 있어서,  
상기 얼라이너는 상기 복수의 조립 배선 사이에 위치하는, 반도체 발광소자를 포함하는 디스플레이 장치.
- [청구항 10] 제8항에 있어서,  
상기 복수의 조립 배선은 상기 얼라이너 형태에 대응되는 제2 홈부를 가지는, 반도체 발광소자를 포함하는 디스플레이 장치.
- [청구항 11] 제8항에 있어서,  
상기 반도체 발광소자는, 제1항 내지 제7항 중 어느 하나의 디스플레이 화소용 반도체 발광소자를 포함하는, 반도체 발광소자를 포함하는 디스플레이 장치.

[도 1]



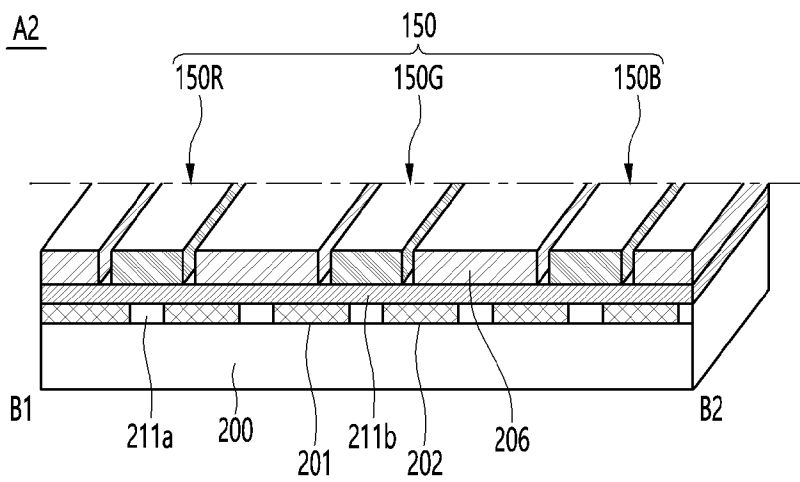
[도2]

A1

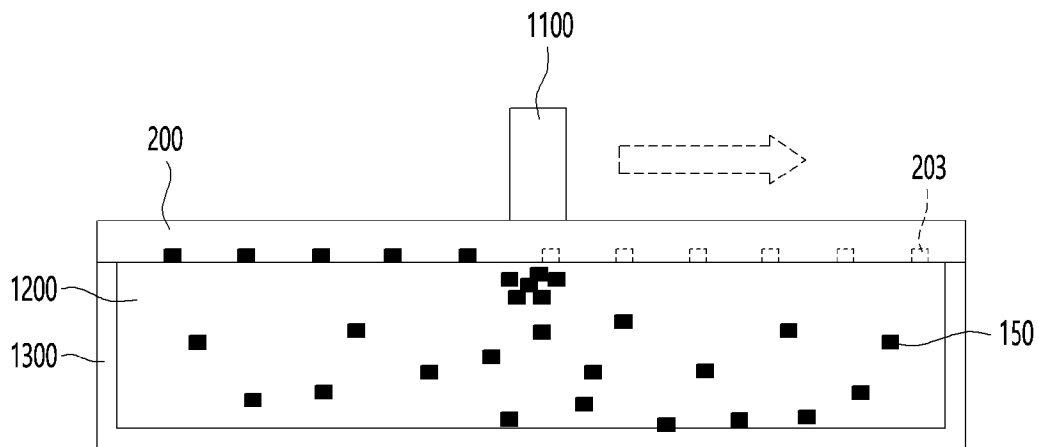


[도3]

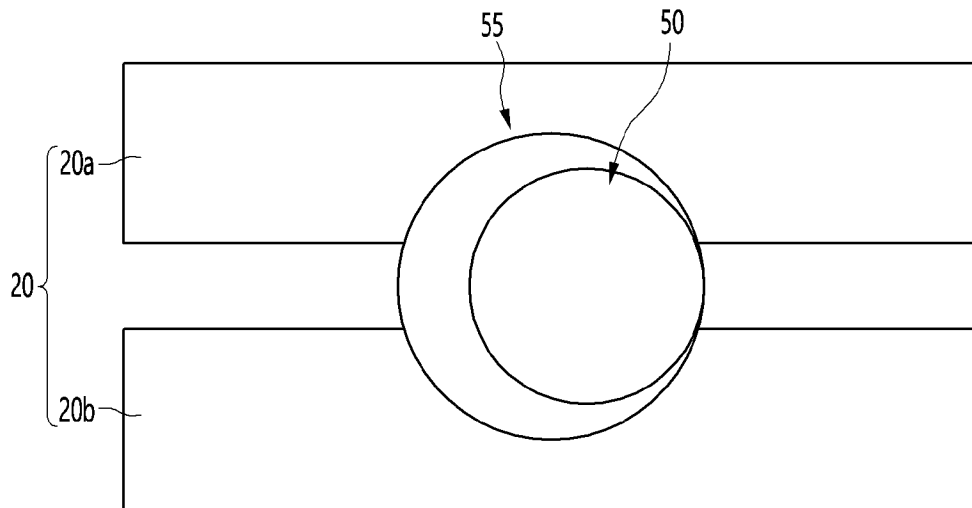
A2



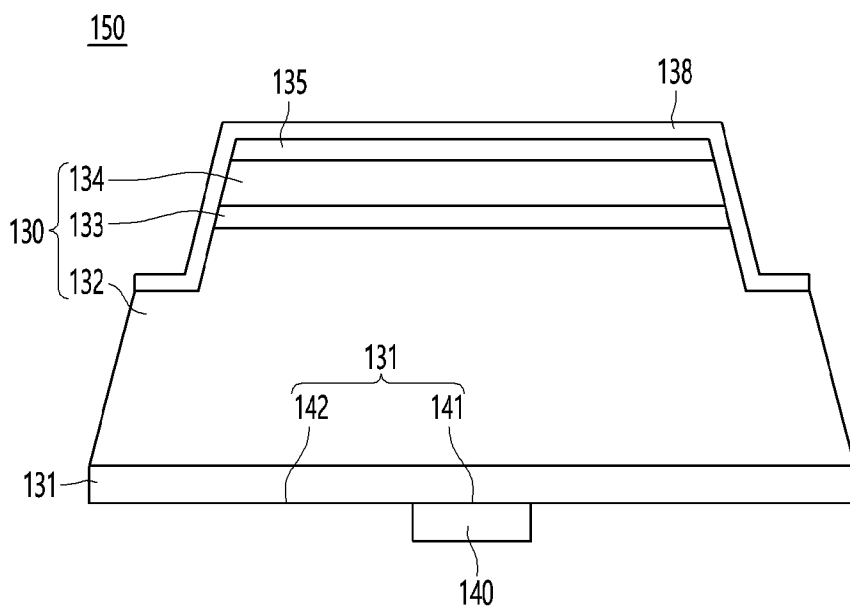
[도4]



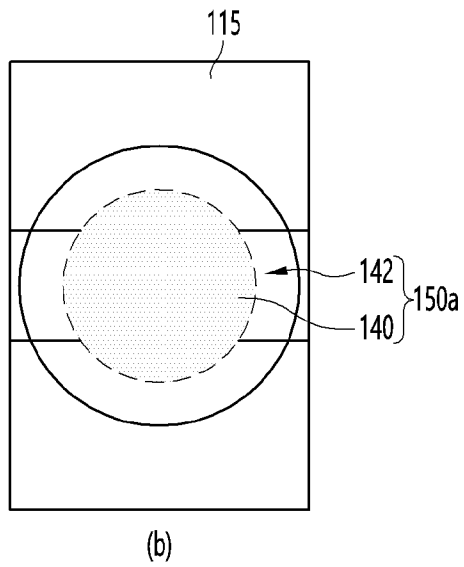
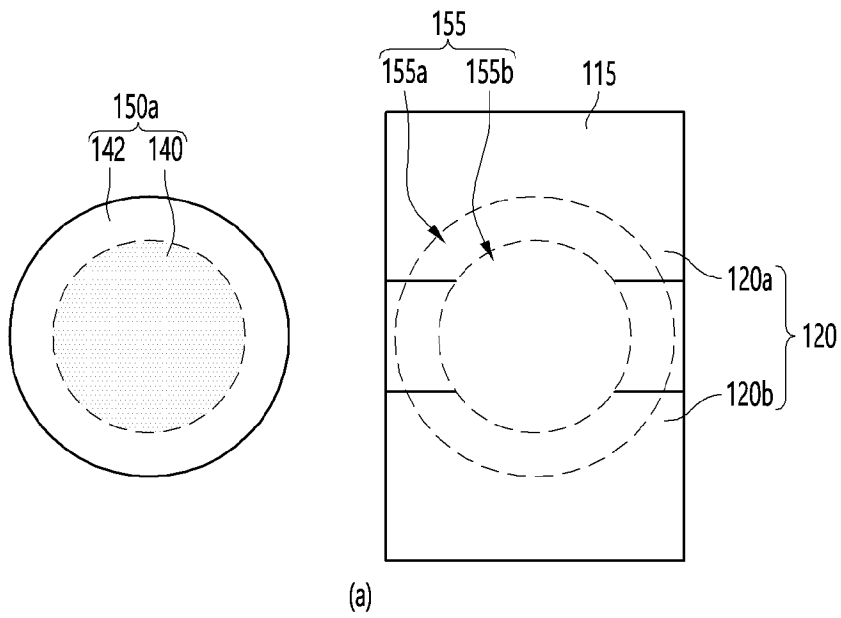
[도5]



[도6]

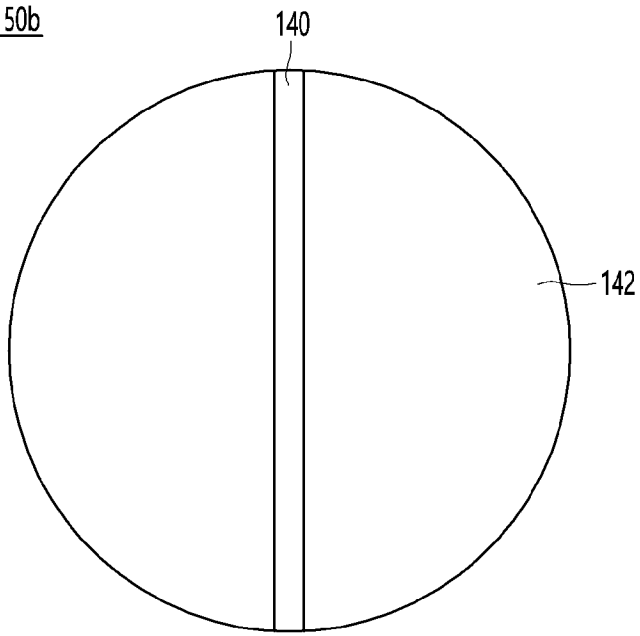


[도7a]



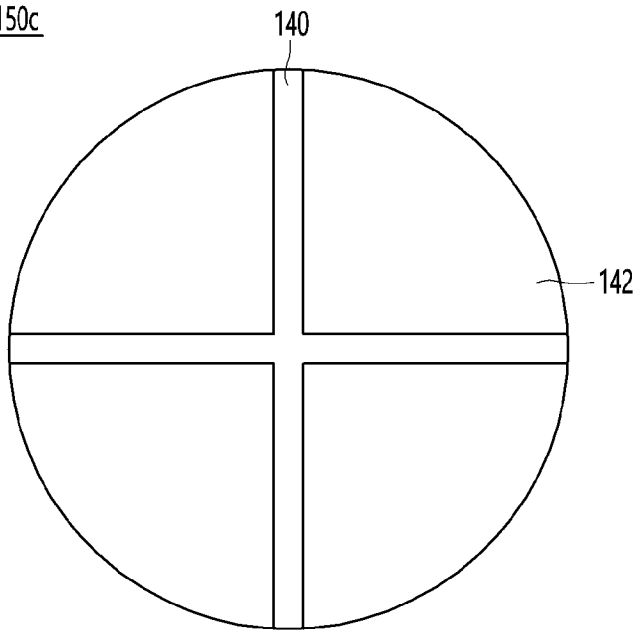
[도7b]

150b



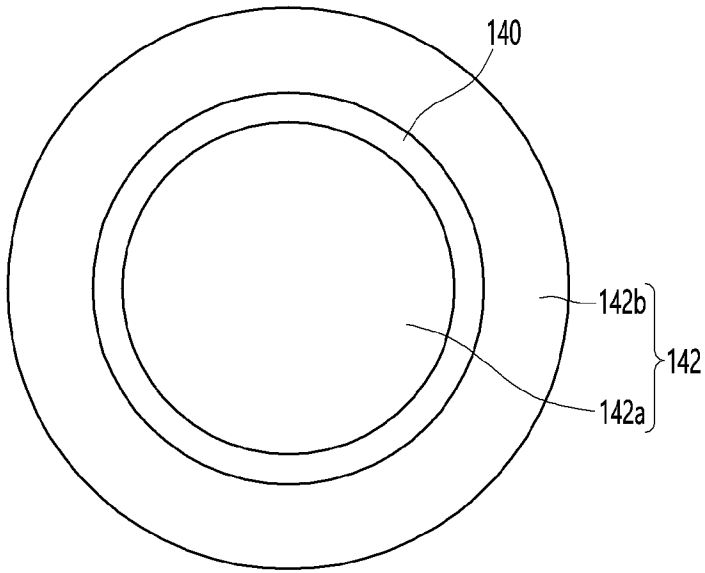
[도7c]

150c

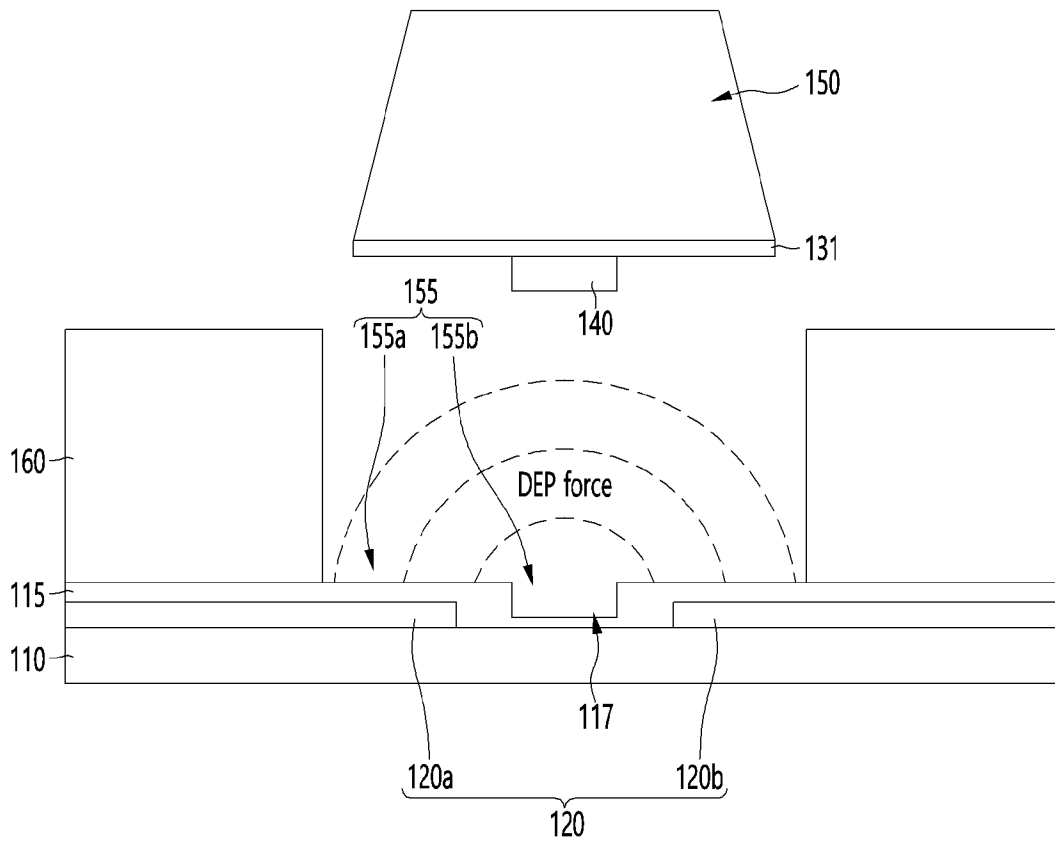


[도7d]

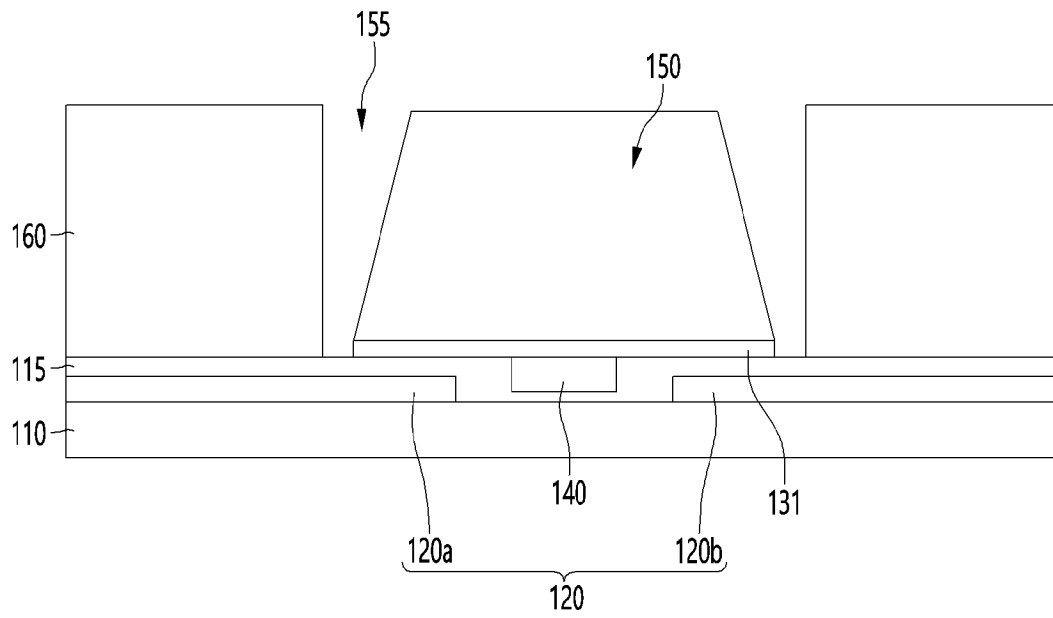
150d



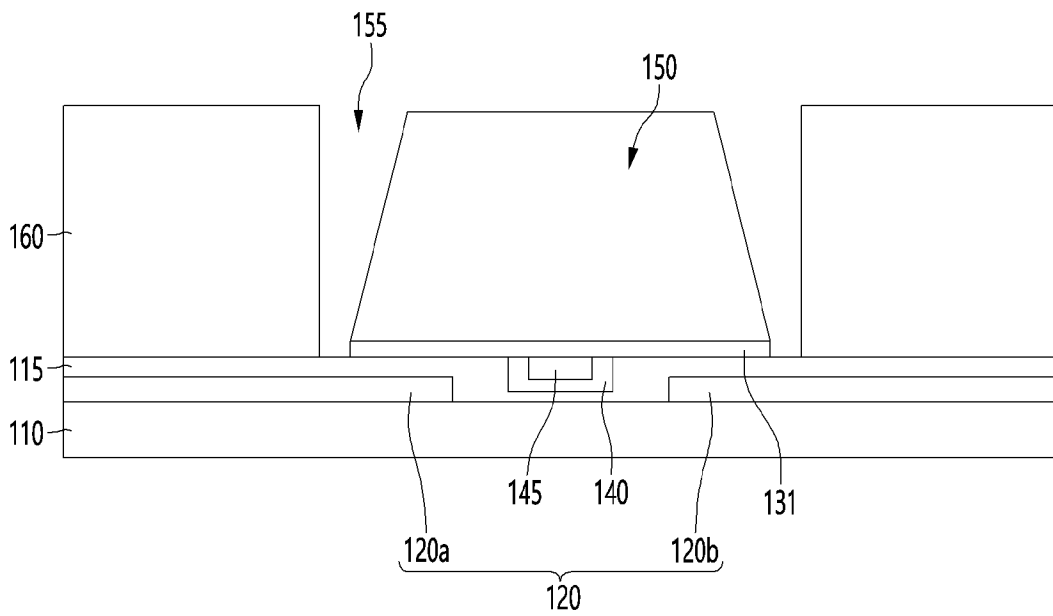
[도8]



[도9]



[도10]



## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/KR2023/017939**

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<b>H01L 33/38(2010.01)i; H01L 33/48(2010.01)i; H01L 33/62(2010.01)i; H01L 25/075(2006.01)i; H01L 23/00(2006.01)i</b>		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L 33/38(2010.01); H01L 23/544(2006.01); H01L 33/00(2010.01); H01L 33/06(2010.01); H01L 33/14(2010.01); H01L 33/20(2010.01); H01L 33/44(2010.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 발광소자(LED, Light Emitting Diode), 디스플레이(display), 얼라이너(aligner), 조립(assembly), 전극(electrode), 기판(substrate)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2020-0030514 A (LG ELECTRONICS INC.) 20 March 2020 (2020-03-20) See paragraphs [0083]-[0171] and figures 9-17.	1-11
Y	US 2007-0252289 A1 (BREWER, Peter D.) 01 November 2007 (2007-11-01) See paragraphs [0083]-[0102] and figures 7-14.	1-11
A	KR 10-2020-0026775 A (LG ELECTRONICS INC.) 11 March 2020 (2020-03-11) See claims 1-12.	1-11
A	KR 10-2016-0083035 A (LUXVUE TECHNOLOGY CORPORATION) 11 July 2016 (2016-07-11) See claims 1-22.	1-11
A	KR 10-2020-0026702 A (LG ELECTRONICS INC.) 11 March 2020 (2020-03-11) See claims 1-10.	1-11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>30 July 2024</b>		Date of mailing of the international search report <b>31 July 2024</b>
Name and mailing address of the ISA/KR <b>Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208</b> Facsimile No. +82-42-481-8578		Authorized officer  Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

**PCT/KR2023/017939**

<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2020-0026681 A (LG ELECTRONICS INC.) 11 March 2020 (2020-03-11) See claims 1-13.	1-11
-----		

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/KR2023/017939**

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
KR 10-2020-0030514 A	20 March 2020	US 2023-0119947 A1	20 April 2023
		WO 2021-177673 A1	10 September 2021
US 2007-0252289 A1	01 November 2007	US 7223635 B1	29 May 2007
		US 7622813 B2	24 November 2009
KR 10-2020-0026775 A	11 March 2020	EP 4068354 A1	05 October 2022
		US 2023-0005887 A1	05 January 2023
		WO 2021-107237 A1	03 June 2021
KR 10-2016-0083035 A	11 July 2016	AU 2014-370328 A1	02 July 2015
		AU 2014-370328 B2	13 April 2017
		AU 2017-204170 A1	13 July 2017
		AU 2017-204170 B2	23 May 2019
		CN 105814698 A	27 July 2016
		CN 105814698 B	05 July 2019
		EP 3087617 A1	02 November 2016
		EP 3087617 B1	10 April 2024
		JP 2017-500757 A	05 January 2017
		JP 6186516 B2	23 August 2017
		TW 201530808 A	01 August 2015
		TW 201705521 A	01 February 2017
		TW 1560904 B	01 December 2016
		TW 1617049 B	01 March 2018
		US 10593832 B2	17 March 2020
		US 11101405 B2	24 August 2021
		US 11978825 B2	07 May 2024
		US 2015-0187740 A1	02 July 2015
		US 2015-0187991 A1	02 July 2015
		US 2016-0336484 A1	17 November 2016
		US 2020-0251614 A1	06 August 2020
		US 2022-0013688 A1	13 January 2022
US 9450147 B2	20 September 2016		
US 9583466 B2	28 February 2017		
WO 2015-099944 A1	02 July 2015		
KR 10-2020-0026702 A	11 March 2020	EP 4012770 A1	15 June 2022
		US 2022-0319892 A1	06 October 2022
		WO 2021-025249 A1	11 February 2021
KR 10-2020-0026681 A	11 March 2020	EP 3993049 A1	04 May 2022
		US 2022-0351993 A1	03 November 2022
		WO 2020-262752 A1	30 December 2020

<b>A. 발명이 속하는 기술분류(국제특허분류(IPC))</b> <b>H01L 33/38(2010.01)i; H01L 33/48(2010.01)i; H01L 33/62(2010.01)i; H01L 25/075(2006.01)i; H01L 23/00(2006.01)i</b>		
<b>B. 조사된 분야</b> 조사된 최소문헌(국제특허분류를 기재) H01L 33/38(2010.01); H01L 23/544(2006.01); H01L 33/00(2010.01); H01L 33/06(2010.01); H01L 33/14(2010.01); H01L 33/20(2010.01); H01L 33/44(2010.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 발광소자(LED, Light Emitting Diode), 디스플레이(display), 얼라이너(aligner), 조립(assembly), 전극(electrode), 기판(substrate)		
<b>C. 관련 문헌</b>		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2020-0030514 A (엘지전자 주식회사) 2020.03.20 단락 [0083]-[0171] 및 도면 9-17	1-11
Y	US 2007-0252289 A1 (PETER D. BREWER) 2007.11.01 단락 [0083]-[0102] 및 도면 7-14	1-11
A	KR 10-2020-0026775 A (엘지전자 주식회사) 2020.03.11 청구항 1-12	1-11
A	KR 10-2016-0083035 A (릭스뷰 테크놀로지 코퍼레이션) 2016.07.11 청구항 1-22	1-11
A	KR 10-2020-0026702 A (엘지전자 주식회사) 2020.03.11 청구항 1-10	1-11
A	KR 10-2020-0026681 A (엘지전자 주식회사) 2020.03.11 청구항 1-13	1-11
<input type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: "A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 "D" 본 국제출원에서 출원인이 인용한 문헌 "E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 "L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 "O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 "P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 "T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 "X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. "Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. "&" 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일	국제조사보고서 발송일	
2024년07월30일 (30.07.2024)	2024년07월31일 (31.07.2024)	
ISA/KR의 명칭 및 우편주소	심사관	
대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)	이강하	
팩스 번호 +82-42-481-8578	전화번호 +82-42-481-5687	

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2020-0030514 A	2020/03/20	US 2023-0119947 A1	2023/04/20
		WO 2021-177673 A1	2021/09/10
US 2007-0252289 A1	2007/11/01	US 7223635 B1	2007/05/29
		US 7622813 B2	2009/11/24
KR 10-2020-0026775 A	2020/03/11	EP 4068354 A1	2022/10/05
		US 2023-0005887 A1	2023/01/05
		WO 2021-107237 A1	2021/06/03
KR 10-2016-0083035 A	2016/07/11	AU 2014-370328 A1	2015/07/02
		AU 2014-370328 B2	2017/04/13
		AU 2017-204170 A1	2017/07/13
		AU 2017-204170 B2	2019/05/23
		CN 105814698 A	2016/07/27
		CN 105814698 B	2019/07/05
		EP 3087617 A1	2016/11/02
		EP 3087617 B1	2024/04/10
		JP 2017-500757 A	2017/01/05
		JP 6186516 B2	2017/08/23
		TW 201530808 A	2015/08/01
		TW 201705521 A	2017/02/01
		TW I560904 B	2016/12/01
		TW I617049 B	2018/03/01
		US 10593832 B2	2020/03/17
		US 11101405 B2	2021/08/24
		US 11978825 B2	2024/05/07
		US 2015-0187740 A1	2015/07/02
		US 2015-0187991 A1	2015/07/02
		US 2016-0336484 A1	2016/11/17
US 2020-0251614 A1	2020/08/06		
US 2022-0013688 A1	2022/01/13		
US 9450147 B2	2016/09/20		
US 9583466 B2	2017/02/28		
WO 2015-099944 A1	2015/07/02		
KR 10-2020-0026702 A	2020/03/11	EP 4012770 A1	2022/06/15
		US 2022-0319892 A1	2022/10/06
		WO 2021-025249 A1	2021/02/11
KR 10-2020-0026681 A	2020/03/11	EP 3993049 A1	2022/05/04
		US 2022-0351993 A1	2022/11/03
		WO 2020-262752 A1	2020/12/30