

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4583540号
(P4583540)

(45) 発行日 平成22年11月17日(2010.11.17)

(24) 登録日 平成22年9月10日(2010.9.10)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

G O 2 F 1/1368 (2006.01)

G O 9 F 9/30 (2006.01)

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 2 B

G O 2 F 1/1368

G O 9 F 9/30 3 3 8

H O 1 L 29/78 6 1 6 A

H O 1 L 29/78 6 1 9 B

請求項の数 10 (全 30 頁)

(21) 出願番号 特願2000-58493 (P2000-58493)
 (22) 出願日 平成12年3月3日(2000.3.3)
 (65) 公開番号 特開2000-315798 (P2000-315798A)
 (43) 公開日 平成12年11月14日(2000.11.14)
 審査請求日 平成19年3月1日(2007.3.1)
 (31) 優先権主張番号 特願平11-57754
 (32) 優先日 平成11年3月4日(1999.3.4)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 大谷 久
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 綿引 隆

(56) 参考文献 特開平05-142577 (JP, A)
 特開平09-116167 (JP, A)
 特開平06-088972 (JP, A)
 特開平08-160464 (JP, A)
 特開平08-321619 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【特許請求の範囲】

【請求項1】

同一基板上にドライバー回路と画素部が設けられた半導体装置であって、
 前記ドライバー回路及び前記画素部は下地膜上に設けられ、ゲート絶縁膜を有するNチャネル型TFTを有し、

前記Nチャネル型TFTの半導体層は、チャンネル形成領域と、ソース領域及びドレイン領域と、LDD領域と、を有し、

前記ゲート絶縁膜上に接してゲート電極が設けられ、

前記ドライバー回路が有する前記ソース領域及びドレイン領域の15族に属する元素の濃度は、前記画素部が有する前記ソース領域及びドレイン領域の15族に属する元素の濃度よりも高く、

前記ドライバー回路が有するNチャネル型TFTの前記LDD領域は前記ゲート電極と一部が重なり、

前記画素部が有するNチャネル型TFTの前記LDD領域は前記ゲート電極と重ならないことを特徴とする半導体装置。

【請求項2】

同一基板上にドライバー回路と画素部が設けられた半導体装置であって、
 前記ドライバー回路及び前記画素部は下地膜上に設けられ、ゲート絶縁膜を有するNチャネル型TFTを有し、

前記Nチャネル型TFTの半導体層は、チャンネル形成領域と、ソース領域及びドレイン

10

20

領域と、ＬＤＤ領域と、を有し、

前記ゲート絶縁膜上に接してゲート電極が設けられ、

前記ドライバー回路が有する前記ＬＤＤ領域の１５族に属する元素の濃度は、前記画素部が有する前記ＬＤＤ領域の１５族に属する元素の濃度よりも高く、

前記ドライバー回路が有するＮチャンネル型ＴＦＴの前記ＬＤＤ領域は前記ゲート電極と一部が重なり、

前記画素部が有するＮチャンネル型ＴＦＴの前記ＬＤＤ領域は前記ゲート電極と重ならないことを特徴とする半導体装置。

【請求項３】

同一基板上にドライバー回路と画素部が設けられた半導体装置であって、

前記ドライバー回路及び前記画素部は下地膜上に設けられ、ゲート絶縁膜を有するＮチャンネル型ＴＦＴを有し、

前記Ｎチャンネル型ＴＦＴの半導体層は、チャンネル形成領域と、ソース領域及びドレイン領域と、ＬＤＤ領域と、を有し、

前記ゲート絶縁膜上に接してゲート電極が設けられ、

前記ドライバー回路が有する前記ＬＤＤ領域の１５族に属する元素の濃度は、前記画素部が有する前記ＬＤＤ領域の１５族に属する元素の濃度よりも高く、且つ前記ドライバー回路が有する前記ソース領域及びドレイン領域の１５族に属する元素の濃度は、前記画素部が有する前記ソース領域及びドレイン領域の１５族に属する元素の濃度よりも高く、

前記ドライバー回路が有するＮチャンネル型ＴＦＴの前記ＬＤＤ領域は前記ゲート電極と一部が重なり、

前記画素部が有するＮチャンネル型ＴＦＴの前記ＬＤＤ領域は前記ゲート電極と重ならないことを特徴とする半導体装置。

【請求項４】

請求項１乃至請求項３のいずれか一項において、

前記画素部が有する前記チャンネル形成領域下に、前記下地膜を介して遮蔽層を有することを特徴とする半導体装置。

【請求項５】

請求項４において、

前記遮蔽層のチャンネル長方向の幅は、前記画素部が有するＮチャンネル型ＴＦＴのゲート電極のチャンネル長方向の幅よりも広いことを特徴とする半導体装置。

【請求項６】

請求項１乃至請求項５のいずれか一項に記載の半導体装置を有する電子機器。

【請求項７】

請求項６における電子機器とは、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、カーステレオ、パーソナルコンピュータ、又は携帯情報端末のいずれかであることを特徴とする電子機器。

【請求項８】

同一基板上にドライバー回路と画素部を有する半導体装置の作製方法であって、

基板上に下地膜を形成し、

前記下地膜上に非晶質半導体膜を形成し、

前記非晶質半導体膜を結晶化して結晶質半導体膜を形成し、

前記結晶質半導体膜をパターンニングして半導体層を形成し、

前記半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第１のマスクを形成し、

前記第１のマスクを用いて前記ドライバー回路が有する半導体層に対して１５族に属する元素を選択的に添加することで前記ドライバー回路の半導体層のチャンネル形成領域となる部分以外の領域に低濃度不純物領域を形成し、

前記第１のマスクを除去し、

前記ゲート絶縁膜上に導電層を前記ドライバー回路が有する前記低濃度不純物領域の一

10

20

30

40

50

部及びチャネル形成領域となる部分と重畳させて、且つ前記画素部が有するチャネル形成領域となる部分と重畳させて形成し、

前記導電層をマスクとして用いて前記ドライバー回路及び前記画素部の半導体層に対して 15 族に属する元素を選択的に添加することで前記画素部の半導体層に低濃度不純物領域を形成し、

前記ドライバー回路が有する導電層には前記ドライバー回路が有する導電層上面と接し、且つ前記画素部が有する導電層には前記画素部が有する導電層を覆うようにして第 2 のマスクを形成し、

前記第 2 のマスクを用いて前記ドライバー回路及び前記画素部の半導体層に対して 15 族に属する元素を選択的に添加することで前記ドライバー回路及び前記画素部の半導体層にソース領域及びドレイン領域と LDD 領域を形成し、

前記第 2 のマスクを除去し、

前記ドライバー回路が有する前記 LDD 領域の 15 族に属する元素の濃度は、前記画素部が有する前記 LDD 領域の 15 族に属する元素の濃度よりも高く、且つ前記ドライバー回路が有する前記ソース領域及びドレイン領域の 15 族に属する元素の濃度は、前記画素部が有する前記ソース領域及びドレイン領域の 15 族に属する元素の濃度よりも高いことを特徴とする半導体装置の作製方法。

【請求項 9】

同一基板上にドライバー回路と画素部を有する半導体装置の作製方法であって、

基板上の画素部に遮蔽層を選択的に形成し、

前記基板及び前記遮蔽層上に下地膜を形成し、

前記下地膜上に非晶質半導体膜を形成し、

前記非晶質半導体膜を結晶化して結晶質半導体膜を形成し、

前記結晶質半導体膜をパターンニングして半導体層を形成し、

前記半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第 1 のマスクを形成し、

前記第 1 のマスクを用いて前記ドライバー回路が有する半導体層に対して 15 族に属する元素を選択的に添加することで前記ドライバー回路の半導体層のチャネル形成領域となる部分以外の領域に低濃度不純物領域を形成し、

前記第 1 のマスクを除去し、

前記ゲート絶縁膜上に導電層を前記ドライバー回路が有する前記低濃度不純物領域の一部及びチャネル形成領域となる部分と重畳させて、且つ前記画素部が有するチャネル形成領域となる部分と重畳させて形成し、

前記導電層をマスクとして用いて前記ドライバー回路及び前記画素部の半導体層に対して 15 族に属する元素を選択的に添加することで前記画素部の半導体層に低濃度不純物領域を形成し、

前記ドライバー回路が有する導電層には前記ドライバー回路が有する導電層上面と接し、且つ前記画素部が有する導電層には前記画素部が有する導電層を覆うようにして第 2 のマスクを形成し、

前記第 2 のマスクを用いて前記ドライバー回路及び前記画素部の半導体層に対して 15 族に属する元素を選択的に添加することで前記ドライバー回路及び前記画素部の半導体層にソース領域及びドレイン領域と LDD 領域を形成し、

前記第 2 のマスクを除去し、

前記ドライバー回路が有する前記 LDD 領域の 15 族に属する元素の濃度は、前記画素部が有する前記 LDD 領域の 15 族に属する元素の濃度よりも高く、且つ前記ドライバー回路が有する前記ソース領域及びドレイン領域の 15 族に属する元素の濃度は、前記画素部が有する前記ソース領域及びドレイン領域の 15 族に属する元素の濃度よりも高いことを特徴とする半導体装置の作製方法。

【請求項 10】

同一基板上にドライバー回路と画素部を有する半導体装置の作製方法であって、

基板上の画素部に遮蔽層を選択的に形成し、
前記基板及び前記遮蔽層上に下地膜を形成し、
前記下地膜上に非晶質半導体膜を形成し、
前記非晶質半導体膜を結晶化して結晶質半導体膜を形成し、
前記結晶質半導体膜をパターンニングして半導体層を形成し、
前記半導体層上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に第１のマスクを形成し、
前記第１のマスクを用いて前記ドライバー回路が有する半導体層に対して１５族に属する元素を選択的に添加することで前記ドライバー回路の半導体層のチャンネル形成領域となる部分以外の領域に低濃度不純物領域を形成し、

10

前記第１のマスクを除去し、
前記ゲート絶縁膜上に導電層を前記ドライバー回路が有する前記低濃度不純物領域の一部及びチャンネル形成領域となる部分と重畳させて、且つ前記画素部が有するチャンネル形成領域となる部分と重畳させて形成し、

前記導電層をマスクとして用いて前記ドライバー回路及び前記画素部の半導体層に対して１５族に属する元素を選択的に添加することで前記画素部の半導体層に低濃度不純物領域を形成し、

前記ドライバー回路が有する導電層には前記ドライバー回路が有する導電層上面と接し、且つ前記画素部が有する導電層には前記画素部が有する導電層を覆うようにして裏面露光により第２のマスクを形成し、

20

前記第２のマスクを用いて前記ドライバー回路及び前記画素部の半導体層に対して１５族に属する元素を選択的に添加することで前記ドライバー回路及び前記画素部の半導体層にソース領域及びドレイン領域とＬＤＤ領域を形成し、

前記第２のマスクを除去し、
前記ドライバー回路が有する前記ＬＤＤ領域の１５族に属する元素の濃度は、前記画素部が有する前記ＬＤＤ領域の１５族に属する元素の濃度よりも高く、且つ前記ドライバー回路が有する前記ソース領域及びドレイン領域の１５族に属する元素の濃度は、前記画素部が有する前記ソース領域及びドレイン領域の１５族に属する元素の濃度よりも高いことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

30

【０００１】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、ＴＦＴという）で構成された回路を有する半導体装置に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。

【０００２】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【０００３】

【従来の技術】

40

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数十～数百ｎｍ程度）を用いて薄膜トランジスタ（ＴＦＴ）を構成する技術が注目されている。

薄膜トランジスタはＩＣや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【０００４】

例えば、液晶表示装置においてはマトリクス状に配列された画素領域を個々に制御する画素部、画素部を制御するドライバー回路（以下、ドライバー回路と呼ぶ）、さらに外部からのデータ信号を処理するロジック回路（プロセッサ回路やメモリ回路など）等のあらゆる電気回路にＴＦＴを応用する試みがなされている。

【０００５】

50

そして、これらの回路（画素部、ドライバー回路等）を一枚の基板上に集積化した構成（システム・オン・パネル）が知られている。画素領域において、画素はドライバー回路から送られた情報を保持する役割を果たしており、画素に接続されているＴＦＴのオフ電流が十分に小さくないと、その情報を保持することができず、良好な表示を得ることはできない。

【０００６】

一方、ドライバー回路において、ＴＦＴは高移動度が要求されており、移動度が高ければ高いほど、回路構造を簡単にでき、且つ、表示装置を高速に動作させることができる。

【０００７】

以上のように、ドライバー回路と画素領域では、配置されるＴＦＴに要求される特性が異なる。即ち、画素領域に配置されるＴＦＴに要求される特性が異なる。

即ち、画素領域に配置されるＴＦＴはそれほど高移動度は要求されないが、オフ電流が小さく、且つ、画素領域でその値が均一であることが要求される。逆に、周辺に配置されるドライバー回路のＴＦＴはオフ電流よりも移動度が優先され、高移動度が要求される。

【０００８】

しかし、従来の作製方法を用いて、同一基板上に移動度を優先するＴＦＴと、オフ電流の小さいＴＦＴとを信頼性を損なうことなく生産性よく作製することは、困難であった。

【０００９】

【発明が解決しようとする課題】

以上のように、ドライバー回路やロジック回路を内蔵したシステム・オン・パネルを実現するためには、従来にない全く新しい構成が求められている。

【００１０】

本願発明は、その様な要求に答えるものであり、ＡＭ－ＬＣＤに代表される電気光学装置の各回路を機能に応じて適切な構造のＴＦＴでもって形成し、高い信頼性を有する電気光学装置を提供することを課題とする。

【００１１】

【課題を解決するための手段】

本明細書で開示する発明の構成は、

同一基板上に形成されたドライバー回路と画素部とを有する半導体装置において、前記ドライバー回路及び前記画素部は、チャンネル形成領域と、一对の高濃度不純物領域と、低濃度不純物領域とからなるＮチャンネル型ＴＦＴを有し、前記ドライバー回路に含まれる少なくとも一部のＮチャンネル型ＴＦＴの低濃度不純物領域に含まれる１５族に属する元素の濃度は、前記画素部に含まれる少なくとも一部のＮチャンネル型ＴＦＴの低濃度不純物領域に含まれる１５族に属する元素の濃度と比較して高いことを特徴とする半導体装置である。

【００１２】

また、他の発明の構成は、

同一基板上に形成されたドライバー回路と画素部とを有する半導体装置において、前記ドライバー回路及び前記画素部は、チャンネル形成領域と、一对の高濃度不純物領域と、低濃度不純物領域とからなるＮチャンネル型ＴＦＴを有し、前記ドライバー回路に含まれる少なくとも一部のＮチャンネル型ＴＦＴの高濃度不純物領域に含まれる１５族に属する元素の濃度は、前記画素部に含まれる少なくとも一部のＮチャンネル型ＴＦＴの高濃度不純物領域に含まれる１５族に属する元素の濃度と比較して高いことを特徴とする半導体装置である。

【００１３】

また、他の発明の構成は、

同一基板上に形成されたドライバー回路と画素部とを有する半導体装置において、前記ドライバー回路及び前記画素部は、チャンネル形成領域と、前記チャンネル形成領域に接して形成されたゲート絶縁膜と、前記ゲート絶縁膜に接して形成されたゲート電極と、前記チャンネル形成領域を挟んで形成された一对の低濃度不純物領域と、前記低濃度不純物領

10

20

30

40

50

域に接して形成された高濃度不純物領域とからなるNチャネル型TFTを有し、前記ドライバ回路に含まれる少なくとも一部のNチャネル型TFTの前記低濃度不純物領域は、前記ゲート絶縁膜を介して前記ゲート電極と重なり、前記画素部に含まれる少なくとも一部のNチャネル型TFTの前記低濃度不純物領域は、前記ゲート電極と重ならないことを特徴とする半導体装置である。

【0014】

また、上記構成において、前記ドライバ回路のNチャネル型TFTの前記低濃度不純物領域のチャネル長方向の幅は、前記画素部のNチャネル型TFTの前記低濃度不純物領域のチャネル長方向の幅と異なることを特徴としている。

【0015】

また、上記構成において、前記画素部は、遮蔽層と、前記遮蔽層に接して形成された絶縁膜と、前記絶縁膜に接して形成されたチャネル形成領域と、前記チャネル形成領域に接して形成されたゲート絶縁膜と、前記ゲート絶縁膜に接して形成されたゲート電極と、前記チャネル形成領域を挟んで形成された一对の低濃度不純物領域と、前記低濃度不純物領域に接して形成された高濃度不純物領域とからなるNチャネル型TFTを有することを特徴としている。

【0016】

また、上記構成において、前記遮蔽層は、前記絶縁膜を介して前記チャネル形成領域及び前記低濃度不純物領域と重なることを特徴としている。

【0017】

また、上記構成において、前記遮蔽層のチャネル長方向の幅は、前記ゲート電極のチャネル長方向の幅より広いことを特徴としている。

【0018】

また、上記構成を実現するための発明の構成は、同一基板上にドライバ回路と画素部とを有する半導体装置の作製方法であって、基板上に遮蔽層を形成する第1工程と、前記遮蔽層及び前記基板を覆う絶縁膜を形成する第2工程と、前記絶縁膜上に半導体層を形成する第3工程と、前記半導体層に対して結晶化を行う第4工程と、前記結晶化された半導体層をパターニングしてドライバ回路の活性層と画素部の活性層とを形成する第5工程と、前記活性層の上にゲート絶縁膜を形成する第6工程と、前記ドライバ回路の活性層に対して第1のマスクを用いて選択的に15族に属する元素を添加する第7工程と、前記絶縁膜上に配線を形成する第8工程と、前記ドライバ回路及び前記画素部の活性層に対して前記配線をマスクとして選択的に15族に属する元素を添加する第9工程と、前記ドライバ回路及び前記画素部の活性層に対して第2のマスクを用いて選択的に15族に属する元素を添加する第10工程と、を有することを特徴とする半導体装置の作製方法である。

【0019】

また、上記構成において、前記第7工程で添加される15族に属する元素の濃度は、前記第9工程で添加される15族に属する元素の濃度よりも高く、前記第10工程で添加される15族に属する元素の濃度よりも低いことを特徴としている。

【0020】

また、他の発明の構成は、同一基板上にドライバ回路と画素部とを有する半導体装置の作製方法であって、基板上に遮蔽層を形成する第1工程と、前記遮蔽層及び前記基板を覆う絶縁膜を形成する第2工程と、前記絶縁膜上に半導体層を形成する第3工程と、

前記半導体層に対して結晶化を行う第4工程と、
前記結晶化された半導体層をパターニングしてドライバ回路の活性層と画素部の活性層とを形成する第5工程と、
前記活性層の上にゲート絶縁膜を形成する第6工程と、
前記ドライバ回路の活性層に対して第1のマスクを用いて選択的に15族に属する元素を添加する第7工程と、
活性層に添加された前記15族に属する元素を活性化させる第1の処理を行う第8工程と、
前記絶縁膜上に配線を形成する第9工程と、
前記ドライバ回路及び前記画素部の活性層に対して前記配線をマスクとして選択的に15族に属する元素を添加する第10工程と、
前記ドライバ回路及び前記画素部の活性層に対して第2のマスクを用いて選択的に15族に属する元素を添加する第11工程と、
活性層に添加された前記15族に属する元素を活性化させる第2の処理を行う第12工程と、
を有することを特徴とする半導体装置の作製方法である。

【0021】

また、上記構成において、前記遮蔽層は画素部となる領域のみに形成されることを特徴としている。

【0022】

また、上記構成において、前記第2のマスクは裏面露光により形成されることを特徴としている。

【0023】

【発明の実施の形態】

本願発明の実施形態について、図1を用いて以下に説明する。図1は同一基板上にドライバ回路と画素部とを一体形成したAM-LCDの断面図を示している。なお、ここではドライバ回路を構成する基本回路としてCMOS回路を示し、画素TFTとしてはダブルゲート構造のTFTを示している。勿論、トリプルゲート構造やシングルゲート構造としてもよい。

【0024】

図1において、100は耐熱性を有する基板であり、ガラス基板、石英基板、プラスチック基板、シリコン基板、セラミックス基板、金属基板（代表的にはステンレス基板）を用いれば良い。どの基板を用いる場合においても、必要に応じて下地膜（好ましくは珪素を主成分とする絶縁膜）を設けても構わない。なお、マスク数を低減するために裏面露光を用いる場合は、透光性を有する基板が望ましい。

【0025】

101は遮蔽層であり、その上に下地膜が形成される。遮蔽層は画素部に設けられ、TFTのチャネル形成領域を光または電磁波等から保護する。なお、遮蔽層の材料としては透光性（吸光度＝3以上）を有していればどのような材料を用いても構わない。ただし、後のプロセス温度に耐えうる耐熱性を有する材料であることが望ましい。

【0026】

102は下地膜として設けた酸化珪素膜であり、その上にドライバTFTの活性層、画素TFTの活性層となる半導体層が形成される。そして、活性層を覆ってゲート絶縁膜103が形成され、その上にゲート電極が形成される。なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電氣的接続を行う箇所、または半導体層と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けるが、「配線」という文言に「電極」は常に含まれているものとする。

【0027】

図1において、ドライバTFTの活性層は、Nチャネル型TFT（以下、NTFTという）のソース領域104、ドレイン領域105、LDD（ライトドープドレイン）領域

10

20

30

40

50

１０６およびチャネル形成領域１０７、並びにＰチャネル型ＴＦＴ（以下、ＰＴＦＴという）のソース領域１０８、ドレイン領域１０９およびチャネル形成領域１１０で形成される。また、ドライバーＴＦＴのＬＤＤ領域１０６の幅（チャネル長方向）は０．０５～０．５μｍ（好ましくは０．１～０．３μｍ）に形成されている。加えて、本発明においてはドライバーＴＦＴのＮチャネル型ＴＦＴのＬＤＤ領域１０６をゲート電極１１５と一部重ならせた構造（ＧＯＬＤ構造）として、ホットキャリア耐性を向上させている。

【００２８】

また、画素ＴＦＴ（ここではＮＴＦＴを用いる。）の活性層は、ソース領域またはドレイン領域１１１、１１２、ＬＤＤ領域１１３およびチャネル形成領域１１４で形成される。また、画素ＴＦＴのＬＤＤ領域１１３の幅は、ドライバーＴＦＴのＬＤＤ領域１０６の幅と異なる。なお、画素ＴＦＴのＬＤＤ領域１１３はゲート電極１１５と重ならない構造（ＬＤＤ構造）として、オフ電流を低減させて信頼性を向上させている。

【００２９】

なお、本明細書中において、ゲート電圧が印加されるＬＤＤ領域を有する構造をＧＯＬＤ構造と呼ぶ。一方、ゲート電圧が印加されないＬＤＤ領域のみを有する構造をＬＤＤ構造と呼ぶ。

【００３０】

加えて、本発明においては、同一基板上に形成されたＡＭ－ＬＣＤに代表される電気光学装置における各回路の機能に応じた濃度で不純物を添加して各回路のＴＦＴの低濃度不純物領域を形成することを特徴とする。

【００３１】

ドライバーＴＦＴのＮチャネル型ＴＦＴのＬＤＤ領域１０６には、半導体層に対して１５族に属する元素が添加され、本願発明では、このＬＤＤ領域に添加される１５族に属する元素の濃度、例えばリンが $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度で存在することを特徴としている。ドライバーＴＦＴのＬＤＤ領域のリン濃度は画素ＴＦＴのＬＤＤ領域におけるリン濃度の２～１０倍とすることが望ましい。このような濃度とすることで、ドライバーＴＦＴの移動度のさらなる向上が実現可能となる。

【００３２】

一方、画素ＴＦＴのＬＤＤ領域１１３には、ドライバーＴＦＴのＮチャネル型ＴＦＴのＬＤＤ領域１０６と比較して１５族に属する元素を低濃度に添加することを特徴としている。このようにすることで、画素ＴＦＴのさらなるオフ電流の低下が実現可能となる。

【００３３】

また、ここでは、各ＴＦＴのゲート絶縁膜１１６を同じ膜厚の同一絶縁膜としたが、特に限定されない。例えば、回路特性に応じて同一基板上に異なるゲート絶縁膜を有するＴＦＴが少なくとも二種類以上存在する構成としてもよい。

【００３４】

ゲート電極１１５の材料としては、導電性を有していればどのような材料でも使用可能であるが、代表的には、導電性を有する珪素膜（例えばリンドーピングシリコン膜、ボロンドープシリコン膜等）や金属膜（例えばタングステン膜、タンタル膜、モリブデン膜、チタン膜等）でも良いし、前記金属膜をシリサイド化したシリサイド膜、窒化した金属膜（窒化タンタル膜、窒化タングステン膜、窒化チタン膜等）でも良い。また、これらを自由に組み合わせで積層しても良い。

【００３５】

また、上記金属膜をゲート電極１１５の材料として用いる場合には、金属膜の酸化を防止するために珪素膜との積層構造とすることが望ましい。また、酸化防止という意味では、金属膜を窒化珪素膜で覆った構造が有効である。

【００３６】

次に、１１７は第１層間絶縁膜であり、珪素を含む絶縁膜（単層または積層）で形成される。珪素を含む絶縁膜としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜（酸素よりも窒素の含有量の方が多い）、窒化酸化珪素膜（窒素よりも酸素の含有量の方が多い）を用

10

20

30

40

50

いることができる。

【0037】

そして、第1層間絶縁膜117にはコンタクトホールが設けられ、ドライバートフトのソース配線118、120、ドレイン配線119、および画素トフトのソース配線またはドレイン配線121、122が形成される。その上にはパッシベーション膜123、第2層間絶縁膜124が形成される。その上には保持容量を形成するために設けられた透明導電膜125と、誘電体となる絶縁膜126が積層形成される。なお、透明導電膜125は固定電位にしておくか、フローティング状態（電氣的に独立した状態）にしておく。さらに、平坦化のための第3層間絶縁膜127を形成し、コンタクトホールを設けた後、画素電極128が形成される。

10

【0038】

また、ここでは保持容量を透明導電膜125、絶縁膜126、画素電極128とで形成したが、特に限定されない。例えば、容量配線を設ける構成、高濃度不純物領域112を延在させて上部電極とする構成、第2層間絶縁膜124上に導電材料からなる遮蔽膜を形成し上部電極とする構成を用いることができる。

【0039】

また、必要に応じて、各トフトの上にゲート配線と同様の材料を用いた遮蔽膜を設ける構成としても良いし、対向基板に遮蔽膜を設けるような構造としても良い。

【0040】

第2層間絶縁膜124や第3層間絶縁膜127としては、比誘電率の小さい樹脂膜が好ましい。樹脂膜としては、ポリイミド膜、アクリル膜、ポリアミド膜、BCB（ベンゾシクロブテン）膜などを用いることができる。

20

【0041】

また、絶縁膜としては、珪素を主成分とする絶縁膜、または遮蔽膜の酸化膜が好ましい。絶縁膜126の形成方法としてはスパッタ法、高圧酸化法、陽極酸化法等の公知な技術を用いて形成すればよい。

【0042】

また、画素電極128としては、透過型AM-LCDを作製するのであればITO膜に代表される透明導電膜を、反射型AM-LCDを作製するのであればアルミニウム膜に代表される反射率の高い金属膜を用いれば良い。

30

【0043】

なお、図1では画素電極128がドレイン電極122を介して画素トフトのドレイン領域112と電氣的に接続されているが、画素電極128とドレイン領域112とが直接的に接続するような構造としても良い。

【0044】

また、ここでは、画素部のみに遮蔽層を形成した例を示したが、ドライバ回路のうち、サンプリング回路などは、オフ電流の小さいトフトを用いる方が望ましいので、遮蔽層を形成してトフトを形成することが望ましい。

【0045】

以上のような構造でなるAM-LCDは、移動度の高いGOLD構造のNTFTを備えたドライバ回路と、オフ電流の低いLDD構造のNTFTを備えた画素部とを備えた点に特徴がある。こうすることで、同一基板上に移動度を優先するトフトと、オフ電流の小さいトフトとを機能に応じた回路に適用して、高い駆動能力と高い信頼性を有する電気光学装置を実現することが可能である。

40

【0046】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0047】

【実施例】

[実施例1]

50

本実施例では、「発明の実施の形態」で説明した図1の構造を実現するための作製工程について説明する。説明には図2～5を用いる。

【0048】

まず、基板として透光性を有する石英基板200を用意し、その上に遮光性を有する材料層を形成した後、パターニングによって遮蔽層201とアライメントマーク（図示しない）とを同時形成した。この遮蔽層は、画素部に形成し、後の裏面露光工程で画素部におけるLDD領域の幅を決定するため重要である。

【0049】

遮蔽層201としては、金属膜（例えばタングステン膜、タンタル膜、モリブデン膜、チタン膜等）や、前記金属膜をシリサイド化したシリサイド膜、窒化した金属膜（窒化タンタル膜、窒化タングステン膜、窒化チタン膜等）等を用いる。

10

また、これらを自由に組み合わせて積層しても良い。なお、段差によるカバレッジ不良を防ぐために遮蔽層はテーパー形状とすることが好ましい。

【0050】

次いで、200nm厚の酸化珪素膜（下地膜とも呼ぶ）201と50nm厚の非晶質珪素膜203aとを大気解放しないまま連続的に成膜した。（図2（A））こうすることで非晶質珪素膜203aの下表面に大気中に含まれるボロン等の不純物が吸着することを防ぐことができる。

【0051】

なお、本実施例では非晶質珪素（アモルファスシリコン）膜を用いたが、他の半導体膜であっても構わない。微結晶珪素（マイクロクリスタルシリコン）膜でも良いし、非晶質シリコンゲルマニウム膜でも良い。また、下地膜及び半導体膜の形成手段としては、PCVD法、LPCVD法またはスパッタ法等を用いることができる。

20

【0052】

次に、非晶質珪素膜の結晶化を行う。本発明においては、如何なる公知の結晶化技術、例えば熱結晶化、赤外光または紫外光の照射による結晶化、触媒元素を用いた熱結晶化、触媒元素を用いたレーザー結晶化等を用いてよい。本実施例では結晶化手段として、特開平9-312260号公報に記載された技術を用いた。

同公報に記載された技術は、珪素膜の結晶化を助長する触媒元素としてニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄、銅から選ばれた元素を用いている。

30

【0053】

まず、非晶質珪素膜上に酸化珪素膜を形成し、パターニングして開口部を有するマスク204を形成する。非晶質珪素膜203aとマスクとなる酸化珪素膜とを大気解放しないまま連続的に成膜することが好ましい。そして、露呈した非晶質珪素膜上にニッケルを含んだ層を形成し、脱水素化処理を行った後、500～650、4～16時間の熱処理を行い結晶化させる。この結晶化の過程ではニッケルが接した非晶質珪素膜の部分が最初に結晶化し、そこから横方向（図2（B）中に示した矢印の方向）へと結晶化が進行する。本実施例では、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布した後、450、1時間の脱水素化処理を行った後に600、12時間の熱処理を行って結晶化し結晶質珪素膜203bを形成した。（図2（B））

40

【0054】

なお、酸化珪素膜からなるマスク204を設けておくことで、活性層が有機物で汚染されることを防げる。次いで、そのままマスク204を用いて、15族に属する元素（本実施例ではリン）の添加工程を行う。添加するリンの濃度は $5 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ （好ましくは $1 \times 10^{19} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ）が好ましい。但し、添加すべきリンの濃度は、後のゲッタリング工程の温度、時間、さらにはリンドープ領域の面積によって変化するため、この濃度範囲に限定されるものではない。こうしてリンが添加された領域（以下、リンドープ領域という）203cが形成された。（図2（C））

【0055】

次いで、500～650の熱処理を2～16時間加え、珪素膜の結晶化に用いた触媒元

50

素（本実施例ではニッケル）のゲッタリングを行う。ゲッタリング作用を奏するためには熱履歴の最高温度から±50程度の温度が必要であるが、結晶化のための熱処理が550～600で行われるため、500～650の熱処理で十分にゲッタリング作用を奏することができる。本実施例では600、8時間の熱処理を加えることによってニッケルが矢印（図2（D）に示す）の方向に移動し、リンドープ領域203cに含まれるリンによってゲッタリングされて捕獲された。こうしてゲッタリング領域（リンドープ領域203bに対応する領域）が形成される。これにより203dで示した領域に含まれるニッケルの濃度は $2 \times 10^{17} \text{atoms/cm}^3$ 以下（好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ 以下）にまで低減される。また、このゲッタリング領域は、後のパターニングの際に除去される。

【0056】

次いで、マスク204を除去した後、形成された結晶質珪素（ポリシリコン）膜をパターニングして、ドライバーTF Tの半導体層205a、205b、画素TF Tの半導体層206を形成した。（図3（A））

【0057】

なお、ドライバーTF Tおよび画素TF Tの半導体層を形成する前後に、結晶質珪素膜に対してTF Tのしきい値電圧を制御するための不純物元素（リンまたはボロン）を添加しても良い。この工程はNTF TまたはPTF Tのみに行っても良いし、双方に行っても良い。

【0058】

次に、プラズマCVD法またはスパッタ法によりゲート絶縁膜207を形成する。このゲート絶縁膜207はTF Tのゲート絶縁膜として機能することになる絶縁膜であり、膜厚は50～200nmとする。本実施例では70nm厚の酸化珪素膜を用いた。また、酸化珪素膜のみでなく酸化珪素膜の上に窒化珪素膜を設けた積層構造とすることもできるし、酸化珪素膜に窒素を添加した酸化窒化珪素膜を用いても構わない。

【0059】

ゲート絶縁膜207を形成したら、ドライバー回路のNTF Tのチャネル形成領域210、及び画素部、ドライバー回路のPTF T上にレジストマスク208a～cを設けた後、15族に属する元素（本実施例ではリン）を添加してドライバーTF TのNTF Tの低濃度不純物領域209を形成する。（図3（B））この低濃度不純物領域209に添加されるリンの濃度は $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ となるように調節する。この時のリンの濃度がドライバー回路のNTF TのLDD領域における濃度を決定する。

【0060】

また、リンの添加工程は、質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。本実施例では水素で1～10%に希釈したフォスフィンをドーピングガスとして用い、ドーズ量 $4 \times 10^{13} \text{atoms/cm}^2$ 、加速電圧は80kVとした。

【0061】

次に、レジストマスク208a～cを除去した後、不純物の活性化を行った。活性化処理としては、不活性雰囲気または酸素雰囲気で300～700の温度範囲で2時間程度の熱処理で十分であるが、700～1150ここでは、800、2時間の加熱処理を行い、十分な活性化とともに結晶性の改善を行った。この工程において、大気中または酸素雰囲気中に行えば活性化と同時に熱酸化される。なお、本実施例では2回に分けて活性化を行うが、後に形成するゲート電極が活性化の熱温度に耐えられる材料であれば、1回の活性化で済むため工程数を低減できる。

【0062】

こうして活性化工程を終了したら、次に導電膜211を形成した。（図3（C））次いで、パターニングを行いドライバーTF Tのゲート配線212a（NTF T側）、画素TF Tのゲート配線212cを形成する。なお、ゲート配線212cは画素TF Tがダブルゲート構造であるためゲート配線を2本記載しているが、実際には同一配線である。また、

10

20

30

40

50

ドライバートフトのプフト全体を覆った導電層212aを形成する。

【0063】

また、本実施例では配線212a~cとして、下層から窒化タンタル膜/タンタル膜/窒化タンタル膜(または下層から窒化タンタル膜/タンタル膜)という積層膜を用いた。勿論、「発明の実施の形態」で説明した他の導電膜を用いることも可能であることは言うまでもない。また、本実施例では、ゲート配線の膜厚は300nmとした。

【0064】

次いで、配線212a~cをマスクとして、15族に属する元素を添加し、自己整合的に低濃度不純物領域214が形成された。(図3(D))この低濃度不純物領域214に添加される不純物の濃度、ここではリンの濃度が $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ となるように調節する。ただし、この工程は先のリンの添加工程よりも低いドー
10
ズ量 $5 \times 10^{12} \sim 1 \times 10^{13} \text{ atoms/cm}^2$ で添加する。この時、添加された15族に属する元素の濃度が画素部のLDD領域の濃度を決定する。

【0065】

また、図3(B)で示した工程と同様に、リンの添加工程は質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0066】

次に、裏面露光によりレジストマスクを形成する。(図4(A))この時、画素部においては、遮蔽層201がマスクとなりレジストマスク217c、217dを形成する一方、
20
ドライバートフトのNFTにおいては、ゲート電極がマスクとなりレジストマスク217bを形成する。また、プフトにおいては、導電層がマスクとなりレジストマスク217aを形成する。

【0067】

また、本実施例では裏面露光を用いてレジストマスク217の形成を行ったが特に限定されず、フォトマスクを用いたレジストマスクを用いてもよい。

【0068】

こうして裏面露光により得られたレジストマスク217a~cをマスクとして不純物のドーピングを高濃度に行う。(図4(B))不純物領域219~223に添加されるリンの濃度は $5 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ となるように調節する。
30

【0069】

この工程によりCMOS回路を形成するNFTのソース領域218、LDD領域225、チャネル形成領域226が画定する。また、画素TFTのソース領域227、ドレイン領域228、LDD領域229a、229b、チャネル形成領域230a、230bが画定する。

【0070】

このように、3回に分けて、15族に属する元素(本実施例ではリン)を添加して、各不純物領域を形成する。

【0071】

この後、レジストマスク224a、224bを形成してパターニングを行いプフトのゲート電極225を形成する。このレジストマスク224bは、CMOS回路のプフトとなる領域以外を覆っている。そして、このレジストマスクをそのまま用いて13族に属する元素(本実施例ではボロン)の添加を行い、ソース領域227、ドレイン領域228を形成する。(図4(C))具体的には、 $1 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度でボロンが添加されるように調節する。本実施例では水素で1~10%に希釈されたジボランを用いた。
40

【0072】

この工程によりCMOS回路を形成するプフトのソース領域227、ドレイン領域228、チャネル形成領域226が画定する。

【0073】

勿論、ボロンの添加工程も質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0074】

こうして全ての不純物領域を形成し終えたら、レジストマスク224a、224bを除去する。そして、添加した不純物の活性化をレーザーアニール、熱アニール、ファーンスアニール、ランプアニール処理等により行う。ここでは、大気雰囲気中においてエキシマレーザー光を用いてエネルギー密度 187 mJ/cm^2 のレーザーアニール処理を行った。また、熱アニールによる活性化を行った場合、添加されたリンのゲッタリング作用によって活性化と同時にチャネル形成領域における触媒元素の低減も図ることができる。ただし、ゲッタリング作用を奏するためには熱履歴の最高温度から ± 50 程度の温度が必要である。

10

【0075】

次いで、第1層間絶縁膜249を形成する。本実施例では、プラズマCVD法により形成した $1\text{ }\mu\text{m}$ 厚の酸化珪素膜を用いた。そして、コンタクトホールを形成した後、ソース配線230、232、233、ドレイン配線231、234を形成した。これらの配線はアルミニウムを主成分とする導電膜をチタン膜で挟んだ積層膜で形成した。(図5(A))

【0076】

この時、ドレイン配線231はCMOS回路を形成するNTFTおよびPTFTに共通の配線として用いられる。

20

【0077】

その後、パッシベーション膜235を形成する。パッシベーション膜235としては、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、またはこれらの絶縁膜と酸化珪素膜との積層膜を用いることができる。本実施例では 300 nm 厚の窒化珪素膜をパッシベーション膜として用いた。

【0078】

なお、本実施例では窒化珪素膜を形成する前処理として、水素を含むガス(本実施例ではアンモニアガス)を用いたプラズマ処理を行うことは有効である。この前処理によりプラズマによって活性化した(励起した)水素が活性層(半導体層)内に閉じこめられるため、効果的に水素終端が行われる。

30

【0079】

さらに、水素を含むガスに加えて亜酸化窒素ガスを加えると、発生した水分によって被処理体の表面が洗浄され、特に大気中に含まれるボロン等による汚染を効果的に防ぐことができる。

【0080】

パッシベーション膜235を形成したら、開口率を向上させるために、本実施例では、画素表示領域のパッシベーション膜を選択的に除去した。その上に第2層間絶縁膜236として $1\text{ }\mu\text{m}$ 厚のアクリル膜を形成した。そして、その上に導電膜237、本実施例ではITO膜を形成してパターニングを行い、保持容量の下部電極を形成し、その上に誘電体となる酸化珪素からなる絶縁膜238をスパッタ法により積層形成した。なお、導電膜237は固定電位にしておくか、フローティング状態(電氣的に独立した状態)にしておく。

40

【0081】

次に、第3層間絶縁膜239として再び $1\text{ }\mu\text{m}$ 厚のアクリル膜を形成してパターニングを行い、保持容量を形成する領域のアクリル膜を選択的に除去し、且つ、同時にコンタクトホールを形成し、ITO膜でなる画素電極240を形成した。

保持容量は、導電膜237と、絶縁膜238と、画素電極240とで形成される。なお、絶縁膜238は薄いため、薄い有機樹脂膜を積層形成して保護してもよい。こうして図5(C)に示すような構造のAM-LCDが完成する。

【0082】

このように本願発明は、ドーズ量の異なる不純物の添加を3回以上行って、各回路の機能

50

に適したNTFTの構造及びLDD領域の不純物濃度を形成し、移動度の高いGOLD構造のNTFTを少なくとも一つ以上備えたドライバー回路と、オフ電流の低いLDD構造のNTFTを備えた画素部とを形成する点に特徴がある。

【0083】

図6は、AM-LCDの回路構成の一例を示す。本実施例のAM-LCDは、ソース信号線側ドライバー回路601、ゲート信号線側ドライバー回路(A)607、ゲート信号線側ドライバー回路(B)611、プリチャージ回路612、画素部606を有している。

【0084】

ソース信号線側ドライバー回路601は、シフトレジスタ回路602、レベルシフト回路603、バッファ回路604、サンプリング回路605を備えている。

10

【0085】

また、ゲート信号線側ドライバー回路(A)607は、シフトレジスタ回路608、レベルシフト回路609、バッファ回路610を備えている。ゲート信号線側ドライバー回路(B)611も同様な構成である。

【0086】

具体的には、高移動度を優先する回路であるシフトレジスタ回路602、608のNTFTは本発明のGOLD構造とし、レベルシフト回路603、609バッファ回路604、610、サンプリング回路605、画素部606のNTFTは、本発明のLDD構造とした。このように、ドライバー回路においても、各回路に応じてGOLD構造またはLDD構造とすることが望ましい。また、ドライバー回路の下方または上方に遮蔽層を形成する構成としてもよく、特にサンプリング回路においては安定なTFT特性が得られるので効果的である。

20

【0087】

本実施例の構成とすることによって、同一基板上に移動度を優先するTFTと、オフ電流の小さいTFTとを機能に応じた回路に適用して、高い駆動能力と高い信頼性を有する電気光学装置を実現することができた。

【0088】

また、ここではトップゲート型TFTを用いた例を示したが、本発明はTFT構造に関係なく適用することができ、例えば逆スタガ型TFTに適用することも可能である。

【0089】

30

また、本実施例の作製工程に従うと、最終的なTFTの活性層(半導体層)は、結晶格子に連続性を持つ特異な結晶構造の結晶質珪素膜で形成される。その特徴について以下に説明する。

【0090】

上記作製工程に従って形成した活性層は、微視的に見れば複数の針状又は棒状の結晶(以下、棒状結晶と略記する)が集まって並んだ結晶構造を有する。このことはTEM(透過型電子顕微鏡法)による観察で容易に確認できた。

【0091】

また、電子線回折及びエックス線(X線)回折を利用すると活性層の表面(チャンネルを形成する部分)が、結晶軸に多少のずれが含まれているものの主たる配向面として{110}面を有することを確認できた。本出願人がスポット径約1.5μmの電子線回折写真を詳細に観察した結果、{110}面に対応する回折斑点がきれいに現れているが、各斑点は同心円上に分布を持っていることが確認された。

40

【0092】

また、本出願人は個々の棒状結晶が接して形成する結晶粒界をHR-TEM(高分解能透過型電子顕微鏡法)により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できた。

【0093】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる

50

粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi , Japanese Journal of Applied Physics vol.27 , No.5 , pp.751-758 , 1988」に記載された「Planar boundary」である。

【0094】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist 粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0095】

特に結晶軸（結晶面に垂直な軸）が 110 軸である場合、 $\{211\}$ 双晶粒界は 3 の対応粒界とも呼ばれる。値は対応粒界の整合性の程度を示す指針となるパラメータであり、値が小さいほど整合性の良い粒界であることが知られている。

【0096】

本出願人が本実施例を実施して得た結晶質珪素膜を詳細にTEMを用いて観察した結果、結晶粒界の殆ど（90%以上、典型的には95%以上）が 3 の対応粒界、即ち $\{211\}$ 双晶粒界であることが判明した。

【0097】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が $\{110\}$ である場合、 $\{111\}$ 面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に 3 の対応粒界となることが知られている。

【0098】

本実施例の結晶質珪素膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 70.5° の角度で連続しており、その事からこの結晶粒界は $\{211\}$ 双晶粒界であるという結論に辿り着いた。

【0099】

なお、 $\theta = 38.9^\circ$ の時には 9 の対応粒界となるが、この様な他の結晶粒界も存在した。

【0100】

この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本実施例を実施して得た結晶質珪素膜は面方位が概略 $\{110\}$ で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうる。

【0101】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しないと見なすことができる。

【0102】

また、さらに、 $700 \sim 1150$ という高い温度での熱処理工程（本実施例における熱酸化工程またはゲッタリング工程にあたる）によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0103】

この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製された結晶質珪素膜のスピン密度は少なくとも 5×10^{17} spins/cm³ 以下（好ましくは 3×10^{17} spins/cm³ 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0104】

以上の事から、本実施例を実施することで得られた結晶質珪素膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。

【0105】

(TFETの電気特性に関する知見)

本実施例で作製したTFETは、MOSFETに匹敵する電気特性を示した。本出願人が試作したTFET(但し、活性層の膜厚は30nm、ゲート絶縁膜の膜厚は100nm)からは次に示す様なデータが得られている。

【0106】

(1)スイッチング性能(オン/オフ動作切り換えの俊敏性)の指標となるサブスレッショルド係数が、Nチャネル型TFETおよびPチャネル型TFETともに60~100mV/decade(代表的には60~85mV/decade)と小さい。

(2)TFETの動作速度の指標となる電界効果移動度(μ_{FE})が、Nチャネル型TFETで200~650cm²/Vs(代表的には300~500cm²/Vs)、Pチャネル型TFETで100~300cm²/Vs(代表的には150~200cm²/Vs)と大きい。

(3)TFETの駆動電圧の指標となるしきい値電圧(V_{th})が、Nチャネル型TFETで-0.5~1.5V、Pチャネル型TFETで-1.5~0.5Vと小さい。

【0107】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0108】

(回路特性に関する知見)

次に、本実施例を実施して形成したTFETを用いて作製されたリングオシレータによる周波数特性を示す。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数：9段

TFETのゲート絶縁膜の膜厚：30nm及び50nm

TFETのゲート長(チャネル長)：0.6μm

【0109】

このリングオシレータによって発振周波数を調べた結果、最大値で約1GHzの発振周波数を得ることができた。また、実際にLSI回路のTEGの一つであるシフトレジスタを作製して動作周波数を確認した。その結果、ゲート絶縁膜の膜厚30nm、ゲート長0.6μm、電源電圧5V、段数50段のシフトレジスタ回路において動作周波数100MHzの出力パルスが得られた。

【0110】

以上の様なリングシレータおよびシフトレジスタの驚異的なデータは、本実施例のTFETがMOSFETに匹敵する、若しくは凌駕する性能(電気特性)を有することを示している。

【0111】

[実施例2]

本実施例では、実施例1において結晶質珪素膜の形成に他の手段を用いた場合について図7に説明する。

【0112】

具体的には、赤外光または紫外光の照射による結晶化処理(以下、レーザー結晶化と呼ぶ)を用いる。レーザー結晶化は基板にかけるストレスが少なく、短時間で処理することができるため有効である。レーザーのガスとしてXeCl、ArF、KrF等を用いたパルスレーザーやArレーザー等の連続発振レーザーや連続発光エキシマレーザー等を用いて照射する。なお、レーザー結晶化の条件(レーザービームの形状、レーザー光の波長、オーバーラップ率、照射強度、パルス幅、繰り返し周波数、照射時間等)は半導体膜の膜厚

10

20

30

40

50

、基板温度等を考慮して実施者が適宜決定すればよい。

【0113】

まず、基板701に酸化シリコン膜702を設け、その上に非晶質珪素膜703を形成した。(図7(A))次に、500、1時間の脱水素工程の後、レーザー結晶化処理を行い、結晶質珪素膜705を形成した。(図7(B))

【0114】

本実施例と実施例1と異なっている点は、触媒元素を用いることなくレーザー結晶化を行っている点である。

【0115】

以降の工程は実施例1に従えば、本願発明のTFTの構成を得ることができる。ただし、実施例1では触媒元素の低減処理(ゲッタリング)を行っているが、本実施例においては特に必要ない。

【0116】

〔実施例3〕

本実施例では、実施例1において結晶質珪素膜の形成に他の手段を用いた場合について図8に説明する。なお、簡略化のため、ドライバー回路の領域のみ示し、画素部の遮蔽層は図示しない。

【0117】

具体的には、非晶質珪素膜の結晶化に特開平7-130652号公報(米国特許番号08/329,644に対応)に記載された技術を用いる。同公報に記載された技術は、結晶化を促進する触媒元素(代表的にはニッケル)を非晶質珪素膜の表面に保持させて結晶化を行う技術である。

【0118】

まず、基板801に酸化シリコン膜802を設け、その上に非晶質珪素膜803を形成した。さらに重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布して、ニッケル含有層804を形成した。(図8(A))

【0119】

次に、500、1時間の脱水素工程の後、500~650で4~12時間の熱処理を行い、結晶質珪素膜805を形成した。(図8(B))こうして得られた結晶質珪素膜805は非常に優れた結晶性を有した。本願発明のTFTの構成を得るためには、以降の工程は実施例1に従えば良い。

【0120】

なお、本実施例の構成は実施例1~2のいずれの構成とも自由に組み合わせることが可能である。

【0121】

〔実施例4〕

本実施例では、実施例1において結晶質珪素膜及びゲート絶縁膜の形成に他の手段を用いた場合について図9に説明する。なお、簡略化のため、ドライバー回路の領域のみ示し、画素部の遮蔽層は図示しない。

【0122】

ここでは、少なくとも700~1100程度の耐熱性を有する基板が必要であり、石英基板901を用いた。そして、実施例1及び3で示した技術を用い、結晶質半導体膜が形成され、これをTFTの活性層にするために島状にパターニングして半導体層902、903を形成した。そして、半導体層902、903を覆ってゲート絶縁膜904を、酸化珪素膜を主成分とする膜で形成した。本実施例では、プラズマCVD法で窒化酸化珪素膜を70nmの厚さで形成した。(図9(A))

【0123】

そして、ハロゲン(代表的には塩素)と酸素を含む雰囲気中で熱処理を行った。本実施例では950、30分とした。尚、処理温度は700~1100の範囲で選択すればよく、処理時間も10分~8時間の間で選択すれば良かった。

【 0 1 2 4 】

その結果、本実施例の条件では半導体層 9 0 5、9 0 6 とゲート絶縁膜 9 0 4 との界面で熱酸化膜が形成され、ゲート絶縁膜 9 0 7 が形成された。(図 9 (B)) また、ハロゲン雰囲気での酸化の過程で、ゲート絶縁膜 9 0 4 と半導体層 9 0 2、9 0 3 に含まれる不純物で、特に金属不純物元素はハロゲンと化合物を形成し、気相中に除去することができた。

【 0 1 2 5 】

以上の工程で作製されたゲート絶縁膜 9 0 7 は、絶縁耐圧が高く半導体層 9 0 5、9 0 6 とゲート絶縁膜 9 0 7 の界面は非常に良好なものであった。本願発明の T F T の構成を得るためには、以降の工程は実施例 1 に従えば良い。

10

【 0 1 2 6 】

なお、本実施例の構成は実施例 1 ~ 3 のいずれの構成とも自由に組み合わせることが可能である。

【 0 1 2 7 】

〔実施例 5〕

本実施例では、実施例 1 において結晶質珪素膜中の触媒元素の低減に他の手段を用いた場合について説明する。

【 0 1 2 8 】

実施例 1 においては、リン元素を選択的に添加した後に加熱処理を行い結晶質珪素膜中の触媒元素の低減するゲッタリングを行ったが、リン元素を全面に添加してもよいことは勿論である。本実施例では、高温の硫酸を用いた液相を接触させることによりゲッタリングする方法を示す。

20

【 0 1 2 9 】

まず、実施例 1 の工程に従って図 3 (A) の状態を得た。次いで、基板ごと 3 0 0 に加熱した液相中(本実施例では硫酸溶液中)に浸し、結晶化に用いたニッケルを除去または低減する。なお、硫酸と半導体層を接触させる方法は特に限定されない。

【 0 1 3 0 】

このようにして、液相による触媒元素の低減処理を行うことで、触媒元素の濃度を短時間で低減することができる。本願発明の T F T の構成を得るためには、以降の工程は実施例 1 に従えば良い。

30

【 0 1 3 1 】

なお、本実施例の構成は実施例 1 ~ 4 のいずれの構成とも自由に組み合わせることが可能である。

【 0 1 3 2 】

〔実施例 6〕

本実施例では、実施例 1 での透明電極 1 2 5 に代えて、導電性を有する遮蔽層(ブラックマスクとも呼ぶ) 3 0 1 を用いた例について図 1 0 に示す。この遮蔽層は外部からの光を遮るとともに、電界遮蔽の効果も有している。

【 0 1 3 3 】

まず、実施例 1 に従い、第 2 の層間絶縁膜を形成する。次いで、チタンを主成分とする金属膜をスパッタ法により成膜した後、パターンニングを行い画素 T F T を覆うブラックマスク 3 0 1 を形成する。第 2 の層間絶縁膜に有機樹脂をもちいた場合、金属膜との密着性を向上させるため C F₄ ガスを用いたプラズマ処理を施してもよいし、第 2 の層間絶縁膜上にバッファ層となる薄い絶縁膜をスパッタ法等により形成してもよい。

40

【 0 1 3 4 】

次いで、ブラックマスク 3 0 1 上に実施例 1 と同様にスパッタ法により酸化珪素膜 3 0 2 を形成する。ブラックマスク 3 0 1 は保持容量の下部電極となり、酸化珪素膜 3 0 2 は保持容量の誘電体となる。なお、ブラックマスク 3 0 1 は固定電位にしておくか、フローティング状態(電氣的に独立した状態)にしておく。

【 0 1 3 5 】

50

そして、後で画素電極とドレイン電極のコンタクト形成を容易とするために、選択的に酸化珪素膜 302 を除去した後、有機樹脂膜を形成する。その後、コンタクトホールを形成すると同時に、ブラックマスク上方の有機樹脂膜を選択的に除去して、第3層間絶縁膜 304 を形成する。この第3層間絶縁膜 304 は、ブラックマスク 301 と画素電極 303 との間に生じるショート（短絡）を効果的に防ぐ役目を果たしている。

【0136】

最後に透明導電膜からなる画素電極 303 を形成する。この画素電極 303 が、保持容量の上部電極となる。

【0137】

このような構成とすることで、十分な保持容量の形成が可能となり、TFTの光劣化をも防止できる。

【0138】

また、本実施例では、スパッタ法による酸化珪素膜を用いたが、ブラックマスクを高圧酸化または陽極酸化等の酸化方法により酸化して、その酸化膜を誘電体とするとスループットが向上する。

【0139】

なお、本実施例の構成は実施例1～5のいずれの構成とも自由に組み合わせることが可能である。

【0140】

〔実施例7〕

本実施例では、具体的な画素部の構成（トリプルゲート構造）の一例を図11に示す。遮蔽層 401 は半導体層 402 の下層に設けられ、半導体層 402 上にゲート配線 403 が設けられている。本発明においては、遮蔽層 401 の線幅は、ゲート配線 403 の線幅より広くする。404 はドレイン電極、405 はソース配線、406 は絶縁層、407 は画素電極である。なお、画素電極 409 は模様で示したが、簡略化のため、画素電極 407、408、410 は太線で囲まれた領域で示した。

【0141】

また、図11に対応する断面図を図12に示した。また、図12の符号は図11と同一のものを示した。なお、透明導電膜 501 は固定電位にしておくか、フローティング状態（電氣的に独立した状態）にしておく。保持容量は、透明導電膜 501 と、絶縁膜 502 と、画素電極 407 で構成されている。

【0142】

本実施例は、実施例1がダブルゲート構造であったのに対して、トリプルゲート構造としたのみであり、基本的な構造は同一である。従って、図11及び図12の構造を得るには、実施例1で示した作製方法を用いればよい。

【0143】

なお、本実施例の構成は実施例1～6のいずれの構成とも自由に組み合わせることが可能である。

【0144】

〔実施例8〕

本実施例では、実施例1に示した作製工程で基板上にTFTを形成し、実際にAM-LCDを作製した場合について説明する。

【0145】

実施例1に従い図5（C）の状態が得られたら、画素電極 240 上に配向膜を 80 nm の厚さに形成する。次に、対向基板としてガラス基板上にカラーフィルタ、透明電極（対向電極）、配向膜を形成したものを準備し、それぞれの配向膜に対してラビング処理を行い、シール材（封止材）を用いてTFTが形成された基板と対向基板とを貼り合わせる。そして、その間に液晶を保持させる。このセル組み工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0146】

なお、セルギャップを維持するためのスペーサは必要に応じて設ければ良い。

従って、対角１インチ以下のＡＭ－ＬＣＤのようにスペーサがなくてもセルギャップを維持できる場合は特に設けなくても良い。

【０１４７】

次に、以上のようにして作製したＡＭ－ＬＣＤの外観を図１３に示す。図１３に示すようにアクティブマトリクス基板と対向基板とが対向し、これらの基板間に液晶が挟まれている。アクティブマトリクス基板は基板１０００上に形成された画素部１００１、走査線側ドライバー回路１００２、信号線側ドライバー回路１００３を有する。

【０１４８】

走査線側ドライバー回路１００２、信号線側ドライバー回路１００３はそれぞれ走査線１０３０、信号線１０４０によって画素部１００１に接続されている。これらドライバー回路１００２、１００３はＣＭＯＳ回路で主に構成されている。

【０１４９】

画素部１００１の行ごとに走査線が形成され、列ごとに信号線１０４０が形成されている。走査線１０３０、信号線１０４０の交差部近傍には、画素ＴＦＴ１０１０が形成されている。画素ＴＦＴ１０１０のゲート電極は走査線１０３０に接続され、ソースは信号線１０４０に接続されている。さらに、ドレインには画素電極１０６０、保持容量１０７０が接続されている。

【０１５０】

対向基板１０８０は基板全面にＩＴＯ膜等の透明導電膜が形成されている。透明導電膜は画素部１００１の画素電極１０６０に対する対向電極であり、画素電極、対向電極間に形成された電界によって液晶材料が駆動される。対向基板１０８０には必要に応じて配向膜や、ブラックマスクや、カラーフィルタが形成されている。

【０１５１】

アクティブマトリクス基板側の基板にはＦＰＣ１０３１が外部出力端子１００５に取り付けられ、ドライバー回路と外部出力端子を接続する配線１００７、１００８が形成されている。ビデオ信号の処理回路、タイミングパルス発生回路、補正回路、メモリ回路、演算回路などの回路をシリコン基板上に形成して構成されたＩＣチップを設けてもよい。

【０１５２】

上記実施例によって作製された液晶表示装置には、ＴＮ液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC D Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al.や、米国特許第5594569号に開示された液晶を用いることが可能である。

【０１５３】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればＥＬ（エレクトロルミネッセンス）表示装置やＥＣ（エレクトロクロミックス）表示装置に本願発明を適用することも可能である。

【０１５４】

なお、本実施例は実施例１～７のいずれの実施例とも自由に組み合わせることが可能である。

【０１５５】

〔実施例 9〕

本実施例では、本願発明を用いてＥＬ（エレクトロルミネッセンス）表示装置を作製した例について説明する。

【０１５６】

10

20

30

40

50

図 1 4 にアクティブマトリクス型 E L ディスプレイに適用した例を示す。

【 0 1 5 7 】

図 1 4 はアクティブマトリクス型 E L ディスプレイの回路図である。1 1 は表示領域を表しており、その周辺には X 方向周辺ドライバー回路 1 2、Y 方向周辺ドライバー回路 1 3 が設けられている。また、表示領域 1 1 の各画素は、スイッチ用 T F T 1 4、コンデンサ 1 5、電流制御用 T F T 1 6、有機 E L 素子 1 7 を有し、スイッチ用 T F T 1 4 に X 方向信号線 1 8 a (または 1 8 b)、Y 方向信号線 2 0 a (または 2 0 b、2 0 c) が接続される。また、電流制御用 T F T 1 6 には、電源線 1 9 a、1 9 b が接続される。

【 0 1 5 8 】

本実施例のアクティブマトリクス型 E L ディスプレイでは、X 方向周辺ドライバー回路 1 2、Y 方向周辺ドライバー回路 1 3 に用いられる T F T の構造が G O L D 構造であり、スイッチ用 T F T 1 4 や電流制御用 T F T 1 6 の T F T 構造が L D D 構造となっている。

【 0 1 5 9 】

図 1 5 (A) は本願発明を用いた E L 表示装置の上面図である。図 1 5 (A) において、4 0 1 0 は基板、4 0 1 1 は画素部、4 0 1 2 はソース線側ドライバー回路、4 0 1 3 はゲート線側ドライバー回路であり、それぞれのドライバー回路は配線 4 0 1 4 ~ 4 0 1 6 を経て F P C 4 0 1 7 に至り、外部機器へと接続される。

【 0 1 6 0 】

このとき、少なくとも画素部、好ましくはドライバー回路及び画素部を囲むようにしてカバー材 6 0 0 0、シーリング材 (ハウジング材ともいう) 7 0 0 0、密封材 (第 2 のシーリング材) 7 0 0 1 が設けられている。

【 0 1 6 1 】

また、図 1 5 (B) は本実施例の E L 表示装置の断面構造であり、基板 4 0 1 0、下地膜 4 0 2 1 の上にドライバー回路用 T F T (但し、ここでは n チャネル型 T F T と p チャネル型 T F T を組み合わせた C M O S 回路を図示している。) 4 0 2 2 及び画素部用 T F T 4 0 2 3 (但し、ここでは E L 素子への電流を制御する T F T だけ図示している。) が形成されている。

【 0 1 6 2 】

本願発明は、ドライバー回路用 T F T 4 0 2 2、画素部用 T F T 4 0 2 3 に際して用いることができる。

【 0 1 6 3 】

本願発明を用いてドライバー回路用 T F T 4 0 2 2、画素部用 T F T 4 0 2 3 が完成したら、樹脂材料でなる層間絶縁膜 (平坦化膜) 4 0 2 6 の上に画素部用 T F T 4 0 2 3 のドレインと電氣的に接続する透明導電膜でなる画素電極 4 0 2 7 を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物 (I T O と呼ばれる) または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極 4 0 2 7 を形成したら、絶縁膜 4 0 2 8 を形成し、画素電極 4 0 2 7 上に開口部を形成する。

【 0 1 6 4 】

次に、E L 層 4 0 2 9 を形成する。E L 層 4 0 2 9 は公知の E L 材料 (正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層) を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、E L 材料には低分子系材料と高分子系 (ポリマー系) 材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【 0 1 6 5 】

本実施例では、シャドーマスクを用いて蒸着法により E L 層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層 (赤色発光層、緑色発光層及び青色発光層) を形成することで、カラー表示が可能となる。その他にも、色変換層 (C C M) とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。

10

20

30

40

50

勿論、単色発光のE L表示装置とすることもできる。

【0166】

E L層4029を形成したら、その上に陰極4030を形成する。陰極4030とE L層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でE L層4029と陰極4030を連続成膜するか、E L層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0167】

なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはE L層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0168】

4031に示された領域において陰極4030と配線4016とを電氣的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（E L層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0169】

このようにして形成されたE L素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0170】

さらに、E L素子部を囲むようにして、カバー材6000と基板4010の内側にシーリング材が設けられ、さらにシーリング材7000の外側には密封材（第2のシーリング材）7001が形成される。

【0171】

このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0172】

また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0173】

スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0174】

また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiber glass - Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十μmのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造の

10

20

30

40

50

シートを用いることが好ましい。

【0175】

但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0176】

また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材7000および密封材7001の下を通してFPC4017に電氣的に接続される。

【0177】

なお、本実施例は実施例1～7のいずれの実施例とも自由に組み合わせることが可能である。

【0178】

〔実施例10〕

本願発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、半導体回路上に反射型AM-LCDが形成された三次元構造の半導体装置を実現することも可能である。

【0179】

また、前記半導体回路はSIMOX、Smart-Cut（SOITEC社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などのSOI基板上に形成されたものであっても良い。

【0180】

なお、本実施例を実施するにあたって、実施例1～8のいずれの構成を組み合わせても構わない。

【0181】

〔実施例11〕

本願発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部として組み込んだ電子機器全てに本願発明を実施できる。

【0182】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図16、図17及び図18に示す。

【0183】

図16（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を画像入力部2002、表示部2003やその他の信号制御回路に適用することができる。

【0184】

図16（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102やその他の信号制御回路に適用することができる。

【0185】

図16（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205やその他の信号制御回路に適用できる。

【0186】

図16（D）はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム

10

20

30

40

50

部 2 3 0 3 等を含む。本発明は表示部 2 3 0 2 やその他の信号制御回路に適用することができる。

【 0 1 8 7 】

図 1 6 (E) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として D V D (D i g t i a l V e r s a t i l e D i s c)、C D 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

本発明は表示部 2 4 0 2 やその他の信号制御回路に適用することができる。

【 0 1 8 8 】

図 1 6 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部 (図示しない) 等を含む。本願発明を表示部 2 5 0 2 やその他の信号制御回路に適用することができる。

【 0 1 8 9 】

図 1 7 (A) はフロント型プロジェクターであり、投射装置 2 6 0 1、スクリーン 2 6 0 2 等を含む。本発明は投射装置 2 6 0 1 の一部を構成する液晶表示装置 2 8 0 8 やその他の信号制御回路に適用することができる。

【 0 1 9 0 】

図 1 7 (B) はリア型プロジェクターであり、本体 2 7 0 1、投射装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 等を含む。本発明は投射装置 2 7 0 2 の一部を構成する液晶表示装置 2 8 0 8 やその他の信号制御回路に適用することができる。

【 0 1 9 1 】

なお、図 1 7 (C) は、図 1 7 (A) 及び図 1 7 (B) 中における投射装置 2 6 0 1、2 7 0 2 の構造の一例を示した図である。投射装置 2 6 0 1、2 7 0 2 は、光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、プリズム 2 8 0 7、液晶表示装置 2 8 0 8、位相差板 2 8 0 9、投射光学系 2 8 1 0 で構成される。投射光学系 2 8 1 0 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 1 7 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I R フィルム等の光学系を設けてもよい。

【 0 1 9 2 】

また、図 1 7 (D) は、図 1 7 (C) 中における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 は、リフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。なお、図 1 7 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I R フィルム等の光学系を設けてもよい。

【 0 1 9 3 】

ただし、図 1 7 に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及び E L 表示装置での適用例は図示していない。

【 0 1 9 4 】

図 1 8 (A) は携帯電話であり、本体 2 9 0 1、音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4、操作スイッチ 2 9 0 5、アンテナ 2 9 0 6 等を含む。本願発明を音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4 やその他の信号制御回路に適用することができる。

【 0 1 9 5 】

図 1 8 (B) は携帯書籍 (電子書籍) であり、本体 3 0 0 1、表示部 3 0 0 2、3 0 0 3、記憶媒体 3 0 0 4、操作スイッチ 3 0 0 5、アンテナ 3 0 0 6 等を含む。本発明は表示部 3 0 0 2、3 0 0 3 やその他の信号回路に適用することができる。

【 0 1 9 6 】

図 18 (C) はディスプレイであり、本体 3101、支持台 3102、表示部 3103 等を含む。本発明は表示部 3103 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 10 インチ以上（特に 30 インチ以上）のディスプレイには有利である。

【0197】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～7 のどのような組み合わせからなる構成を用いても実現することができる。

【0198】

【発明の効果】

10

本願発明を用いることにより、AM-LCD に代表される電気光学装置において、同一基板上に移動度を優先する TFT と、オフ電流の小さい TFT とを機能に応じた回路に適用して、高い駆動能力と高い信頼性を有する電気光学装置を実現することが可能である。

【図面の簡単な説明】

【図 1】AM-LCD の断面構造を示す図。

【図 2】AM-LCD の作製工程を示す図。

【図 3】AM-LCD の作製工程を示す図。

【図 4】AM-LCD の作製工程を示す図。

【図 5】AM-LCD の作製工程を示す図。

【図 6】AM-LCD 回路配置を示す図。

20

【図 7】AM-LCD の作製工程を示す図。

【図 8】AM-LCD の作製工程を示す図。

【図 9】AM-LCD の作製工程を示す図。

【図 10】AM-LCD の断面構造を示す図。

【図 11】画素部の上面構造を示す図。

【図 12】画素部の断面構造を示す図。

【図 13】AM-LCD の外観を示す図。

【図 14】EL パネル回路図。

【図 15】EL パネル上面図及び断面図。

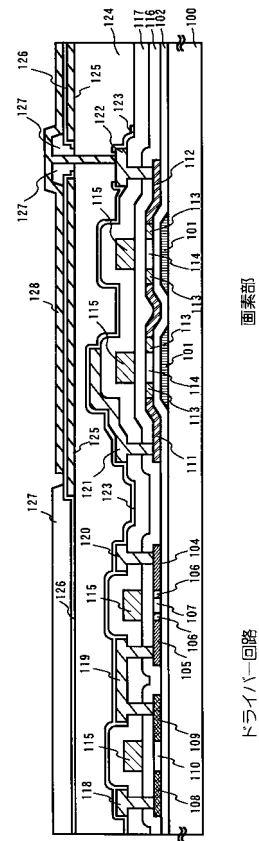
【図 16】電子機器の一例を示す図。

30

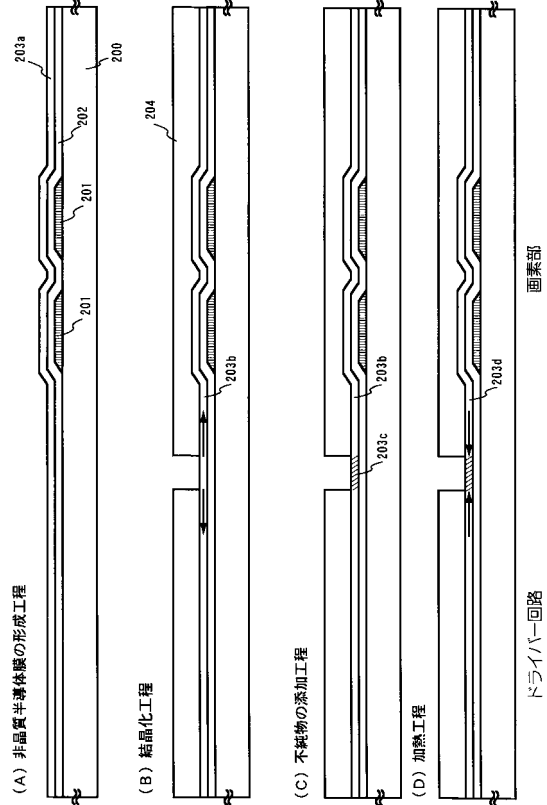
【図 17】電子機器の一例を示す図。

【図 18】電子機器の一例を示す図。

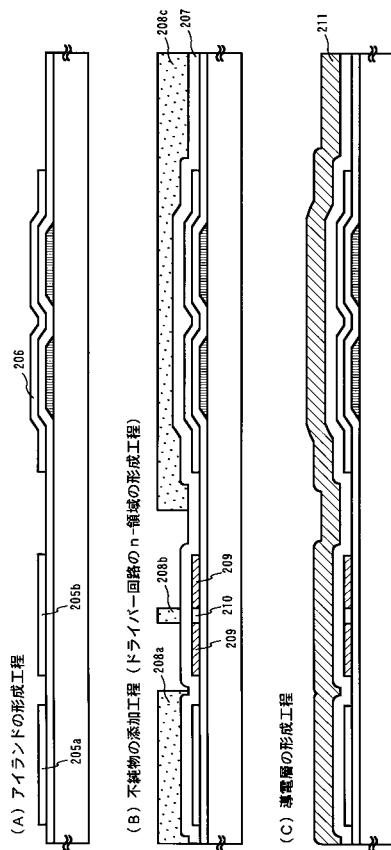
【図 1】



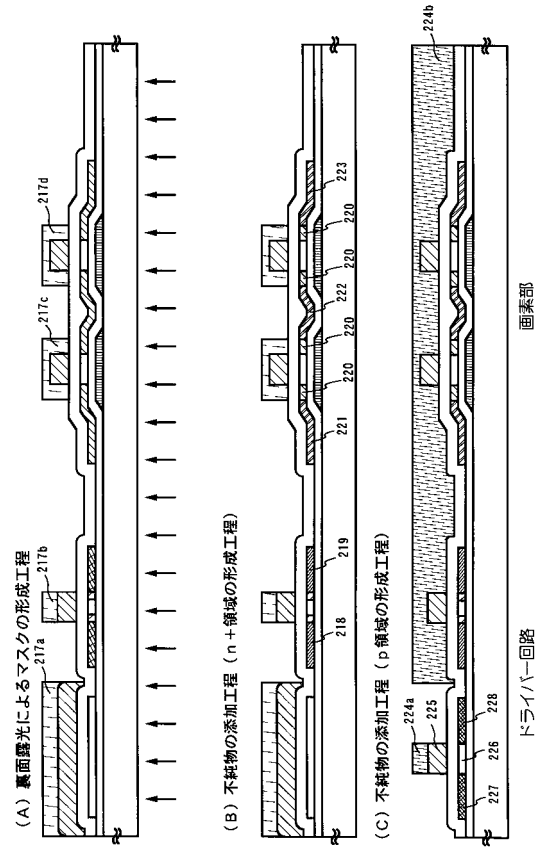
【図 2】



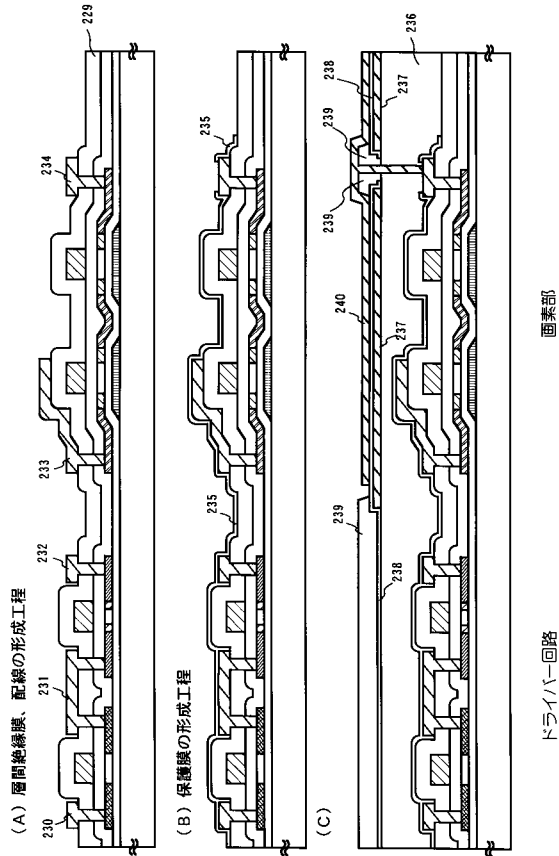
【図 3】



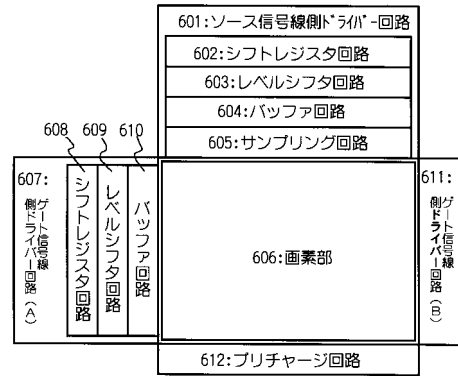
【図 4】



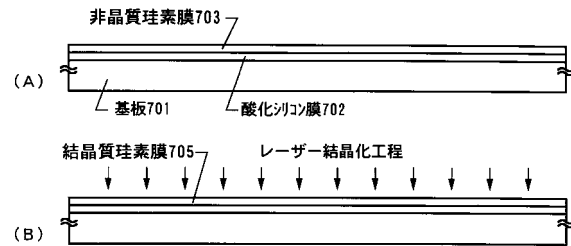
【 図 5 】



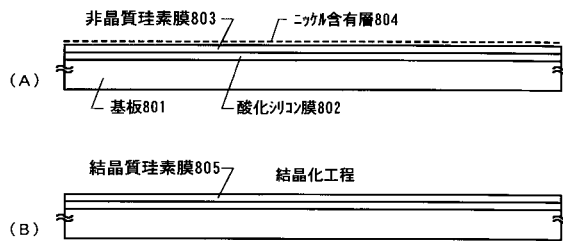
【 図 6 】



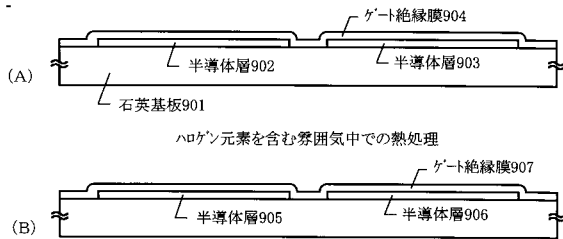
【圖 7】



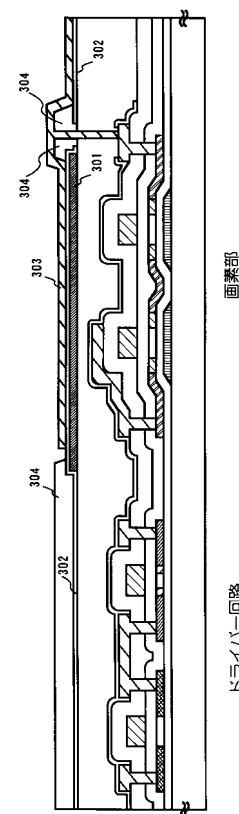
【 図 8 】



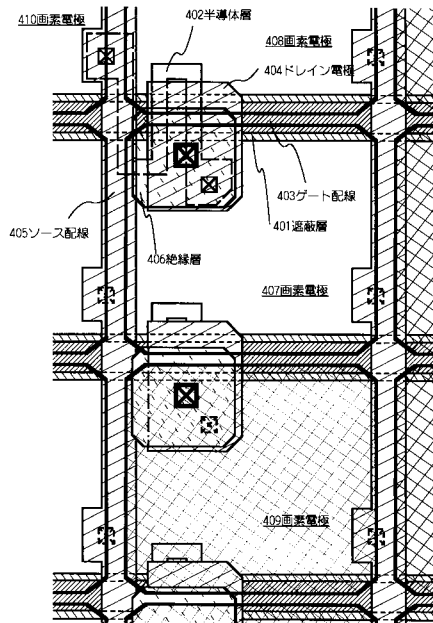
【 図 9 】



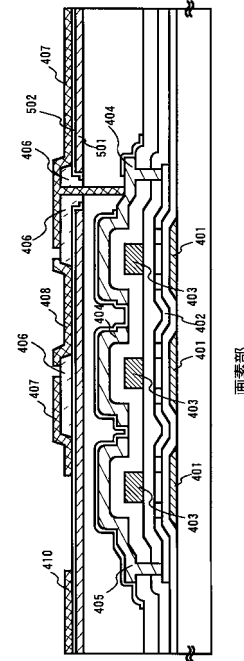
【 図 1 0 】



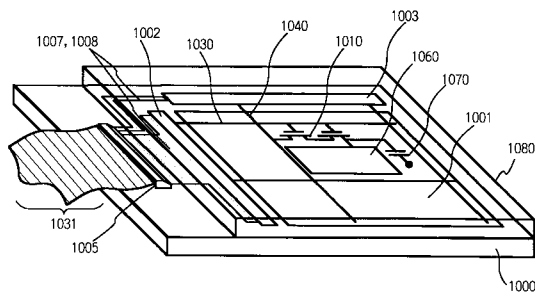
【図 11】



【図 12】



【図 13】

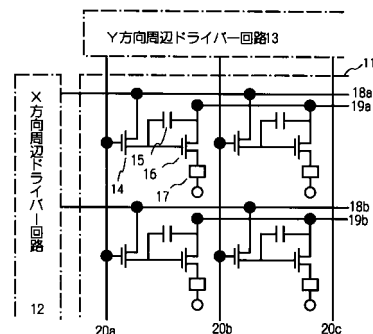


アクティブマトリクス基板

1000: 基板
1001: 画素部
1002: 走査線側ドライバ回路
1003: 信号線側ドライバ回路
1004: 走査線
1005: FPC
1006: 信号線
1007: 画素電極
1008: 保持容量
1010: 対向基板

1005: 外部入出力端子
1007, 1008: 配線

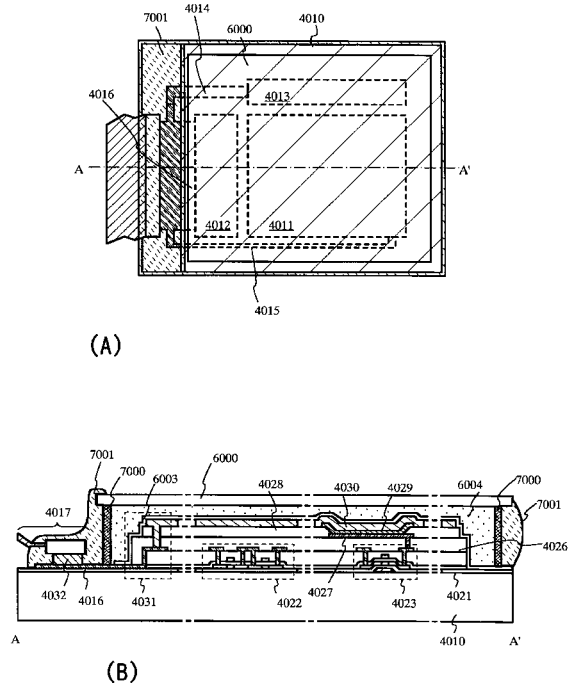
【図 14】



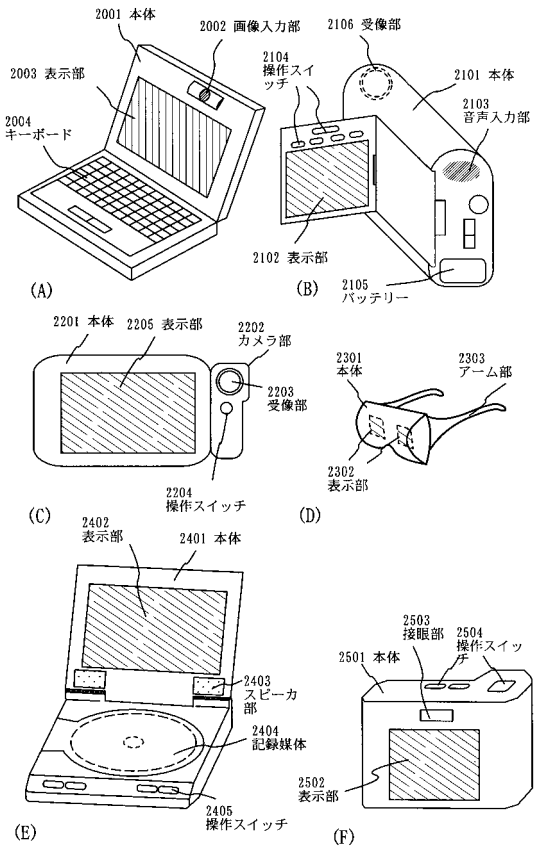
11: 表示領域 12: X方向周辺ドライバ回路 13: Y方向周辺ドライバ回路
14: スイッチ用TFT 15: コパシタ 16: 電流制御用TFT 17: 有機EL素子
18a, 18b: X方向信号線 19a, 19b: 電源線 20a, 20b, 20c: Y方向信号線

ELパネル回路図

【図 15】



【図 16】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1368

G09F 9/30

H01L 21/336

H01L 29/786