

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月16日(16.09.2021)



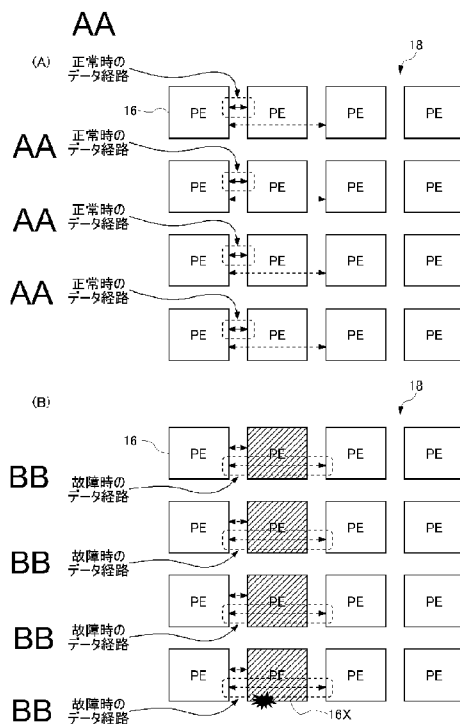
(10) 国際公開番号

WO 2021/182223 A1

- (51) 国際特許分類:
G06F 15/177 (2006.01)
- (21) 国際出願番号: PCT/JP2021/008133
- (22) 国際出願日: 2021年3月3日(03.03.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-042174 2020年3月11日(11.03.2020) JP
- (71) 出願人: 株式会社エヌエスアイテクス (NSITEXE, INC.) [JP/JP]; 〒1080075 東京都港区港南2-16-4 品川グランドセントラルタワー6F Tokyo (JP). 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 広津 鉄平 (HIROTSU Teppei); 〒1080075 東京都港区港南2-16-4 品川グランドセントラルタワー6F 株式会社エヌエスアイテクス内 Tokyo (JP).
- (74) 代理人: 鈴木 守, 外 (SUZUKI Mamoru et al.); 〒1500021 東京都渋谷区恵比寿西1-5-8 D I S 恵比寿ビル6階 K S I パートナーズ法律特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

(54) Title: PROCESSOR AND DATA PATH RECONSTRUCTION METHOD

(54) 発明の名称: プロセッサ及びデータ経路再構成方法



AA Data path in normal state
BB Data path in malfunction state

(57) Abstract: A processor (10) in which a plurality of PEs (16) are two-dimensionally arranged to perform parallel processing deactivates, upon detection of a malfunction of a PE (16), all PEs (16) included in at least one of the row and the column including the malfunctioning PE (16), and performs processing without using the deactivated PEs (16). To this end, each PE (16) has a normal state data path (30A) for exchanging data with another PE (16) which is adjacent and has a deactivation state data path (30B) for exchanging data with yet another PE (16) which is adjacent but with one

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

in between. A PE (16) adjacent to a deactivated PE (16) does not exchange data with the deactivated PE (16) using the normal state data path (30A) but exchanges data with another PE (16) using the deactivation state data path (30B).

(57) 要約: 複数の P E (1 6) が 2 次元状に配列されて並列処理を行うプロセッサ (1 0) が、P E (1 6) の故障が検出された場合に、故障した P E (1 6) を含む行及び列の少なくとも一方に含まれる P E (1 6) の全てを無効化し、無効化した P E (1 6) を用いることなく処理を実行する。このため、P E (1 6) は、隣接する他の P E (1 6) とデータ交換を行う正常時データ経路 (3 0 A) と、一つ置きで隣接する他の P E (1 6) とデータ交換を行う無効時データ経路 (3 0 B) とを有する。そして、無効化された P E (1 6) と隣接する P E (1 6) は、無効化された P E (1 6) とのデータ交換を正常時データ経路 (3 0 A) を用いて行わずに、無効時データ経路 (3 0 B) を用いて他の P E (1 6) とのデータ交換を行う。

明 細 書

発明の名称： プロセッサ及びデータ経路再構成方法

関連出願への相互参照

[0001] 本出願は、2020年3月11日に出願された特許出願番号2020-042174号に基づくものであって、その優先権の利益を主張するものであり、その特許出願のすべての内容が、参照により本明細書に組み入れられる。

技術分野

[0002] 本開示は、プロセッサ及びデータ経路再構成方法に関する。

背景技術

[0003] 近年、CPU (Central Processing Unit) やGPU (Graphics Processing Unit) 等の演算装置 (コアプロセッサ) を複数備えたマルチコアプロセッサが一般的となっている。このようなプロセッサには、特許文献1に開示されているように、コアの動作を監視するためにDCLS (Dual Core Lock-Step) のような故障検知機構を備えたものもある。そして、故障が検出されたコアプロセッサは、その動作が停止される。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2018/198184号

発明の概要

[0005] ここで、GPUのように2次元状に複数の演算機 (Processing Element、以下「PE」という。) が配列されて構成されるPEアレイは、複数のPEによる並列処理を可能としている。

[0006] このようなPEアレイは、全てのPEが正常に動作することを前提として設計されている。このため、PEアレイを構成するPEのうち一つでも故障すると、一般的に動作を停止又は機能させない。例えば、CPUとGPUで構成されるプロセッサでは、GPUを構成するPEが故障した場合にGPU

の機能が失われるので、プロセッサとしての性能が大幅に低下してしまう。
また、プロセッサの製造段階でP Eの故障が発見されると、そのP Eを含むP Eアレイを機能させない下位グレードのプロセッサとして出荷されたりもする。

[0007] 本開示は、2次元状に配列された複数の演算機の何れかに故障が発生しても使用を可能とする、プロセッサ及びデータ経路再構成方法を提供することを目的とする。

[0008] 本開示の一態様のプロセッサは、複数の演算機が2次元状に配列されて並列処理を行うプロセッサであって、前記演算機の故障を検出する故障検出部と、前記故障検出部によって前記演算機の故障が検出された場合に、故障した前記演算機を含む行及び列の少なくとも一方に含まれる前記演算機の全てを無効化する無効化部と、を備え、無効化した前記演算機を用いることなく処理を実行する。

発明の効果

[0009] 本開示によれば、2次元状に配列された複数の演算機の何れかに故障が発生しても使用を可能とする。

図面の簡単な説明

[0010] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、

[図1]図1は、実施形態のプロセッサの概略構成図である。

[図2]図2は、実施形態のデータ経路の再構成を示す模式図であり、(A)は正常時のデータ経路を示し、(B)はP Eに故障が発生した場合のデータ経路を示す。

[図3]図3は、実施形態のP Eアレイの概略構成図である。

[図4]図4は、実施形態のP Eの概略構成図である。

[図5]図5は、実施形態のP E故障検出部から出力される故障検出信号を示す模式図である。

[図6]図6は、実施形態のデータ経路再構成処理の流れを示すフローチャート

である。

[図7]図7は、実施形態のPEアレイの動作状態を示す模式図であり、(A)は正常時のPEアレイにおける動作状態を示し、(B)は一行のアレイを無効化した場合のPEアレイの動作状態を示し、(C)は一列のアレイを無効化した場合のPEアレイの動作状態を示す。

[図8]図8は、実施形態のPEアレイの動作状態に対応するデータパターンを示す模式図であり、(A)は正常時のPEアレイに対応するデータパターンを示し、(B)は一行のアレイを無効化した場合のデータパターンを示し、(C)は一列のアレイを無効化した場合のデータパターンを示す。

発明を実施するための形態

[0011] 以下、図面を参照して本開示の実施形態を説明する。なお、以下に説明する実施形態は、本開示を実施する場合の一例を示すものであって、本開示を以下に説明する具体的構成に限定するものではない。本開示の実施にあたっては、実施形態に応じた具体的構成が適宜採用されてよい。

[0012] 図1は、本実施形態のプロセッサ10の概略構成図である。本実施形態のプロセッサ10は、一例として、演算装置(コアプロセッサ)として4つのCPU(Central Processing Unit)12と一つのGPU(Graphics Processing Unit)14によって構成されるマルチコアプロセッサである。

[0013] ここで、GPU14は、演算機である複数のプロセッシングエレメント(Processing Element、以下「PE」という。)16を2次元状に配列したPEアレイ18によって構成される。PEアレイ18は、隣接するPE16がデータ交換をしながら、並列分散処理を行う。

[0014] 本実施形態のプロセッサ10は、一例として、記憶装置20から入力される画像データに対して処理を行い、処理結果を出力する。そして、GPU14(PEアレイ18)を構成するPE16同士が交換するデータは、一例として、画像データ処理における畳み込み演算に用いる重複領域や重み係数等である。なお、プロセッサ10が行う処理は、画像データ処理だけでなく、例えば、ニューラルネットワークを用いた機械学習等、他の処理に用いられ

てもよい。

[0015] また、図 1 等 に示される本実施形態の P E アレイ 1 8 は、1 6 個の P E 1 6 が 4 行 × 4 列で 2 次元配列されているが、これは一例であり、P E アレイ 1 8 を構成する P E 1 6 の数、行数及び列数は限定されない。

[0016] P E アレイ 1 8 は、上述のように、複数の P E 1 6 によって並列分散処理を行うものである。このため、一つでも P E 1 6 が故障すると、従来では、P E アレイ 1 8 全体が無効化され、プロセッサ 1 0 としての性能が大幅に低下する。

[0017] このため、P E 1 6 が故障した場合であっても、故障した P E 1 6 のみを無効化して P E アレイ 1 8 の使用を継続することも考えられるものの、どの P E 1 6 が故障するかを事前に予測することはできない。このため、無効化した P E 1 6 を除外した P E アレイ 1 8 に対応するデータの配置方法やプログラムのパターンを n 行 × m 列通り予め設計する必要がある。このような手法は、P E アレイ 1 8 を構成する P E 1 6 の数が増加すると、設計するべきパターンの数が膨大となり、現実的ではない。

[0018] そこで、本実施形態のプロセッサ 1 0 は、故障した P E 1 6 を含む行及び列の少なくとも一方に含まれる P E 1 6 の全てを無効化し、無効化した P E 1 6（以下「無効化 P E」という。）を用いることなく処理を実行する。これにより、プロセッサ 1 0 は、2 次元状に配列された複数の P E 1 6 の何れかに故障が発生しても使用可能となる。

[0019] 図 2 は、本実施形態のデータ経路の再構成を示す模式図である。なお、図 2 では、最も左側の P E 1 6 から右側に隣接する P E 1 6 へのデータ経路のみが表記されているが、これは他の P E 1 6 のデータ経路を省略しているに過ぎず、他の隣接する P E 1 6 同士等でもデータ交換が可能とされている。

[0020] 図 2（A）は P E アレイ 1 8 を構成する P E 1 6 に故障が発生していない場合、すなわち正常時のデータ経路を示す。図 2（A）に示されるように、故障が発生していない場合には、P E 1 6 は隣接する P E 1 6 との間でデータ交換を行う。

- [0021] 一方、図2(B)はPE16に故障が発生した場合のデータ経路を示す。図2(B)の例では、一例として故障が発生したPE16Xを含む列に含まれる全てのPE16が無効とされる(斜線でハッチングされたPE16)。そして、無効化PEと隣接するPE16は、無効化PEとはデータ交換を行わずに、無効化PEを挟んだ他のPE16との間でデータ交換を行う。このように、本実施形態のプロセッサ10は、故障したPE16を含む行又は列に含まれるPE16全てを無効化し、故障していないPE16同士が無効化PEをバイパスするようにデータ交換を行う。
- [0022] 図3は、本実施形態のPEアレイ18の概略構成図である。
- [0023] 図3においてPEアレイ18を構成するPE16は、紙面左上方向のPE16をPE00として、紙面右方向をx方向とし、紙面下方向をy方向とし、PExyとのように配置位置が表記される。また、図3では、各PE16において紙面上方向が“N”と表記され、紙面下方向が“S”と表記され、紙面右方向が“E”と表記され、紙面左方向が“W”と表記される。
- [0024] 本実施形態のPE16は、隣接する他のPE16とデータ交換を行う正常時データ経路30Aと、一つ置きで隣接する他のPE16とデータ交換を行う無効時データ経路30Bとを有している。なお、以下の説明では、PE16が隣接することを1隣接といい、PE16が一つ置きで隣接することを2隣接という。
- [0025] 図3を参照すると、左右同士で1隣接するPE16は、正常時データ経路30Aによって経路E0-W0が接続され、上下同士で1隣接するPE16は、正常時データ経路30Aによって経路S0-N0が接続される。一方、左右同士で2隣接するPE16は、無効時データ経路30Bによって経路E1-W1が接続され、上下同士で2隣接するPE16は、無効時データ経路30Bによって経路S1-N1が接続される。
- [0026] また、PEアレイ18は、PEイネーブル生成器32を備える。PEイネーブル生成器32は、PE16の故障が検出された場合に、故障したPE16を含む行又は列に含まれるPE16の全てを無効化する。なお、PEイネ

ーブル生成器 32 は、このためのイネーブル信号 PExy_EN を生成し、無効化させる P E 16 へ出力する。一例として、イネーブル信号 PExy_EN が “0” の場合に、イネーブル信号 PExy_EN が入力された P E 16 の動作が停止される。

[0027] また、P E イネーブル生成器 32 は、正常時データ経路 30 A を用いて無効化 P E とのデータ交換を行わずに、無効時データ経路 30 B を用いて他の P E 16 とのデータ交換を行うように、無効化 P E に隣接する P E 16 へ出力する。なお、P E イネーブル生成器 32 は、このためにインターフェース選択信号を生成し、P E 16 へ出力する。インターフェース選択信号が入力された P E 16 は、データ交換を行う経路を正常時データ経路 30 A から無効時データ経路 30 B へ切り替える。インターフェース選択信号の詳細は後述する。

[0028] また、P E イネーブル生成器 32 は、P E 16 を無効化した場合に、ユーザインタフェース（不図示）を介して、ユーザに P E アレイ 18 に故障が発生したことを報知する。これにより、ユーザは、P E アレイ 18 の故障を認識し、修理等の対応を行うことが可能となる。

[0029] なお、図 3 の例では、斜め方向に隣接する P E 16 同士でデータ交換を行う正常時データ経路 30 A 及び無効時データ経路 30 B は図示されていないが、P E アレイ 18 には斜め方向でデータ交換を行うデータ経路が設けられてもよい。

[0030] 図 4 は、本実施形態の P E 16 の概略構成図である。P E 16 は、A L U (Arithmetic and Logic Unit) 40、レジスタ 42、R A M (Random Access Memory) 44、P E 故障検出部 46、インターフェース部 48 N, 48 E, 48 W, 48 S、及び制御部 50 を備える。なお、以下の説明において、各インターフェース部 48 N, 48 E, 48 W, 48 S の各々を区別しない場合は、末尾のアルファベットを省略する。

[0031] A L U 40 は、レジスタ 42 からのデータに基づいて演算を行い、演算結果をレジスタ 42 に出力する。

[0032] レジスタ 42 は、A L U 40、R A M 44、及びインターフェース部 48

との間でデータの入出力を行い、データを記憶する。

[0033] RAM 44 は、レジスタ 42 及びインターフェース部 48 との間でデータの入出力を行い、データを記憶する。

[0034] PE 故障検出部 46 は、PE 16 の故障を検出し、その検出結果を故障検出信号として PE イネーブル生成器 32 へ出力する。

[0035] 図 5 は、PE 故障検出部 46 から出力される故障検出信号の例を示す模式図である。一例として、故障検出信号 PExy_Diag は、自身を備える PE 16 の配置位置 x y を特定する PExy と共に、故障の有無を示す識別子 Diag である “0” から “5” で構成される。

[0036] 具体的には、PE 故障検出部 46 は、PE 16 に故障がない場合に故障検出信号として PE 16 の配置位置 x y と共に “0” を出力する。一方、PE 16 に故障が発生した場合、PE 故障検出部 46 は、故障検出信号として PE 16 の配置位置 x y と共に “1” ～ “5” の何れかを出力する。

[0037] この “1” ～ “5” は故障箇所を示しており、“1” は故障箇所が制御部 50、ALU 40、レジスタ 42、及び RAM 44 の何れかであることを示す。すなわち、故障検出信号が “1” の場合は、PE 16 そのものが故障している場合である。

[0038] 故障検出信号が “2” の場合は故障箇所が NO 経路であることを示し、故障検出信号が “3” の場合は故障箇所が SO 経路であることを示し、故障検出信号が “4” の場合は故障箇所が WO 経路であることを示し、故障検出信号が “5” の場合は故障箇所が EO 経路であることを示す。すなわち、故障検出信号が “2” ～ “5” の場合は、正常時データ経路 30A の何れかが故障している場合である。

[0039] このように、PE 故障検出信号は、PE 16 そのものの故障の有無だけでなく、故障経路も特定可能とされている。なお、図 4 に示される PE 故障検出信号は、一例であり、これに限られない。

[0040] インターフェース部 48 は、1 隣接又は 2 隣接する他の PE 16 とのデータ交換を行うための入出力部である。本実施形態のインターフェース部 48

は、1隣接用の入出力部（N 0，E 0，W 0，S 0）と2隣接用の入出力部（N 1，E 1，W 1，S 1）との2系統を有する。

[0041] 制御部50は、PE16に対するプログラムを解読して、ALU40、レジスタ42、及びRAM44への制御信号を生成し、これらへ出力する。また、制御部50は、PEイネーブル生成器32からのイネーブル信号PExy_ENの入力を受け付ける。そして、制御部50は、例えば、イネーブル信号が“0”の場合には、自身を備えるPE16の動作を停止させて無効化する。

[0042] また、制御部50は、PEイネーブル生成器32からのインターフェース選択信号が入力される。一例として、インターフェース選択信号には、PExy_Nsel, PExy_Esel, PExy_Wsel, PExy_Sselの4種類があり、Nsel, Esel, Wsel, Sselは、各々インターフェース部48N, 48E, 48W, 48Sに対応している。そして、インターフェース選択信号が“0”の場合には、1隣接用の入出力部N 0，E 0，W 0，S 0に接続される正常時データ経路30Aが用いられる。一方、インターフェース選択信号が“1”の場合には、2隣接用の入出力部N 1，E 1，W 1，S 1に接続される無効時データ経路30Bが用いられる。

[0043] 図6は、本実施形態のデータ経路再構成処理の流れを示すフローチャートである。図6に示されるデータ経路再構成処理は、PEアレイ18を構成するPE16の何れかが備えるPE故障検出部46がPE16の故障を検出し、PEイネーブル生成器32に故障検出信号PExy_Diagが入力された場合にPEイネーブル生成器32によって実行される。また、データ経路再構成処理は、プロセッサ10が備える記録媒体に格納されたプログラムによって実行される。なお、このプログラムが実行されることで、プログラムに対応する方法が実行される。

[0044] まず、ステップ100では、PE故障検出部46からの故障検出信号PExy_Diagに基づいて、故障したPE16及びその故障個所を特定する。

[0045] 次のステップ102では、故障検出信号PExy_Diagに基づいて、PE16そのものが故障しているか否かを判定し、肯定判定の場合はステップ104へ

移行し、否定判定の場合はステップ１０６へ移行する。

[0046] ステップ１０４では、故障したＰＥ１６が含まれる行又は列のＰＥ１６全てを無効化するように、該当するＰＥ１６へイネーブル信号を出力し、ステップ１０８へ移行する。イネーブル信号が入力されたＰＥ１６の制御部５０は、自身を備えるＰＥ１６の動作を停止させる。

[0047] なお、無効化ＰＥ１６を行とするか列とするかは、予め設定された方法で決定されればよい。例えば、最初に発生したＰＥ１６の故障に対しては、故障したＰＥ１６が含まれる列のＰＥ１６全てを無効化するとし、２回目に発生したＰＥ１６の故障に対しては故障したＰＥが含まれる行のＰＥ１６全てを無効化するとする。これにより、ＰＥアレイ１８を構成する２つのＰＥ１６に故障が生じて、隣り合う２つの行又は隣り合う２つの列の全てのＰＥ１６が無効化されることを防止できる。すなわち、ＰＥイネーブル生成器３２は、複数のＰＥ１６が故障した場合、無効化する行と列とが隣り合うことなく交差するように、無効化するＰＥ１６を決定する。

[0048] また、無効化ＰＥを行とするか列とするかは、ＰＥアレイ１８の構成により決定されてもよい。例えば、 N 行 $>$ Ｍ列のＰＥアレイ１８の場合には無効化ＰＥが行とされ、 N 行 $<$ Ｍ列のＰＥアレイ１８の場合には無効化ＰＥが列とされる。

[0049] ステップ１０２で否定判定となる場合は、正常時データ経路３０Ａに故障が発生している場合である。この場合の移行先であるステップ１０６では、正常時データ経路３０Ａを介したデータ交換先のＰＥ１６が含まれる行又は列のＰＥ１６全てを無効化するように、ＰＥイネーブル生成器３２が対象となるＰＥ１６へイネーブル信号を出力し、ステップ１０８へ移行する。

[0050] 図３を参照してステップ１０６による処理の例を説明する。例えば、ＰＥ１１に故障が検出され、それがＳ０経路の正常時データ経路３０Ａであった場合、ＰＥ１１の下行であるＰＥ０２～ＰＥ２２のＰＥ１６が無効化ＰＥとされる。また、ＰＥ１１のＥ０経路の正常時データ経路３０Ａに故障が発見された場合、ＰＥ１１の右側の列であるＰＥ２０～ＰＥ２３のＰＥ１６が

無効化PEとされる。

[0051] 次のステップ108では、無効化PEに隣接するPE16に対してPEイネーブル生成器32が無効時データ経路30Bを選択させるインターフェース選択信号を出力する。これにより、インターフェース選択信号が入力された制御部50は、自身を備えるPE16のデータ経路として無効時データ経路30Bを選択し、本データ経路再構成処理を終了する。これにより、このインターフェース選択信号が入力されたPE16は、無効化PEをバイパスして2隣接する他のPE16とデータ交換を行うこととなる。

[0052] このように、本実施形態のプロセッサ10は、無効化PEをバイパスしてPE16同士でデータ交換を行うようにデータ経路を変化させるので、複数のPE16の何れかに故障が発生してもPEアレイ18を使用することができる。

[0053] 図7は、本実施形態のN行M列のPEアレイ18の動作状態を示す模式図である。図7(A)は正常時のPEアレイ18における動作状態を示しており、4行4列の計16個のPE16が全て動作している。一方、図7(B)は一行のPE16を無効化した場合のPEアレイ18の動作状態を示し、図7(C)は一列のPE16を無効化した場合のPEアレイ18の動作状態を示す。

[0054] 図7(B)に示されるように、一行のPE16を無効化するとPEアレイ18は、N-1行M列となり、図7(B)の例では3行4列の計12個のPE16が動作することとなる。また、図7(C)に示されるように、一列のPE16を無効化するとPEアレイ18は、N行M-1列となり、図7(B)の例では4行3列の計12個のPE16が動作することとなる。

[0055] 図8は、本実施形態のPEアレイ18の動作状態に対応するデータパターン60を示す模式図である。データパターン60は、複数のPE16の各々で処理されるデータの分割態様を示したものであり、一例として、記憶装置20に記憶されているが、これに限らず、データパターン60はプロセッサ10に備えられた記憶媒体に記憶されてもよい。

- [0056] 図8に示されるデータパターン60は、一例として、車載カメラで取得された一つの画像データを複数の領域に分割するための分割パターンであり、このデータパターン60で分割された各画像データ領域が複数のPE16の各々で分散並列処理される。なお、データパターン60において斜線で示される領域は、畳み込み演算等により用いられる重複領域である。
- [0057] 本実施形態のデータパターン60は、PEアレイ18を構成するPE16に故障がない場合に用いられるデータパターン60A、及びPE16が無効化された場合に用いられるデータパターン60B、60Cを含む。すなわち、図8(A)は正常時のPEアレイ18に対応するデータパターン60Aを示し、図8(B)は一行のPE16を無効化した場合のデータパターン60Bを示し、図8(C)は一列のPE16を無効化した場合のデータパターン60Cを示す。
- [0058] この図8(A)、(B)、(C)は、上述の図7(A)、(B)、(C)に対応している。すなわち、データパターン60Aは、PEアレイ18を構成する複数のPE16に故障がない場合に用いられるデータパターン60であり、データパターン60B、60Cは、PE16の故障が検出された行又は列に含まれるPE16の全てが無効化された場合に用いられるデータパターン60である。
- [0059] このように、PE16が故障した場合には、無効化PEとした行又は列に応じたデータパターン60が用いられることとなる。すなわち、本実施形態のプロセッサ10は、PE16を無効化した場合に対応するデータパターン60B、60Cを予め準備することにより、行又は列を無効化PEとしたPEアレイ18の使用を簡易な処理で継続することができる。また、現実的には、複数のPE16が故障することは想定し難いため、一例として、データパターン60Aに加え、一行を無効化PEとした場合のデータパターン60Bと一列を無効化PEとした場合のデータパターン60Cの2種類のデータパターン60を記憶装置20に記憶させればよい。
- [0060] なお、PE16を無効化した場合にデータパターン60Bとデータパター

ン 6 0 C の何れを用いるかは、一例として、P E イネーブル生成器 3 2 によって選択される。

[0061] 以上、本開示を、上記実施形態を用いて説明したが、本開示の技術的範囲は上記実施形態に記載の範囲には限定されない。開示の要旨を逸脱しない範囲で上記実施形態に多様な変更又は改良を加えることができ、該変更又は改良を加えた形態も本開示の技術的範囲に含まれる。

[0062] 例えば、上記実施形態では、プロセッサ 1 0 が 4 つの C P U 1 2 及び一つの G P U 1 4 で構成される形態について説明したが、本開示は、これに限定されるものではない。プロセッサ 1 0 は、P E アレイ 1 8 で構成される演算装置が少なくとも一つ備えられていればよく、C P U 1 2 や G P U 1 4 等の演算装置の数は限定されない。

請求の範囲

- [請求項1] 複数の演算機（１６）が２次元状に配列されて並列処理を行うプロセッサ（１０）であって、
- 前記演算機の故障を検出する故障検出部（４６）と、
- 前記故障検出部によって前記演算機の故障が検出された場合に、故障した前記演算機を含む行及び列の少なくとも一方に含まれる前記演算機の全てを無効化する無効化部（３２）と、
- を備え、
- 無効化した前記演算機を用いることなく処理を実行する、プロセッサ。
- [請求項2] 前記演算機は、隣接する他の前記演算機とデータ交換を行う第１経路（３０Ａ）と、少なくとも一つ置きで隣接する他の前記演算機とデータ交換を行う第２経路（３０Ｂ）とを有し、
- 無効化された前記演算機と隣接する前記演算機は、無効化された前記演算機とのデータ交換を前記第１経路を用いて行わずに、前記第２経路を用いて他の前記演算機とのデータ交換を行う、
- 請求項１記載のプロセッサ。
- [請求項3] 前記無効化部は、前記第１経路が故障した場合、前記第１経路を介したデータ交換先の前記演算機を含む行及び列の少なくとも一方に含まれる前記演算機の全てを無効化する、請求項２記載のプロセッサ。
- [請求項4] 複数の前記演算機の各々で処理されるデータの分割態様を示したデータパターン（６０）が記憶部（２０）に記憶され、
- 前記データパターンは、２次元状に配列された複数の前記演算機に故障がない場合に用いられる第１データパターン（６０Ａ）、及び前記演算機が無効化された場合に用いられる第２データパターン（６０Ｂ、６０Ｃ）を含む、請求項１から請求項３の何れか１項記載のプロセッサ。
- [請求項5] 複数の演算機が２次元状に配列されて並列処理を行うプロセッサの

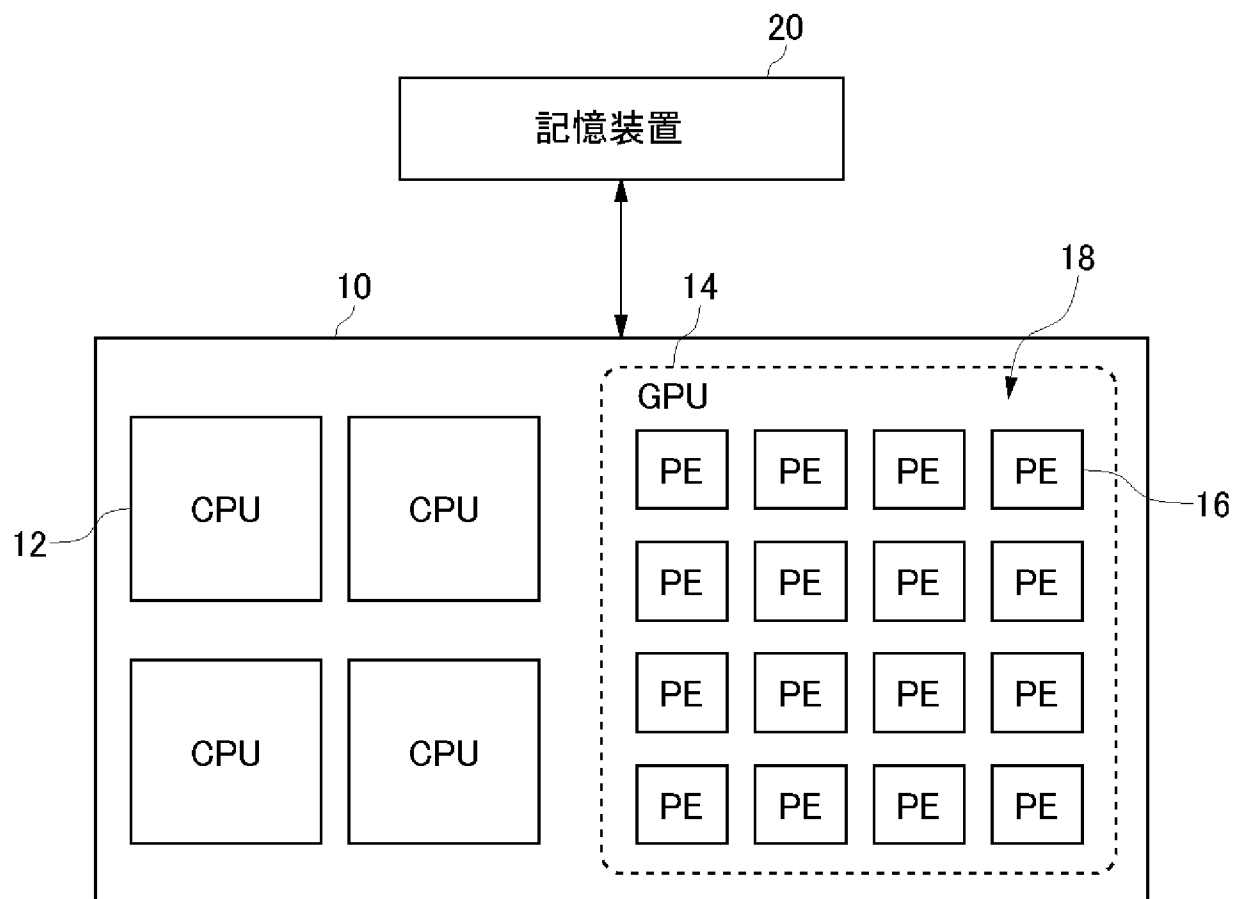
データ経路再構成方法であって、

前記演算機の故障を故障検出部によって検出する第1工程と、

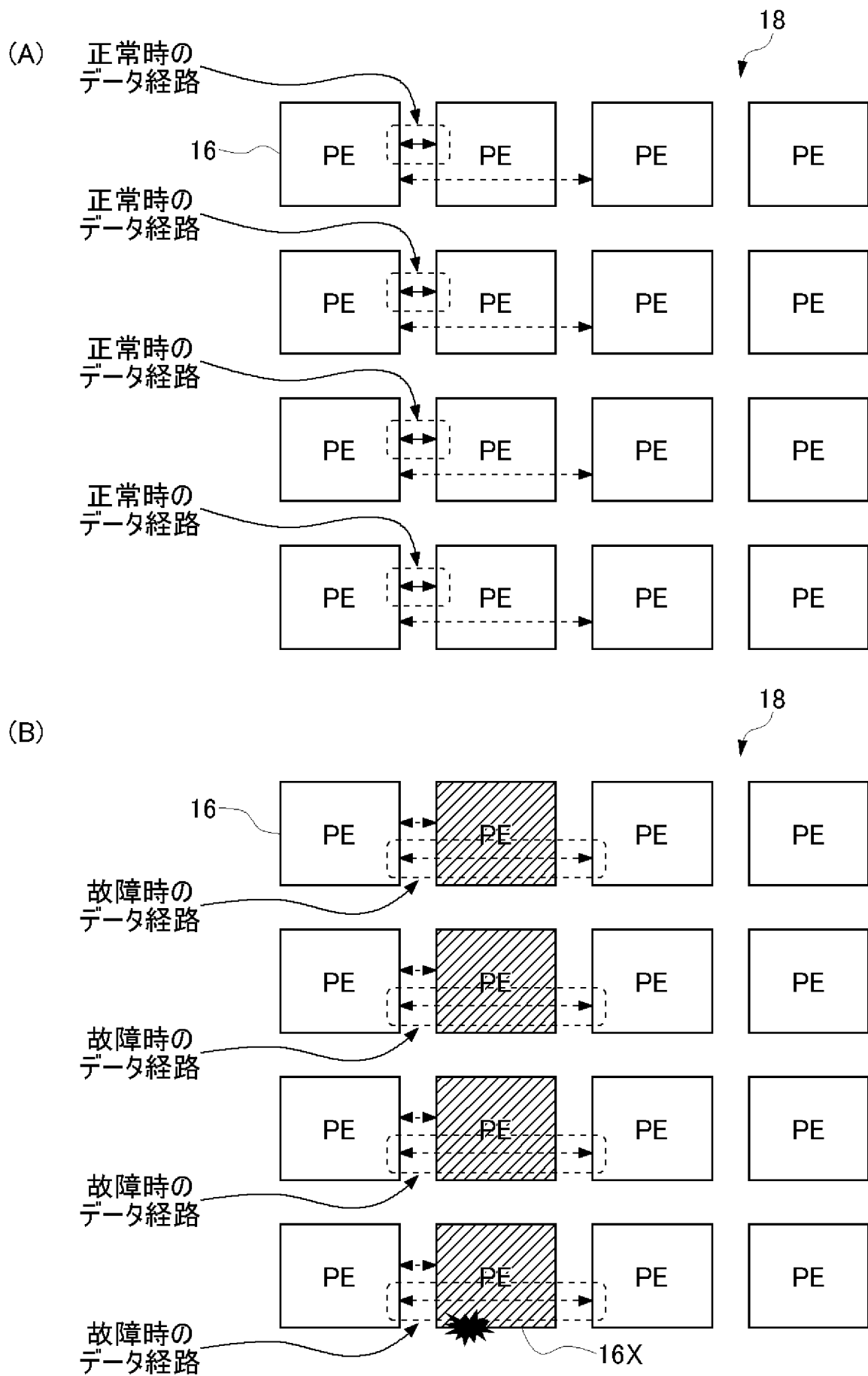
前記故障検出部によって前記演算機の故障が検出された場合に、故障した前記演算機を含む行及び列の少なくとも一方に含まれる前記演算機の全てを無効化する第2工程と、

無効化した前記演算機をバイパスして前記演算機同士でデータ交換を行うようにデータ経路を変化させる第3工程と、
を有するデータ経路再構成方法。

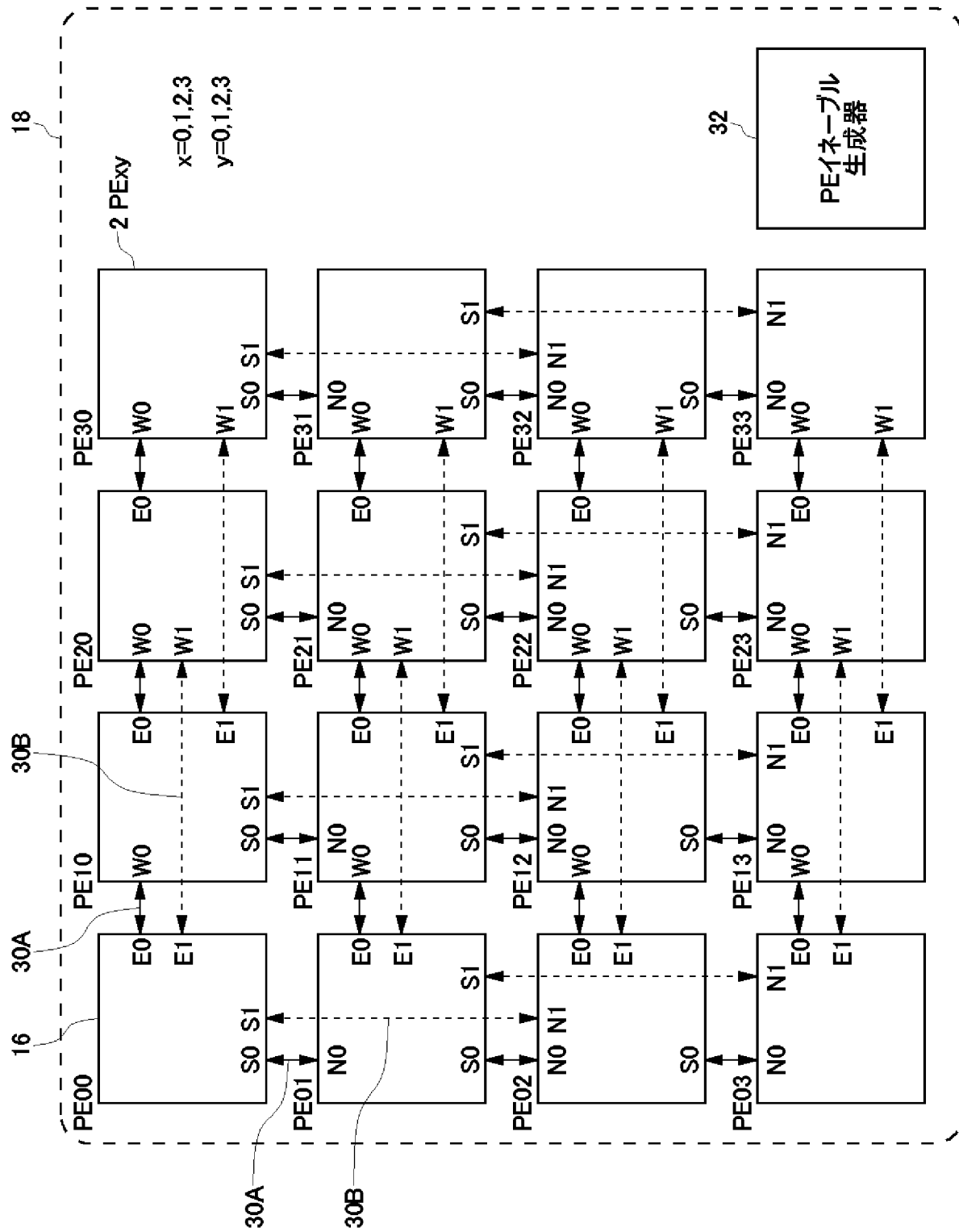
[図1]



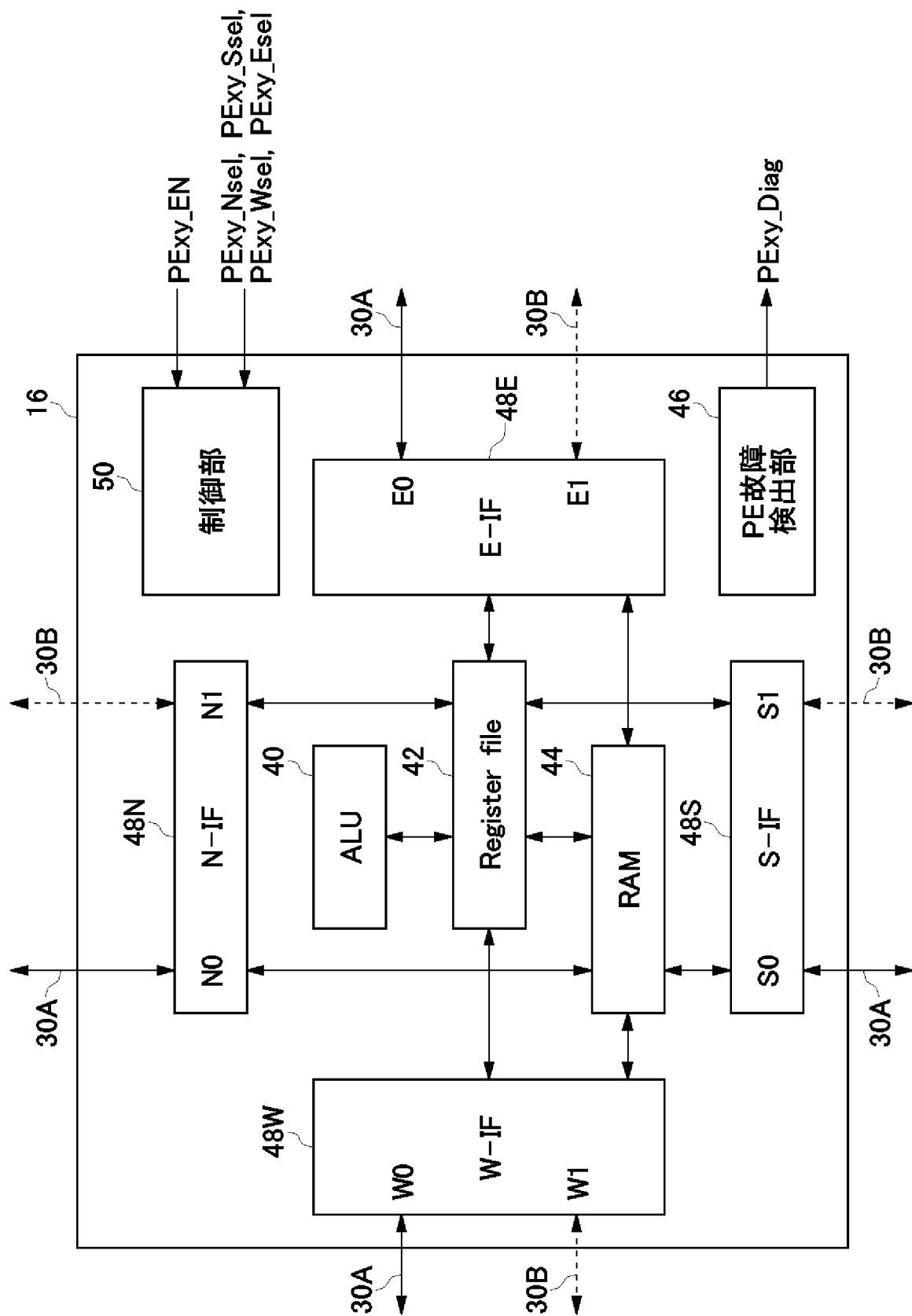
[図2]



[図3]



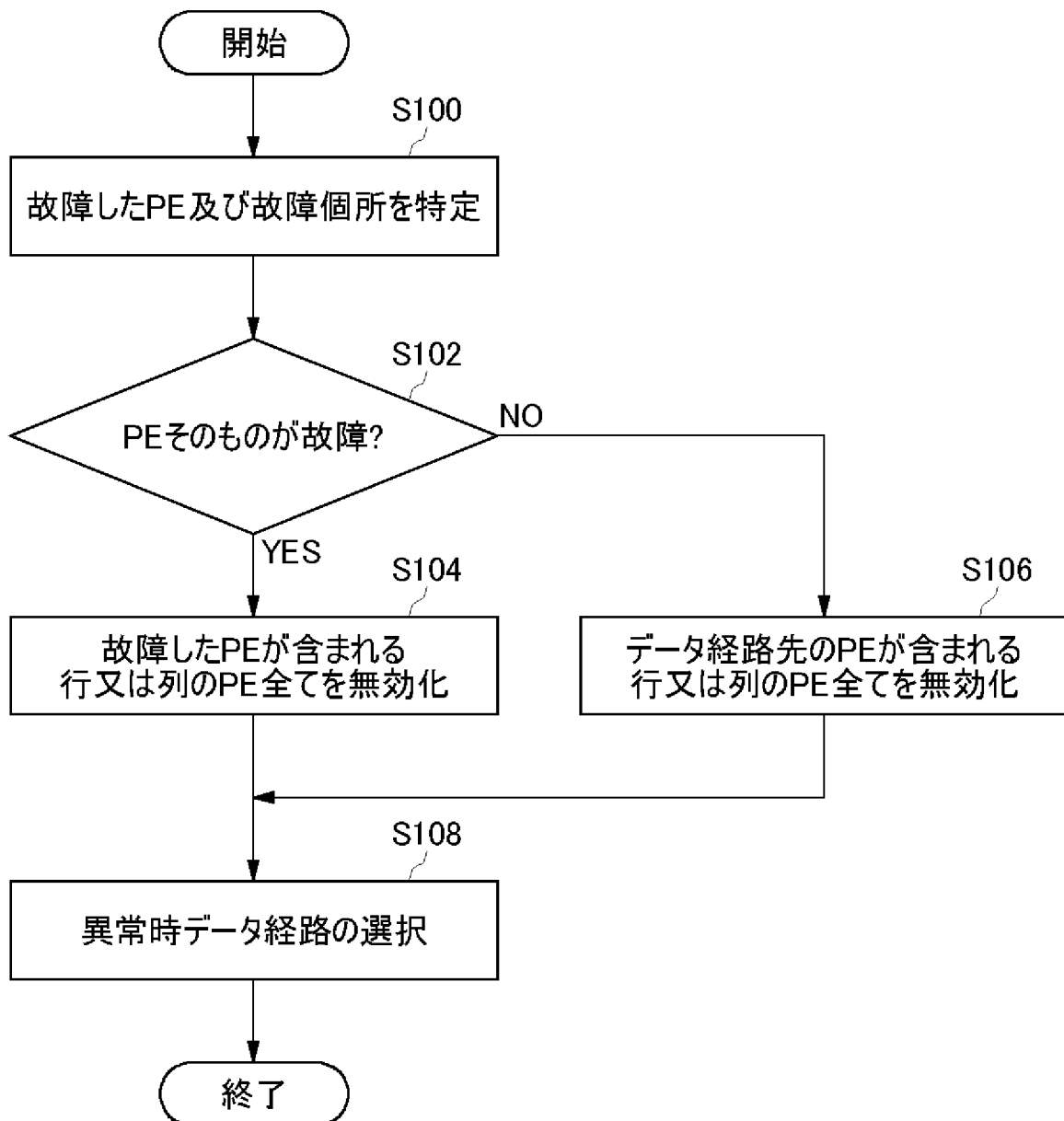
[図4]



[図5]

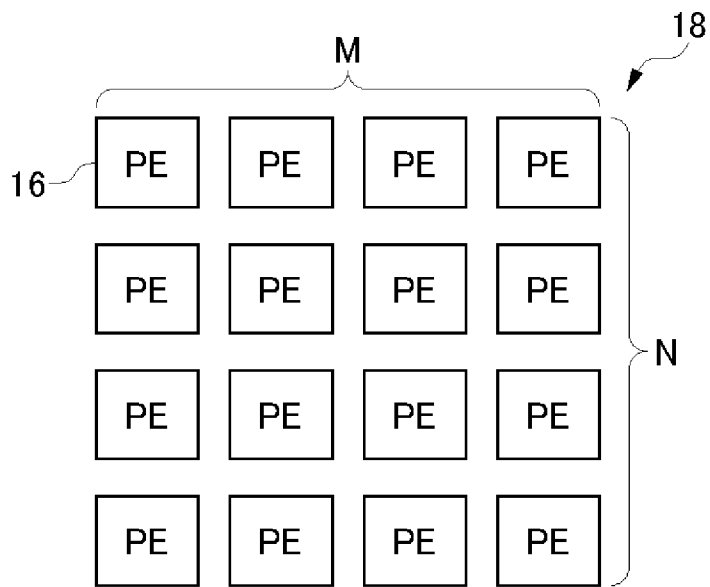
Diag		
故障無し		0
故障有り	制御部/ALU/レジスタ/RAM	1
	N0経路	2
	S0経路	3
	W0経路	4
	E0経路	5

[図6]

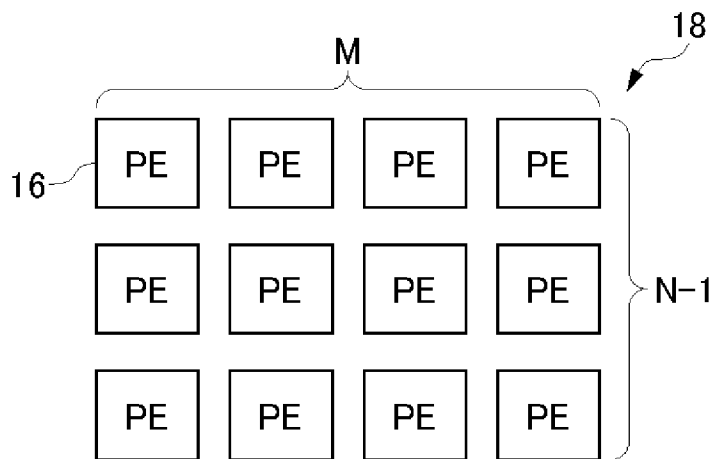


[図7]

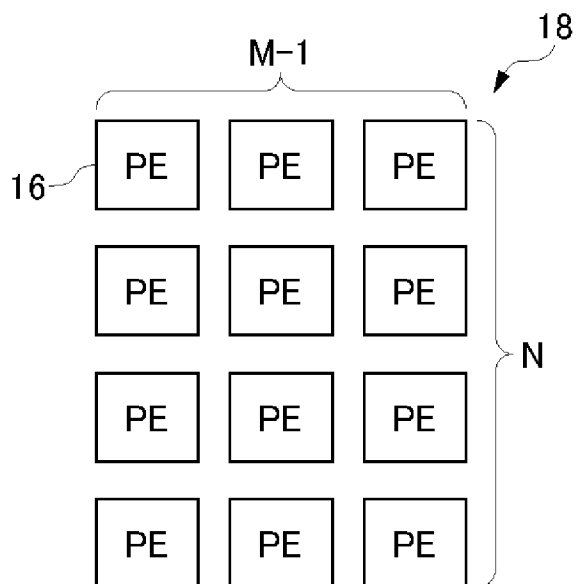
(A)



(B)

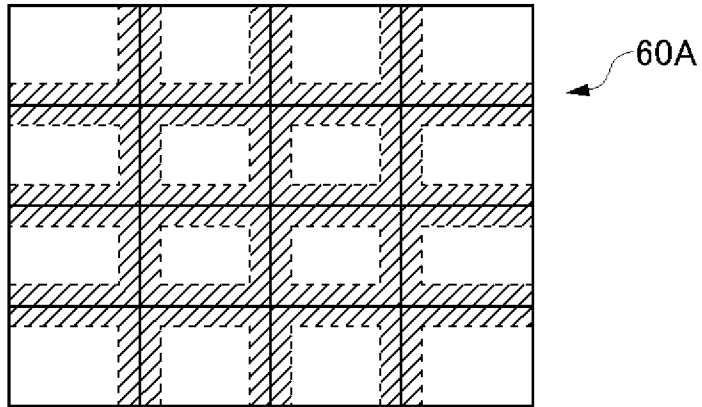


(C)

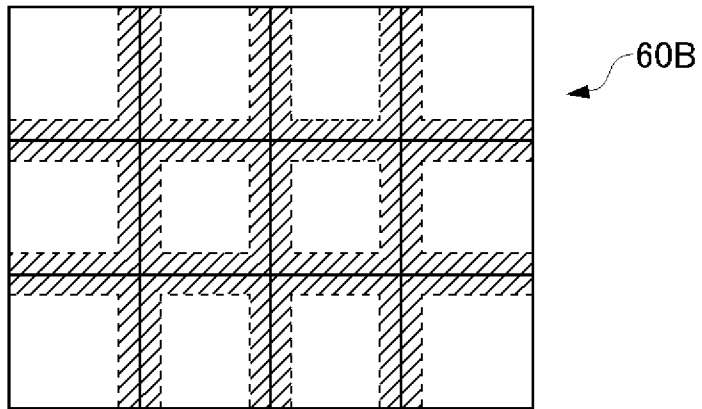


[図8]

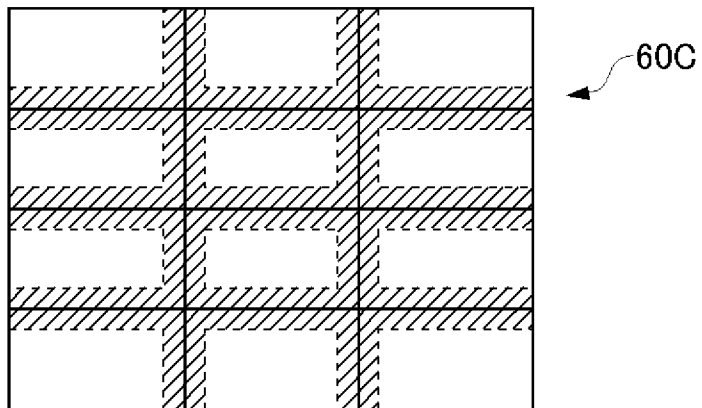
(A)



(B)



(C)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/008133

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G06F15/177 (2006.01) i

FI: G06F15/177A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G06F15/177

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-38494 A (FUJITSU LIMITED) 27 February 2014 (2014-02-27), paragraphs [0012], [0016], [0017], [0077]-[0086], fig. 8, 9	1-5
Y	JP 62-274454 A (HITACHI, LTD.) 28 November 1987 (1987-11-28), page 2, upper left column, line 4 to lower left column, line 17, fig. 1	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

28 April 2021

Date of mailing of the international search report

18 May 2021

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/008133

JP 2014-38494 A 27 February 2014 US 2014/0052923 A1
paragraphs [0024], [0028], [0029],
[0095]-[0105], fig. 8, 9

JP 62-274454 A 28 November 1987 (Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 15/177(2006.01)i FI: G06F15/177 A														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G06F15/177 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	JP 2014-38494 A（富士通株式会社）27.02.2014（2014 - 02 - 27） 段落[0012], [0016] - [0017], [0077] - [0086], [図8] - [図9]	1-5												
Y	JP 62-274454 A（株式会社日立製作所）28.11.1987（1987 - 11 - 28） 第2頁左上欄第4行 - 左下欄第17行, 図1	1-5												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 28.04.2021	国際調査報告の発送日 18.05.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 井上 宏一 5B 4177 電話番号 03-3581-1101 内線 3544													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/008133

引用文献			公表日	パテントファミリー文献	公表日
JP	2014-38494	A	27.02.2014	US 2014/0052923 A1 段落[0024], [0028]－ [0029], [0095]－[0105], FIG.8－FIG.9	
JP	62-274454	A	28.11.1987	(ファミリーなし)	