

19 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
COURBEVOIE

11 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

3 056 824

21 N° d'enregistrement national : 16 59020

51 Int Cl<sup>8</sup> : H 01 L 21/768 (2017.01), H 01 L 23/522

12

## DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 26.09.16.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 30.03.18 Bulletin 18/13.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

Demande(s) d'extension :

71 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public — FR.

72 Inventeur(s) : DEPRAT FABIEN, BATUDE PERRINE, BRUNET LAURENT, FENOUILLET-BERANGER CLAIRE et VINET MAUD.

73 Titulaire(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public.

74 Mandataire(s) : INNOVATION COMPETENCE GROUP.

54 PROCEDE DE FABRICATION D'UN CIRCUIT INTEGRE A PLUSIEURS COUCHES ACTIVES ET CIRCUIT INTEGRE CORRESPONDANT.

57 L'invention concerne un procédé de fabrication d'un circuit intégré (9), comprenant les étapes de:

-fournir un substrat comportant une première couche active (1) et un premier niveau métallique d'interconnexion (21) disposé au-dessus de la couche active (1) et comprenant des premières lignes d'interconnexion (211, 212, 213) séparées par un premier remplissage (219) de matériau sacrificiel;

-former une superposition d'une couche isolante (22) et de deuxième lignes d'interconnexion (231);

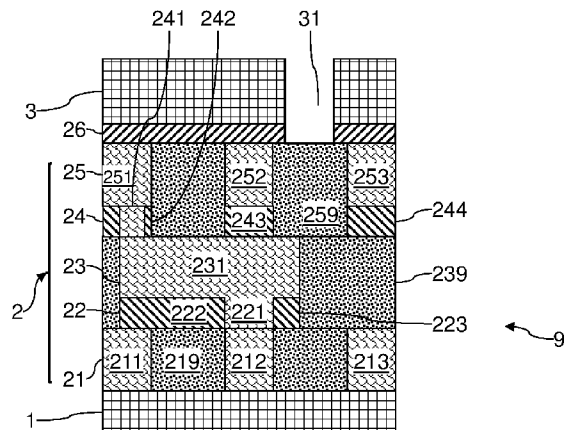
-ménager des accès audit premier remplissage (219) à travers la couche isolante (22);

-remplir lesdits accès avec un deuxième remplissage (239) de matériau sacrificiel;

-former une deuxième couche active (3) au-dessus du deuxième niveau métallique d'interconnexion (23);

-former un accès (31) au deuxième remplissage (239) à travers la deuxième couche active (3);

-retirer les premier et deuxième remplissages (219, 239) par une gravure chimique à travers l'accès (31) au deuxième remplissage (239).



FR 3 056 824 - A1



## PROCEDE DE FABRICATION D'UN CIRCUIT INTEGRE A PLUSIEURS COUCHES ACTIVES ET CIRCUIT INTEGRE CORRESPONDANT

L'invention concerne les circuits intégrés comprenant plusieurs couches  
5 actives de composants électroniques, dits circuits intégrés de type 3D, et en particulier de tels circuits intégrés comprenant des lacunes d'air utilisées comme isolant entre des lignes d'interconnexion.

Afin de diminuer le coût des circuits intégrés et d'augmenter leurs performances, les fabricants ont constamment réduit la taille des transistors,  
10 augmenté leur nombre par puce, et augmenté le nombre de circuits réalisés en parallèle. Pour permettre cette augmentation de performances des circuits intégrés, les technologues ont donc diminué géométriquement les dimensions des transistors de la partie active ainsi que les dimensions des interconnexions. Cependant, ces améliorations ont pour conséquence une amplification des effets  
15 parasites liés aux transistors et aux interconnexions.

La formation des lignes d'interconnexion pour des nœuds technologiques de petite dimension est confrontée à une augmentation du délai de propagation du signal à travers ces lignes d'interconnexion. Les délais de propagation sont sensiblement proportionnels à un produit RC, avec R la résistance de la ligne  
20 d'interconnexion et C la capacité entre la ligne d'interconnexion et son environnement. Plus le nœud technologique est de petite dimension, plus les lignes d'interconnexion sont rapprochées, et plus la capacité créée est importante. En fonction de la taille des circuits intégrés, des études ont établi que la capacité d'une ligne d'interconnexion était l'origine de plus de 80 % du délai de  
25 propagation. Par ailleurs, l'augmentation de la densité d'intégration tend à accroître la longueur des interconnexions servant à relier les différents composants de la couche active.

Pour réduire la capacité entre les lignes d'interconnexion, le brevet US5641712 a proposé de réaliser des évidements entre les lignes  
30 d'interconnexion d'un niveau de métallisation d'une couche d'interconnexion destinée à une couche active. Ces évidements sont encapsulés dans un dépôt d'isolant non conforme, de façon à conserver des lacunes d'air entre les lignes d'interconnexion. Les lacunes d'air permettent de réduire le coefficient de permittivité entre les lignes d'interconnexion, de sorte que les capacités de ces  
35 lignes d'interconnexion d'un même niveau de métallisation sont réduites.

Selon un autre procédé de fabrication décrit dans le brevet US7126223, une couche sacrificielle est formée entre les lignes d'interconnexion d'un niveau de métallisation d'une couche d'interconnexion. Cette couche sacrificielle est formée dans un matériau sacrificiel thermique, s'évaporant par chauffage à une  
40 température suffisante. La couche d'interconnexion est recouverte d'une couche

de diffusion poreuse. Après une étape de chauffage, la couche sacrificielle s'évapore. Le gaz généré par l'évaporation s'évacue à travers la couche de diffusion. Des lacunes d'air sont alors ménagées entre les lignes d'interconnexion d'un même niveau de métallisation. Les lacunes d'air permettent de réduire le coefficient de permittivité entre les lignes d'interconnexion, de sorte que les capacités de ces lignes d'interconnexion sont réduites.

En vue d'accroître la densité d'intégration et/ou de réduire la distance entre les composants électroniques, il est connu de réaliser une intégration 3D, en superposant une deuxième couche active de composants électroniques sur la couche d'interconnexion de la première couche active. La couche d'interconnexion de la première couche active devient alors une couche d'interconnexion intermédiaire.

Les procédés décrits précédemment sont incompatibles avec la formation d'une deuxième couche active selon une intégration 3D, sur une couche d'interconnexion intermédiaire comportant des lacunes d'air entre les lignes d'interconnexion. Dans ces deux procédés, les lacunes d'air affaiblissent excessivement la résistance mécanique de la couche d'interconnexion intermédiaire. Certaines lignes d'interconnexion fléchissent excessivement, au risque de former des courts-circuits avec des lignes d'interconnexion de niveaux de métallisation adjacents. Par ailleurs, la résistance mécanique de la couche d'interconnexion intermédiaire s'avère insuffisante pour résister aux contraintes mécaniques induites par certaines étapes du procédé de fabrication, telles que l'abrasion.

En outre, dans les procédés décrits précédemment, toute étape de chauffage liée à la formation d'une deuxième couche active sur la couche d'interconnexion intermédiaire conduit à de forts risques de dégradation du circuit intégré. En effet, le gaz présent dans les lacunes entre les lignes d'interconnexion est emprisonné entre les premières et deuxièmes couches actives. Lors d'un chauffage, la pression de l'air dans les lacunes d'air augmente proportionnellement à l'augmentation de sa température. Cette surpression peut conduire à de simples dégradations du circuit intégré impactant ses performances, ou à une dislocation de la plaque servant à former le circuit intégré. Cette surpression a d'autant plus de conséquences néfastes que la résistance mécanique de la couche d'interconnexion a été affaiblie par les lacunes d'air.

L'invention vise à résoudre un ou plusieurs de ces inconvénients. L'invention vise notamment à bénéficier d'un circuit intégré capable de résister à des étapes de chauffage lors de la formation d'une autre couche active et capable de résister aux contraintes mécaniques de différentes étapes du processus de fabrication. L'invention porte ainsi sur un procédé de fabrication d'un circuit intégré, comprenant les étapes de :

- 5 -fournir un substrat comportant une première couche active de composants électroniques et un premier niveau métallique d'interconnexion disposé au-dessus de la couche active et comprenant des premières lignes d'interconnexion séparées par un premier remplissage de matériau sacrificiel ;
- former, sur le premier niveau métallique d'interconnexion, une superposition d'une couche isolante et de deuxièmes lignes d'interconnexion d'un deuxième niveau métallique d'interconnexion ;
- 10 -ménager des accès audit premier remplissage à travers la couche isolante et à travers le deuxième niveau métallique d'interconnexion ;
- remplir lesdits accès avec un deuxième remplissage de matériau sacrificiel ;
- former une deuxième couche active de composants électroniques au-dessus du deuxième niveau métallique d'interconnexion ;
- 15 -former un accès au deuxième remplissage à travers la deuxième couche active;
- retirer les premier et deuxième remplissages par une gravure chimique à travers l'accès au deuxième remplissage.

20 L'invention porte également sur les variantes suivantes. L'homme du métier comprendra que chacune des caractéristiques des variantes suivantes peut être combinée indépendamment aux caractéristiques ci-dessus, sans pour autant constituer une généralisation intermédiaire.

Selon une variante, l'étape de ménager un accès audit premier remplissage comprend la gravure de la couche isolante en utilisant les 25 deuxièmes lignes d'interconnexion comme masque dur.

Selon une autre variante, le procédé comprend en outre une étape de formation d'au moins un via connectant électriquement une première ligne d'interconnexion à une deuxième ligne d'interconnexion.

30 Selon encore une variante, lesdites deuxièmes lignes d'interconnexion sont formées selon une direction perpendiculaire aux premières lignes d'interconnexion.

Selon une autre variante, les matériaux desdits remplissage sacrificiels présentent un budget thermique d'évaporation supérieur au budget thermique des 35 étapes du procédé de fabrication mises en œuvre jusqu'au retrait des premiers et deuxièmes remplissages.

Selon encore une autre variante, le premier remplissage de matériau sacrificiel fourni et le deuxième remplissage de matériau sacrificiel formé sont choisis dans le groupe comprenant le silicium amorphe, le silicium germanium et le polysilicium.

Selon une variante, ladite couche isolante est conservée sous les deuxièmes lignes d'interconnexion à l'issue du retrait des premiers et deuxièmes remplissages par la gravure chimique.

Selon une autre variante, le procédé comprend les étapes préalables de :

- 5 -fournir le substrat comportant la première couche active de composants électroniques et le premier niveau métallique d'interconnexion disposé au-dessus de la couche active et comprenant les premières lignes d'interconnexion séparées par un matériau diélectrique;
- former des protections conductrices sur une face supérieure des premières  
10 lignes d'interconnexion ;
- retirer le matériau diélectrique pour ménager des évidements entre les premières lignes d'interconnexion ;
- remplir les évidements entre les premières lignes d'interconnexion avec le premier remplissage de matériau sacrificiel.

- 15 Selon encore une variante, au moins une desdites lignes d'interconnexion du substrat fourni est une ligne d'interconnexion factice.

L'invention porte également sur un circuit intégré, comprenant :

- un substrat comportant une première couche active de composants électroniques ;
- 20 -un premier niveau métallique d'interconnexion disposé au-dessus de la couche active et comprenant des premières lignes d'interconnexion séparées par des lacunes d'air;
- un deuxième niveau métallique d'interconnexion disposé au-dessus du premier niveau métallique d'interconnexion et comprenant des deuxièmes  
25 lignes d'interconnexion séparées par des lacunes d'air en communication avec les lacunes d'air du premier niveau métallique d'interconnexion ;
- le circuit intégré comprenant en outre une deuxième couche active de composants électroniques disposée au-dessus du deuxième niveau métallique d'interconnexion;
- 30 -le circuit intégré comprend une superposition incluant des supports isolants et les deuxièmes lignes d'interconnexion, lesdits supports isolants étant disposés entre les premières lignes d'interconnexion et les deuxièmes lignes d'interconnexion.

- 35 Selon une variante, lesdits supports isolants sont auto alignés avec lesdites deuxièmes lignes d'interconnexion.

Selon encore une variante, des accès traversants sont ménagés à travers la deuxième couche active et communiquent avec les lacunes d'air du deuxième niveau métallique d'interconnexion.

- 40 Selon une autre variante, une desdites premières lignes d'interconnexion est une ligne d'interconnexion factice.

D'autres caractéristiques et avantages de l'invention ressortiront clairement de la description qui en est faite ci-après, à titre indicatif et nullement limitatif, en référence aux dessins annexés, dans lesquels :

- 5           -les figures 1 à 15 illustrent différentes étapes d'un exemple d'un procédé de fabrication d'un circuit intégré selon un mode de réalisation de l'invention, utilisant une technique de double damasquinage ;
- la figure 16 illustre une variante comprenant une ligne d'interconnexion factice utilisée comme support pour des lignes d'interconnexion d'autres niveaux
- 10 de métallisation ;
- les figures 17 à 19 illustrent des étapes pour une variante du procédé de fabrication;
- la figure 20 est une vue en perspective d'un exemple de couche d'interconnexion d'un circuit intégré selon l'invention ;
- 15           -les figures 21 à 26 illustrent des étapes pour une autre variante du procédé de fabrication, utilisant une technique de damasquinage;
- les figures 27 à 33 illustrent des étapes pour une autre variante d'un procédé de fabrication, utilisant une technique de gravure MESA ;
- les figures 34 et 35 sont des diagrammes illustrant respectivement la
- 20 distance de gravure latérale du matériau sacrificiel, et la densité d'accès nécessaire, en fonction de différents paramètres.

L'invention propose de former une superposition d'une couche isolante et de lignes d'interconnexion, sur des lignes d'interconnexion d'un niveau métallique

25 d'interconnexion inférieur séparées par un remplissage de matériau sacrificiel, ce niveau métallique d'interconnexion inférieur étant ménagé sur une couche active de composants électroniques. On forme des accès au remplissage sacrificiel à travers la superposition. On remplit ensuite ces accès par un autre remplissage de matériau sacrificiel. On forme ensuite une autre couche active de composants

30 électroniques en ménageant un accès aux remplissages de matériau sacrificiel et en gravant chimiquement ces remplissages à travers cet accès.

Un tel procédé permet à la fois de former des lacunes d'air entre les lignes d'interconnexion d'un même niveau de métallisation afin de réduire les capacités parasites, et de garantir une tenue mécanique de la couche d'interconnexion

35 formée entre les couches actives, du fait de la présence de la couche d'isolant entre les lignes d'interconnexion des deux niveaux de métallisation.

Les figures 1 à 15 illustrent différentes étapes d'un exemple d'un procédé de fabrication d'un circuit intégré 9 selon un mode de réalisation de l'invention,

40 utilisant une technique de double damasquinage. Les figures 1 à 15 sont des vues

en coupe transversale du circuit intégré 9 à différentes étapes de son processus de fabrication Le circuit intégré 9 formé inclut des transistors dans ses couches actives. Un tel circuit intégré 9 peut bien entendu inclure d'autres types de composants électroniques dans ses couches actives. D'autres composants, tels que des structures MEMS peuvent également être incluses.

À la figure 1, on fournit un substrat comportant une couche active 1 comprenant des composants électroniques non illustrés. Une couche d'interconnexion 2 en cours de formation comprend un niveau de métallisation 21, formé sur la couche active 1. Une couche intermédiaire de métallisation non illustrée peut être interposée entre la couche d'interconnexion 2 et la couche active 1. Cette couche intermédiaire de métallisation peut par exemple être réalisée en SiCN.

Le niveau de métallisation 21 comprend des lignes d'interconnexion 211, 212 et 213 connectées électriquement à des composants électroniques de la couche active 1. Les lignes d'interconnexion 211, 212 et 213 peuvent par exemple être réalisées avec un métal choisi dans le groupe constitué du Cu, Co, W, Al, et Ag, par exemple avec une barrière choisie dans le groupe constitué du Ti, TiN, Ta, TaN, Co, et CoW. Les lignes d'interconnexion 211, 212 et 213 peuvent également être réalisées par exemple avec des siliciures des matériaux suivants : Ni, NiPt, NiCo, NiCoW, TiSi<sub>2</sub>, WSi<sub>2</sub> et PtSi.

Les lignes d'interconnexion 211, 212 et 213 sont séparées par un remplissage de diélectrique 217 provenant d'étapes antérieures du procédé de fabrication du circuit intégré 9. Le remplissage de diélectrique 217 peut par exemple être en oxyde ULK (pour Ultra Low K en langue anglaise, désignant un matériau à permittivité très faible), en SiCN, ou en un empilement de différents diélectriques (par exemple un empilement d'un oxyde et d'un nitrure). Par exemple par une étape antérieure de polissage mécanochimique, le remplissage 217 et les lignes d'interconnexion 211, 212 et 213 peuvent présenter des faces supérieures affleurantes.

À la figure 2, on procède au retrait du remplissage de diélectrique 217, pour former des évidements 218 entre les lignes d'interconnexion 211, 212 et 213. Le retrait du remplissage de diélectrique 217 peut être réalisé de façon connue en soi par l'homme du métier, par exemple par gravure sèche ou par gravure humide. Une telle gravure peut bien entendu être sélective par rapport au matériau des lignes d'interconnexion 211, 212 et 213, et par rapport au matériau de la couche active accessible à travers les évidements 218. Par exemple, en partant de lignes d'interconnexion 211, 212 et 213 formées sur une couche de nitrure de la couche active 1, des lignes d'interconnexion 211, 212 et 213 en W, avec une barrière comprenant une superposition de Ti et TiN, avec un remplissage de diélectrique

217 en SiO<sub>2</sub>, les évidements 218 peuvent être formés par une gravure sèche dans une chambre à couplage capacitif avec une chimie fluorocarbonée.

À la figure 3, on forme un matériau sacrificiel 219 à l'intérieur des évidements 218. En particulier, le matériau sacrificiel 219 est déposé afin de  
5 remplir les évidements 218. Le matériau sacrificiel 219 est ici déposé jusqu'à recouvrir les lignes d'interconnexion 211, 212 et 213. Le matériau sacrificiel 219 est avantageusement un semi-conducteur, par exemple du SiGe ou du Si, par exemple du polysilicium, du poly SiGe, ou du Si amorphe, dont les procédés de dépôt sont connus en soi.

10 À la figure 4, on met en œuvre une étape de polissage mécano-chimique du matériau sacrificiel 219, avec arrêt sur les lignes d'interconnexion 211, 212 et 213 du niveau de métallisation 21. Le matériau sacrificiel 219 est ainsi conservé dans les évidements entre les lignes d'interconnexion 211, 212 et 213.

À la figure 5, on forme une couche de diélectrique 220 sur le niveau de  
15 métallisation 21 incluant les lignes d'interconnexion 211, 212 et 213 et le matériau sacrificiel 219. La couche de diélectrique 220 peut présenter la même composition que le remplissage de diélectrique 217. La couche de diélectrique 220 peut également comprendre une superposition de couches de différents matériaux, par exemple une couche de SiCN déposée sur le niveau de métallisation 21, une  
20 couche d'oxyde ULK déposée sur la couche de SiCN, et une couche de TEOS déposée sur la couche d'oxyde ULK.

À la figure 6, on a procédé à des étapes de photolithographie et de gravure de la couche de diélectrique 220. Un trou 228 est ainsi formé à travers la couche de diélectrique 220, afin de ménager un accès à la ligne d'interconnexion 212. Le  
25 trou 228 est par exemple ménagé dans l'épaisseur d'une couche de SiCN de la couche de diélectrique 220. Un évidement 238 est formé dans la partie supérieure de la couche de diélectrique 220. L'évidement 238 communique avec le trou 228. Dans la vue en coupe de la figure 6, la couche de diélectrique 220 est conservée à l'aplomb des lignes d'interconnexion 211 et 213, et à l'aplomb du matériau  
30 sacrificiel 219. Les gravures peuvent par exemple être de type gravure sèche anisotrope dans une chambre à couplage capacitif avec une chimie fluorocarbonée.

À la figure 7, on réalise une métallisation, de façon à remplir le trou 228 et l'évidement 238. La métallisation comprend ici le dépôt d'une couche métallique  
35 230 selon une technique de double damasquinage. Le dépôt métallique peut comprendre le dépôt d'un métal choisi dans le groupe constitué du Cu, Co, W, Al, et Ag. Le dépôt métallique peut être précédé de la formation d'une barrière (non représentée) choisie dans le groupe constitué du Ti, TiN, Ta, TaN, Co, et CoW. Le dépôt métallique peut également être réalisé en utilisant des siliciures des  
40 matériaux suivants : Ni, NiPt, NiCo, NiCoW, TiSi<sub>2</sub>, WSi<sub>2</sub> et PtSi. La métallisation

est ici réalisée de sorte que la couche métallique 230 recouvre l'ensemble de la couche de diélectrique 220.

À la figure 8, on met en œuvre une étape de polissage mécano-chimique de la couche métallique 230, avec arrêt sur la couche de diélectrique 220. La couche métallique est ainsi conservée dans le trou 228 pour former un via 221. Le via 221 est ainsi formé dans une couche intermédiaire de métallisation 22. La couche métallique est également conservée dans l'évidement 238 pour former une ligne d'interconnexion 231. La ligne d'interconnexion 231 est ainsi formée dans un niveau de métallisation 23. La ligne d'interconnexion 231 est connectée électriquement à la ligne d'interconnexion 212 par l'intermédiaire du via 221. La couche d'interconnexion 2 comprend à ce stade le niveau de métallisation 21, la couche intermédiaire de métallisation 22, et le niveau de métallisation 23. La couche intermédiaire de métallisation 22 inclut ici une partie de la couche de diélectrique 220, disposée notamment sous la ligne d'interconnexion 231.

À la figure 9, on met en œuvre une gravure de la couche de diélectrique 220. La gravure vise notamment à former un accès 227 au matériau sacrificiel 219, à travers la couche intermédiaire de métallisation et à travers le niveau de métallisation 23. La gravure vise également à retirer la couche de diélectrique 220 entre les différentes lignes d'interconnexion du niveau de métallisation 23. La gravure est par exemple de type anisotrope, et peut utiliser les lignes d'interconnexion du niveau de métallisation 23 comme masque dur de cette gravure. Sous les lignes d'interconnexion du niveau de métallisation 23, on forme ainsi des supports auto alignés avec ces lignes d'interconnexion. De tels supports dans la couche intermédiaire de métallisation 22 assurent une liaison mécanique entre les lignes d'interconnexion du niveau de métallisation 23 et les lignes d'interconnexion du niveau de métallisation 21. L'auto alignement entre les supports et les lignes d'interconnexion permet avantageusement d'optimiser la liaison mécanique obtenue. Dans l'exemple illustré, des poutres 222 et 223 forment des supports sous la ligne d'interconnexion 231. Les supports étant en matériau diélectrique, ils assurent également une isolation électrique entre les lignes d'interconnexion du niveau de métallisation 23 et les lignes d'interconnexion du niveau de réalisation 21.

La gravure peut par exemple être de type gravure sèche. La gravure est sélective par rapport au matériau présent dans les lignes d'interconnexion et par rapport au remplissage sacrificiel 219.

À la figure 10, on forme un matériau sacrificiel 239 à l'intérieur des accès 227. En particulier, le matériau sacrificiel 239 est déposé afin de remplir les accès 227, et afin de remplir les espaces entre les différentes lignes d'interconnexion du niveau de métallisation 23. Le matériau sacrificiel 239 est ici déposé jusqu'à recouvrir la ligne d'interconnexion 231. Le matériau sacrificiel 239 est

avantageusement identique au matériau sacrificiel 219. Le matériau sacrificiel 239 est par exemple un semi-conducteur, par exemple du SiGe ou du Si, par exemple du polysilicium, du poly SiGe, ou du Si amorphe.

À la figure 11, on met en œuvre une étape de polissage mécano-chimique du matériau sacrificiel 239, avec arrêt sur la ligne d'interconnexion 231 du niveau de métallisation 23. Le matériau sacrificiel 239 est ainsi conservé dans les espaces entre les lignes d'interconnexion du niveau de métallisation 23, et entre les supports de la couche intermédiaire de métallisation 22. Le matériau sacrificiel 239 est en contact avec le matériau sacrificiel 219 au niveau des accès 227 qui ont été remplis.

À la figure 12, par des procédés similaires, on a formé une couche intermédiaire de métallisation 24 sur le niveau de métallisation 23, et un niveau de métallisation 25 sur la couche intermédiaire de métallisation 24. Le niveau de métallisation 25 comporte notamment des lignes d'interconnexion 251, 252 et 253. Un matériau sacrificiel 259 est ménagé dans les espaces entre les lignes d'interconnexion du niveau de métallisation 25. La couche intermédiaire de métallisation 24 comporte ici des supports 242, 243 et 244 en matériau diélectrique. Les supports 242, 243 et 244 sont formés à l'aplomb respectivement des lignes d'interconnexion 251, 252 et 253. Les supports 242, 243 et 244 constituent des poutres assurant une liaison mécanique entre les lignes d'interconnexion du niveau de métallisation 25 et les lignes d'interconnexion du niveau de métallisation 23. Les supports assurent également une isolation électrique entre les lignes d'interconnexion du niveau de métallisation 25 et les lignes d'interconnexion du niveau de métallisation 23. Les supports de la couche intermédiaire de métallisation 24 sont auto-alignés avec les lignes d'interconnexion du niveau de métallisation 25. Dans l'exemple illustré, un via 241 est ménagé dans la couche intermédiaire de métallisation 24 à travers le support 242, de façon à connecter électriquement la ligne d'interconnexion 251 et la ligne d'interconnexion 231. Le matériau sacrificiel 259 remplit les espaces entre les supports de la couche intermédiaire de métallisation 24. Le matériau sacrificiel 259 remplit des accès au matériau sacrificiel 239, et est donc en contact avec le matériau sacrificiel 239. Les faces supérieures des lignes d'interconnexion du niveau de métallisation 25 sont accessibles pour pouvoir réaliser davantage d'interconnexions. La couche d'interconnexion 2 comporte ici les niveaux de métallisation 21, 23 et 25, et les couches intermédiaires de métallisation 22 et 24. D'autres niveaux de métallisation et couches intermédiaires d'interconnexion peuvent être ajoutés, en utilisant les différentes étapes détaillées précédemment.

À la figure 13, une couche de diélectrique 26 est formée sur le niveau de métallisation 25. La couche de diélectrique 26 peut par exemple être réalisée en SiN.

À la figure 14, on a formé une autre couche de composants électroniques 3 sur la couche de diélectrique 26. La couche d'interconnexion 2 forme ainsi bien une couche d'interconnexion intermédiaire, dans un circuit intégré 9 présentant une intégration 3D. Un accès 31 est formé à travers la couche 3 et à travers la

5 couche de diélectrique 26. L'accès 31 débouche sur le matériau sacrificiel 259. Des accès 31 peuvent être réalisés en quantité suffisante pour fournir suffisamment d'accès au matériau sacrificiel 259 pour son retrait ultérieur. Les accès 31 peuvent être réalisés par gravure sèche anisotrope, de façon connue en soi par l'homme du métier.

10 À la figure 15, on a procédé au retrait du matériau sacrificiel dans la couche d'interconnexion 2. On a ainsi retiré le matériau sacrificiel 219, le matériau sacrificiel 239, et le matériau sacrificiel 259. Le retrait du matériau sacrificiel est réalisé par une gravure chimique à travers les accès 31. Cette gravure est sélective par rapport au(x) matériau(x) des lignes d'interconnexion et des

15 supports des différents niveaux de métallisation et des différentes couches intermédiaires de métallisation. Un matériau sacrificiel en polysilicium peut par exemple être retiré par une gravure humide au TMAH lorsque les lignes d'interconnexion sont en cuivre et comportent une barrière en Ta/TaN. On peut également réaliser une gravure sèche de retrait d'un matériau sacrificiel en

20 Silicium dans la couche d'interconnexion 2, par exemple une gravure sèche avec du XeF<sub>2</sub> en phase vapeur.

La figure 20 est une vue en perspective permettant de mieux discerner la structure d'une couche d'interconnexion 2 à l'issue du retrait du matériau sacrificiel de celle-ci.

25

La figure 34 illustre un exemple de distance de gravure latérale Gl d'un matériau sacrificiel en Si par du XeF<sub>2</sub>, en fonction de la section transversale Sa d'un accès 31 et du temps de gravure Tg. Ce diagramme a été réalisé pour des accès 31 de forme carrée ou circulaire.

30 La figure 35 illustre la densité d'accès Dc 31 nécessaire, en fonction du temps de gravure Tg du matériau sacrificiel en Si par du XeF<sub>2</sub>, et en fonction de la section transversale Sa de chaque accès 31. Ce diagramme a été réalisé pour des accès 31 de forme carrée ou circulaire.

35 Le circuit intégré 9 formé comporte alors des lacunes d'air séparant les lignes d'interconnexion dans chacun des niveaux de métallisation. Les capacités des lignes d'interconnexion dans ces différents niveaux de métallisation sont ainsi réduites. Le circuit intégré 9 comporte notamment :

40 -des lacunes d'air 216 séparant les lignes d'interconnexion 211, 212 et 213 du niveau métallique 21 ;

-des lacunes d'air 236 séparant les lignes d'interconnexion du niveau métallique 23 ;

-des lacunes d'air 256 séparant les lignes d'interconnexion 251, 252 et 253 du niveau métallique 25.

5 On peut noter que les supports des lignes d'interconnexion n'altèrent que modérément les capacités des lignes d'interconnexion, ces capacités étant induites de façon prépondérante entre des lignes d'interconnexion d'un même niveau de métallisation, plutôt qu'entre des lignes d'interconnexion de différents niveaux de métallisation.

10

Le circuit intégré 9 formé comprend des supports assurant une liaison mécanique entre les lignes d'interconnexion des niveaux métalliques adjacents. Le circuit intégré 9 présentera ainsi une résistance mécanique suffisante pour la mise en œuvre d'un certain nombre d'étapes de son procédé de fabrication, par  
15 exemple des étapes d'abrasion, sans risquer une altération de ses fonctionnalités.

Selon ce procédé de fabrication, le matériau sacrificiel de la couche d'interconnexion 2 n'est retiré qu'après la formation de la couche active 3. Ainsi, les étapes de chauffage durant la formation de la couche active 3 n'induisent pas  
20 une suppression, en l'absence préalable de lacunes d'air dans la couche d'interconnexion 2.

L'utilisation d'un matériau sacrificiel semi-conducteur permet de réaliser plus facilement sa gravure chimique sélective par rapport au matériau métallique  
25 des lignes d'interconnexion et par rapport au matériau diélectrique des supports, ou des couches de séparation avec les couches actives 1 et 3.

Par ailleurs, un procédé connu d'intégration 3D consiste à venir assembler la couche active 3 à la couche d'interconnexion 2 par l'intermédiaire d'une interface de collage, incluant usuellement une couche d'oxyde. Un matériau  
30 sacrificiel en semi-conducteur permet également aisément de réaliser une gravure du matériau sacrificiel sélective par rapport à cette interface de collage, qu'il importe de ne pas détériorer.

Dans l'exemple illustré, les lignes d'interconnexion de deux niveaux de  
35 métallisation adjacents sont perpendiculaires. L'invention s'applique bien entendu également à des niveaux de métallisation adjacents comportant des lignes d'interconnexion parallèles.

La figure 16 illustre une variante du procédé de fabrication détaillé précédemment. La vue en coupe de la figure 16 correspond au stade du procédé de fabrication illustré en référence à la figure 9.

Lorsque la distance séparant des lignes d'interconnexion d'un niveau métallique semble trop élevée pour fournir une résistance à la flexion suffisante pour le niveau métallique supérieur, cette variante propose de ménager une ou plusieurs lignes d'interconnexion factice ou non fonctionnelle entre des lignes d'interconnexion fonctionnelles. Ainsi, dans l'exemple, les lignes d'interconnexion 211 et 213 sont fonctionnelles et connectées soit à d'autres lignes d'interconnexion, soit à des composants électroniques de la couche active. Afin d'améliorer la résistance à la flexion de la ligne d'interconnexion 231, une ligne d'interconnexion factice 214 est positionnée entre les lignes d'interconnexion 211 et 213.

Les figures 17 à 19 illustrent des étapes pour une variante du procédé de fabrication. Les étapes décrites en référence aux figures 17 à 19 viennent par exemple en remplacement des étapes décrites en référence aux figures 1 et 2.

À la figure 17, le substrat fourni est identique à celui fourni en référence à la figure 1. Les lignes d'interconnexion 211, 212 et 213 sont ainsi séparées par un remplissage de diélectrique 217.

À la figure 18, on forme une protection conductrice 27 sur les lignes d'interconnexion 211, 212 et 213. Cette protection permet de façon connue en soi de protéger la face supérieure des lignes d'interconnexion 211, 212 et 213, face à des étapes ultérieures du procédé de fabrication. La formation d'une protection 27 conductrice permet de garantir qu'en cas de retrait seulement partiel de cette protection conductrice 27, on puisse conserver un contact électrique avec les lignes d'interconnexion. La protection conductrice 27 peut par exemple être déposée par électrodéposition sur les lignes d'interconnexion, ou par photolithographie et gravure. Par exemple, une protection 27 en CoWP peut être déposée par électrodéposition sur des lignes d'interconnexion en cuivre.

À la figure 19, on procède au retrait du remplissage de diélectrique 217, pour former des évidements 218 entre les lignes d'interconnexion 211, 212 et 213. La protection conductrice 27 peut avantageusement être conservée avant de poursuivre les étapes ultérieures du procédé de fabrication.

Les figures 21 à 26 illustrent différentes étapes d'un exemple d'un procédé de fabrication d'un circuit intégré 9 selon un autre mode de réalisation de l'invention, utilisant une technique de damasquinage pour la réalisation du niveau de métallisation 23. Ce procédé débute typiquement à l'issue de l'étape illustrée à la figure 4 pour le mode de réalisation décrit précédemment.

À la figure 21, on forme une couche de diélectrique 220 sur le niveau de métallisation 21 incluant les lignes d'interconnexion 211, 212 et 213 et le matériau sacrificiel 219. La couche de diélectrique 220 peut présenter la même composition que dans le mode de réalisation décrit précédemment. On procède à des étapes  
5 de photolithographie et de gravure de la couche de diélectrique 220, pour former un trou 228 à travers celle-ci. On ménage ainsi un accès à la ligne d'interconnexion 212. La couche de diélectrique 220 est conservée à l'aplomb des lignes d'interconnexion 211 et 213, et à l'aplomb du matériau sacrificiel 219.

À la figure 22, on réalise une métallisation, de façon à remplir le trou 228.  
10 La métallisation comprend ici le dépôt d'une couche métallique 230. La couche métallique 230 peut présenter la même composition que dans le mode de réalisation décrit précédemment. La couche métallique 230 peut présenter une barrière comme décrit dans le mode de réalisation précédent. La métallisation est ici réalisée de sorte que la couche métallique 230 recouvre l'ensemble de la  
15 couche de diélectrique 220.

À la figure 23, on met en œuvre une étape de polissage mécano-chimique de la couche métallique 230, avec arrêt sur la couche de diélectrique 220. La couche métallique est ainsi conservée dans le trou 228 pour former un via 221. Le via 221 est ainsi formé dans une couche intermédiaire de métallisation 22.

À la figure 24, on forme une couche de diélectrique 226 recouvrant la  
20 couche de diélectrique 220 et le via 221. La couche de diélectrique 226 peut présenter la même composition que la couche de diélectrique 220.

À la figure 25, on procède à des étapes de photolithographie et de gravure de la couche de diélectrique 226, avec arrêt sur le via 221. Un évidement 238 est  
25 formé dans la couche de diélectrique 226. L'évidement 238 communique avec le via 221.

À la figure 26, on réalise une métallisation, de façon à remplir l'évidement 238. La métallisation comprend ici le dépôt d'une couche métallique 237. La couche métallique 237 peut présenter la même composition que la couche  
30 métallique 230. La métallisation est ici réalisée de sorte que la couche métallique 237 recouvre l'ensemble de la couche de diélectrique 226 et remplit l'évidement 238. À ce stade, le circuit intégré 9 présente sensiblement la structure du circuit intégré 9 illustré à la figure 7. Le procédé de fabrication du circuit intégré 9 peut être poursuivi, comme décrit en référence aux figures 8 à 15, puis inclure  
35 par exemple une étape de polissage mécano-chimique et un retrait de diélectrique.

Les figures 27 à 33 illustrent différentes étapes d'un exemple d'un procédé de fabrication d'un circuit intégré 9 selon un autre mode de réalisation de l'invention, utilisant une technique de gravure MESA pour la réalisation du niveau

de métallisation 23. Ce procédé débute typiquement à l'issue de l'étape illustrée à la figure 4 pour le mode de réalisation décrit précédemment.

5 À la figure 27, on réalise une métallisation pleine plaque. La métallisation comprend ici le dépôt d'une couche métallique 230. La couche métallique 230 peut présenter la même composition que dans les modes de réalisation décrits précédemment. La couche métallique 230 peut présenter une barrière comme décrit dans les modes de réalisation précédents. La métallisation est ici réalisée de sorte que la couche métallique 230 recouvre l'ensemble du niveau de métallisation 21.

10 À la figure 28, on procède à des étapes de photolithographie et de gravure de la couche métallique 230, pour former un via 221 sur la ligne d'interconnexion 212. On découvre par ailleurs les lignes d'interconnexion 211 et 213, ainsi que le matériau sacrificiel 219.

15 À la figure 29, on forme une couche de diélectrique 220, typiquement un dépôt isotrope. La couche de diélectrique 220 est formée pleine plaque sur le via 221, sur les lignes d'interconnexion 211 et 213, et sur le matériau sacrificiel 219. La couche de diélectrique 220 peut présenter la même composition que dans les modes de réalisation précédents.

20 À la figure 30, on met en œuvre une étape de polissage mécano-chimique de la couche de diélectrique 220, avec arrêt sur le via 221.

À la figure 31, on réalise une métallisation pleine plaque, recouvrant le via 221 et la couche de diélectrique 220. La métallisation comprend ici le dépôt d'une couche métallique 237. La couche métallique 237 peut présenter la même composition que la couche métallique 230.

25 À la figure 32, on procède à des étapes de photolithographie et de gravure de la couche métallique 237, pour former la ligne d'interconnexion 231. La gravure est réalisée avec arrêt sur la couche de diélectrique 220.

30 À la figure 33, on procède à une gravure de la couche de diélectrique 220, en utilisant la ligne d'interconnexion 231 comme masque dur. On forme ainsi un accès 227 au matériau sacrificiel 219. On forme également des supports auto alignés avec la ligne d'interconnexion 231, ici des poutres 222 et 223. Le procédé de fabrication du circuit intégré 9 peut être poursuivi, comme décrit en référence aux figures 10 à 15.

35 Même du fait d'un auto alignement avec les lignes d'interconnexion, des supports réalisés selon l'invention peuvent (notamment par des effets indésirés d'étapes de gravure mises en œuvre durant le processus de fabrication) :

40 • présenter une largeur non constante sur leur hauteur (c'est-à-dire présenter une section non rectangulaire). Lorsque les supports présentent une section transversale comportant des évidements latéraux bombés, ces

évidements présenteront avantageusement un rayon de courbure au plus égal à 10 % de la largeur de la ligne d'interconnexion supportée ; et/ou

- présenter une largeur moyenne inférieure à celle des lignes d'interconnexion qu'elles supportent.

5

Les matériaux sacrificiels sont choisis pour présenter une température d'évaporation ou de destruction supérieure aux températures mises en œuvre durant les différentes étapes du procédé de fabrication précédant leur retrait. Les matériaux sacrificiels sont ainsi conservés pour ne pas former de lacunes d'air

10 dans la couche d'interconnexion intermédiaire, avant l'ouverture des accès 31 à travers la couche active 3.

**REVENDEICATIONS**

1. Procédé de fabrication d'un circuit intégré (9), caractérisé en ce qu'il comprend les étapes de :
  - 5 -fournir un substrat comportant une première couche active (1) de composants électroniques et un premier niveau métallique d'interconnexion (21) disposé au-dessus de la couche active (1) et comprenant des premières lignes d'interconnexion (211, 212, 213) séparées par un premier remplissage (219) de matériau sacrificiel ;
  - 10 -former, sur le premier niveau métallique d'interconnexion (21), une superposition d'une couche isolante (22) et de deuxièmes lignes d'interconnexion (231) d'un deuxième niveau métallique d'interconnexion (23);
  - ménager des accès (220) audit premier remplissage (219) à travers la couche isolante (22) et à travers le deuxième niveau métallique d'interconnexion (23);
  - 15 -remplir lesdits accès (220) avec un deuxième remplissage (239) de matériau sacrificiel ;
  - former une deuxième couche active (3) de composants électroniques au-dessus du deuxième niveau métallique d'interconnexion (23) ;
  - former un accès (31) au deuxième remplissage (239) à travers la deuxième
  - 20 couche active (3) ;
  - retirer les premier et deuxième remplissages (219, 239) par une gravure chimique à travers l'accès (31) au deuxième remplissage (239).
2. Procédé de fabrication d'un circuit intégré (9) selon la revendication 1, dans lequel l'étape de ménager un accès (220) audit premier remplissage (219) comprend la gravure de la couche isolante (22) en utilisant les deuxièmes lignes d'interconnexion (231) comme masque dur.
- 25 3. Procédé de fabrication d'un circuit intégré (9) selon la revendication 1 ou 2, comprenant en outre une étape de formation d'au moins un via (221) connectant électriquement une première ligne d'interconnexion (212) à une deuxième ligne d'interconnexion (231).
- 30 4. Procédé de fabrication d'un circuit intégré (9) selon l'une quelconque des revendications précédentes, dans lequel lesdites deuxièmes lignes d'interconnexion sont formées selon une direction perpendiculaire aux premières lignes d'interconnexion.
- 35 5. Procédé de fabrication d'un circuit intégré (9) selon l'une quelconque des revendications précédentes, dans lequel les matériaux desdits remplissage sacrificiels présentent un budget thermique d'évaporation supérieur au budget
- 40

thermique des étapes du procédé de fabrication mises en œuvre jusqu'au retrait des premiers et deuxièmes remplissages.

- 5 6. Procédé de fabrication d'un circuit intégré (9) selon l'une quelconque des revendications précédentes, dans lequel le premier remplissage de matériau sacrificiel fourni et le deuxième remplissage de matériau sacrificiel formé sont choisis dans le groupe comprenant le silicium amorphe, le silicium germanium et le polysilicium.
- 10 7. Procédé de fabrication d'un circuit intégré (9) selon l'une quelconque des revendications précédentes, dans lequel ladite couche isolante (22) est conservée sous les deuxièmes lignes d'interconnexion (231) à l'issue du retrait des premiers et deuxièmes remplissages par la gravure chimique.
- 15 8. Procédé de fabrication d'un circuit intégré (9) selon l'une quelconque des revendications précédentes, comprenant les étapes préalables de :
- 20 -fournir le substrat comportant la première couche active (1) de composants électroniques et le premier niveau métallique d'interconnexion (21) disposé au-dessus de la couche active (1) et comprenant les premières lignes d'interconnexion (211, 212, 213) séparées par un matériau diélectrique (217) ;
- former des protections conductrices (27) sur une face supérieure des premières lignes d'interconnexion (211, 212, 213) ;
- retirer le matériau diélectrique (217) pour ménager des évidements (218) entre les premières lignes d'interconnexion ;
- 25 -remplir les évidements (218) entre les premières lignes d'interconnexion avec le premier remplissage (219) de matériau sacrificiel.
9. Procédé de fabrication d'un circuit intégré (9) selon l'une quelconque des revendications précédentes, dans lequel au moins une desdites lignes d'interconnexion du substrat fourni est une ligne d'interconnexion factice (214).
- 30 10. Circuit intégré (9), comprenant :
- un substrat comportant une première couche active (1) de composants électroniques ;
- 35 -un premier niveau métallique d'interconnexion (21) disposé au-dessus de la couche active et comprenant des premières lignes d'interconnexion (211, 212, 213) séparées par des lacunes d'air (216) ;
- un deuxième niveau métallique d'interconnexion (23) disposé au-dessus du premier niveau métallique d'interconnexion et comprenant des deuxièmes lignes d'interconnexion (231) séparées par des lacunes d'air (226) en communication avec les lacunes d'air (216) du premier niveau métallique
- 40 d'interconnexion ;

caractérisé en ce que :

-le circuit intégré (9) comprend en outre une deuxième couche active (3) de composants électroniques disposée au-dessus du deuxième niveau métallique d'interconnexion (23) ;

5 -le circuit intégré (9) comprend une superposition incluant des supports isolants (222, 223) et les deuxième lignes d'interconnexion, lesdits supports isolants étant disposés entre les premières lignes d'interconnexion et les deuxième lignes d'interconnexion.

10 11.Circuit intégré (9) selon la revendication 10, dans lequel lesdits supports isolants (222, 223) sont auto alignés avec lesdites deuxième lignes d'interconnexion.

15 12.Circuit intégré (9) selon la revendication 10 ou 11, dans lequel des accès traversants (31) sont ménagés à travers la deuxième couche active (3) et communiquent avec les lacunes d'air (226) du deuxième niveau métallique d'interconnexion.

20 13.Circuit intégré (9) selon l'une quelconque des revendications 10 à 12, dans lequel une desdites premières lignes d'interconnexion est une ligne d'interconnexion factice (214).

1/14

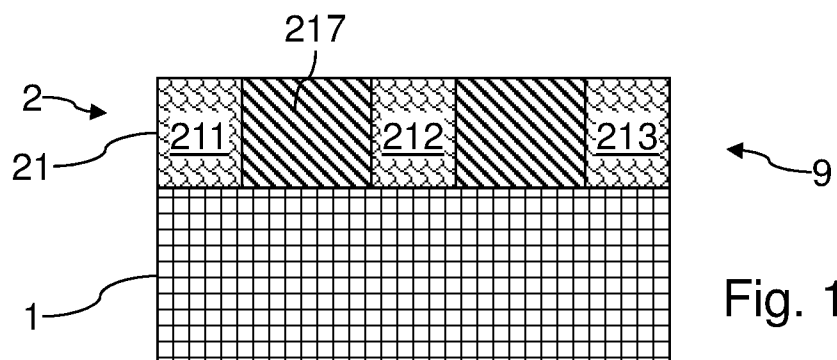


Fig. 1

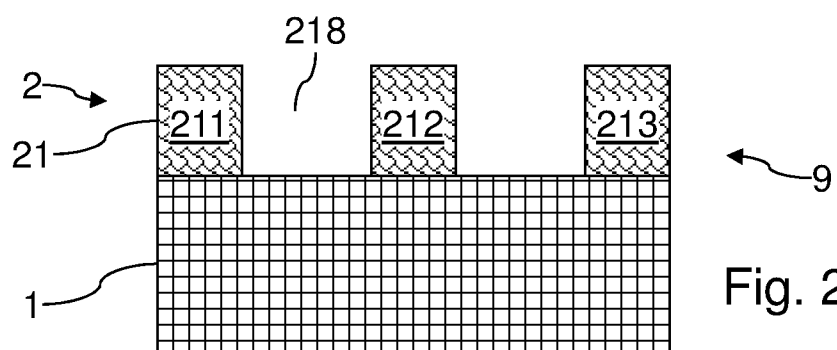


Fig. 2

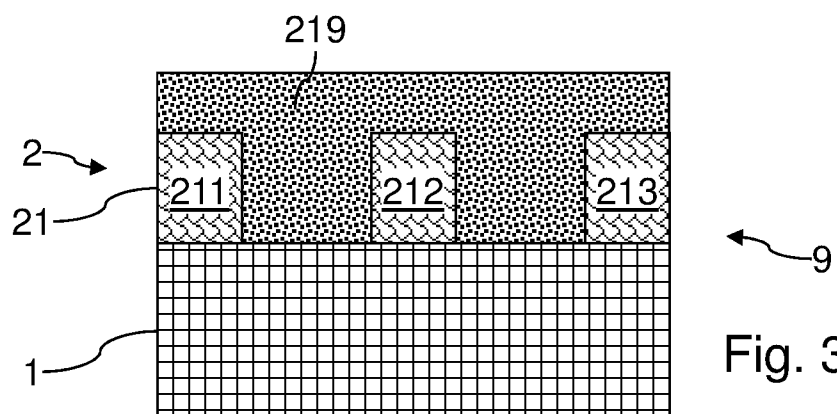
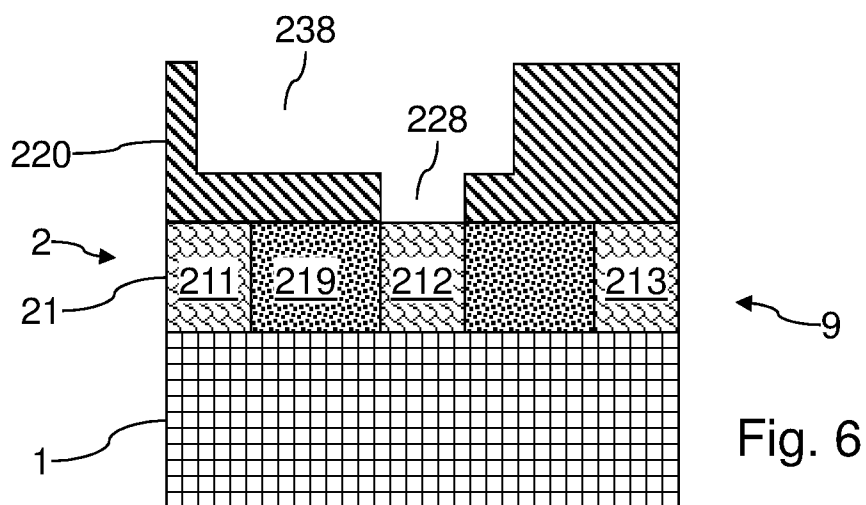
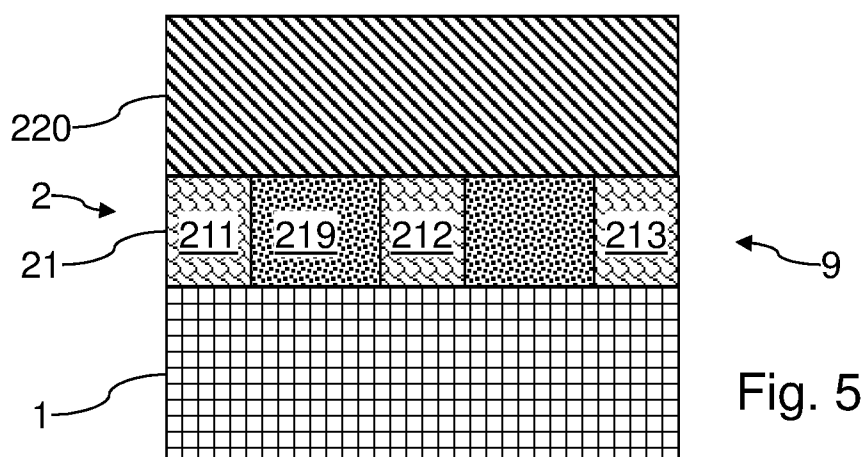
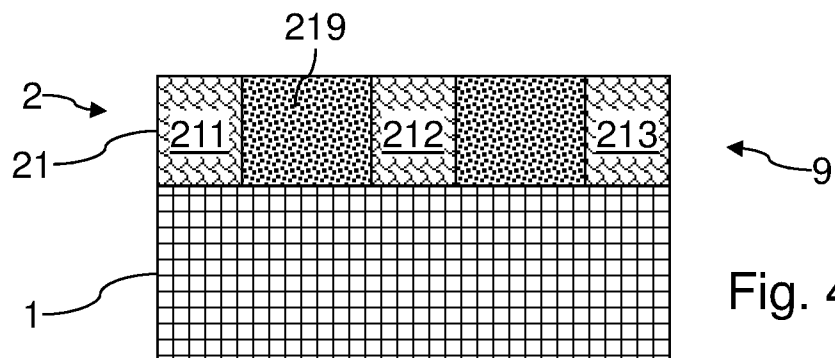


Fig. 3

2/14



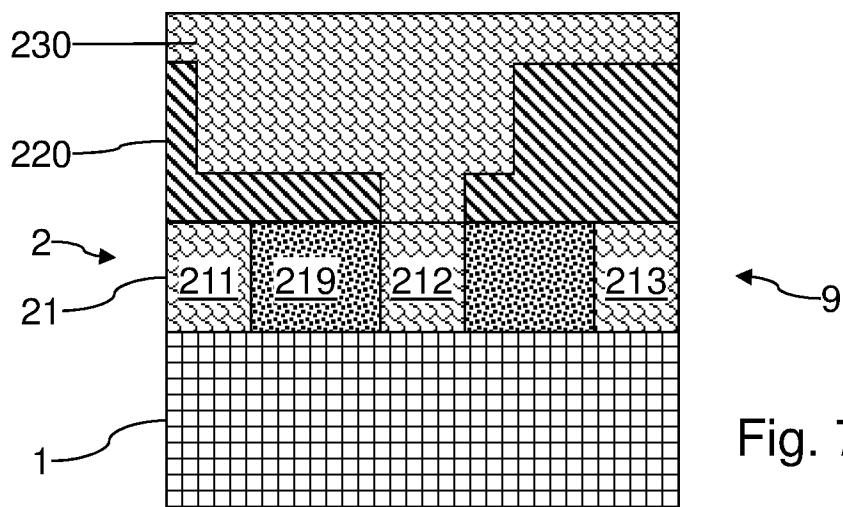


Fig. 7

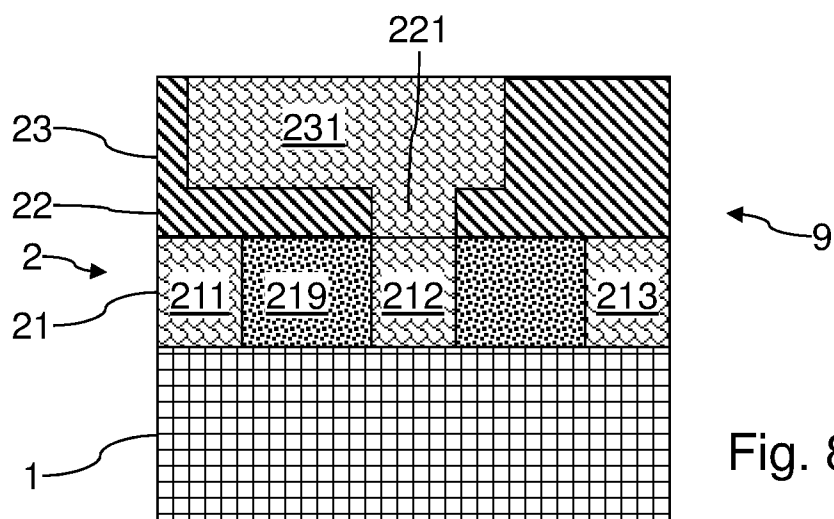


Fig. 8

4/14

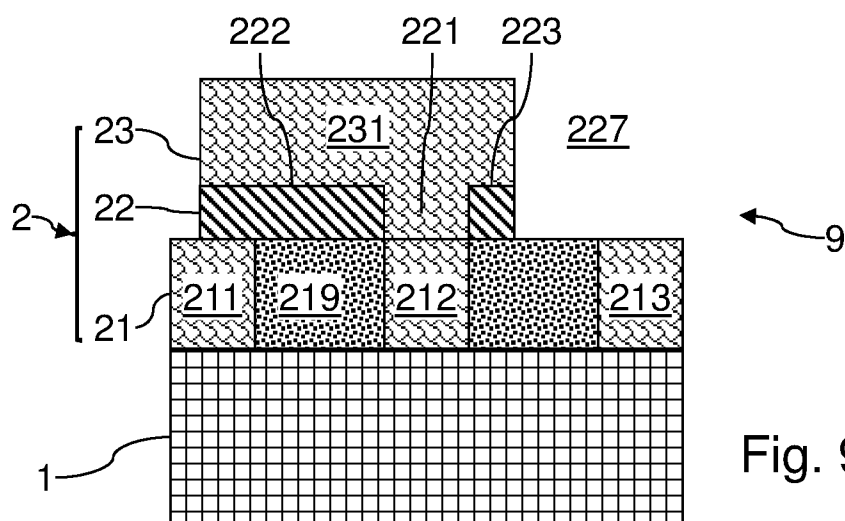


Fig. 9

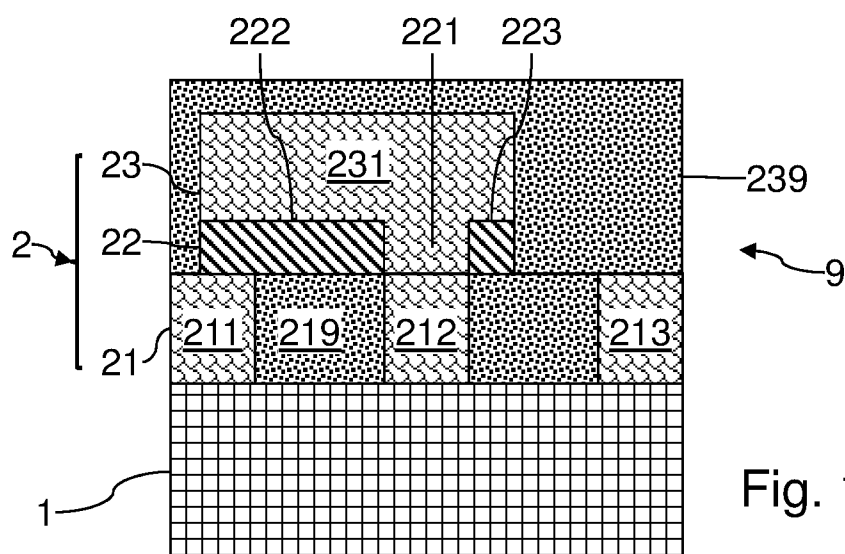


Fig. 10

5/14

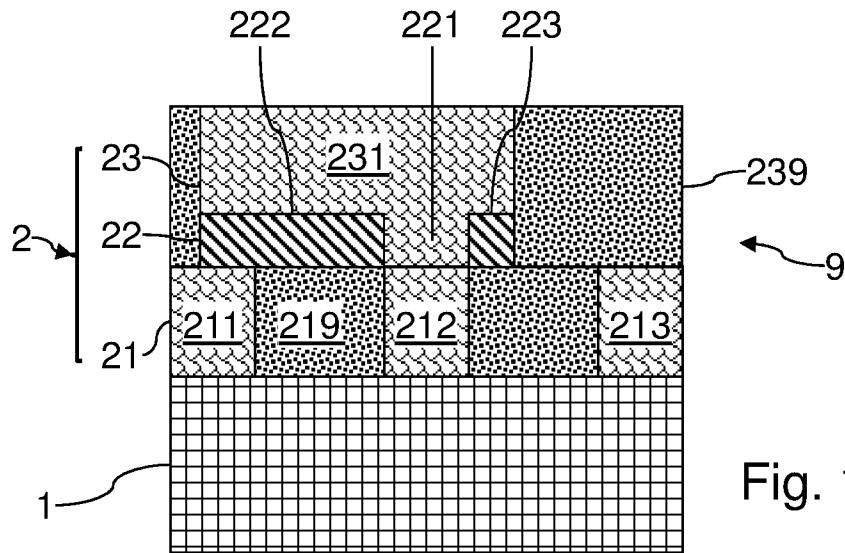


Fig. 11

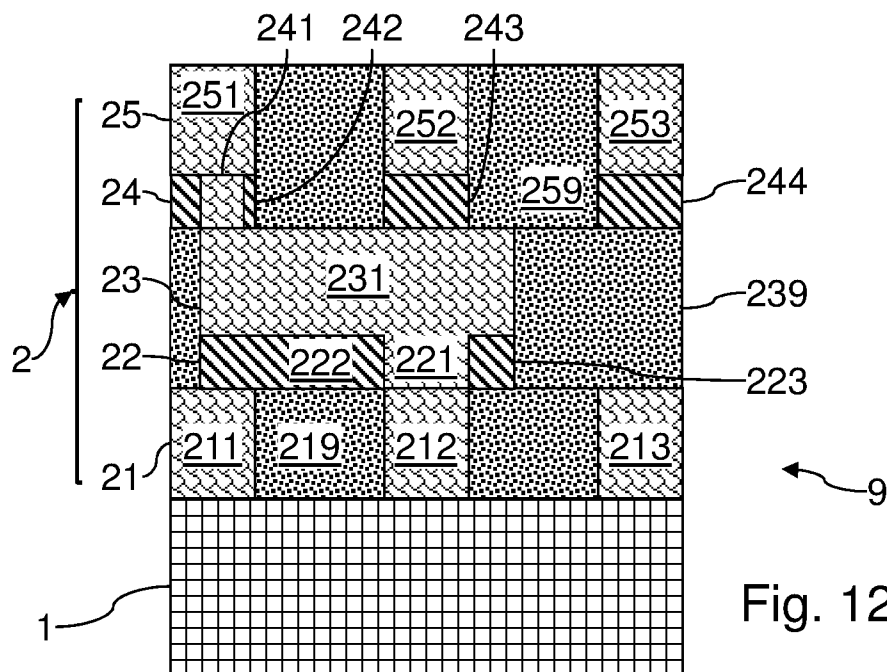


Fig. 12

6/14

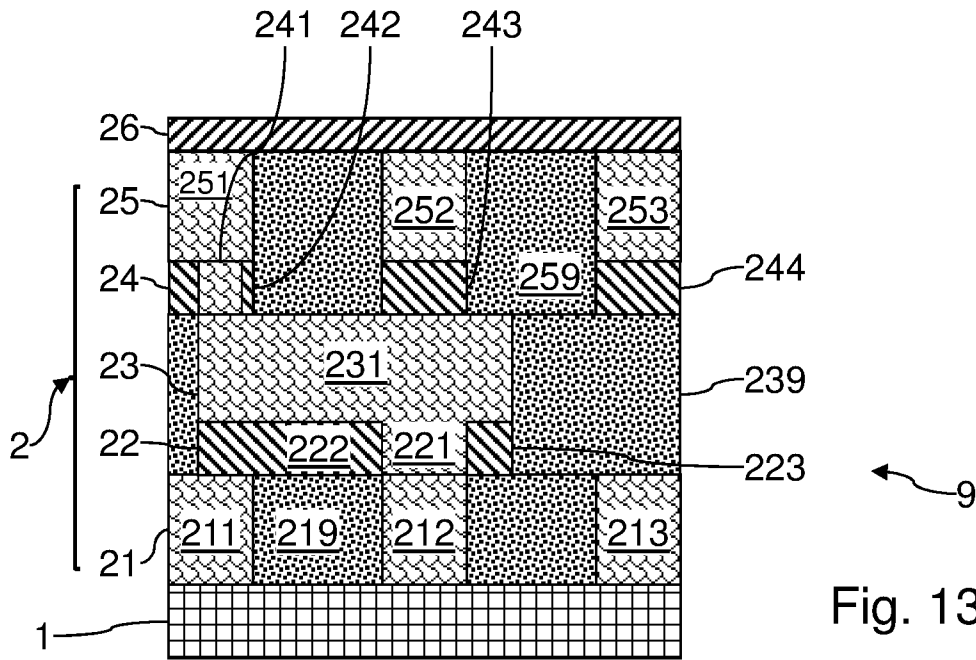


Fig. 13

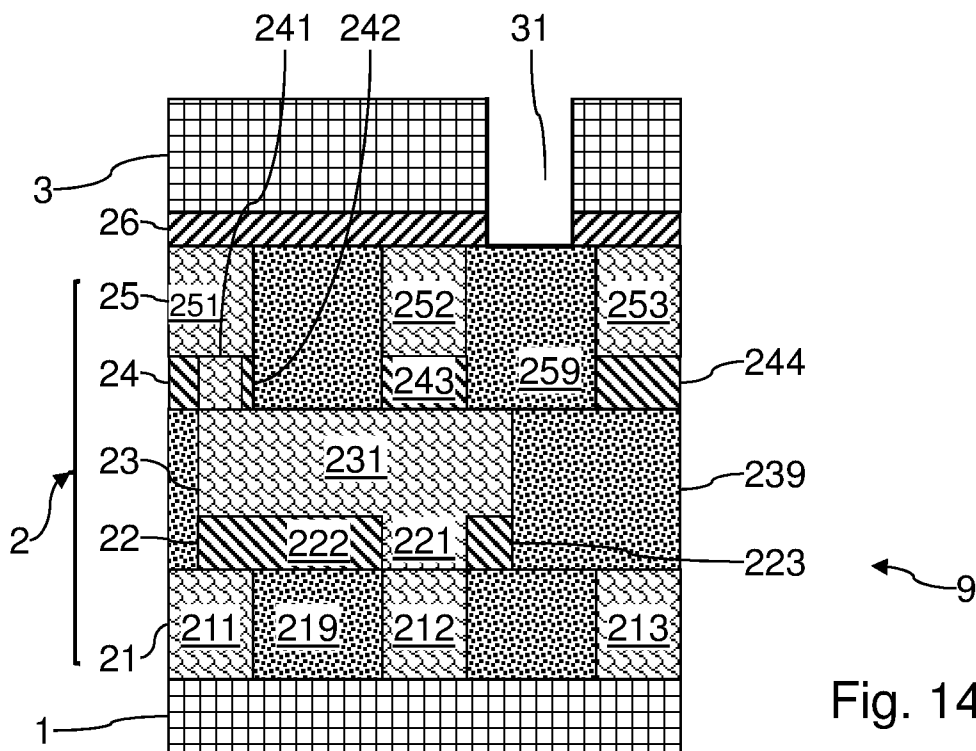


Fig. 14

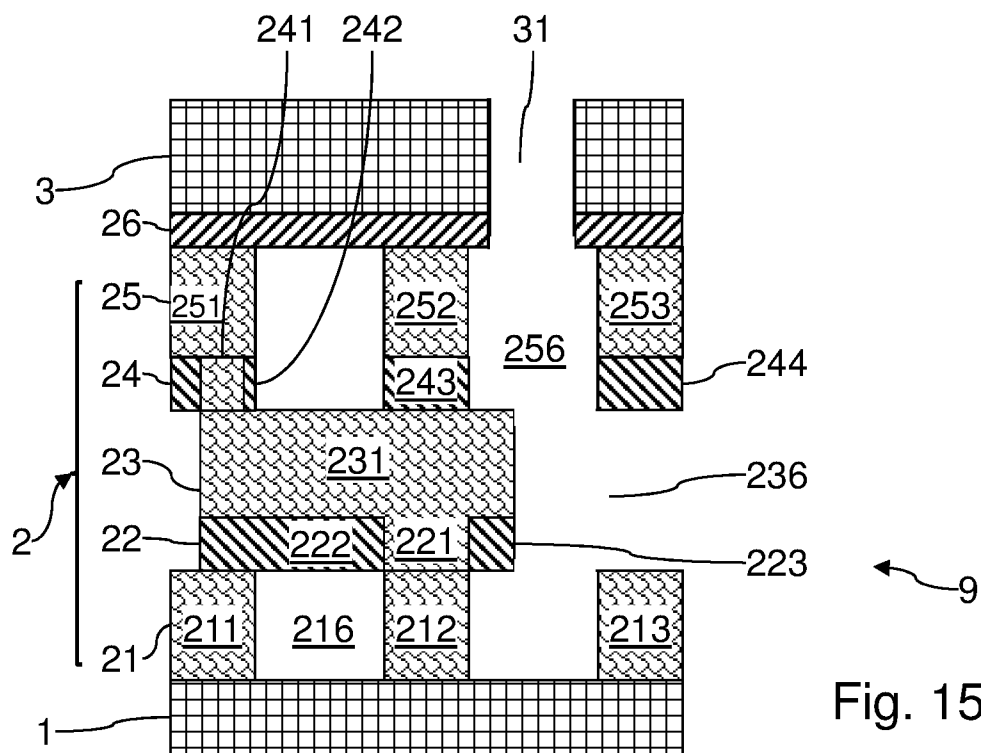


Fig. 15

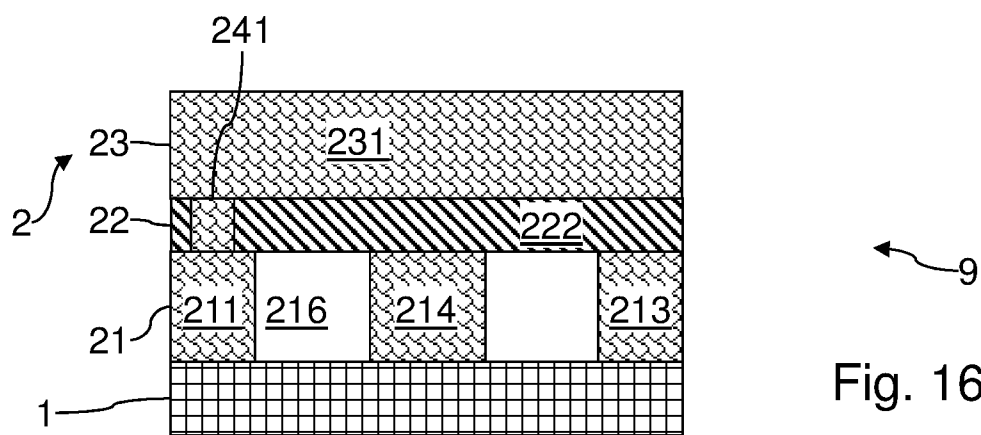


Fig. 16

8/14

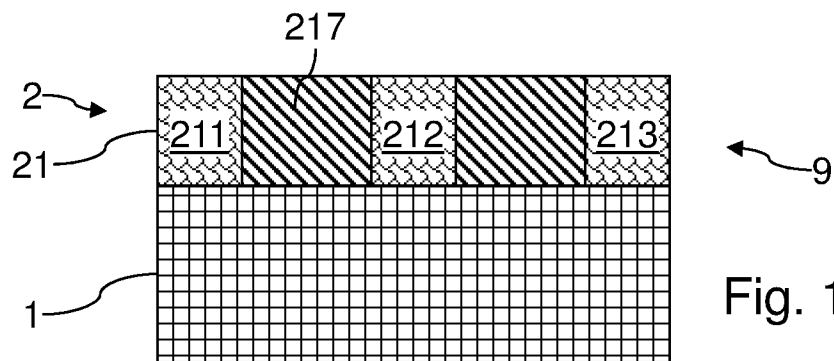


Fig. 17

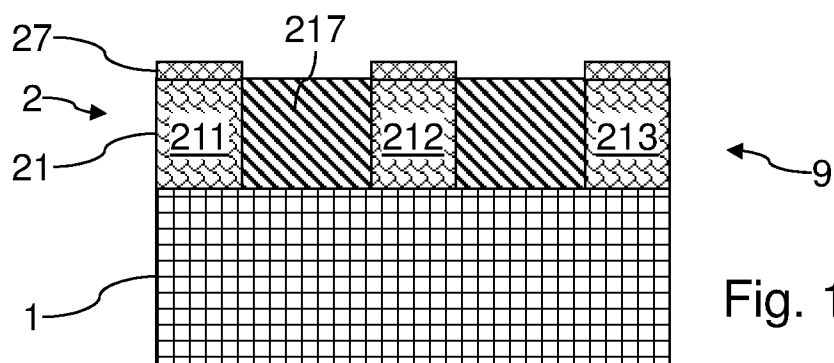


Fig. 18

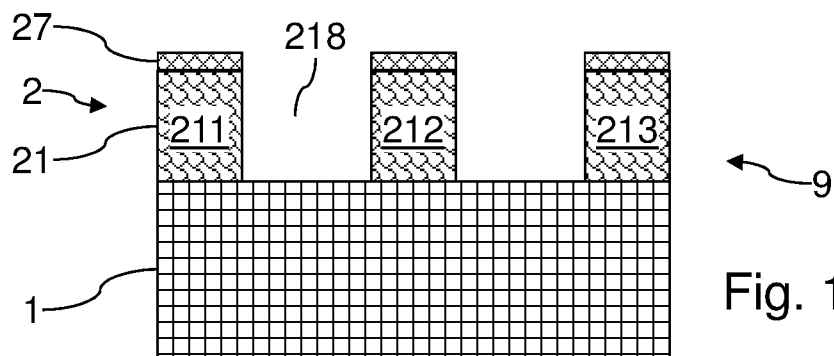


Fig. 19

Fig. 20

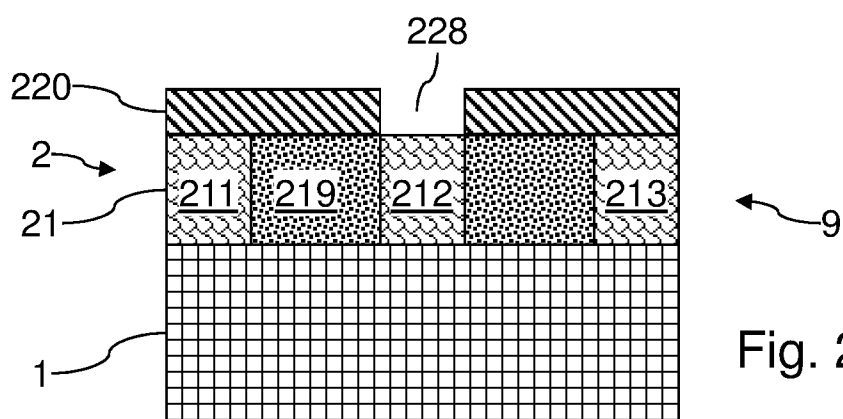
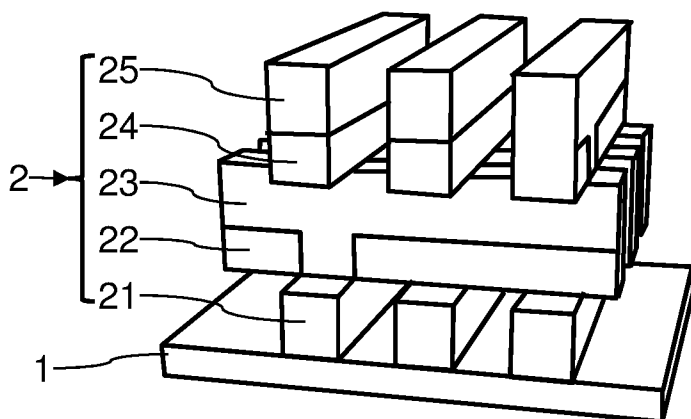


Fig. 21

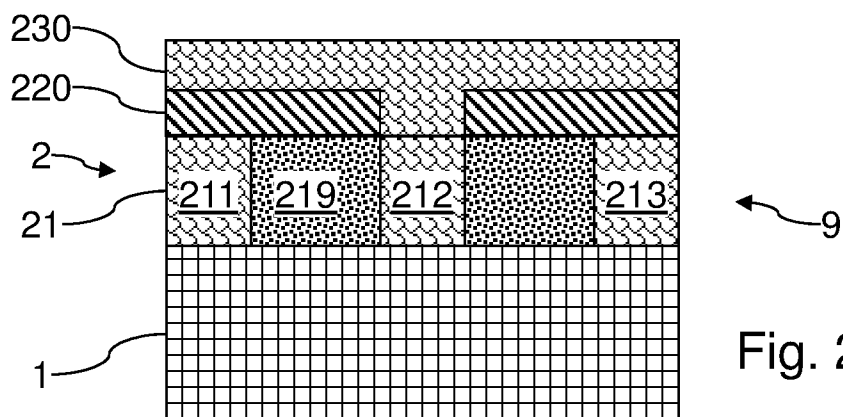


Fig. 22

10/14

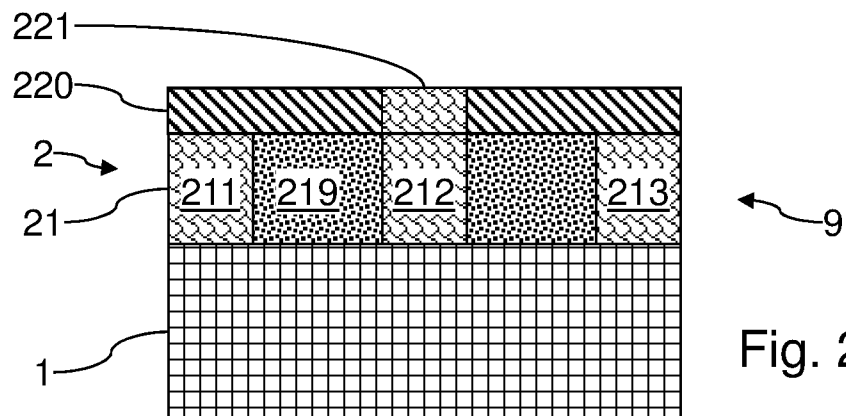


Fig. 23

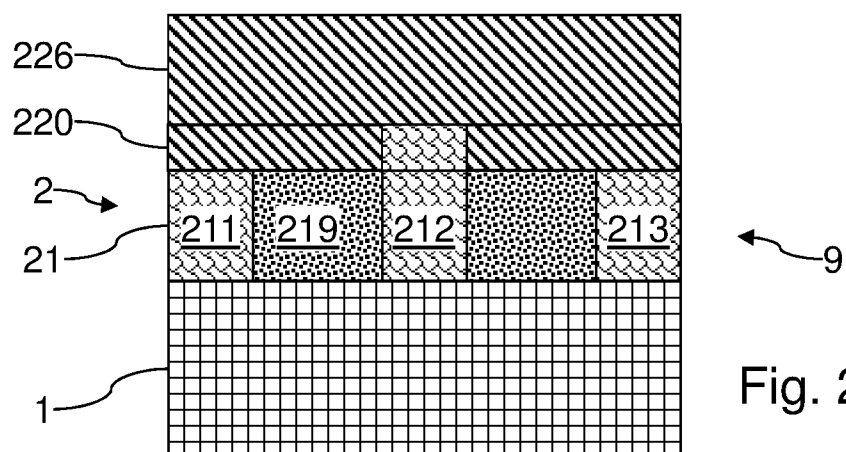


Fig. 24

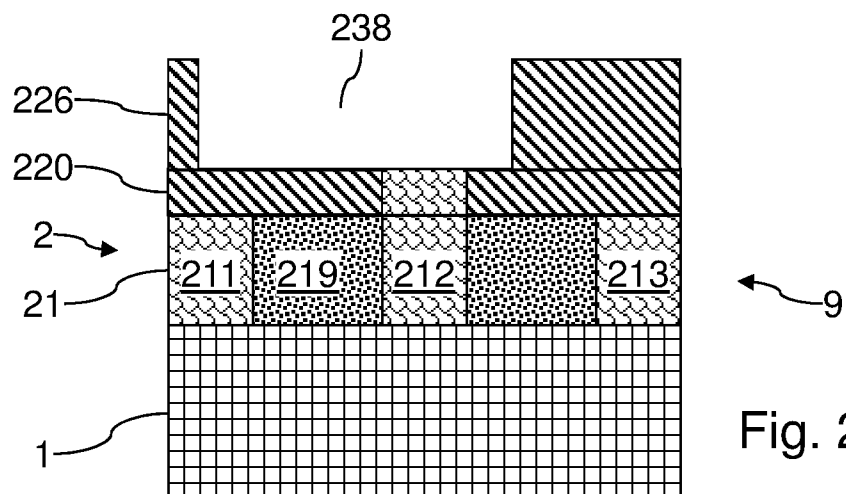


Fig. 25

11/14

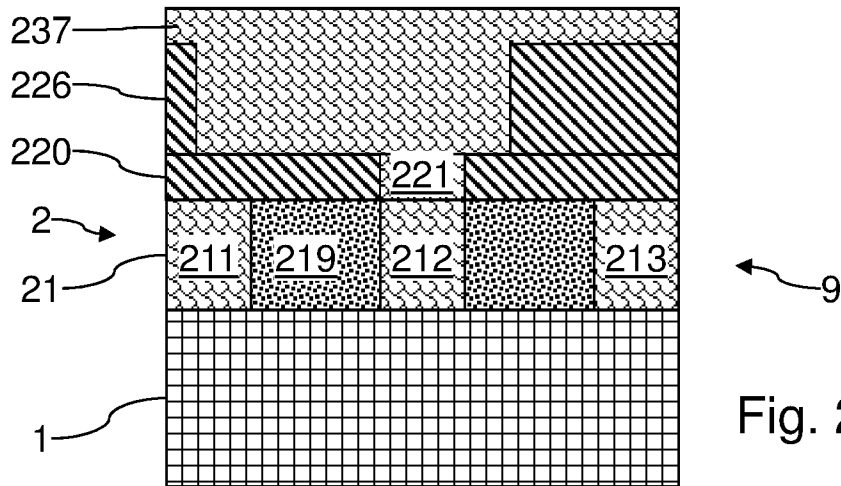


Fig. 26

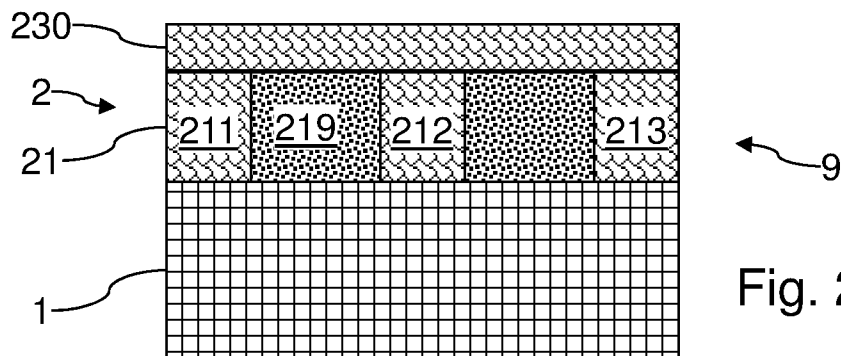


Fig. 27

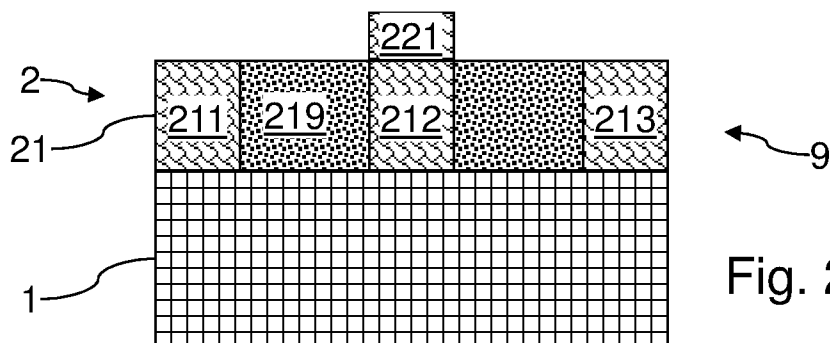


Fig. 28

12/14

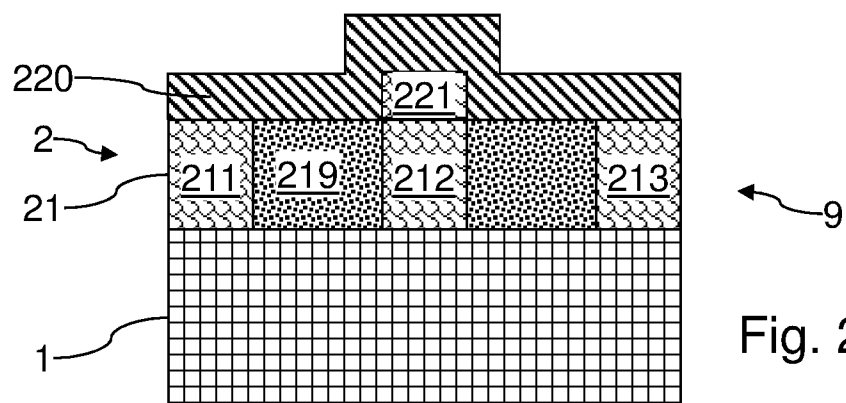


Fig. 29

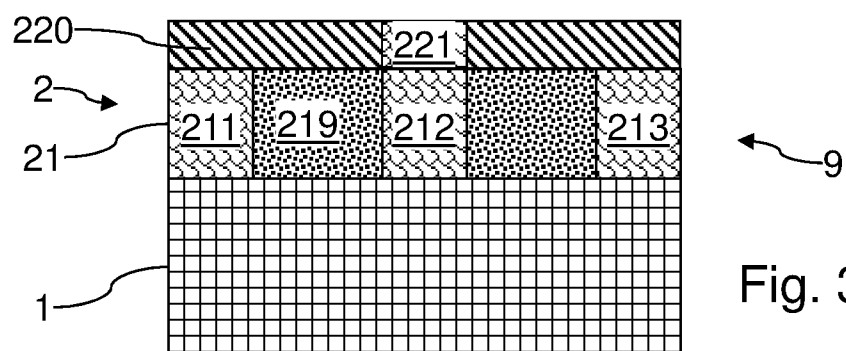


Fig. 30

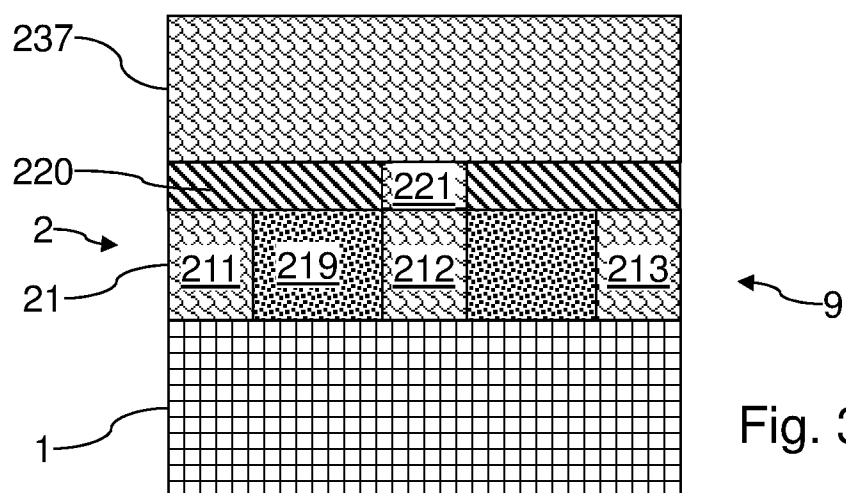


Fig. 31

13/14

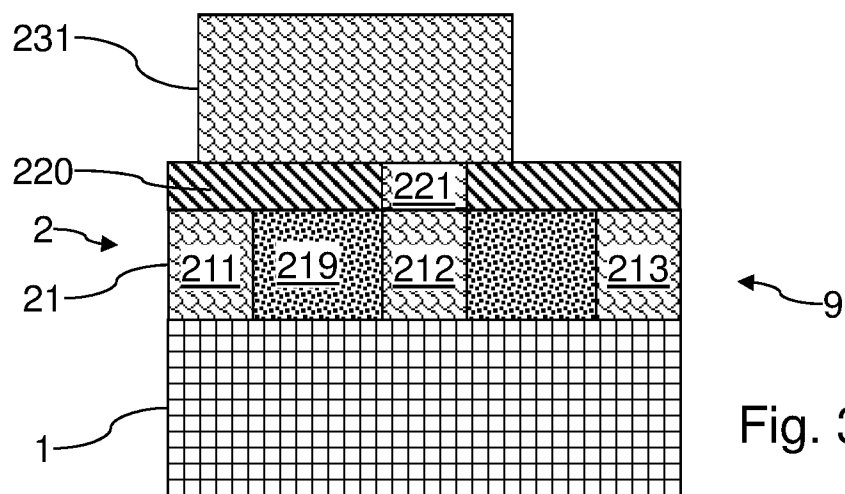


Fig. 32

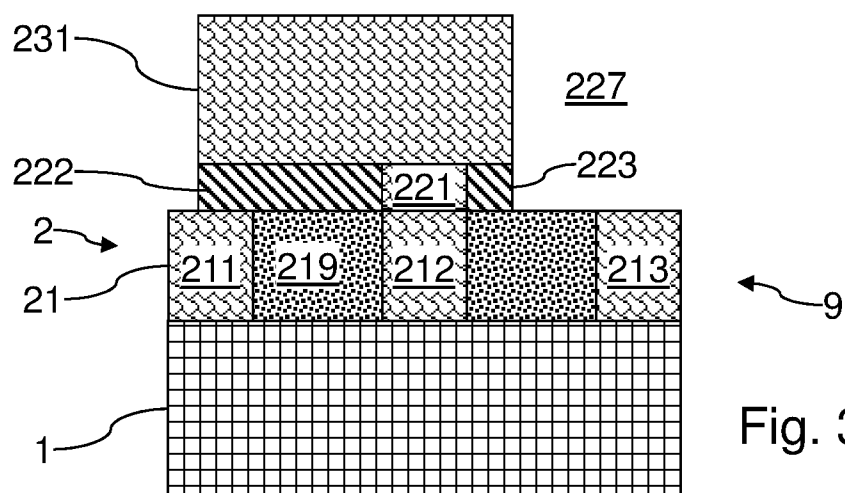


Fig. 33

14/14

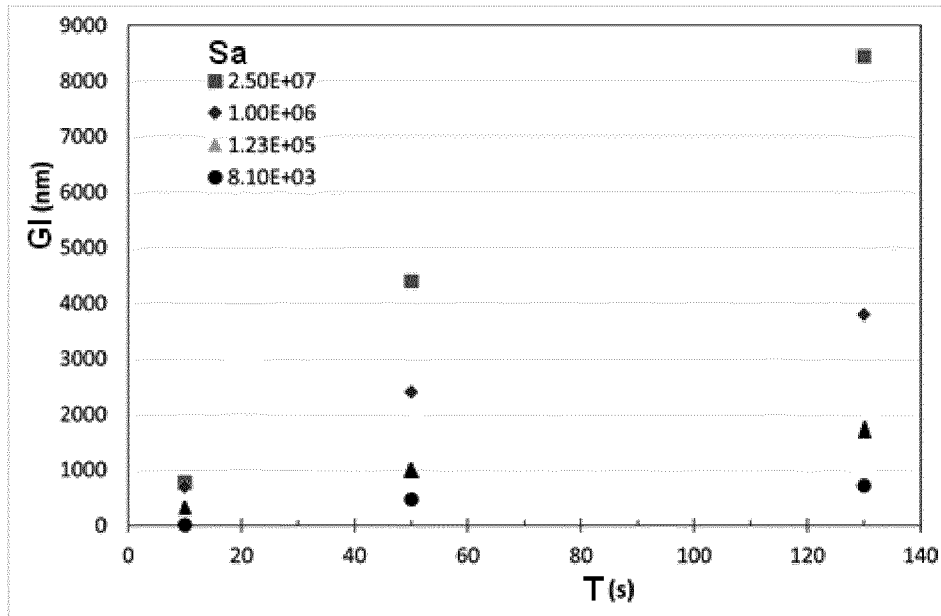


Fig. 34

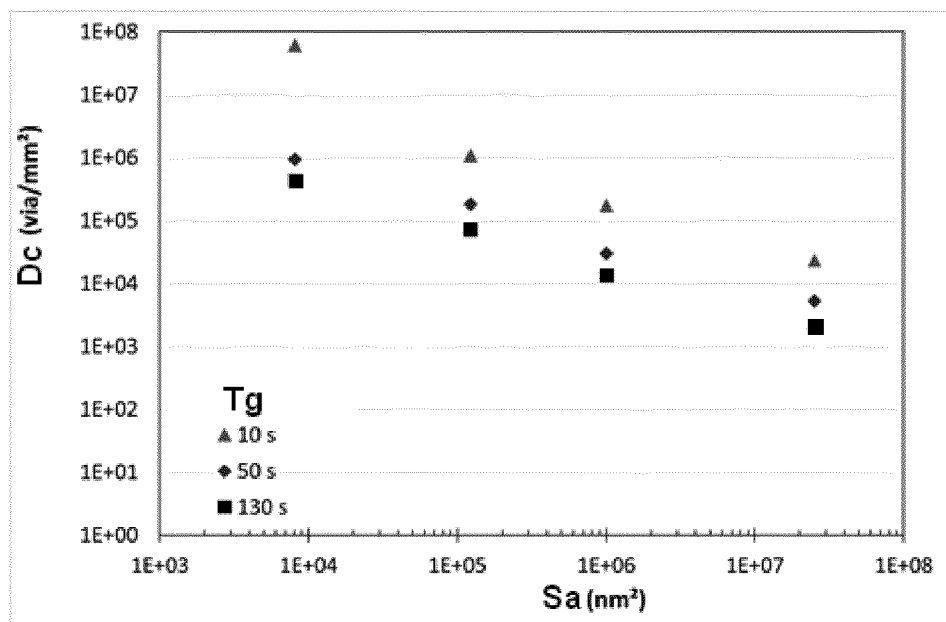


Fig. 35



**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1659020 FA 830067**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **07-06-2017**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication	
US 6413852	B1	02-07-2002	US 6413852 B1	02-07-2002
			US 2002127844 A1	12-09-2002
-----				
US 2010323477	A1	23-12-2010	FR 2911432 A1	18-07-2008
			US 2008179750 A1	31-07-2008
			US 2010323477 A1	23-12-2010
-----				
US 2016111330	A1	21-04-2016	FR 3027449 A1	22-04-2016
			US 2016111330 A1	21-04-2016
-----				
EP 0872887	A2	21-10-1998	EP 0872887 A2	21-10-1998
			JP 2962272 B2	12-10-1999
			JP H10294316 A	04-11-1998
			TW 376549 B	11-12-1999
			US 6064118 A	16-05-2000
			US 2002025653 A1	28-02-2002
-----				