

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 29/78

H01L 27/108

H01L 27/12 H01L 21/336

H01L 21/82

[12] 发明专利说明书

[21] ZL 专利号 95118446.6

[45]授权公告日 2000 年 5 月 24 日

[11]授权公告号 CN 1052817C

[22]申请日 1995.9.13 [24]颁证日 2000.2.5

[21]申请号 95118446.6

[30]优先权

[32]1994.9.13 [33]JP [31]218513/94

[32]1994.9.13 [33]JP [31]218593/94

[32]1994.9.13 [33]JP [31]219073/94

[32]1994.12.8 [33]JP [31]305214/94

[32]1994.12.8 [33]JP [31]305241/94

[32]1995.9.7 [33]JP [31]230329/95

[73]专利权人 株式会社东芝

地址 日本神奈川县

[72]发明人 吉见信 稻叶聪 村越笃 寺内卫

执行直之 松下嘉明 青木正身

滨本毅司 石桥裕 尾崎彻 H·川口谷

松泽一也 有隅修 西山彰

[56]参考文献

JP 昭 61-276265A 1986.12.6

审查员 赵百令

[74]专利代理机构 中国专利代理(香港)有限公司

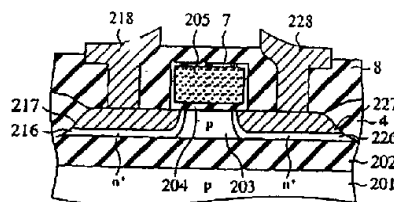
代理人 马铁良 张志醒

权利要求书 7 页 说明书 90 页 附图页数 53 页

[54]发明名称 具有窄带隙-源区结构的绝缘栅器件及其
制造方法

[57]摘要

一种半导体器件结构及制造方法,在改善 MOSFET、MOSSIT 和 MI SFET 等绝缘栅晶体管的漏击穿电压时降低漏电流,改善存储单元如用这些晶体管作开关晶体管的 DRAM 的保持特性,改善传输门中栅氧化膜的可靠性。具体地,在 SOI-IG-器件的源区或漏区内部形成窄带隙半导体如 $\text{Si}_x\text{Ge}_{1-x}$ 、 $\text{Si}_x\text{Sn}_{1-x}$ 、 PbS 。选择窄带隙半导体区在 SOI 膜中的位置和/或摩尔百分比,或选择杂质元素,补偿晶格失配,抑制缺陷的产生。



ISSN 1008-4274

第二导电类型的，由其禁带宽度比所述第一半导体的禁带宽度窄的至少一个第二半导体形成的第一源区，第一源区中被掺杂了有第二导电类型的第一杂质元素，和

2. 如权利要求 1 的晶体管, 其特征在于第二杂质元素有比所述第一半导体的构成元素小的共价半径。

4. 如权利要求 1 的晶体管, 其特征在于, 所述第一杂质被掺入不同于所述第二杂质元素的位置。

6. 如权利要求2的晶体管, 其特征在于, 所述第一半导体是Si, 所述第二半导体是 $\text{Si}_x\text{Ge}_{1-x}$, 所述第一掺杂元素是As和Sb之一, 而所述第二掺杂元素是P和B之一。

第二导电类型的，由其禁带宽度比所述第一半导体的禁带宽度窄的第二半导体形成的第一源区，第一源区中被掺杂了有第二导电类型的第一杂质元素和其共价半径不同于第一掺杂元素的第二掺杂元素，以补偿所述第一和第二半导体之间形成的异质结结构的晶格

失配, 和

相邻于所述第一源区并由所述第一半导体形成的第二导电类型的第二源区, 其中至少第一掺杂元素被掺入所述第二源区。

8. 如权利要求 7 的晶体管, 其特征在于第二掺杂元素的共价半径小于所述第一半导体的构成元素的共价半径。

9. 如权利要求 7 的晶体管, 其特征在于所述第一半导体是 Si, 所述第二半导体是 $\text{Si}_x\text{Ge}_{1-x}$, 对于所述第二掺杂元素 P 或 B, 所述第一掺杂元素是 As 或 Sb, 或者对于所述第二掺杂元素 B, 所述第一掺杂元素是 P。

10. 如权利要求 7 的晶体管, 其特征在于所述第一杂质被掺入和所述第二杂质元素不同的位置。

11. 如权利要求 7 的晶体管, 其特征在于所述第一半导体是 Si, 所述第二半导体是 $\text{Si}_x\text{Ge}_{1-x}$, 所述第一掺杂元素是 P 而所述第二掺杂元素是 B。

12. 一种绝缘栅晶体管, 至少有一第一导电类型的由形成于第一绝缘膜上的第一半导体形成的沟道区, 一形成于第一导电型沟道区上的第二绝缘膜, 以及一形成于第二绝缘膜上的栅电极, 以控制流过所述的第一导电型沟道区的电流, 其特征在于, 进一步的改进包括:

第二导电类型的, 由其禁带宽度比所述第一半导体的禁带宽度窄的第二半导体形成的第一源区;

第二导电型的, 在所述第二导电型的第一源区上相邻形成的, 并由所述第一半导体组成的第二源区; 和

其中所述第二导电类型的第一源区的顶表面在一个位置形成, 在最小深度部分该位置的深度大于耗尽层深度, 耗尽层深度从第二绝缘膜延伸, 具有在操作状态下在栅电极上提供的最大栅电压。

13. 一种绝缘栅晶体管, 至少有一第一导电类型的由形成于第一绝缘膜上的第一半导体组成的沟道区, 一形成于第一导电型沟道区上的第二绝缘膜, 以及一形成于第二绝缘膜上的栅电极, 以控制流过所述的第一导电型沟道区的电流, 其特征在于, 进一步的改进包括:

第二导电类型的, 由其禁带宽度比所述第一半导体的禁带宽度

窄的第二半导体组成的第一源区；

第二导电型的，在所述第二导电型的第一源区上相邻形成的，并由所述第一半导体组成的第二源区；和

5 在所述第二导电型第一源区上，经过在所述第二导电类型的第二源区上形成的沟槽形成的源金属电极，

其中，所述第二导电类型的第一源区在一个位置形成，在最小深度部分该位置的深度大于耗尽层深度，耗尽层深度从第二绝缘膜延伸，具有在操作状态下在栅电极上提供的最大栅电压。

10 14. 一种绝缘栅晶体管，至少有一第一导电类型的由形成于第一绝缘膜上的第一半导体形成的沟道区，一形成于沟道区上的第二绝缘膜，以及一形成于第二绝缘膜上的栅电极，以控制流过所述的沟道区的电流，其特征在于，进一步的改进包括：

第二导电类型的，由其禁带宽度比所述第一半导体的禁带宽度窄的第二半导体形成的第一源区；

15 第二导电型的，在所述第一源区上相邻形成的，并由所述第一半导体组成的第二源区；和

在所述第一源区并和其接触形成的第三源区，并由一种半导体组成，该半导体的禁带宽度小于所述第一半导体的禁带宽度；和

在所述第三源区上形成的源金属，

20 其中，所述第一源区在一个位置形成，该位置在最小深度部分的深度大于耗尽层的深度，耗尽层从第二绝缘膜延伸，具有在操作条件下在栅电极上提供的最大电压。

25 15. 一种绝缘栅晶体管，至少有一第一导电类型的由形成于第一绝缘膜上的第一半导体组成的沟道区，一形成于第一导电型沟道区上的第二绝缘膜，以及一形成于第二绝缘膜上的栅电极，以控制流过所述第一导电型沟道区的电流，其特征在于，进一步的改进包括：

30 第二导电类型的，由其禁带宽度比所述第一半导体的禁带宽度窄的第二半导体形成的第一源区，所述第二导电型第一源区的底部和所述第一绝缘膜相接触，而所述第二导电型第一源区的顶部在一个位置形成，在最小深度部分该位置的深度大于耗尽层的深度，耗尽层深度自第二绝缘膜处延伸，具有在操作条件下在栅电极上提供

的最大栅电压;

一种难熔金属硅化物膜形成在所述第二导电型第一源区上并与之接触; 和

源金属电极形成在所述难熔金属硅化物膜上。

- 5 16. 绝缘栅晶体管, 有至少一个由形成在第一绝缘膜上并与之接触的第一半导体组成的第一导电型第一体区, 在第一体区上形成的第二绝缘膜, 以及在第二绝缘膜上形成的一个栅电极, 以控制电流流经所述第一体区, 其特征在于改进包括:

10 由第二半导体组成的第二导电型第一源区, 第二半导体的禁带宽度窄于所述第一半导体的禁带宽度;

第二导电型第二源区由第一半导体形成; 和

第一导电型第二体区由第二半导体形成;

其特征在于, 晶体管的主电流流经的所述第一体区的一部分和第一源区经过所述第二体区连接。

- 15 17. 如权利要求 16 的晶体管, 其特征在于, 所述第一源区有位于低于所述第二源区的至少一个部分, 使得第一源区的底部和所述第一绝缘膜相接触。

20 18. 如权利要求 16 的晶体管, 其特征在于, 所述第二源区经过所述第一体区的至少一个较高和较低层部分和所述第一体区相接触。

19. 如权利要求 16 的晶体管, 其特征在于, 所述第二源区不是和所述第一体区金属接触, 而是经过所述第一源区和所述第二体区电连接到所述第一体区。

25 20. 如权利要求 16 的晶体管, 进一步包括一个在所述第一源区形成并与之接触的金属硅化物膜。

21. 绝缘栅晶体管, 有至少一个由在第一绝缘膜上形成的第一半导体组成的第一导电型第一体区, 在第一体区上形成的第二绝缘膜, 以及一个栅电极形成在第二绝缘膜上, 以控制电流流经所述第一体区, 其特征在于改进包括:

30 由第二半导体形成的第二导电型第一源区, 第二半导体的禁带宽度窄于所述第一半导体的禁带宽度; 第一源区在所述第一绝缘膜上形成并与之接触;



由第一半导体形成的第二导体型第二源区，第二源区与所述第一源区相接触形成，并且位于低于所述第一源区的位置处；

和所述第一绝缘膜接触形成的第一导电型第二体区；

5 其中所述第一体区的较低层部分通过所述第二体区被电连接到所述第一源区。

22. 如权利要求 21 的晶体管，其特征在于，进一步包括一个形成在所述第一源区上并与之接触的金属硅化物膜。

23. 绝缘栅晶体管包括：

10 由第一半导体形成的第一导电型第一体区，第一半导体在第一绝缘膜上形成；

由第二半导体形成的第一导电型第二体区，第二半导体的禁带宽度窄于所述第一半导体，第二体区在第一体区上形成；

在第二体区上形成的第二绝缘膜；

第二绝缘膜上的栅极，控制流经所述第二体区的电流；

15 由第二半导体组成的第二导电型第一源区；和

由第一半导体形成的第二导电型第二源区，第二源区和第一源区相接触；

其中第一源区和所述第二体区相接触。

20 24. 如权利要求 23 的晶体管，其特征在于，进一步包括在所述第一源区形成并与之接触的金属硅化物膜。

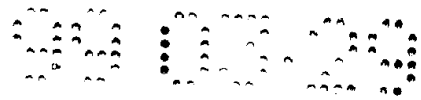
25. 一种绝缘栅晶体管，至少有一第一导电类型的由形成于第一绝缘膜上的第一半导体形成的沟道区，一形成于第一导电型沟道区上的第二绝缘膜以及一形成于第二绝缘膜上的栅电极，以控制流过所述的第一导电型沟道区的电流，其特征在于进一步的改进包括：

25 通过注入方法形成的第二导电型第一源区，以提供其禁带宽度窄于所述第一半导体第二半导体；

在除较上层表面之外处环绕所述第二导电型第一源区的第二导电型第二源区，所述第二导电型第二源区由第一半导体组成；

30 形成的第二导电型漏区，使得所述第一导电型沟道区加在所述第二导电型第二源区和所述第二导电型漏区之间；和

由于第一和第二半导体之间的异质结中的晶格失配而引起的晶格缺陷，晶格缺陷在第二导电型第二源区，栅电极边缘之下的一个



部分选择性地形成，并且限制在第二导电型第二源区之内，使得晶格缺陷不会达到在第一导电型沟道区和第二导电型第二源区之间形成的pn结接口。

5 26. 一种绝缘栅晶体管，至少有一第一导电类型的由形成于第一绝缘膜上的第一半导体形成的沟道区，一形成于第一导电型沟道区上的第二绝缘膜，以及一形成于第二绝缘膜上的栅电极，以控制流过所述的第一导电型沟道区的电流，其特征在于进一步的改进包括：

10 由第二半导体组成的第二导电型第一源区，第二半导体的禁带宽度比所述第一半导体的禁带宽度窄，所述第二导电型第一源区的底层和所述第一绝缘膜相接触；

在所述第二导电型第一源区形成并与之接触的的金属硅化物膜；

15 相邻所述第二导电型第一源区和所述金属硅化物膜形成的第二导电型第二源区，第二导电型第二源区由所述第一半导体形成；和在所述金属硅化物膜上形成的源金属电极。

20 27. 一种绝缘栅晶体管，至少有一第一导电类型的由形成于第一绝缘膜上的第一半导体形成的沟道区，一形成于第一导电型沟道区上的第二绝缘膜，以及一形成于第二绝缘膜上的栅电极，以控制流过所述的第一导电型沟道区的电流，其特征在于进一步的改进包括：

由第二半导体形成的第二导电型第一源区，第二半导体的禁带宽度比所述第一半导体的禁带宽度窄，所述第二导电型第一源区的底层和所述第一绝缘膜相接触；

25 在所述第二导电型第一源区形成并与之接触的的金属硅化物膜；在所述金属硅化物膜上形成的源金属电极，

其中所述源金属电极和所述金属硅化物膜之间的接口被设置在一个位置，该位置比所述第一导电型沟道区的顶表面要深。

30 28. 一种绝缘栅晶体管，至少有一由在第一绝缘膜上形成并与之接触的第一半导体组成的第一导电类型的第一体区，在第一体区上形成的第二绝缘膜，以及在第二绝缘膜上形成的一个栅电极，以控制流过所述的第一体区的电流，其特征在于进一步的改进包括：

由第二半导体组成的第二导电型第一源区，第二半导体的禁带

宽度比所述第一半导体的禁带宽度窄；和

第一导电型第二体区由第二半导体组成；

其中晶体管的主电流流经的所述第一体区的一个部分通过所述第二体区被连接到第一源区，。

5 29. 如权利要求 28 的晶体管，其特征在于，进一步包括由第一半导体组成的第二导电型第二源区，其中所述第一源区有至少一部分位于比所述第二源区深的位置，使得第一源区的底部与所述第一绝缘膜相接触。

10 30. 如权利要求 28 的晶体管，其特征在于，进一步包括由第一半导体组成的第二导电型第二源区，其中所述第二源区通过所述第一体区的上层和下层中部分的至少一个与所述第一体区相接触。

15 31. 如权利要求 28 的晶体管，进一步包括由第一半导体组成的第二导电型第二源区，其中所述第二源区不是金属连接到所述第一体区，而是通过所述第一源区和所述第二体区电连接到所述第一体区。

说明书

具有窄带隙-源区结构的 绝缘栅器件及其制造方法

本发明涉及一种适合集成电路，如要求精细刻图和高集成密度的MOS集成电路的绝缘栅器件(IG器件)，特别涉及一种新的具有SOI结构适合改善MOSFET、MISFET等的特性的器件结构及其制造方法。

在半导体集成电路技术中，特别是近年来，动态随机存取存储器(DRAM)技术，其高集成密度已变得十分突出。然而，随着集成密度的发展，其趋势是使DRAM存储单元面积越来越缩小。其结果，难以确保单元容量来防止由存在于自然界的 α 射线擦去存储内容，即所谓的软误差。因而，最好使所谓的SOI(在绝缘片上生长硅)器件形成在绝缘膜上形成的单晶硅上。由于SOI器件易于小型化和高速工作，有希望作为高性能器件。在形成于绝缘膜和氧化膜等上作为有源层的Si层上形成SOI器件。

因而，使诸如形成于有源区中的晶体管这类器件完全隔离。此外，若用SOI技术形成集成结构等，可预料具有，如衬底和器件间的耦合电容小的优点。同时，由于SOI器件可限制由绝缘膜上的单晶硅膜(下文称SOI)内的 α 射线所产生的电子空穴对的数目，可明显地改善DRAM等中的抗软误差性。

图1表示常规的形成于SOI衬底上的SOI·MOS·DRAM的剖面结构。SOI衬底由在硅衬底201上经隐埋绝缘层202的单晶硅(SOI)膜203形

成。数据线(位线)409经过接触电极408形成在SOI膜203内所形成的 n^+ 源区206上。存储电极405、电容绝缘膜406、及对面电极407通过接触电极410形成在 n^+ 漏区206上。此外,栅电极205由多晶硅等形成,通过栅氧化膜204形成在作为 n^+ 源区206和 n^+ 漏区206 之间沟道区的SOI膜203之上。栅电极205也作为DRAM的字线。

然而,如图2所示,SOI器件具有漏击穿电压下降的缺点,这是因为衬底浮动效应,或"浮动体效应",在SOI体(源、漏之间的区域)产生载流子积累,并因电势的变化引起与体MOSFET 相反的反常器件特性。在图2中,SOI·MOSFET表示作为典型的SOI器件,并描绘出SOI·MOSFET和体MOSFET对各自MOSFET栅长 L 的漏未穿电压。此外,如图3所示,SOI器件(SOI·MOSFET)也有不稳定的特性,如由SOI·MOSFET的切换动作引起的输出电流过急。在实用中,这是严重的缺点。图3表示由于输入栅压引起的输出漏电流的波形图,并表示输出漏电流的过急。为将SOI·MOSFET的全电势用于VLSI/ULSI,重要的是减小其浮动体效应。此浮动体效应可用厚度小于最大耗尽宽度的薄体来缓解。然而,尽量使用全耗尽体,相关的寄生双极效应仍是个问题。为完全消除浮动体效应,必须把SOI体与衬底或地电极连接起来,这会使器件结构复杂化,也难于使器件尺度小型化。复杂的器件结构还会引起另一个生产率低的缺点。

从广义来讲,SOI结构可形成有各种结构:在绝缘膜上的Si 层可由单晶、多晶或非晶硅形;绝缘材料可形成厚些或薄些;绝缘层可由单晶或非晶等形成。然而,在以下的说明中, 主要描述在绝缘膜形成在大体上由单晶硅形成的硅层中的情况,而在绝缘膜上所形成的单晶硅膜,将被称作如上所述的SOI膜。但是,在以下的说明中可以

懂得得,在该SOI膜中尚存在部分包括非晶区、已产生晶体缺陷的区域等情况。

作为对SOI器件中浮动体动效应的对策,已提出一种MOSFET结构,其源区由相对于沟道区,或SOI体的窄带隙材料形成的。例如,特开平01-255252。在此器件中,假若将MOSFET的源区隙设定得比沟道区的更窄,可有效地防止被看作是浮动体效应主要因素的沟道区内的空穴积累。

作为比形成沟道区的硅的带隙具有更窄带隙的最典型的材料,可列举出 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)。作为采用这些材料的一种器件,是具有如图4A所示的剖面结构的SOI·MOSFET。在图4A的SOI·MOSFET中,由氧化膜等形成的绝缘层202是形成在硅衬底上的,在其上形成SOI膜203作为有源层,再在一部分SOI膜上形成 n^+ 源、漏区206。在图4A中,SOI·MOSDET之特征在于, $\text{Si}_x\text{Ge}_{1-x}$ 层207形成 n^+ 源、漏区206的内部。此后,类似于普通的MOSFET,在 n^+ 源区206和 n^+ 漏区206之间的沟道区203上形成栅氧化膜204,在其上形成例如由多晶硅形成的栅电极305。

图4B表示图4A所示的SOI·MOSFET的电势分布(能带图)。在此MOSDET中,如图4B所示,源区的带隙可窄到虚线所示的位置。由实验或模拟可看出,流到 n^+ 源区206的空穴电流随源区206带隙的变小而按类似指数函数增大。

例如,沟道长 $0.5\mu\text{m}$ 的SOI·MOSFET的电流电压特性表示于图5A。在图5A的特性中,实线表示对注入锗(Ge)离子的SOI·MOSFET的测量结果,注入条件:加速电压 $V_{ac}=50\text{KV}$,剂量 $\Phi=3\times 10^{16}\text{cm}^{-2}$ 。从图5A可发现,与由虚线表示的仅由硅形成其源漏区的常规同质结的

MOSFET相比,如实线所示,具有SiGe层的异质结的MOSFET在Si源、漏区其漏击穿电压可改善1V以上。

图4A中的SOI·MOSFET已用以下制作步骤制造。首先用 SIMOS(注入氧分隔)形成SOI衬底。换言之,通过将氧离子注入到硅衬底201内形成隐埋氧化膜202,然后使注入后的衬底退火,以使硅膜(SOI膜)203和硅衬底201隔开。接着,用LOCOS(硅的局部氧化)等形成场氧化区,作为器件隔离区(未图示),用以电隔离相邻的器件。随后露出被场氧化膜区环绕的在器件中形成有源区的SOI膜203的表面,然后用热氧化等在SOI膜203表面形成栅氧化膜204。然后,在其上通过LPCVD(低压化学汽相淀积)等形成多晶硅层205。在随后将变为栅电极的那部分多晶硅层上用刻蚀工艺形成抗蚀剂图形(未图示)。因此抗蚀剂图形作掩模,通过RIE(反应离子刻蚀)等形成多晶硅栅电极205和栅氧化膜204为形成 n^+ 源区206和 n^+ 漏区206,用多晶硅栅电极205作掩模,按自对准方式注入 n 型杂质如As或P等。然后使所得衬底退火。接着,将Ge离子注入到源、漏区206,然后退火,以便在源、漏区206内部形成SiGe层209。其结果,如图4A所示,完成SOI·MOSFET。实际上,在此之后,均未图示,淀积层间绝缘膜,如氧化膜等,在层间绝缘膜上形成接触开口,然后,实施源、漏金属电极的金属化。

然而,就第一缺点而言,从本发明的发明者们对MOSFET的分布结果发现:

产生如图5B的实线所示的漏电流。在MOSFET用作DRAM的存储单元区的选择晶体管的情况下,此漏电流会带来低劣而致命的电学特性及低的生产率。

此外,就第二个缺点而言是随着Ge离子的注入引起存储器件中

栅绝缘膜可靠性的劣化。如图6所示,当Ge离子注入时若增加剂量 Φ ,可逐渐改进带SiGe层的SOI·MOSFET的漏击穿电压。相反,若Ge剂量高,会明显地引起栅氧化膜204可靠性的劣化。这种栅氧化膜204可靠性的劣化,在给栅施加高压的存储单元变得特别严重。因此显著增加劣等产品率。

而且,下面描述具有 $\text{Si}_x\text{Ge}_{1-x}$ 区的已有技术的异质结MOSFET的第三个缺点。也就是如图5A所示的,已有技术异质结MOSFET,其典型沟道长度为 $0.5\mu\text{m}$,在 n^+ 源区具有 $\text{Si}_x\text{Ge}_{1-x}$ ($x=0.2$),其漏击穿电压变为4V。与普通的没有注入Ge的同质结MOSFET相比,该电压改善了1V。然而,本发明的发明者们在各种条件下对已有技术异质结MOSFET已进行分析。而后从分析结果发现,漏击穿电压的这种程度的改善对某种LSI,例如EEPROM还是分不充分的。在此情况下,如上所述,Ge摩尔百分比的增加会引起栅氧化膜等的劣化,所以不实际也毫无作用。所以,仍存在着第三种缺点,具有SiGe层的已有技术异质结MOSFET的漏击穿电压和电流驱动能力对某些种类的LSI是不充分的。

同时,假若通过更高的Ge离子等的注入剂量来增加 $\text{Si}_x\text{Ge}_{1-x}$ 混晶中的Ge的组分(1-x),由于晶格失配在Si晶体中产生匹配位错,这意味着Ge的存在产生了Si晶体的畸变,这是因为与Si相比,Ge的晶格常数或杂质原子半径大4%。由于这种畸变,在退火过程中,在横穿源漏区和沟道区之间的pn结界面方向产生晶体缺陷。由于离子注入损伤还会产生与上述第三种缺点相关的二次缺陷。事实上,能产生二次缺陷和匹配位错的复合缺陷。图7表示已有技术的带有 $\text{Si}_x\text{Ge}_{1-x}$ 区的异质结MOSFET的晶体缺陷。产生的晶体缺陷区D横穿漏区206和沟

道区203的pn结界面。若使用取向(100)面的衬底,如图7所示,晶体缺陷主要沿(111)而产生。此外,因其分布范围很广,所以难以控制晶体缺陷的位置和方向。在此情况下,结漏电流明显增加,因而器件的实用性变窄。其结果,当Ge的组分(1-x)增加时,产生/复合电流,即结漏电流增加,引起第四个缺点,在诸如DRAM存储器件中,引起单元的数据保持特性的退化或生产率急剧下降。也许通过在源区放置SiGe层可完全克服第四个缺点的缺陷。但是,为了有效地抑制SOI·MOSFET中浮动体效应,如从图4B的电热分布(能带图)了解的,SiGe层必须形成在十分接近源区和沟道区间所形成的pn结界面。若采用SiGe层接近pn结界面的这种结构,在某些情况下,晶体缺陷会进入沟道区,产生大的漏电流。根据本发明的发明者们的经验发现,具体地在Ge摩尔百分比高于20-30%以上的条件下,由于膜的畸变,使位错带入SOI膜中,妨碍了窄带隙半导体区的形成,妨碍了消除浮动体效应。

鉴于以上缺点,本发明的第一个目的在于抑制浮动体效应,即抑制诸如SOI·MOSFET、SGT(环绕栅晶体管)及SOI·MOS·DRAM的绝缘栅(IG)器件的沟道区变成浮动态。更具体地在于提供MOSFET、SGT或MOS·DRAM的结构及其制造方法,其中将窄带隙半导体区设置在主电极区内侧或接近主电极区,于是同时达到改善漏击穿电压和降低漏电流。

本发明的第二个目的在于提供IG器件的结构及其制造方法,可有效地避免折中关系,即,若增加Ge离子注入的剂量,可以改善IG器件的漏击穿电压,但产生漏电流并降低栅氧化膜的击穿电压。

本发明的第三个目的在于提供具有高跨导 g_m 、高电流驱动能力的IG器件,和采用MOSFET、MISFET或MOSSIT(MOS静电感应晶体管)等

集成电路的结构及其制造方法。

本发明的第四个目的在于, 提供能防止由于在窄带隙半导体和本体之间, 如SiGe和Si之间、SiSn和Si 之间的晶格失配所产生的晶体缺陷的IG器件的结构, 或提供一种新的IG器件结构及其制造方法, 因而能控制晶体缺陷的位置和方向。

本发明的第五个目的在于, 提供一种能缩短制造时间即提高晶片产出量的制造方法, 因而提高生产率, 同时达到上述目的。

为了达到上述目的, 本发明提供IG器件的结构及制造方法, 其中一种具有下文描述的结构之一的窄带隙半导体区形成在IG器件的第一和第二主电极区(下文称作"主电极区")的至少之一区中。当然, 主电极区也代表IG 器件的源、漏区之一。该IG 器件包括采用MOSFET、MISFET或MOSSIT等的集成电路。

(1) 为达到上述目的的第一措施, 如图8和图10所示, 是选择和设计掺杂条件, 以补偿晶格失配或晶格畸变, 同时考虑到某些方面, 如掺入IG器件主电极区的杂质原子的共价半径, 在本体半导体, 如Si 中引入杂质的晶格位置, 即填隙位置或空位陷阱位置。换言之在考虑了杂质元素共价半径和本体半导体的晶格常数之后, 设计杂质元素的种类, 杂质元素在主电极区的深度(或扩散深度)。

(2) 第二种措施, 如图12A-15D, 17A-17C以及24A所示, 是形成比在SOI-IG器件的主要工作位置内所形成的耗尽层214 底部更深的窄带隙半导体区47。这里, 在具有被3V 电压驱动的栅极的SOI • MOSFET或SOI • MOS • LSI中, 在主要工作位置中的耗尽层的底部代表当对栅施加3V电压时所产生的耗尽层的位置。由于在此耗尽层214 底部还低的位置形成窄带隙半导体区47, 即使在SOI膜203 的深区产

生晶体缺陷,也不会因SOI-IG器件内的晶体缺陷引起漏电流。第二种措施的结构还增加了从SOI本体抽取空穴的效率。

(3) 如图18A和18B、19、20A和21B、22、24A和24B,第三种措施是,在由SiGe区等形成的窄带隙半导体区237和由Si形成由Si形成的沟道区的半导体之间形成异质结界面225,或在沟道区和MOSFET上的主电极区216之间形成本身超越pn结界面215的窄带隙半导体区237。

如上所述,按典型的已有技术,待在SiGe层和Si层间形成的异质结被形成在源和沟道区(源区侧)之间pn结界面215的内侧。在已有技术的结构中,虽然肯定吸收空穴,但仍保留pn结的势垒阻止沟道区内的空穴,以致不能被SiGe层所吸收的空穴将积累在沟道区内。众所周知,漏击穿现象是由积累在沟道区或SOI本体内的空穴所引起的。所以,为了满足增加漏击穿电压的目的,将异质结置于pn结的内侧,如同已有技术结构,不总是最好的办法。在图20中,表示常规同质结结构和本发明的异质结构间势垒的比较。很明显,在图20中由粗实线所表示的情况下,可明显降低阻止空穴的势垒。换言之,本发明的发明者们会发现,若在源和沟道区之间边界区内形成能带使具有对空头的最低势垒位置直线连到窄带隙半导体区的价带边缘 $E_v(\text{SiGe})$,以致未消除对空穴的势垒,可极大地增加漏击穿电压。因此,如图18A和18B、19、21A和21B、22、24A和24B等所示,预期窄带隙半导体区237将延伸至沟道侧,即延伸至超过pn结界面215具有空穴的最低电势值(极值)的位置。

(4) 第四种措施,如图25A所示,是形成窄带隙半导体区212,使之延伸至栅氧化膜204下面的沟道区。因为作为典型的窄带隙半导体

区的SiGe区具有比Si区还大的电子迁移率,它可具有高跨导 g_m ,因而它可获得更高的电流驱动能力。图25B中所示的结构,是这样形成的,可通过增加用于Ge或Sn离子注入的加速电压通过栅电极注入离子。

(5) 第五种措施是控制由异质结结构中晶格失配所引起的晶体缺陷的位置和方向及由离子注入损伤所引起的二次效应。如图26D所示,若晶体缺陷D产生在主电极区216、226的内侧,MOSFET等内的漏电流,即使产生缺陷,也根本不会增加,

(6) 第6种措施是补偿窄带隙半导体区和母体半导体之间的晶格失配。更具体地讲,在以SiGe为例的情况下,在以25KV注入Ge的情况下,如果Ge的摩尔百分比为30%以上,会使图29B所示的晶体缺陷数目增加。相反,若Ge摩尔百分比超过1%可逐渐改善漏击穿电压,若Ge摩尔百分比在5 - 15%的范围,则可急剧改善,但Ge摩尔百分比在20-30%以上,如图29A所示,可平缓地提高至饱和。所以,假若将 Si_xGe_{1-x} 的Si的组分选在99-70%范围内,除可改善漏击穿电压外,同时可防止晶体缺陷的产生。

上述的IG器件的结构不限于分离器件,也可有效地用于DRAM、SRAM、EEPROM等集成电路。这是因为,若采用带有漏电流小的MOSFET,这些优点变得更为显著,可改善在DRAM内存储的电荷的保持时间。更具体地讲,可将该MODFET结构应用于图37A、37B、38、39A、39B和40所示的深槽型DRAM,也可应用于图41A、41B、42A、42B、43A和43B所示的叠层型DRAM。

虽然在以上的说明中主要描述了SOI·MOSFET,本发明的技术概念也可应用于FET和SIT(静电感应晶体管),将其中的沟道区产生相对其它区的浮动状态。例如,可应用于图44B所示的SGT(环绕栅晶体

管)或图49B所示的竖向薄膜晶体管。

通过离子注入、MEB、CVD或类似方法可形成本发明的窄带隙半导体区。除SiGe和SiSn之外,还可使用诸如PbS、PbSe、PbTe、SnTe、ZnSb、InSb或InAs的窄带隙半导体和晶体Si与这些半导体的混合晶体。最好用MBE或CVD形成PbS、PbSe等。而且,如图11A和11B所示,可根据离子种类改变加速电压,采用不同投射范围把离子注入到不同位置。还可以按图11B等所示,采用在栅电极两侧所形成的侧壁绝缘膜把离子注入到平面图形的不同位置。如图26B所示,采用非垂直的离子注入把As等注入到包括SiGe的区域。为了控制离子注入后晶体缺陷的位置,最好在700°C以上的温度,具体在700°C-1000 °C的范围内退火。在700°C以上的温度退火的情况下,晶体缺陷被包含在图27所示的主电极区216、226内,即使将Ge或Sn注入至超过15-30%的摩尔百分比,也不会增加MOSFET的漏电流。除离子注入外,还可通过MBE、CVD、VHC-CVD或MLE(分子层外延)来生长SiGe、SiSn、PbS等。例如,若用SiH₄(或Si₂H₆)和GeH₄,可通过CVD来生长SiGe。同时,用n型掺杂剂如AsH₃或PH₃掺入SiGe可生长n⁺型SiGe。使用H₂S和卤化铅、乙酸铅、叔-丁氧铅的络合物如[Pb(OBu^t)₂]₂或Pb₄O(OBu^t)₆通过CVD或获得PbS。

对于本领域的技术人员,随着本发明在实际中的应用,在理解参照附图所描述的实施例、或在所附权利要求书所要求的内容之后,使本发明的其它和进一步的目的是和特点在本文中未出现的各种优点会变得显而易见。

图1是表示常规SOI·MOS·DRAM结构的剖面图;

图2是表明常规的SOI·MOSFET和体MOSFET之间漏击穿电压的比较视图;

图3是表明当SOI·MOSFET切换时输出电流过冲的视图;

图4A是表示在 n^+ 源漏区具有 $\text{Si}_x\text{Ge}_{1-x}$ 区的SOI·MOSDET 的剖面图;

图4B是表示图4A中的异质结构的SOI·MOSFET的势能分布(能带图)图;

图5A是表明带 $\text{Si}_x\text{Ge}_{1-x}$ 区的异质结FET和带 $\text{Si}_x\text{Ge}_{1-x}$ 区的单质结FET之间特性比较的视图;

图5B是表明图5A中的FET的漏电流比较的视图;

图6是表明离子注入剂量与漏击穿电压改善之间关系视图;

图7是表示带 $\text{Si}_x\text{Ge}_{1-x}$ 区的已有技术异质结MOSFET 的晶体缺陷的剖面图;

图8是表示根据本发明第一实施例的SOI·MOSFET结构的剖面图;

图9A-9D是表示本发明第一实施例的SOI·MOSFET的制造工艺步骤的剖面图;

图10是表示本发明第二实施例的SOI·MOSFET结构的剖面图,图10B是表示第二实施例改型的MOSFET的剖面图;

图11A和11B是各自表示本发明第二实施例的SOI·MOSFET 的制造工艺步骤的剖面图;

图12A-12D是各表示根据本发明第三实施例的SOI·MOSFET的制造工艺步骤的剖面图;

图13A和13B是各表示根据本发明第三实施例的SOI·MOSFET 的制造工艺步骤的剖面图;

图14是表示本发明第五实施例的SOI • MOSFET结构的剖面图;

图15A-15D是各自表示本发明第五实施例的SOI • MOSFET的制造工艺步骤的剖面图;

图16A-16C是各自表示本发明第六实施例的SOI • MOSDET的制造工艺步骤的剖面图;

图17A和17B是各自表示根据第六实施例的改型的制造工艺步骤的剖面图;

图18A是表示根据本发明第七实施例的SOI • MOSFET的剖面图;

图18B表示靠近图18A所示SOI • MOSFET的 n^+ 源区的结构的放大剖面图;

图19是表示本发明第七实施例改型的结构的剖面图, 其中部分异质结界面横穿pn结界面;

图20是表示本发明第七实施例SOI • MOSFET的电势分布(能带图)视图;

图21A是表示本发明第八实施例的SOI • MOSFET的剖面图;

图21B是表示靠近图21A所示SOI • MOSFET的 n^+ 源区的结构的放大剖面图;

图22是表示本发明第八实施例改型的MOSFET结构的剖面图;

图23是表明SOI • MOSFET之间的电势分布(能带图)的比较图;其中 Si_xGe_{1-x} 区直接与硅化物区接触和通过Si区与硅化物区接触;

图24A和24B是各自表示本发明第九实施例的SOI • MOSFET的 n^+ 源区附近的结构的剖面图;

图25A和25B是各自表示靠近本发明第十实施例的SOI • MOSFET的源区的结构剖面图;

图26A-26D是各自表示根据本发明第十一实施例的SOI·MOSFET的制造工艺步骤的剖面图；

图27是表示本发明第十一实施例的改型结构的剖面图，其中采用氮化膜侧壁作注入掩模实施离子注入；

图28A和28B是各自表示本发明第十二实施例的SOI·MOSFET结构的剖面图；

图29是表明在Ge在 $\text{Si}_x\text{Ge}_{1-x}$ 区中峰值摩尔百分比与漏击穿电压的改善之间的关系视图；

图29B是表明在Ge 摩尔百分比与所产生的缺陷数目之间的关系视图；

图29C是表明在产生晶体缺陷的Ge摩尔百分比与Ge 离子注入加速电压之间的关系视图；

图30是表示本发明第十三实施例的SOI·MOSFET结构的剖面图；

图31A-31C是各自表示本发明第十三实施例的SOI·MOSFET的制造工艺步骤的剖面图；

图32A是表示本发明第十四实施例的SOI·MOSFET结构的剖面图；

图32B是表示图32A的SOI·MOSFET改型结构的剖面图；

图33A-33C是各自表示根据本发明第十四实施例的SOI·MOSFET的制造工艺步骤的剖面图；

图34是表示本发明第十五实施例的SOI·MOSFET结构的剖面图；

图35A-35E是各自表示本发明第十五实施例的SOI·MOSFET的制造工艺步骤的剖面图；

图36-A-36D是各自表示本发明第十五实施例的SOI·MOSFET 的另一种制造工艺步骤的剖面图；

图37A是表示本发明第十六实施例的SOI·MOS·DRAM的平面图;
图37B是表示图37A的SOI·MOS·DRAM的剖面图;
图38是表示本发明第十六实施例改型的DRAM的剖面图;
图39A是表示本发明第十六实施例另一改型的DRAM的平面图;
图39B是表示图39A所示的DRAM的剖面图;
图40是表示本发明第十六实施例另一改型的DRAM的剖面图;
图41A是表示本发明第十七实施例的SOI·MOS·DRAM的平面图;
图41B是表示图41A的SOI·MOS·DRAM的剖面图;
图42A和42B是各自表示本发明第十七实施例的改型SOI·MOS·DRAM的剖面图;
图43A是表示本发明第十七实施例的改型SOI·MOS·DRAM 的平面图;
图43B是表示图43A所示的SOI·MOS·DRAM的剖面图;
图44A是表示根据本发明第十八实施例的MOS·DRAM的平面图,其中的环绕栅晶体管(SGT)用作选择晶体管;
图44B是表示图44A所示的MOS·DRAM的剖面图;
图45A-45E是各自表示根据本发明第十八实施例的MOS·DRAM的制造工艺步骤的剖面图,其中的环绕栅晶体管(SGT)用作选择晶体管;
图46A是表示本发明第十八实施例的改型MOS·DRAM的平面图;
图46B是表示图46A所示的MOS·DRAM的剖面图;
图47A和47B是各自表示本发明第十八实施例的改型MOS·DRAM的剖面图;
图48A-48F是各自表示图467A-47B所示的MOS·DRAM的制造工艺

步骤的剖面图;

图49A是表示本发明第十九实施例的竖向MOS·DRAM结构的平面图;

图49B是表示图49A所示竖向MOS·DRAM的剖面图;

图50A-50E是各自表示本发明第十九实施例的竖向MOS·DRAM的制造工艺步骤的剖面图;

图51A是表示根据本发明第二十实施例的DRAM的电路结构图;以及

图51B 是表示根据本发明第二十实施例的改型的逻辑集成电路的电路结构图。

现在参照附图描述本发明的各实施例。应予注意,在全部附图中相同或类似的参照标号应用于相同或类似的元部件,而对相同或类似元部件的描述将被省略或简化。

(实施例1)

图8表示本发明实施例1的SOI·MOSFET的剖面结构。在图8中,在p型(100)硅衬底201上通过隐埋氧化膜202形成p型SOI膜203。该SOI膜203被从SOI膜203表面形成至隐埋氧化膜202的厚热氧化膜4做横向器件隔离。SOI膜203的介电隔离区被用作有源区。在有源区内侧形成n⁺源区216和n⁺漏区226,并使其底部连至隐埋氧化膜202。在n⁺源区216和n⁺漏区226内形成含磷(P)的SiGe区217、227。通过形成于层间绝缘膜8上的接触孔在n⁺源区216和n⁺漏区226上分别形成源金属电极218和漏金属电极228。在n⁺源区216和n⁺漏区226间的

沟道区203上经过栅氧化膜204形成由多晶硅等形成的栅电极205。在多晶硅栅电极205的表面形成称作后氧化膜的薄氧化膜7。经n型杂质As例如以约 $6 \times 10^6 - 1 \times 10^{21} \text{cm}^{-3}$ 的高杂质浓度掺杂形成 n^+ 源区216和 n^+ 漏区226。

在本发明的实施例1中,在 n^+ 源区216和 n^+ 漏区226的表面侧分别形成含P,其共价半径($\approx 0.11 \text{nm}$)小于Si($\approx 0.117 \text{nm}$)的区域217或227,即含Ge和P的区域217和227。根据实施例1的这种结构,没有发现如图5B所示的已有技术异质结SOI·MOSFET可能(统计上的)产生的漏电流。另一方面,在如图5B所示的已有技术异质结SOI·MOSFET却明显地发现了大的漏电流,其中在含砷(As)的 n^+ 源区和漏区206内形成SiGe区207,而砷具有的共价半径比图4A所示的Si大的共价半径($\approx 0.118 \text{nm}$)。

此外,在本发明的实施例1中根本不产生图7所示的在已有技术异质结SOI·MOSFET中产生的晶体缺陷。而且,SOI·MOSFET的漏击穿电压并不特别意味着只有Ge注入到含 n^+ 杂质As的杂质扩散层的已有技术异质结构SOI·MOSFET。换言之,与源扩散层仅含一种n型杂质的已有技术异质结SOI·MOSFET相反,根据本发明实施例1的MOSFET的漏击穿电压,在非导通态(OFF)改善了1V。

之所以能达到这种效果之原因如下。即在(100)面上的晶体缺陷一般沿(111)而生长,如图7所示。而且,在已有技术SOI结构中,在其共价半径比Si的共价半径大的Ge离子注入后,产生晶体畸变,这是因为SiGe/Si异质结引起的应力和Ge集中在栅电极边缘。但是,根据本发明的实施例1的结构,这种只有异质结SOI结构才能有的常规现象可被改善,晶体畸变可被有效地缓解。

同时, 由形成器件的多晶硅栅电极长度有 $0.5\mu\text{m}$, 其有效沟道长度 L_{eff} 在实施例1中是 $0.3\mu\text{m}$, 可以发现基于短沟道效应的阈值的降低。这是由于在Ge和P离子注入后的退火中,P可沿横向扩散。

根据本发明实施例1的SOI·MOSFET可按下述方式制造。图9A-9D是表示本发明实施例的SOI·MOSFET的制造步骤的剖面图。

(a) 首先, 如图9A所示, 以加速电压 $V_{\text{ac}} = 180\text{KV}$, 剂量 $\Phi = 2 \times 10^{15} \text{cm}^{-2}$ 使氧离子注入到P型(100)硅衬底201内。

(b) 然后, 如图9B所示, 在 1300°C 退火5小时, 形成自硅顶表面深 200nm 厚 400nm 的隐埋氧化膜202。同时, 在此表面上形成单晶硅膜 (SOI膜) 203。即, 通过所谓的SIMOX技术形成SOI结构。然后, 使SOI膜203的表面热氧化。用 NH_4F 溶液等对热氧化膜经湿式腐蚀, 使SOI膜203减薄至预定的厚度, 如 100nm 。

(c) 然后, 如图9C所示, 通过选择氧化技术如LOCOS 技术等形成达到隐埋氧化膜202的隔离氧化膜4。于是使相邻的器件被介质隔离。若利用高集成密度, 可使用BOS(隐埋氧化物)方法或其它器件隔离技术。此后, 形成厚 10nm 的栅氧化膜204, 然后通过CVD 在其上淀积厚 300nm 的掺P多晶硅膜205。然后, 如图9C所示, 通过光刻步骤和RIE步骤形成栅长 $0.5\mu\text{m}$ 栅电极。

(d) 然后, 在形成厚 10nm 的后氧化膜7后, 通过加速电压 $V_{\text{ac}}=150\text{KV}$, 剂量 $\Phi=3 \times 10^{15} \text{cm}^{-2}$ As离子注入, 对所得结构在 900°C 退火1小时, 形成 n^{+} 源区216和 n^{+} 漏区226。接着, 如图9D所示, 在加速电压 $V_{\text{ac}}=50\text{KV}$ 剂量 $\Phi=1 \times 10^{16} \text{cm}^{-2}$ 的条件下注入Ge离子, 并在加速电压 $V_{\text{ac}}=15\text{KV}$ 剂量 $\Phi=3 \times 10^{15} \text{cm}^{-2}$ 的条件下注入P离子。然后在 850°C 退火30分钟。虽未图示, 通过CVD设置由 SiO_2 膜、 Si_3N_4 膜或 SiO_2 膜

和PSG膜制成的复合膜形成的各有300-500nm厚的层间绝缘层8。在层间绝缘层8中开用于源和漏金属电极218、228的接触孔。然后,采用诸如Al-Si、Al-Si-Cu等的金属化步骤形成源金属电极218和漏金属电极228。其结果,可完成本发明实施例1的SOI·MOSFET。

现在,在本发明的实施例1中,可注入锡(Sn)离子,替代Ge离子,也可同时注入Ge和Sn离子。在注入Sn离子作为n型杂质的情况下,可按P:Sn=8:3的比例注入P和Sn来补偿晶格畸变。在Si可包括杂质浓度为 $1 \times 10^{19} \text{cm}^{-2}$ - $1 \times 10^{20} \text{cm}^{-2}$ 以上,最好杂质浓度在 $5 \times 10^{20} \text{cm}^{-2}$ 的Ge和Sn。当在Si含摩尔百分比为1-30%的Ge时,可最好地实现本实施例的优点。Ge的摩尔百分数最好为5-15%。此外,虽然以MOSFET作了解释,但是这些当然与采用氮化膜(Si_3N_4)等作栅绝缘膜的MIS·FET是相同的。

而这些技术特征和优点也适用于具有窄带隙源区的SOI·MOSFET(静电感应晶体管)。如若我想要得到SOI·MOSFET,应使沟道长度或栅长缩短到如0.15-0.2 μm ,而保持其它结构尺寸与图8所示相同,以变成接近穿通条件。当缩短这些沟道长度时,可得到类似真空三极管的非饱和的漏电流(I_d)-漏电压(V_d)特性。在此意义上讲,可把MOSFET看作短沟道MOSFET类。换句话讲,如果我们保持栅长为0.5 μm ,与实施例提供的图8所示结构相同的值,载流浓度在SOI本体203或沟道中的减少可制成SIT特性。在SIT中,形成于源区前头的并由栅电势和漏电势确定的数学谷点的势垒可由施加于漏金属电极228的漏电压来控制。因而,漏极电流随漏电压按指数定律增加。并因形成了窄带隙源区217,同样地消除SOI·MOSFET的浮动体效应,并可容易地获得高的击穿电压的改进 ΔV_{BD} 。

现在,在本发明的实施例1中,有两种杂质As和P被引入到 n^+ 漏区226和 n^+ 源区216中。但是,可以使用一种 n 型杂质P替代As,并且还可使用锑(Sb)替代As。此外,可以使用其共价半径比Si 的共价半径大的硼(B)或碳(C)替代P。而且,还可将这些元素结合使用。

(实施例2)

图10A表示本发明实施例2的SOI • MOSFET 的剖面结构。在图10A中,在P型(100)硅衬底上经过隐埋氧化膜202形成P型SOI膜203。该SOI膜203被热氧化膜4横向隔离,而热氧化膜是从SOI膜203表面一直形成至隐埋氧化膜202。采用SOI膜203的一个隔离区域作有源区。在有源区内形成 n^+ 源区216和 n^+ 漏区226,并使其底部与隐埋氧化膜202接触。在 n^+ 源区216和 n^+ 漏区226内形成SiGe区211 和221。在SiGe区211和221表面形成高杂质浓度P的区域219和229。在 n^+ 源区216和 n^+ 漏区226之间的沟道区203上经过栅氧化膜204形成由多晶硅等形成的栅电极205。环绕栅多晶硅电极205形成薄氧化膜7 和80nm宽的氧化膜侧壁71。形成P的高杂质浓度219、229,与栅多晶硅 205 隔开氧化膜侧壁71的厚度。与本发明实施例1相似,经过在层间绝缘层8中所形成的接触孔使源金属电极218和漏金属电极228分别连至 n^+ 源区216和 n^+ 漏区226。

按本发明实施例2的SOI • MOSFET,若将它与图4A 所示的仅有大共价半径的杂质离子As的已有技术异质结的SOI • MOSFET相比,用具有比Si的共价半径还大的共价半径的Ge离子注入到 n^+ 源区和 n^+ 漏区,与本发明月实施例1相似,它能显著改善漏电流。而本发明实施例 2 的漏击穿电压基本上与已有技术的异质结SOI • MOSFET一致。另外,

相对 $0.5\mu\text{m}$ 的栅长,可实现 $0.38\mu\text{m}$ 的有效沟道长,因而与本发明实施例1相对照,改善了短沟道效应的抑制效应。

在本发明的实施例2中,已经解释了一种情况,在形成宽 80nm 的间隔层71后,再注入P,使高杂质浓度区219、229被封在SiGe区211、221内。然而,在不改变其它条件,如注入到 n^+ 源区和 n^+ 漏区16和226的As离子注入条件的前提下,以加速电压 $V_{ac}=20\text{KV}$ 剂量 $\Phi=3\times 10^{15}\text{cm}^{-2}$ 可注入共价半径($=0.088\text{nm}$)比P小的B离子,替代P,形成B的高杂质浓度区。这时,可用B离子部分补偿预先注入在 n^+ 源、漏区216、226的As离子,但在n型MOSFET的工作中未引发实质性的问题。而且,由于B离子的共价半径小于P的共价半径,靠B的剂量比P的剂量低,可补偿晶格畸变。用类似于前述的本发明实施例2的B的高杂质浓度区可实现对漏电流的抑制。如果源金属电极218和 n^+ 源区211、216间的欧姆接触电阻高,由于存在界面的掺硼(B)层219,我们应采用如图10B所示的本发明实施例2的改型结构。在图10B中,在 n^+ 窄带隙源区211内的掺硼界面层被分成多个(例如3个)区219a、219b、219c,而源金属电极218与 n^+ 窄带隙源区211和掺硼界面层219a、219b、219c都相连,因此使 n^+ 窄带隙源区211和掺硼界面层219a、219b、219c短路。同样的论点可用于漏区一侧。再有,本发明实施例2的技术特征确实与FET相同,只是上述的诸如采用氮化膜(Si_3N_4 膜)、氧化铝(Al_2O_3)膜或类似的膜作栅氧化膜的MISFET的MOSFET除外。

参照图11A和11B,解释本发明实施例2的SOI·MOSFET的制造方法。

(a) 首先,采用SIMOX技术,如图9A和9B所示,在P(100)硅衬底

201上形成隐埋氧化膜202和SOI膜203。与本发明实施例1类似,通过使SOI膜的热氧化,然后湿式腐蚀该热氧化膜,将SOI膜调整到100nm厚。

(b) 此外,如图11A所示,在除有源区外的区域上形成隔离氧化膜。用LOCOS技术可形成隔离膜4。然后,通过LOCOS技术支掉用作选择氧化的掩模的氮化膜。另外,形成厚10nm的栅氧化膜,然后在其上通过CVD形成厚300nm的多晶硅膜。然后,用光刻步骤与RIE步骤形成具有 $0.5\mu\text{m}$ 栅长的栅电极图205。如图11A所示,形成厚210nm的后氧化膜7。

(c) 然后,以加速电压 $V_{ac}=50\text{KV}$,剂量 $\Phi=1\times 10^{16}\text{cm}^{-2}$ 注入Ge离子,然后以加速电压 $V_{ac}=20\text{KV}$,剂量 $\Phi=5\times 10^{15}\text{cm}^{-2}$ 注入As离子,使As离在SOI膜203中的位置231具有峰值浓度,如图11A所示,位置231对应于注入的As离子的投射范围 R_D 。

(d) 此后,用CVD淀积厚100nm的氧化膜,然后通过CVD和RIE等形成宽80nm的氧化间隔层71作为栅电极205的侧壁。如图11B所示,用氧化间隔层71作掩膜,以加速电压 $V_{ac}=15\text{KV}$,剂量 $\Phi=3\times 10^{15}\text{cm}^{-2}$ 将P离子注入到SOI膜231内,使P离在SOI膜231的深度232具有峰值浓度。接着在 850°C 进行30分钟退火。

(e) 此后,在衬底表面通过CVD设置层间绝缘层8。在层间绝缘层8内开接触孔。然后,形成源金属电极218和漏金属电极228。结果,完成本发明实施例2的SOI·MOSFET。

现在,在本发明实施例2中,可用加速电压 $V_{ac}=110\text{KV}$ 剂量 $\Phi=2\times 10^{16}\text{cm}^{-2}$ Sn离子,代替Ge,注入形成窄带隙半导体区211和221,然后在 850°C 对所得衬底退火30分钟。在 n^+ 源、漏区用Sn形成窄带隙半

导体区的情况下,显然可同样地改善漏击穿电压。即与图4A所示的已有技术异质结的SOI·MOSFET相比,那是将其共价半径都比Si的共价半径大的Ge和As同时注到n⁺源区206,并具有大致相同的投射范围Rp或深度,本例用As⁺、Sn⁺、P⁻注入,可改善漏击穿电压1.5V。此外,根本未出现图5B所示的统计学上的漏电流。采用SiSn区替代SiGe区这一事实也可适用于本发明的实施例1。

可以认为达到这些优点的原因如下。即,窄带隙半导体区未形成于源区表面附近,而是形成在比沟道耗尽层还深的位置,并含有作为n型杂质具有比Si的共价半径小的P离子,因此,补偿了和缓解了晶格失配。另外,积累在沟道区底的空穴可被在较深位置所形成的窄带隙半导体区有效吸收,因而可降低漏电流,同时又保持与已有技术异质结SOI·MOSFET相同的漏击穿电压的改善。

现在,致于本发明的实施例1和2的优点,Ge与P; Ge、As和P; As和与Sb; Ge与B以及Ge、B与P的结合使用都可达到相似的优点。另外,Ge离子注入区最好形成在B、P、As等离子的注入区。对注入B的情况,应将B离子注入浓度设定在低于As离子的水平。但是,如果我们采用与图10B所示相同的结构,可用注入Sn代替Ge,并可同时注入,比如,Sn和P; Sn、P和As等。并且可同时注入Ge和Sn。在Si可含有 $5 \times 10^{19} \text{cm}^{-3}$ 以上,优选为 $1 \times 10^{20} \text{cm}^{-3}$ 以上的Ge或Sn。在硅中含1-30mol%的Ge或Sn更好。例如,在含 $5 \times 10^{19} \text{cm}^{-3}$ 的情况下,可缓解晶格畸变,若含 $1.6 \times 10^{20} \text{cm}^{-3}$ 的P,则可抑制晶格缺陷。而且,虽然Ge或Sn与(As+Sb)的结合具有比Si的共价半径大的共价半径,靠这种结合也可补偿晶格畸变,原因是补偿关系错综复杂,即有些元素进入Si的填隙位置,而另一些元素进入Si的空位捕获位置。虽然,如图

10A所示在SiGe区211含有P的高杂质浓度区219,该 P 高杂质浓度区219可从SiGe区211伸出到接近栅电极205侧面。为了使P 高杂质浓度区219接近位于栅电极正下方的沟道区,我们应不采用侧壁间隔层71注入P离子。

(实施例3)

图12D表示本发明实施例3的SOI • MOSFET 的剖面结构。在图12D中,在P型(100)硅衬底201上,经过隐埋氧化膜202形成P型SOI 膜203。虽未图示,使SOI膜形成被通过BOX技术、LOCOS 技术等形成的器件隔离区包围的有源区。在有源区内深处形成 n^+ 源区216和 n^+ 漏区226,以使其底部与隐埋氧化膜202接触。在 n^+ 源区216与隐埋氧化膜之间的界面和 n^+ 漏区与隐埋氧化膜之间的界面形成SiGe区47。在有源区表面上形成层间绝缘层8,经过形成于部分层间绝缘层8 内的接触孔形成源金属电极218和漏金属电极228。另外,在 n^+ 源区216和 n^+ 漏区226之间的沟道区203上方形由多晶硅等形成的栅电极205。

在本发明实施例3中,如图12D所示,由于Ge注入区(SiGe层)47形成得深,离开 n^+ 源区216和 n^+ 漏区226的顶部,即使产生晶格缺陷,如图5B所示,这些缺陷对漏电流也没有贡献。SiGe层47 最好形成在比在FET主要工作状态下沟道区内耗尽层214还低处。漏击穿电压没有从已有技术异质结的SOI • MOSFET特别地变化,以致即使SiGe层47形成得深入SOI膜203中,如图12D所示,也可保持漏击穿电压的相同改善。特别是,在截止态的漏击穿电压与未经Ge 注入而形成原扩散层的常规的单质结SOI • MOSFET相比,可改善1V。本发明实施例3 的优点与除上述的MOSFET 以外的IG- FET 和采用氮化膜作栅绝缘膜的

MISFET或MISSIT相同。

接着,参照图12A-12D,解说本发明实施例3的SOI·MOSFET 的制造方法。

(a) 首先,采用在本发明实施例1中以图9A和9B 说明过的SIMOX 技术,在P(100)衬底201上形成隐埋氧化膜202和SOI膜203,如图12A所示。与本发明实施例1类似,通过热氧化SOI膜203表面形成热氧化膜,使未被氧化的SOI膜厚100nm,可调整SOI膜203的厚度然后湿法腐蚀该氧化膜,形成100nm厚的SOI膜。然后,例如通过以加速电压 $V_{ac}=30KV$ 剂量 $\Phi=10^{13}cm^{-3}$ 注入 BF_2 离子 (BF_2^+), 可获得具有预期杂质浓度的SOI膜203。

(b) 然后,通过LOCOS技术、BOX技术等形成隔离氧化膜(未在图12B中画出),以便横向隔开相邻的有源区。此后,形成厚10nm的栅氧化膜204,再在其上通过LPCVD等淀积厚 $0.3\mu m$ 的掺P多晶硅膜205。然后,如图12B所示,在栅氧化膜204通过光刻步骤和RIE 步骤的刻图技术形成栅多晶硅电极205。接着,如图12B所示,以加速电压 $V_{ac}=100KV$, 剂量 $\Phi=1\times 10^{16}cm^{-2}$ 注入Ge离子,再以加速电压 $V_{ac}=30KV$, 剂量 $\Phi=3\times 10^{15}cm^{-2}$ 注入As离子,在 $850^{\circ}C$ 使所得衬底退火 30 分钟。于是可形成源、漏区216、226和 Si_xGe_{1-x} 层47。

(c) 然后,在整个表面上用CVD等形成厚 $0.5\mu m$ 的氧化膜8,作为层间绝缘膜。然后,涂敷光刻胶膜并通过光刻构图,用RIE 技术刻蚀氧化膜8,开接触孔。接着,直至暴露出 Si_xGe_{1-x} 层37,通过用 SF_6 等的RIE,刻蚀源、漏区216、226内的Si,于是形成如图12C所示的槽。

以Sn离子替代Ge离子,通过注入在比沟道区内所形成的耗尽层还深的位置形成 Si_xGe_{1-x} 层,取代 Si_xGe_{1-x} 层47。Ge和Sn 离子可同

时注入。在Si内可含 $5 \times 10^{19} \text{cm}^{-3}$, 优选为 $1 \times 10^{20} \text{cm}^{-3}$ 以上的Ge 或 Sn。在硅内最好含5-30mol%范围的Ge或Sn。可采用比Si还窄的带隙的比如PbS、PbSe、ZnSb、InSb等或这些窄带隙半导体与Si 的混晶的半导体层来取代 $\text{Si}_x\text{Ge}_{1-x}$ 和 $\text{Si}_x\text{Sn}_{1-x}$ 。

(d) 如图12D所示, 使用诸如Al、Al-Si、Al-Si-Cu 等金属通过金属化步骤形成源金属电极218和漏金属电极228。最后完成本发明实施例3的SOI • MOSFET。

(实施例4)

图13表示本发明实施例4的SOI • MOSFET的剖面结构。 实施例4表示FET的另一实施例, 其中的SiGe区47形成比栅电极205 正下方的沟道区内的耗尽层214底部还深的位置。在图13B中, 在P型(100) 硅衬底201上经过隐埋氧化膜202形成P型SOI膜203。虽在图13B中省略, SOI膜203被分成多个岛, 每个岛被隔离氧化膜等包围, SOI膜203被包围的部分或岛被用作有源区(器件区)。图13B 仅表示一个有源区。在有源区内形成 n^+ 源区216和 n^+ 漏区226, 并使其底部与隐埋氧化膜202实质接触202。与本发明实施例3类似, SiGe区(下文在本发明实施例4中称"第一SiGe层")47在 n^+ 源区216 和隐埋氧化膜之间的界面及 n^+ 漏区226和隐埋氧化膜之间的界面上。但是, 在实施例4中, 进一步把第二SiGe层51直接形成在用于源金属电极218和漏电极228的接触孔开口部分之下, 并使各自达到第一SiGe层47。在有源层上形成层间绝缘层8。形成源金属电极218和漏金属电极228, 并使它经过在层间绝缘层8所形成的接触孔与第二SiGe层51相连。另外, 在 n^+ 源区216和 n^+ 漏区226之间的沟道区203上经过栅氧化膜204形成由多晶硅

或难熔金属等形成的栅电极205。

在图13B所示的本发明实施例4的SOI·MOSFET中,与本发明实施例3类似,其漏击穿电压已有改善,而且漏电流已有明显改善。

接着,参照图13A和13B以及本发明实施例3的制造方法所用的图12A和12B,描述本发明实施例4的SOI·MOSFET的制造方法。但我们想要提出的是,用SIMOX技术形成带有隐埋氧化膜202的SOI结构的步骤、在由SOI膜203形成的有源区表面上形成栅氧化膜204的步骤以及形成各晶硅栅电极205、 $\text{Si}_x\text{Ge}_{1-x}$ 层47、 n^+ 源区216与 n^+ 漏区226的步骤基本上与如图12A和12B所示的在本发明实施例3所解释的相同。因而略去这些制造步骤的详细解说。

(a) 在多晶硅栅电极205、 $\text{Si}_x\text{Ge}_{1-x}$ 层47、 n^+ 源区216和 n^+ 漏区226形成之后,通过CVD等淀积氧化膜8作为层间绝缘膜。然后,通过光刻步骤和RIE步骤在层间绝缘膜8内开接触孔。即刻蚀氧化膜8,直至露出 n^+ 源区216和 n^+ 漏区226上的Si表面。如图13A所示,以加速电压 $V_{ac}=30\text{KV}$ 剂量 $\Phi=1\times 10^{16}\text{cm}^{-2}$,使Ge离子经接触孔开口部注入到 n^+ 源区216、 n^+ 漏区226。

(b) 然后,使所得的SOI衬底退火,形成如图13B所示的第二 $\text{Si}_x\text{Ge}_{1-x}$ 层51,并使之与 $\text{Si}_x\text{Ge}_{1-x}$ 层47接触。此后,如图13B所示,采用金属如铝等形成源金属电极218和漏金属电极228。最后可完成本发明实施例4的SOI·MOSFET。

在上述制造方法中,可实施开接触孔的腐蚀,以只达到单晶SOI膜203上的 n^+ 源、漏区216、226的表面。所以,与本发明实施例3的SOI·FET的制造方法相对照,实施例4的工艺是如此之简单,以致工艺的控制能力极好。现在,与本发明实施例3类似,可用 $\text{Si}_x\text{Sn}_{1-x}$ 或

$\text{Si}_{1-x-y}\text{Ge}_x\text{Sn}_y$ 取代 $\text{Si}_x\text{Ge}_{1-x}$ 层47。在硅中应含 $5 \times 10^{19} \text{cm}^{-3}$ 以上,最好含 $5 \times 10^{20} \text{cm}^{-3}$ 以上的Ge或Sn。在硅中最好能含有5-15mol%范围的Ge或Sn。另外可用带隙比Si的带隙还窄的,如PbS、SnTe、InSb等窄带隙半导体层取代 $\text{Si}_x\text{Ge}_{1-x}$ 层47。

(实施例5)

图14表示本发明实施例5的SOI·MOSFET的剖面结构。在图14中,在P型(100)硅衬底201上越过隐埋氧化膜202形成P型SOI膜203。图14中虽未表示,SOI膜203被分成多个岛,各岛被隔离氧化膜等包围,而SOI膜203的被包围部分或岛被用作有源区(器件区)。图14表示一个有源区。在有源区内深处形成 n^+ 源区216和 n^+ 漏区226,并使其底部与隐埋氧化膜202实质接触。与本发明实施例3和4相似,在 n^+ 源区216和 n^+ 漏区226的底部形成SiGe层48。在 n^+ 源区216和 n^+ 漏区226内的SiGe层48上形成难熔金属硅化物层74如 TiSi_2 、 WSi_2 、 MoSi_2 、 PtSi_2 等。在有源区上淀积层间绝缘层8,并在其上形成接触孔。再形成源金属电极218和漏电极228并使其经过接触孔与难熔金属硅化物层74相连。在 n^+ 源区216和 n^+ 漏区226之间的沟道区203上越过栅氧化膜204形成多晶硅栅电极205。在多晶硅栅电极205的两侧形成侧壁氮化膜73。

虽然难熔金属硅化物层74形成在图14的SOI膜203表面上的凹面部,但可形成与SOI膜203具有基本相同的平整表面的难熔金属硅化物层74表面。总之,通过Si与如Ti、W、Mo等难熔金属之间的反应形成难熔金属硅化物层74,并从SOI膜203进入SOI膜203的更深处,以使难熔金属硅化物层74分别与SiGe层48接触。

在本发明实施例5的SOI·MOSFET中,漏击穿电压已有极大的改善,漏电流亦有显著改善,与本发明实施例3和4类同。另外,因为存在难熔金属硅化物膜74,可以减少金属电极与n⁺源/漏区216、226间的接触电阻,并可降低源与漏区内的寄生电阻。其结果使跨导g_m变大,并得到良好的电流驱动能力。

参照图15A-15D 以及图14,下边讨论本发明实施例5 的SOI·MOSFET的制造方法。在以下解释中,解释以ToSi作硅化层74的情况。

(a) 首先,与本发明实施例1-4类似,以P型(100)硅衬底201通过SIMOX技术形成SOI衬底。换言之,在衬底201上通过注入氧离子形成隐埋氧化膜202,然后使所得衬底退火。同时在表面形成SOI膜203。然后,使SOI膜203热氧化,留下100nm厚的未氧化的SOI膜203。例如,以NH₄下溶液湿式腐蚀膜203上的热氧化膜,露出厚100nm的SOI膜203的表面。此外,与上述实施例相同,可用注入B离子、BF₂离子等获得预期的沟道区203的杂质浓度。

(b) 此后,在沟道区203上形成厚10nm的栅氧化膜204。在栅氧化膜204的表面上通过CVD等形成厚0.3μm的掺P多晶硅205。然后,在多晶硅205的表面上形成热氧化膜7。在热氧化膜7表面上旋涂光刻胶。然后,如图15A所示,以光刻步骤和RIE步骤对氧化膜7、多晶硅栅电极205、与栅氧化膜204刻图。

(c) 然后,如图15A所示,以加速电压 Vac=100KV 剂量 $\Phi=1\times 10^{16}\text{cm}^{-2}$ 通过注入Ge离子形成源、漏区216、226和Si_xGe_{1-x}层47。并且以加速电压 Vac=30KV 剂量 $\Phi=3\times 10^{15}\text{cm}^{-2}$ 注入As离子,然后使衬底,或如图15A所示的所得SOI结构在850°C退火30分钟。即,通过该退火步骤,形成SiGe层(Si_{0.97}Ge_{0.03}层)47,将n⁺源、漏区

216、226调整到具有约 $1 \times 10^{20} \text{cm}^{-3}$ 的杂质浓度。由于退火步骤所引起的横向扩散,使 n^+ 源、漏区216、226与P型SOI膜203之间的两个pn结界面从SiGe层47向沟道区或SOI本体203内侧移动20nm。

(d) 在整个表面生长厚20nm-40nm的氮化膜。通过RIE等在栅电极205两侧形成侧壁膜73。另外,如图15B所示,用侧壁氮化膜73和氧化膜7作掩模,使 n^+ 源、漏区216、226的腐蚀掉深30nm。比 n^+ 源、漏区216、226的腐蚀步骤可被省去,以保持其表面平整,以使 n^+ 源、漏区216、226可形成与SOI膜203相同的平整表面。然后,如图15C所示,在整个表面通过CVD、真空淀积、溅射等淀积厚20nm的Ti膜112。再有,虽在图15C中未表示,可在Ti膜上淀积一层防止难熔金属表面氧化的厚70nm的TiN膜。

(e) 然后,在750°C的 N_2 气氛中使Ti膜112退火30分钟。经此退火,由于Ti膜112与 n^+ 源、漏区216、226内的Si间的反应结果在SiGe层47上形成 TiSi_2 膜74。然而,在氧化膜7上经此退火(硅化作用)未形成 TiSi_2 。将所得衬底浸入含过氧化氢的溶液中,去掉TiN膜和未反应的Ti。在该衬底再经850°C 30分钟退火后, TiSi_2 膜74的厚度变为近似60nm,于是得到图15D所示的结构。

(f) 然后,在整个表面上经CVD淀积氧化膜8。在氧化膜8上开接触孔。如图14所示,使用如Al、Al-Si、Al-Si-Cu等金属经金属化步骤形成源金属电极218和漏金属电极228。在接触孔内的接触金属上可形成金属布线,如源金属电极218和漏金属电极228。在此情况下,通过选择CVD将难熔金属如W填入接触孔,然后在接触孔内的难熔金属柱上淀积Al-Si(1mol%)-Cu(0.5mol%)作为布线金属,最后用光刻切割它。

虽然在本发明实施例5中对用Ti作难熔金属材料的情况已做过解释,但难熔金属不限于这些金属。可使用如Ni、Pt、W或Mo难熔金属作难熔金属硅化物材料。为防止在退火时难熔金属硅化物表面氧化,在退火前也可在难熔金属上淀积TiN膜等。如上所述,通过双氧水工艺可将TiN膜等与未反应的难熔金属一起去掉。在防止难熔金属在 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 层与难熔金属之间由于自然氧化(膜)变为难熔金属硅化物的情况下,可在其界面设置一层具有还原性能的Ti。进而,或经在预定条件的一步退火或经实施例5所解释的由低温预退火和高温后退火构成的两步退火可获得难熔金属硅化膜。虽然在本发明实施例5中保留了难熔金属,但也可用HF溶液去掉。形成 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 层47的方法不限于以上各例,可在 n^+ 漏区226侧涂敷抗蚀剂作掩模,只在 n^+ 源区216上形成 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 层47。在上例中, n^+ 源、漏区216、226与P型SOI层间的pn结界面定位于比含Ge区还靠里,在MOSFET沟道区的内侧,但这些pn结界面也可定位于含Ge区之内形成。而且,在上例中,虽然未在栅电极上形成SiGe层和难熔金属硅化层,若在栅电极上形成SiGe层和难熔金属硅化层也可获得本发明的相同优点。可使用 $\text{Si}_x\text{Sn}_{1-x}$ 层取代 $\text{Si}_x\text{Ge}_{1-x}$ 。

(实施例6)

图16C表示本发明实施例6的LDD(轻掺杂漏区)·SOI·MOSFET的剖面结构。在图16C中,在P型(100)硅衬底201上越过其上的隐埋氧化膜202形成P型SOI膜203。在图16C中虽未表示,SOI膜203被分成多个硅岛,各硅岛被隔离氧化膜等包围,各硅岛203分别被用作有源区(器件区)。图16C仅表示出一个有源区。在有源区形成相当低的杂

质浓度的浅 n^- 源区85和浅 n^- 漏区95,并使其面向作为MOSFET 沟道区的SOI膜203或SOI本体。接着再形成杂质浓度为 $2 \times 10^{18} - 1 \times 10^{21} \text{ cm}^{-3}$ 的深 n^+ 源区216和深 n^+ 漏区226,并使其底部与隐埋氧化膜202实质接触。这里的 n^- 源区85和 n^- 漏区95代表比 n^+ 源区216和 n^+ 漏区226相对低的杂质浓度,具体地是指具有约 $5 \times 10^{16} - 1 \times 10^{18} \text{ cm}^{-3}$ 的区域。在这种意义上讲,实施例6中的 n^- 区的杂质浓度比一般所用的值还高。在深 n^+ 源区216和深 n^+ 漏区226的底部形成SiGe层47。接着,在 n^- 源区85和 n^- 漏区95之间的沟道区203上越过栅氧化膜204形成由多晶硅等形成的栅电极205。在多晶硅栅电极205的两侧形成侧壁氮化膜73。在SOI膜203上形成层间绝缘膜8,以把栅电极205包在其内。形成源金属电极218和漏金属电极228,使其通过在层间绝缘膜内所形成的U形槽和 n^+ 源区216和 n^+ 漏区226内形成的接触窗口达到SiGe层47。

在本发明实施例6的SOI·MOSFET中,如图16C所示,由于其LDD结构,即使与已有技术的Ge离子被离子注入到 n^+ 源、漏区216、226的整个区域的异质结MOSFET相比,根本未发现漏电流的统计产生。另外,与未注入Ge离子形成 n^+ 源区216的常规单质结器件相比,截止态的漏击穿电压已改善1.5V。

下面参照图16A-16C说明本发明实施例3的SOI·MOSFET的制造方法。

(a) 首先,按与本发明各实施例相同的制造工艺,使氧离子注入到P型(100)硅衬底201内,然后进行退火。于是,通过所称的SIMOX技术,在P型(100)硅衬底201形成隐埋氧化硅膜202和在其上的SOI膜203。然后使SOI膜203表面热氧化,以在其上形成氧化膜。用 NH_4F 溶

液等通过湿法腐蚀去掉SOI膜203上的热氧化硅膜,以得到100nm厚的SOI膜203。另外,在与上述各实施例相同的条件下,经B离子或 BF_2 离子注入,可获得预期杂质浓度的沟道区。之后,形成厚10nm的热氧化膜204用作栅氧化膜。经LPCVD在多晶硅205的表面上形成厚 $0.3\mu\text{m}$ 的掺P多晶硅205。然后,在热氧化膜7上旋涂光刻胶图形。然后,如图16A所示,经各向异性腐蚀如RIE,使栅电极2-5和栅氧化膜204构图。以加速电压 $V_{ac}=100\text{KV}$ 剂量 $\Phi=5\times 10^{12}-1\times 10^{14}\text{cm}^{-2}$ 注入P离子。结果如图16A所示,形成 n^+ LDD区85,95。

(b) 然后在整个衬底表面上淀积氮化膜73,经各向异性腐蚀如RIE在栅电极两侧形成侧壁氮化膜73。用侧壁氮化膜73和栅电极205作掩膜,经以加速电压 $V_{ac}=30\text{KV}$ 剂量 $\Phi=1\times 10^{16}\text{cm}^{-2}$ 注入Ge离子,以加速电压 $V_{ac}=30\text{KV}$ 剂量 $\Phi=3\times 10^{15}\text{cm}^{-2}$ 注入As,形成 $\text{Si}_x\text{Ge}_{1-x}$ 47,然后使所得衬底在 850°C 退火30分钟。结果,形成深 n^+ 源、漏区216、226,如图16B所示。

(c) 然后,以与上述各实施例相同的方式,在整个表面上淀积氧化膜8。然后,用RIE等连续腐蚀氧化膜8和 n^+ 源、漏区216、226的硅,直至露出下面的 $\text{Si}_x\text{Ge}_{1-x}$ 层47,在接触窗口正下方形成接触窗口和U形槽。通过U形槽膜和接触窗口形成由等形成的诸如源金属电极218和漏金属电极228一类金属布线。于是完成如图16C所示的本发明实施例6的SOI·MOSFET。

在本发明实施例6中,源金属电极218和漏金属电极228是与 SiGe 层47相连的。然后,如实施例4所述的,在腐蚀氧化膜8形成接触窗口直至露出 n^+ 源、漏区216、226表面之后,使Ge离子注入到窗口部分,在第一 $\text{Si}_x\text{Ge}_{1-x}$ 层47上形成第二 $\text{Si}_x\text{Ge}_{1-x}$ 层51以使金属电极218、

228与第一 $\text{Si}_x\text{Ge}_{1-x}$ 层47桥连。通过界面难熔金属硅化层可使源金属电极218、漏金属电极228与 $\text{Si}_x\text{Ge}_{1-x}$ 层接触。而且可使用其带隙比Si还窄的半导体如 $\text{Si}_x\text{Sn}_{1-x}$ 层、PbS、PbTe、InSb等取代 $\text{Si}_x\text{Ge}_{1-x}$ 层47。

如本发明说明书开篇所述,在异质结SOI·MOSFET中产生由异质结中匹配位错所引起的晶格缺陷和由离子注入损伤所引起的晶格缺陷。从本发明的发明者们所试过的各种实验中已发现,这些缺陷产生于Ge离子注入区和Ge离子非注入区间的界面上。因此,在形成栅电极图形205后立刻注入砷(As)离子并退火;形成相当宽的 n^- 区285、295,如图17A所示。然后,形成栅侧壁间隔73,如图17A所示,此后,同时注入P离子(或As离子)以及Ge离子,在 n^- 区285、295内形成SiGe 286、287、 n^+ 源、漏区216、226。因此,如图17B所示,可将缺陷D的边缘设定在 n^- 区285、286之内。就是说,即使在必定增加漏击穿电压、同时必须抑制微小漏电流的情况下,借助于图17B所示的结构可获得具有预期特性的SOI·MOSFET。可把图17B所示的结构当做LDD结构的一种类型。然而,此优点不限于标准的LDD结构,由 n^- 区包围的Ge离子注入区(或Sn离子注入区)可抑制如图5B所示的已有技术异质结SOI·MOSFET的漏电流。

(实施例7)

图18A表示本发明实施例7的SOI·MOSFET的剖面结构。在图18A中,在P型(100)硅衬底201上越过隐埋氧化膜202形成P型SOI膜203。SOI膜203被分成多个硅岛,每个硅岛被以LOCOS技术等形成的隔离氧化膜4所包围,用被包围的硅岛内部作有源区(器件区)。图18A只表

示该有源区。在有源区内的深处形成 n^+ 源区216和 n^+ 漏区226, 并使其底部实质上与隐埋氧化膜202接触。图18B是表示图18A所示的靠近SOI·MOSFET的 n^+ 源区216的结构放大剖面图。环绕 n^+ 源区216底部形成SiGe区237的一部分, SiGe区237的另一部分延伸到越过 n^+ 源区和P型SOI本体203, 或沟道区之间的pn结界面(冶金结)的沟道区内。同样, 在 n^+ 漏区226形成SiGe区247, 延伸至沟道区或SOI本体, 越过 n^+ 漏区和P-型SOI本体203之间的pn结界面。在某些情况, 可省去漏区侧的SiGe区247。另外, 在 n^+ 源区216和 n^+ 漏区226之间的沟道区203上, 越过栅氧化膜204形成多晶硅栅电极205。在多晶硅栅电极205两侧形成侧壁氮化膜73。在SOI层和在栅电极上形成 SiO_2 膜或 SiO_2 膜和PSG(或BPSG)膜的复合膜作为层间绝缘膜8。在层间绝缘膜8上开接触孔(窗口)。通过窗口形成源金属电极218和漏金属电极228。

在图18A和18B所示的本发明实施例7中, 在比 n^+ 源区216和p-型SOI本体之间的pn结界面215更里边的沟道区的位置形成SiGe/Si异质结界面, 并定位于从pn结界面215延伸出的耗尽层214之内。然而, 如图19所示, 从一部分SiGe/Si异质结界面225形成在比pn结界面215更靠近沟道区的结构同样可以获得图18A和18B中的优点。在图19中, 为形成SiGe区237, 用于Ge离子注入的加速电压Vac可设定得比图18A和18B的稍低些, 比如可设定在80KV。

如上所述, 可使SiGe/Si异质结界面225区域216定位于冶金pn结界面215延伸出的耗尽层214的内侧。借助于此结构, 可实现图20所示的SOI·MOSFET的电势分布(细虚线代表SiGe的价带边缘 $E_v(\text{SiGe})$, 粗实线代表由本发明获得的价带边缘)。所以空穴可有效地被抽到

源电极,并可实现高漏击穿电压。在图18和19的两种情况下,漏击穿电压为5V,与具有相同的 $0.5\mu\text{m}$ 沟道长度的已有技术异质结SOI • MOSFET相对照,改善了1V。

众所周知,SOI • MOSFET 中的漏击穿现象是由积累在沟道区或SOI本体内的空穴引起。所以为了满足提高漏击穿电压的目的,将异质结界面225放置于pn结界面215内侧,与图4A 所示的已有技术异质结MOSFET相似,不总是最好的途径。表示常规同质结MOSFET 和本发明的异质结MOSFET之间电势分布的比较。可以看出,在图20 中由粗实线所表示的电势分布中,阻止空穴的势垒高度可被最有效地降低。换言之,在本发明实施例7中,在空穴电势最低的沟道区中的价带边缘 $E_v(\text{Si})$ 被直线地连到窄带隙源区的价带边 $E_v(\text{SiGe})$,以不产生阻止源沟道边界区内空穴的高势垒,因而在SOI本体中的积累的空穴可被有效地抽出,于是成功地提高了漏击穿电压。因此,如图18A、18B和19所示,具有比Si带隙还窄的SiGe区可延伸至空穴电势最低(极值)的沟道区,超过pn结界面215。可使用 SiSn 、 PbS 、 SiGeSn 混晶、 $\text{Si}_x(\text{PbS})_{1-x}$ 、 $\text{Si}_x(\text{PbTe})_{1-x}$ 混晶等取代SiGe区。

如下文所述,可用基本上与本发明实施例5相同的制造步骤来制作本发明实施例7的SOI • MOSFET。

(a) 首先用P型(100)硅衬底201通过所谓的SIMOX 技术形成SOI结构。即,以加速电压 $V_{ac}=180\text{KV}$ 剂量 $\Phi=2\times 10^{15}\text{cm}^{-2}$,使氧离子注入到P型(100)硅衬底201内。此后,在 1300°C 退火6 小时,形成厚400nm的隐埋氧化膜202。于是形成在隐埋氧化膜上的具有厚200nm的SOI膜203的SIMOX-SOI衬底。

(b) 然后,热氧化SOI膜203的表面,留下100nm厚的硅膜。通过

湿法腐蚀未氧化的硅膜上的热氧化硅膜,将SOI膜203 的厚度调整到100nm的厚度。再注入B离子(或 BF_2 离子),以具有预期的沟道杂质浓度。

(c) 然后,通过标准的MOSFET 制造步骤使用如以普通多晶硅栅电极205自对准技术形成器件。在形成200-300nm厚的多晶硅栅电极后,通过CVD形成氮化膜,然后在栅电极两侧采用RIE形成300nm 宽的侧壁氮化膜73。然后采用多晶硅栅电极205和侧壁氮化膜作掩模,以加速电压 $V_{ac}=130\text{KV}$ 剂量 $\Phi=3\times 10^{16}\text{cm}^{-2}$ 注入Ge离子,以加速电压 $V_{ac}=20\text{KV}$ 剂量 $\Phi=3\times 10^{15}\text{cm}^{-2}$ 注入As离子。在此自对准离子注入中,通过侧壁氮化膜注入一部分Ge离子,同时稍微改变了其在SOI膜 203 内的有效投射的范围 R_p 。在此之后,在 850°C 对所得结构进行1 小时退火。通过侧壁氮化膜注入Ge离子经此退火步骤也稍有扩散。因而部分SiGe区237延伸至沟道区内,超越pn结界面215,即,同时采用此离子注入/退火步骤形成 n^+ 源/漏区216、226。在Ge离子未穿过侧壁直接注入到SOI膜的 n^+ 源区216中的另一部分SiGe区237 被深深地形成在SOI膜深度方向,以达到隐埋氧化膜202。

如上所述,如果以较低的加速电压 $V_{ac}=80\text{-}100\text{KV}$ 注入Ge离子,如图19所示,可得到仅部分异质结界面225延伸超过pn结界面215 的结构。在此情况下,可以分段改变加速电压如80KV、90KV和100KV,并以变化的加速电压可连续地注入Ge离子。

(d) 然后,通过CVD等在SOI膜203的表面形成层间绝缘膜8如 SiO_2 膜、 SiO_2/PSG 复合膜、或 SiO_2/BPSG 复合膜,以便把多晶硅栅电极包含在内。然后,通过光刻在层间绝缘膜上开出接触孔(窗口)。最后,按以下步骤形成图18A所示源金属电极218和漏金属电极228。

即,在借助EB 蒸发或溅射在SOI 膜和层间绝缘膜的表面上形成诸如Al-Si、Al-Si-Cu等金属后,通过光刻和RIE步骤使金属刻图。最后可完成本发明实施例7的具有窄带隙源区的异质结SOI • MOSFET。

(实施例8)

图21A表示本发明实施例8的SOI • MOSFET的剖面结。在图21A中,在P型(100)硅衬底201上所形成的隐埋氧化膜202上再形成P型SOI膜203。该SOI膜被分成多个硅岛,每个硅岛被通过LOCOS技术等所形成的隔离氧化膜4包围,用各硅岛的内部作有源区(器件区)。图21A 表示有源区附近的结构。在有源区内侧深处形成 n^+ 源区216和 n^+ 漏区226,以使其底部实际与隐埋氧化膜202接触。图21B是表示图21A 所示的具有窄带隙源区的SOI • MOSFET的 n^+ 源区216附近的细致结构的放大剖面图。在 n^+ 源区216形成SiGe区237延伸至沟道区内,超越 n^+ 源区216和作为沟道区的p-型SOI层203或SOI本体之间的pn结界面(冶金结)。同样,在漏区内也形成SiGe区247延伸至沟道区内,超越 n^+ 漏区和P型沟道区之间的pn结界面。但在某些情况下,可省略漏区侧的SiGe区247。在SiGe237、247上形成难熔金属硅化层74如TiSi、WSi或MoSi。此外,在 n^+ 源区216和 n^+ 漏区226之间的沟道区203 上越过栅氧化膜204形成由多晶硅等形成的栅电极205。在栅电极205 两侧形成侧壁氮化膜73。在包括栅电极的SOI层上形成 SiO_2 膜或 SiO_2 膜和PSG膜的复合膜作为层间绝缘膜8。在层间绝缘膜8 上开出接触窗口。在难熔金属硅化物层74上形成源金属电极218 和漏金属电极228。在图21A和21B中,期望形成SiGe区237、247分别与难熔金属硅化物层74直接相连。如果直接相连,与SiGe区237、247 和难熔金属

硅化物层74被 n^+ 源区216、226分离而形成的一种结构相对照,其漏电压可改善0.3V。

在图21A和21B所示的本发明实施例8中, SiGe/Si 异质结界面225形成在比 n^+ 源区216和P型SOI本体203间的pn 结界面更靠近沟道区的位置,并定位于从pn结界面和栅电氧化膜延伸的耗尽层214内。但是,如图22所示,从部分SiGe/Si异质结界面比pn结界面215更靠近沟道的一种结构同样获得图21A和21B中的优点。在图22中,为了形成SiGe区237,用于Ge离子注入的加速电压可设定得比图21A和21B稍低些,例如可设定在80KV。

如上所述, Si区和SiGe区237之间的异质结界面225 可定位于沟道区内的耗尽214内侧,超越冶金pn结界面215。在此情况下,可获得类似于图20所示的及本发明实施例7所描述的SOI·MOSFET的电势分布。所以积累于SOI·本体的空穴可被有效地抽至窄带隙源区并可实现高的漏击穿电压,同时,被窄带隙源区或SiGe层237 抽出的空穴进一步流向源金属电极218。作为本发明的发明者们使用各种结构试过的分析结果,如果阻止空穴的势垒存在源接触金属电极附近,则发现漏击穿电压的改善下降了。换言之,如果Si 区保留在源接触金属电极附近,可形成阻止空穴的势垒,以至不能充分有效地抽出空穴。如果SiGe区237形成在SOI膜203深度方向的深处,而源接触金属电极和界面合金层(金属-硅合金界面)浅浅地形成在 n^+ 源区的表面,这种情形是由于接触金属电极和界面合金层没有达到SiGe区237 所致。本发明的发明者们经重复地模拟分析、实验发现,如果SiGe 区直接接触到源接触金属电极部正下方的难熔金属硅化物层,如本发明实施例8的结构,完成图23实线所示的电势分布,可将空穴快速有效地

抽到难熔金属硅化物层中。对图21和22所示的SiGe区237、247中的Si来说,Ge的摩尔百分比最好是1%以上,即Ge的浓度在 $5 \times 10^{20} \text{cm}^{-2}$ 以上。可以使用SiSn区或SiGeSn混晶取代SiGe区。

通过以下制造步骤来制作本发明实施例8的SOI·MOSFET结构。

(a) 首先,使用P型(100)硅衬底201通过所谓的SIMOX 技术形成SOI结构。即,以加速电压 $V_{ac}=180\text{KV}$ 剂量 $\Phi=2 \times 10^{15} \text{cm}^{-2}$ 使氧离子注入到p型(100)硅衬底201。此后经在 1300°C 退火衬底201 6小时,形成400nm厚的隐埋氧化膜202及在该隐埋氧化膜202上形成200nm厚的SOI膜203。于是获得该SIMOX-SOI衬底。

(b) 然后,热氧化SOI膜203的表面,留下100nm 厚的未氧化的硅膜。通过湿法腐蚀此热氧化膜,使SOI膜203的厚度调整到100nm的厚度。进而,注入B或 BF_2 离子,使之具有预期的沟道杂质浓度,然后经LOCOS步骤形成器件区。

(c) 然后,经标准的MOSFET制造步骤来制造MOSFET。即,在形成200-300nm厚的多晶硅电极后,在多晶硅栅电极和整个SOI 膜的表面上通过CVD形成氮化膜。然后,采用RIE 等经各向异性腐蚀氮化膜形成300nm宽的侧壁氮化膜73。然后,用多晶硅栅电极205 和侧壁氧化膜73作掩模,以加速电压 $V_{ac}=130\text{KV}$ 剂量 $\Phi=3 \times 10^{16} \text{cm}^{-2}$ 注入Ge离子,并以加速电压 $V_{ac}=20\text{KV}$ 剂量 $\Phi=3 \times 10^{15} \text{cm}^{-2}$ 注入As离子。如较 21A和21B所示,部分Ge离子是通过侧壁氮化膜73注入的,而稍稍改变离子在SOI膜203内的有效投射范围 R_p 。然后,对所得衬底在 900°C 实施60分钟退火。经此退火通过侧壁氮化膜73注入的Ge离子稍有扩散。而退火工艺形成了 n^+ 源、漏区216、226及SiGe区237、247。因此,一部分SiGe区237延伸至沟道区内超过pn结界面215。另一部分SiGe区

237深深地形成在 n^+ 源区216内,以便沿SOI膜的深度方向达到隐埋氧化膜202。如上所述,如果以加速电压 $V_{ac}=80-100KV$ 注入Ge离子,可得到如图22所示一种结构,有限部分的异质结界面225延伸超越pn结界面215。

(d) 在SOI膜203的整个表面上通过溅射分别淀积Ti膜及TiN膜,其厚度分别为30nm及40nm。另外,也可用EB蒸发或CVD淀积Ti膜及TiN膜。通过在800°C退火,在SOI膜203表面上形成难熔金属硅化物膜。用公知的选择腐蚀去掉未反应的Ti膜及TiN膜,于是保留下在 n^+ 源、漏区216、226表面上的硅化钛($TiSi_2$)层74。

(e) 然后,在SOI膜203的表面上通过CVD形成由 SiO_2 膜、 SiO_2 /PSG复合膜或 SiO_2 /BPSG复合膜形成层间绝缘膜8,以将各晶硅栅电极205包含于其内。然后用光刻法在层间绝缘膜8上开出接触孔。最后,借助于EB蒸发或溅射,经淀积金属如Al-Si、Al-Si-Cu等形成源金属电极218和漏金属电极228,如图21A所示。最后可完成本发明实施例8具有窄带隙源区的异质结SOI·MOSFET。

(实施例9)

图24A及24B表示本发明实施例9的SOI·MOSFET的 n^+ 源区附近的剖面结构。在图24中,在P型(100)硅衬底201上越过隐埋氧化膜282形成P型SOI膜283。在图24A中虽未表示,SOI膜283被器件隔离氧化膜包围,用被隔离氧化膜所包围的SOI膜283的内部作为有源区(器件区)。图24A只表示有源区附近的结构。本发明实施例9的结构基本上类似于本发明实施例3-5的结构。在有源区内的深处形成 n^+ 源区216,使其底部实质上与隐埋氧化膜282接触。在图24A中,在 n^+ 源区

216的底部形成与隐埋氧化膜282相接触的SiGe区47。

在 n^+ 源区216内形成SiGe区47,作为窄带隙源区,并延伸到沟道区内超越 n^+ 源区216与作为沟道区的P型SOI膜283,或P型SOI本体之间的pn结界面(冶金结)。同理,虽未表示,在漏区形成SiGe区47,并延伸至沟道区内,超越 n^+ 漏区226和P型SOI本体283之间的pn结界面。但可省去漏区侧的SiGe区47。在图24B,在SiGe区47上形成难熔金属硅化物区74,如 WSi_2 、 $MoSi_2$ 、 $TiSi_2$ 、 $PtSi_2$ 等。此外在 n^+ 源区216和 n^+ 源区(图24B示画出漏区)之间的沟道区283上越过栅氧化膜204形成由多晶硅等形成的栅电极205。在栅电极205两侧形成侧壁氮化膜73。在SOI层283上形成(虽未画出), SiO_2 膜、 SiO_2 /PSG膜复合膜等作为层间绝缘膜8封住栅电极。在该层间绝缘膜8上开出接触孔,通过接触孔形成源金属电极218。在图24B中,只画出源金属电极218,但类似地也可形成漏金属电极228。虽从图24A省去了金属电极,然而已形成与图24B相同的金属电极。

如上所述,Si区和SiGe区47之间的异质结界面可定位于超越冶金pn结界面215在沟道区283内的耗尽层214内侧。借助于些结构,可获得与图20所示相同的SOI·MOSFET电势分布。其结果,可将空穴有效地抽到源电极内,实现高的漏击穿电压如4.9V。

在上述实施例中,虽然描述了用SIMOX技术形成SOI结构的情况,但除SIMOX技术外,还可用硅直接键合技术(下文称"SDB"技术)、外延生长方法等形成SOI衬底。在本发明实施例9中,按SDB技术来解释SOI衬底的形成,当然,也可用SIMOX技术形成。

以下将说明按本发明第9实施例的,有窄带隙源区的异质结SOI·MOSFET的制造工艺步骤。

(a) 首先,在有预定表面取向,如(100)面的P型硅衬底201 的表面上,用热氧化或CVD形成厚度为 $1\mu\text{m}$ 的 SiO_2 膜282。就CVD而言,可以用 SiH_4 与 N_2O 之间反应的CVD,或用诸如TEOS(原硅酸四乙酯: $\text{Si}(\text{OC}_2\text{H}_5)_4$),HMDS(六甲基二硅氧烷: $\text{Si}_2\text{O}(\text{CH}_3)_6$)、OMCTS(1,8-亚辛基环四硅氧烷: $\text{C}(\text{OSi}(\text{CH}_3)_2)_4$)的有机硅源的CVD。

(b) 然后,在 N_2 气氛中在 1200°C 下经2小时对衬底退火。此后,用抽空支撑工具固定P型硅衬底201的背面,用化学机械抛光(CMP)技术或类似技术,抛光形成在P型硅衬底201前表面上的 SiO_2 膜 282,使 SiO_2 膜282的厚度为 $0.3\mu\text{m}$,并使 SiO_2 膜282 的表面形成平滑的镜面。最后,形成用于SOI结构的隐埋氧化膜的SDB膜282。

(c) 然后,制备有镜面抛光表面的P型硅衬底283,如图24A所示。使P型硅衬底201上的 SiO_2 膜282的镜面抛光表面与P型硅衬底283 的镜面抛光表面相互键合。然后,将制成结构退火,以构成SDB 衬底。此时,可用加电退火处理。然后,用抛光法调节P型硅衬底283的厚度,使其厚度为 200nm 。

(d) 然后,对用SDB技术形成的SOI膜283的表面热氧化,以留下厚度为 100nm 的未被氧化的硅层。湿式刻蚀该热氧化膜,使SOI 膜283的厚度减薄至 100nm 。

(e) 之后,用LOCOS技术,BOX技术之类的技术,形成隔离氧化膜,使其相邻的器件电隔离。而且,可按需要给SOI膜283 的表面注入B或 BF_2 离子,使其具有所希望的沟道杂质浓度。此后,形成厚 10nm 的栅氧化膜204。之后,用LPCVD等技术在其上形成厚 $0.3\mu\text{m}$ 的P- 掺杂多晶硅膜205。之后,如图24A所示,用光刻工艺步骤和RIE 步骤的构图技术、在栅氧化膜204上确定栅多晶硅电极205。随着,如图24A所

示,为了构成 $\text{Si}_x\text{Ge}_{1-x}$ 层47,在加速电压 $V_{ac}=130\text{kV}$,杂质剂量 $\Phi=3\times 10^{16}\text{cm}^{-2}$ 的条件下注入Ge离子。

(f) 之后,用CVD在全部表面上形成氮化膜。之后,如图24A所示,用具有高定向性的各向异性腐蚀技术如RIE,构成宽度为 $0.3\mu\text{m}$ 的侧壁氮化膜73。然后,在加速电压为 $V_{ac}=30\text{KV}$ 杂质剂量为 $\Phi=3\times 10^{15}\text{cm}^{-2}$ 的条件下进行离子注入。此后,在 850°C 经30分钟对制成的结构退火处理,构成 n^- 源区216。结果,完成图24A所示的结构。如果在SiGe区47上形成难熔金属硅化物区74,可获得图24B所示结构;它是在完成图24A所示结构之后,在 n^- 源区216的表面上,用CVD法,溅射或真空蒸发,淀积难熔金属如Ti,Mo,W,Ta,等而获得的。

(g) 之后,尽管未示出以下的工艺步骤,它们与标准的MOSFET 制造工艺中的金属化步骤是相同的。更具体地说,例如,在整个SOI 膜283的表面上用CVD形成厚 $0.5\mu\text{m}$ 的层间绝缘氧化膜8。之后,在其上旋涂抗蚀剂膜,并光刻构图。此后,用RIE技术腐蚀氧化膜8开接触孔。最后,用如Al、Al-Si,Al-Si-Cu等金属,用金属化工艺、构成源和漏金属电极。结果,可完成按本发明第九实施例的有窄带隙源区的异质结SOI-MOSFET。

就使用SDB法的另一种方法而言,使P型硅衬底283和另一P型衬底201键合在一起,通过隐埋氧化层使它们的表面接触,将CVD生长的SiGe埋在硅衬底283中。另一种带CVD-SiGe层47的SDB-SOI结构可构成如下。即,用CVD在凹槽表面上构成SiGe层,在P型硅衬底283上形成凹槽,平整SiGe层和衬底,使其与埋在衬底283中的SiGe层有相同的平面。此后,可氧化SiGe层47的表面,然后抛光,使其具有镜面表面。之后,在另一P型硅衬底201表面上形成氧化膜282,并将氧化膜

282表面进行镜面抛光。经这些准备工作,在高温下将两个镜面抛光表面键合在一起,完成SDB-SOI结构。按该另一方法,可用CVD等容易地构成如PbS、PbSe、SnTe、ZnSb、AnSb等窄带隙半导体层,代替SiGe层47。

第10实施例

图25A和25B展示了按本发明第10实施例的SOI·MOSFET 的结构剖面图。图25A和25B中,通过隐埋的氧化膜202在P型(100)硅衬底201上形成P型SOI膜203。尽管图25A和25B中未画出。SOI膜203被器件隔离氧化膜包围,被隔离膜包围的SOI膜203的内部用作有源区(器件区)。图25A和25B只示出了靠近有源区的剖面结构。深入在有源区内部构成 n^+ 源区216和 n^+ 漏区226,以使其底部与隐埋的氧化膜真正相连。在 n^+ 源区216和 n^+ 漏区226的底部区形成SiGe区212。就该SiGe而言,SiGe区212不仅形成在源区中,还伸入到超出 n^+ 源区216与P型SOI层203之间的pn结界面(金相结)215的沟道区中,或伸入用作沟道区的P型SOI体中。同样,在漏区中形成SiGe区212,以便伸入超出 n^+ 漏区226和P-型SOI体203之间的pn结界面的沟道区。从 n^+ 源区216和 n^+ 漏区226伸出的两个SiGe区212连在一起,并连续形成SOI体203的浅表面侧边。此外,在沟道区(SOI体)203上形成多晶硅等构成的栅电极205,其中在 n^+ 源区216与 n^+ 漏区226之间通过栅氧化膜204形成薄SiGe区。在栅电极205的两边上形成氮化膜侧壁73。实际上,尽管未画出,在SOI层203上形成 SiO_2 膜、 SiO_2 /PSG膜的复合膜, SiO_2 /BPSG膜的复合膜等,用作层间绝缘膜,以包封栅电极。如上述实施例,通过层间绝缘膜中开的接触孔,形成源和漏的金属电极。图

25A中所示的情形是pn结界面215完全包含在SiGe区212的里边，图25B所示的情形是带形SiGe区212通过部分pn结界面215。因而，在两种情况下，器件均具有基本上相同的特性。

图25A和25B中，所展示的源金属电极接触部分中无金属硅化物层。因而，不用说，重要的是，形成SiGe层，以接触到难熔金属硅化物层上，因而可在SiGe层与金属硅化物层之间建立低欧姆接触电阻 R_c 。因而，在本发明的第10实施例中，可形成SiGe层与金属硅化物层的硅结构相配合。在本发明的第10实施例中，形成带形SiGe层212，以通过pn结界面。也可以在沟道区中恰好在栅电极205下连续形成SiGe层212。由于SiGe层212中的载流子迁移率 μ_n, μ_p 比硅中的迁移率高，具有SiGe沟道的FET的跨导 g_m 高。并且，电流驱动能力可以增大。而且，SiGe中空穴迁移率 μ_p 比硅中的迁移率高，以改善从SOI体203抽出的累积空穴耗尽系数。由此，改善漏击穿电压。这种改进能实现具有高漏击穿电压高跨导 g_m ，高电流驱动能力的高性能MOSFET。不用说，提供本发明的窄带隙源结构，以改善FET的漏击穿电压，从这些措施中可以得出这些改进。因而，按本发明的第10实施例，可以容易地实现既有高跨导又有高漏击穿电压，这在用现有技术的异质结SOI·MOSFET或普通的同质结SOI·MOSFET中是不可能实现的。因此，能获得SOI器件的固有的高性能。

下面将说明本发明第10实施例的异质结SOI·MOSFET的制造步骤。

(a) 首先，用SIMOX技术或SDB技术在隐埋氧化膜202上形成厚度为130nm的SOI膜203，隐埋氧化膜202形成在P型(100)硅衬底上。

(b) 之后，用LOCOS技术，BOX技术或类似技术，形成器件隔离氧

化膜,使相邻器件横向隔离。而且,形成厚度为10nm的栅氧化膜204,然后,用LPCVD等方法在其上形成厚130nm的P-掺杂多晶硅膜205,之后,如图25A和25B所示,用光刻步骤和RIE步骤在栅氧化膜204上形成多晶硅电极205。随后,用CVD形成厚150至200 μm 的氮化膜。之后,如图25A和25B所示、用具有高取向性的各向异性腐蚀法、如RIE等法,形成氮化物侧壁膜73。

(c) 用栅多晶硅电极205和氮化物侧壁膜73作掩模,掺杂Ge离子,形成 $\text{Si}_x\text{Ge}_{1-x}$ 层47,掺杂As离子,形成 n^+ 源和漏区216和226。此时,若适当选择多晶硅栅电极205的膜厚,Ge离子的加速电压 V_{ac} ,和SOI膜203的膜厚,可以深入 n^+ 源和漏区216和226形成部分SiGe区212,使其与隐埋氧化膜202接触。此时,SiGe区的另一部分可形成在SOI膜203的浅表面边邻近栅氧化膜204和沟道区之间的界面处。本发明的第10实施例中,由于SOI膜的膜厚规定为130nm,多晶硅栅电极205的膜厚规定为130nm,在加速电压为 $V_{ac}=130\text{KV}$,杂质剂量 $\Phi=5\times 10^{16}\text{cm}^{-2}$ 的条件下注入Ge离子。在加速电压 $V_{ac}=20\text{KV}$,杂质剂量 $\Phi=2\times 10^{15}\text{cm}^{-2}$ 的条件下注入As离子。此后,所构成的结构在 850°C 下经30分钟退火处理,形成 n^+ 源和漏区215/226,和带形SiGe区212。如图25B所示,为了形成较窄的带形SiGe区212,以穿过pn结界面215的上部,可选加速电压 $V_{ac}=110\text{KV}$,杂质剂量 $\Phi=1\times 10^{16}\text{cm}^{-2}$ 。

(d) 然后,用CVD等法,在SOI膜283的全部表面上形成厚0.5 μm 的氧化膜用作层间绝缘层8。然后,在其上旋涂抗蚀剂膜,并用光刻法构图,用RIE方法腐蚀氧化膜,开接触孔。氧化膜腐蚀之后,用诸如Al、Al-Si、Al-Si-Cu等金属进行金属化处理,形成源和漏金属电极。

结果,可完成按本发明第10实施例的异质结SOI·MOSFET。

可用除离子注入法之外的MBE或CVD法形成SiGe区212。将锡(Sn)离子代替Ge离子注入硅中,在第10实施例中可达到本发明与上述实施例相同的目的。而且,给硅中注入Ge和Sn两种离子是有效的。

本发明的第10实施例中,在 n^+ 源区中较深的部位上形成SiGe区212。然而,若浅浅地形成SiGe区212,同样能获得本发明的优点。如上所述,可在源接触部分中形成金属硅化物层。此外,就用作构成金属硅化物的材料而言,可采用诸如Ti、Mo、W、Ni、Ta或Pt等难熔金属。可用SALICID(自对准硅化物)技术在栅极205上以自对准方式同时形成硅化物。

图25A和25B中,在跨过源边上的Pn交界面的整个沟道表面上存在有带形SiGe区212,并且还连续地形成到漏边上。然而,这仅仅是结构的一个实例,以简化制造步骤,而且它绝不影响上述的器件特性的改进。就另一实例而言,当进行离子注入时,用光刻胶掩蔽 n^+ 漏区226上的某一区域,以防止在 n^+ 漏区226中形成SiGe区,尽管制造步骤变的稍微复杂一些。

第11实施例

图26D示出了本发明第11实施例的SOI·MOSFET的剖面结构。图26D中,通过隐埋的氧化膜202在P型(100)硅衬底201上形成P型SOI膜203。用LOCOS技术等形成的隔离氧化膜4包围SOI膜203。由隔离氧化膜4包围的SOI膜203的内部用作有源区(器件区)。图26D只展示出了靠近有源区的剖面结构。在有源区深深地形成 n^+ 源和漏区216和226,使它们的底部真正与隐埋氧化膜202接触。在 n^+ 源和漏区216和226中形成较浅的SiGe区257。形成源和漏金属电极

208和228,以通过层间绝缘膜8中开的接触孔连接到SiGe区257。此外,通过栅氧化204和 n^+ 源区216与 n^+ 漏区226之间的沟道区203上形成的多晶硅等的栅电极205。图26D中所示的本发明的第11 实施例的MOSFET的结构与本发明第1 实施例的结构类似。共价半径小于Si的共价半径的杂质元素,如P(磷),用作 n^+ 源和漏区的216、226中的 n^+ 杂质,以补偿SiGe/Si异质结或SiSn/Si异质结中由Ge或Sn引起的晶格失配。共价半径大于硅的共价半径的杂质元素,在图26D中,实际未考虑晶格失配补偿,或SiGe层257中包括的n 型杂质的共价半径。换言之,本发明的第1实施例中,由于考虑杂质共价半径的大小,杂质在晶格中的位置,当在硅中形成,具有更大的共价半径的窄隙半导体区217、227 时引起的晶格中的畸变等被补偿或缓解。另一方面,在本发明的第11实施例中, 甚至当由于晶格失配引起的畸变而造成晶格缺陷时,晶格缺陷D可以完全限制在 n^+ 源和漏区216,226中,如图26D所示,不影响在沟道区中的耗尽层中产生复合电流。

正如在现有技术中结合图7说明过的,在异质结中产生晶格缺陷D,并通过Pn结界面215进入 n^+ 源和漏区。若用(100)衬底,晶格缺陷倾向于沿(111)平面产生。本发明的发明人从晶格缺陷的详细分析中发现,沿[111] 平面产生的这些晶格缺陷是诸如堆垛层错或孪晶缺陷的平面缺陷。发明人的研究表明,产生晶格缺陷的条件与离子注入后Ge的剂量和退火温度有关。

换言之,根据发明人的试验,缺陷产生的部位限定在正好处于栅电极边缘下的部位。

本发明的发明人进一步分析的结果,发现异质结SOI • MOSFET

中的晶格缺陷分成三类,即,

(a) 由SiGe/Si异质结中的晶格失配引起的错配位错;

(b) 由离子注入损伤引起的二次缺陷;和

(c) 由离子注入损伤构成的非晶硅的重结晶处理过程中产生的孪晶缺陷。已经知道,这些晶格缺陷形成带隙中的深能级。由于晶格缺陷可用作产生一复合中心,因而结漏电流增大。上述的三类晶格缺陷中,可用图26D中所示结构控制错配位错和二次缺陷,其中,晶格缺陷D只在 n^+ 源和漏区216、226中产生,而Pn结的耗尽层与晶格缺陷D之间不相互复盖。但是,就孪晶缺陷而言,由于在 n^+ 源/漏区的全部区域中产生孪晶缺陷,因此必须密切注意不要产生这些缺陷。结果,结漏电流可以减小。

而且,在本发明的第11实施例中,重要的是在产生晶格缺陷D的区域中必须构成不倾向于通过Pn结界面。这是因为,如图26D所示,若晶格缺陷D倾向于通过Pn结界面,则晶格缺陷D不能完全包含在 n^+ 源和漏区216、226中。在其中构成26D所示的结构,晶格缺陷D集中在栅边缘部分,而不会达到Pn结界面,按本发明的第11实施例的异质结SOI·MOSFET,漏电流可大大减小,低于图5B所述的测试极限。

用下述的制造工艺步骤制造本发明第11实施例的异质结SOI·MOSFET。

(a) 首先,如上所述,用SIMOX技术或SDB技术构成SOI结构,在隐埋的氧化膜202上有SOI膜203,隐埋的氧化膜形成在P(100)衬底201上。与上述实施例相同,将SOI膜203的厚度调节到预定的厚度,例如100nm。

(b) 之后,如图26A所示,图LOCOS、BOX或类似技术形成器件隔

离氧化膜,使相邻器件横向离开。图26A所示情况采用LOCOS技术。此后,形成厚10nm的栅氧化膜204,然后用LPCVD 之类的方法在其上形成P-掺杂多晶硅膜205。然后,如图26A所示,用光刻步骤和RIE步骤,在栅氧化膜204上形成栅长为 $0.5\mu\text{m}$ 的多晶硅栅电极205。

(c) 之后,形成深度为10nm的后氧化膜7。然后,如图26A所示,在加速电压 $V_{ac}=50\text{KV}$ 和杂质剂量 $\Phi=1\times 10^{16}\text{cm}^{-2}$ 的条件下注入 Ge^+ 离子,形成SiGe区257。

(d) 随后,如图26B 所示,在注入角为 45° 。加速电压 $V_{ac}=20\text{KV}$ 和杂质剂量 $\Phi=2\times 10^{15}\text{cm}^{-2}$ 的条件下,用旋转倾斜离子注入法,注入 As^+ 离子。

该离子注入后,所制成的结构在 950°C 下经30分钟退火处理,以激活所注入的As之类的离子。如图26C所示,形成 n^+ 源和漏区216、226,以包住SiGe区257。用旋转倾斜离子注入法,可使晶格缺陷D限定在 n^+ 源和漏区216和226中。换言之,由于从 n^+ 漏区226 伸出的耗尽层中不存在晶格缺陷,栅氧化物进入用作沟道区的P型SOI 膜203中,结漏电流难以流动。如上所述,重要的是,离子注入后,必须在 700°C 至 1000°C 的温度范围内进行退火。

(e) 此后,如图26D所示,用CVD等方法在SOI膜的所有表面上,形成厚度例如为 $0.5\mu\text{m}$ 的氧化膜8,用作层间绝缘膜。之后,在其上旋涂抗蚀剂膜,用光刻法构图,并用RIE法腐蚀氧化膜,开接触孔。腐蚀氧化膜8之后,如图26D所示,用诸如Al、Al-Si、Al-Si-Cu之类的金属进行金属化处理,形成源和漏金属电极218和228。结果,完成本发明第11实施例的异质结SOI·MOSFET。

本发明第11实施例中,重要的是SOI膜203的单晶区未因离子注

入而损伤,并未变成非晶硅,保留邻近隐埋氧化膜202和 n^+ 源或漏区216或226之间的界面。结果,由于退火处理步骤使在垂直方向产生重结晶过程,而不会产生孪晶缺陷,在 n^+ 源和漏区216和226中无结晶缺陷。因而,少量错配位错和二次缺陷集中在正好紧靠栅电极边缘205的下面。

本发明的第11 实施例展示出了一种能实现完全耗尽的MOSFET的薄膜SOI·MOSFET。在SOI膜厚为100nm的情况下,可在加速电压 $V_{ac}=50kV$,剂量 $\Phi=1\times 10^{16}cm^{-2}$ 的条件下注入Ge离子。此时,由离子注入产生的非晶区与由SOI膜的表面计算的约 $83\mu m$ 的深度相等。因此,该区不会变成非晶态,而留在邻近隐埋氧化膜202处,其厚度为17nm。此外,在 $700^{\circ}C$ 以上的温度下进行退火步骤,最好在 $850^{\circ}C$ 经120分钟,或 $900^{\circ}C$ 下经30分钟退火,硅固相生长,或从留在SOI膜203底部的单晶硅区引起至损伤的非晶区的硅重结晶。所以,损伤了的 n^+ 源区216变成单晶硅,只是在栅电极边缘正下方的区域除外,因此,产生的结晶缺陷仅限制在正好处于栅电极边缘下部的SOI膜203中的部分。重结晶处理和结晶缺陷控制重复性好。

上述的本发明第11实施例的异质结SOI·MOSFET中,没有发现现有技术中的异质结IG器件中所见到的由结晶缺陷引起的 n^+ 源区中的电阻率的增大,和从栅氧化膜来的漏电流等。此外,漏击穿电压保持与现有技术的异质结IG器件的漏击穿电压一样高。

在形成上述SOI膜衬底的SOI膜厚设定为200nm的情况下,是在加速电压 $V_{ac}=50KV$,剂量 $\Phi=10^{16}cm^{-2}$ 的条件下注入 Ge^+ 离子,在加速电压 $V_c=35KV$,剂量 $\Phi=3\times 10^{15}cm^{-2}$ 的条件注入As离子。按上述离子注入条件,在SOI膜的底边保留有厚度为120nm的非-非晶区。

在加热和在850°C下经120分钟退火之后,被损伤的非晶区可变成单晶区,或按固相生长,并且,结晶缺陷限制在 n^+ 源区内,结果,可得出良好的结晶性能。这种情况下,由于所产生的结晶缺陷D的位置和方向是限定在正好位于栅电极边缘下的部位,器件的电性能完全不受缺陷D的影响。

也可用以下方法制造器件。即,在完成了与上述的步骤(a)和(b)相同的工艺步骤之后,再形成后氧化膜7。然后在加速电压 $V_{ac}=20KV$,剂量 $\Phi=3\times 10^{13}cm^{-2}$ 的条件下注入 P^- 离子,形成 n^- 源和漏。随后,用CVD在全部表面上形成厚度为15至40nm的氮化膜73,之后用有高定向性的各向异性腐蚀法、如RIE,形成侧壁氮化膜73,如图27所示,用侧壁氮化膜73和多晶硅栅电极205作掩模,在加速电压 $V_{ac}=50KV$,剂量 $\Phi=1\times 10^{16}cm^{-2}$ 的条件下注入 Ge^+ 离子,在加速电压 $V_{ac}=20KV$,剂量 $\Phi=3\times 10^{15}cm^{-2}$ 的条件下注入 P^+ (或 As^+)离子。之后,可在850°C经120分钟退火。因此,可用与图16C和16B所示LDD结构相同的结构,用在栅电极的两边上构成侧壁氮化膜73,可控制Ge离子注入引起的结晶缺陷D的位置。换言之,结晶缺陷的位置可从正好在多晶硅栅电极边缘205下的位置移动到不是栅电极边缘的位置。

图27所示器件下、离子是通过侧壁氮化膜73注入的,尽管漏击穿电压、可与图4A所示的,在 n^+ 源区216中注入Ge和As离子的现有结构相比,或更小,但漏电流有明显改善,如上述实施例一样。

本发明的第11实施例中,可将SOI膜203的厚度做得更厚。例如,SOI膜203的厚度为400nm。此时,Ge离子剂量可增大到 $\Phi=1\times 10^{17}cm^{-2}$,以形成SiGe层,它被 n^+ 源和漏区216和226的底部包封。

若构成厚的SOI膜203,则在邻近SOI膜203中隐埋氧化膜202处存在有足够厚的非-非晶区。因此,在经过退火步骤而使被损伤区重结晶后,这种非-非晶区非常有用,孪晶缺陷不会产生。

本发明的第11实施例中,如上述实施例一样(第1至第10实施例),可在加速电压 $V_{ac}=110KV$,剂量 $\Phi=2\times 10^{16}cm^{-2}$ 的条件下用Sn离子代替Ge离子,进行离子注入,之后可在 $850^{\circ}C$ 下经30分钟退火。此时,与将Ge和As离子注入源扩散层的现有方法相比,漏击穿电压提高1.5V,但没发现5B所示的统计上的漏电流。在用厚度为200~400nm的SOI膜203的SOI衬底的情况下,若Sn离子剂量设定在 $\Phi=1\times 10^{16}cm^{-2}\sim 1\times 10^{17}cm^{-2}$ 的范围内,可明显改善漏击穿电压。而且,在Sn的情况下,由于Si和Sn之间的晶格失配大于Si和Ge之间的晶格失配,与Ge相比,Sn的结晶缺陷数稍有增大。考虑到这种情况,本发明第11实施例中,可以采用带隙比硅窄的以产生较大晶格失配的半导体,如PbS、PbSe、PbTe、SnTe、ZnSb、ZnSb、ZnAs等。另一方面,可用硅与这些窄带隙半导体的混合晶体。这是因为,在上述大晶格失配的情况下,可控制结晶缺陷的位置和方向。

上述的本发明第11实施例中,必须在至少能进行重结晶的温度下,例如在 $600^{\circ}C$ 以上的温度下,进行热处理步骤。反之,热处理时间可根据扩散深度和重结晶情况而定。例如,可在 $1000^{\circ}C$ 下经60分钟退火。

第12实施例

图28A和28B展示了本发明第12实施例的SOI·MOSFET的剖面结构。图28A和28B中,通过隐埋氧化膜202在P型(100)硅衬底201上形

成P型SOI膜203。LOCOS技术形成的隔离氧化膜4包围SOI膜203。由隔离氧化膜4包围的SOI膜203的内部用作有源区(器件区)。图28A和28B只示出了邻近有源区的剖面结构。深入有源区里形成 n^+ 源和漏区216和226,使它的底部与隐埋氧化膜202真正接触。在 n^+ 源和漏区216和226中形成 Si_xGe_{1-x} 区267。 Si_xGe_{1-x} 区267中Ge的mol%峰值调节在1至30mol%范围内。即 Si_xGe_{1-x} 的范围267可以在 $Si_{0.99}Ge_{0.01}$ 至 $Si_{0.70}Ge_{0.30}$ 范围内。形成源和漏金属电极218和228,通过开在层间绝缘膜8中的接触孔与 Si_xGe_{1-x} 区267接触。此外,通过栅氧化膜204,在 n^+ 源和漏区216、226之间的沟道区203上,形成多晶硅栅电极205。图28B示出了在栅电极205的两边上形成侧壁氮化膜73的情况,在图28B中保留的部分与图28A相同。用侧壁氮化膜73作掩模,用Ge离子注入,可使 Si_xGe_{1-x} 区267完全稳固地限定在 n^+ 源和漏区216和226中。上述的本发明第11实施例中,结晶缺陷D的位置和方向被控制。因此,在某种意义上可以认为结晶缺陷D确实产生了,但当然,希望没有缺陷。另一方面,本发明第12实施例中,控制 Si_xGe_{1-x} 区267中Ge的mol%量,能防止结晶缺陷产生,尽管它几乎与第11实施例中的SOI·MOSFET相同。由于 Si_xGe_{1-x} 区267是带隙比Si的带隙窄的半导体区的一个例子,因此,可以用 Si_xSn_{1-x} 区代替 Si_xGe_{1-x} 区267。而且,可以用带隙比Si的带隙窄的窄带隙半导体,如PbS、PbTe、GeSb、ZnAs等代替 Si_xGe_{1-x} 区267。此外,可用这些半导体与硅的混合晶体作窄带隙源区。

本发明第12实施例中,本发明的发明人,用各种模拟试验和实验研究了形成窄带隙半导体区的各种条件,如在 Si_xGe_{1-x} 区267中Ge的最佳百分摩尔量。特别是,已详细考查并研究了改变Ge离子注

入条件时MOSFET中的漏击穿电压和结晶缺陷。结果,图29A 所示关系表明了漏击穿电压 ΔV_{BD} 的提高与Ge峰值百分摩尔之间的关系。即,漏击穿电压的增大量 ΔV_{BD} 从Ge约1mol%的峰值百分摩尔逐渐增大,当Ge为5mol%时, ΔV_{BD} 急剧增大,当Ge在25mol%至30mol%范围时, ΔV_{BD} 饱和。即,若在 n^+ 源区中形成 Si_xGe_{1-x} 区时,价带边 E_v 的电势分布按图4B中的虚线所示变化,将累积在沟道区内的空穴抽至窄带隙源电极边。然而,即使当Ge的摩尔百分数越来越增大而使源区内的带隙变窄时,由于沟道与源区之间形成的Pn结中有内建电势而仍然保留有阻止空穴的势垒,使其在Ge摩尔百分比超过一定程度的情况下不可能产生对浮动体效应的更大抑制。反之,图29B示出了 Ge 峰值百分摩尔与每个晶体管的结晶缺陷数之间的关系。从图29B发现,当在加速电压 $V_{ac}=25KV$ 时注入Ge离子,当Ge的峰值数30mol%时,产生了结晶缺陷D。结晶缺陷数与Ge峰值百分摩尔之间的关系与加速电压 V_{ac} 有关,如图29B所示。当 $V_{ac}=100KV$ 时从15mol%开始,结晶缺陷急剧增大, $V_{ac}=50KV$ 时以20mol%开始,结晶缺陷急剧增大。即,在加速电压 V_{ac} 与Ge的较小摩尔百分数的关系下产生的结晶缺陷如图29C所示。本发明第12实施例中,根据试验结果,设定Ge的峰值摩尔百分数在1至30%之间,可防止结晶缺陷产生,而漏击穿电压(强度) V_{BD} 增大。设定Ge峰值百分摩尔在1至30mol%之间,图4B所示源区中的带隙为1.07至0.8ev。在Sn的情况下,Sn 的摩尔百分数最好选择成使图4B所示的源区中的带隙在1.07至0.70ev之内。

以下将说明按本发明第12 实施例的有窄带隙源区的异质结SOI·MOSFET的制造工艺步骤。通常,在半导体器件的制造中,要求大的晶片产出量。但在本发明第12实施例中,所选的Ge最佳摩尔百

分数宁可是小数值,Ge的形状分布(峰值)可用减小加速电压、缩短离子注入时间来获得。在此期间,本发明第12实施例的异质结SOI·MOSFET的制造步骤,除离子注入条件外,原则上与本发明第11实施例的制造步骤相同。因此,下面将参看图28A和28B与所述的图26A至26C一起,说明本发明第12实施例的制造工艺步骤。

(a)首先,用SIMOX或SDB技术,通过隐埋氧化膜202在P型(100)衬底上形成SOI膜203,调节SOI膜203的厚度,使其达到预定的厚度,如100nm。

(b)之后,用LOCOS,BOX之类的技术形成器件隔离氧化膜4,使其相邻器件横向隔离,注入如 BF_2 之类的P型杂质,以获得希望的沟道杂质浓度。此后,形成厚10m的栅氧化膜204,然后,用LPCVD之类的方法在其上形成厚 $0.3\mu\text{m}$ 的P掺杂多晶硅膜205。

(c)之后,形成深度为10nm的后氧化膜7。然后,如图26A所示,在加速度 $V_{ac}=50\text{KV}$,剂量 $\Phi=1\times 10^{16}\text{cm}^{-2}$ 的条件下进行 Ge^+ 离子注入,形成 $\text{Si}_x\text{Ge}_{1-x}$ 区267。 Ge 离子注入的剂量设定小于本发明第11实施例中的剂量 $\Phi=3\times 10^{16}\text{cm}^{-2}$ 。

(d)随后,在注入角为 90° 时注入 As^+ 离子,尽管图26B示出了倾斜注入,该情况下注入角可以是 90° ,加速度 $V_{ac}=20\text{KV}$,剂量 $\Phi=3\times 10^{16}\text{cm}^{-2}$ 。该离子注入后,在 850°C 经120分钟退火,以激活 As 等离子。如图26C所示,形成 n^+ 源区216和 n^+ 漏区226,完全包围 $\text{Si}_x\text{Ge}_{1-x}$ 区267。

而且,随 Ge 离子注入退火之后,在加速电压 $V_{ac}=40\text{KV}$ 剂量 $\Phi=1\times 10^{15}\text{cm}^{-2}$ 下可注入 As^+ 离子。此后,用CVD在整个表面上形成氮化膜。之后,如图28B所示,用定向腐蚀法如RIE,在栅电极205的两边

上形成厚50nm的侧壁氮化膜73。在加速电压 $V_{ac}=40KV$, 剂量 $\phi=3\times 10^{15}cm^{-2}$ 的条件下再注入 As^{+} 离子。此后, 在 $850^{\circ}C$ 下经90分钟退火。随后, 进行金属化处理, 因此, 制成本发明第12 实施例的SOI • MOSFET, 如图28A和28B所示。此时, Ge的最大摩尔百分数为10mol%。与普通的沟道长度为 $0.2\mu m$ 的SOI • MOSFET比较, 其漏击穿电压提高1V。没有发现由晶格失配造成的晶体缺陷。此外, 对每个半导体园片进行约两分钟的离子注入。该时间可以认为是实际值。

为了形成窄带隙源区, 如 Si_xGe_{1-x} 区267, Si_xSn_{1-x} 源区等, 若Ge • Sn的峰值摩尔百分数可在1至30mol%的范围内选择, 更好地是在5至15mol%范围内选择, 本发明第12实施例不限于上述的实施例。离子注入的条件也可根据SOI膜203等的厚度作适当地变化。此外, 若采用PbS、PbTe、GaSb、ZnAs等, 以形成窄带隙区267, 可以用MBE技术, 或用选择性CVD。例如, 只注入As离子, 而省去Ge 离子注入, 可形成 n^{+} 源区216和 n^{+} 漏区226, 可以腐蚀 n^{+} 源和漏区216和226, 形成U型槽半导体, 之后, 用选择性CVD, 在U型槽中淀积PbS、PbTe等。

而且, 在离子注入情况下, 根据所设计的条件的变化, 如SOI 膜厚的变化, 有以下几种改型。

(i) 例如, SOI膜203厚度为50nm时, 形成多晶硅栅电极205之后, 在加速电压 $V_{ac}=25KV$, 剂量 $\phi=2\times 10^{15}cm^{-2}$ 的条件下, 用多晶硅电极205作掩模, 注入Ge离子。随后, 在 $850^{\circ}C$ 退火。此后, 在加速电压 $V_{ac}=20KV$, 剂量 $\phi=3\times 10^{15}cm^{-2}$ 的条件下, 注入As离子。此后, 在 $800^{\circ}C$ 下经60分钟退火, 完成器件。此时, Ge 的最大摩尔百分数为20mol%。若设定沟道长度为 $0.5\mu m$, 则漏击穿电压可提高1.5V。这种情况下, 不出现结晶缺陷。

(ii) SOI膜203的厚度为40nm时,可注入Sn离子。形成多晶硅栅电极205后,在加速电压 $V_{ac}=50KV$,剂量 $\Phi=7\times 10^{15}cm^{-2}$ 的条件下,用多晶硅栅电极205作掩模,注入Sn离子。随后,和900°C退火。此后,在加速电压 $V_{ac}=15KV$,剂量 $\Phi=3\times 10^{15}cm^{-2}$ 的条件下注入As离子。之后在800°C退火60分钟,完成器件。此时,Sn的最大摩尔百分数为15mol%。在沟道长为0.5 μm 时,漏击穿电压可提高约2.0V。该改型中,没发现结晶缺陷。

(iii) 在SOI膜203的厚度为90nm时,形成多晶硅栅电极205后,在加速电压 $V_{ac}=50KV$,剂量 $\Phi=1\times 10^{16}cm^{-2}$ 的条件下,用多晶硅栅电极作掩模,注入Ge离子。随后,在加速电压 $V_{ac}=40KV$,剂量 $\Phi=1\times 10^{15}cm^{-2}$ 的条件下注入As离子。此后,在900°C退火1小时。用CVD形成氮化膜,如图28B所示,用RIE在多晶硅栅电极205的两边上形成厚50nm的侧壁氮化膜73。之后,在加速电压 $V_{ac}=40KV$,剂量 $\Phi=3\times 10^{15}cm^{-2}$ 的条件下再注入As离子。若需要形成较低杂质浓度扩散层,在形成侧壁氮化物膜73之前,可在比上述离子注入低的加速电压和杂质剂量的条件下注入As离子。此后,在850°C退火30分钟,完成器件。此时,Ge的最大摩尔百分数为10mol%。退火使注入的As离子在含Ge层上或SiGe层267上扩散。而且,由于SiGe层被 n^+ 源和漏区216和226完全覆盖,即使在结晶缺陷产生的最坏情况下,可防止耗尽层与 n^+ 源/漏区216、226中产生的结晶缺陷接触,像本发明第11实施例那样。若沟道长度设定为0.2 μm ,漏击穿电压可提高1.5V,在该改型情况下,无结晶缺陷,因此,没有发现由结晶缺陷引起的漏电流。此外,每个圆片要求进行5分钟注入离子。该圆片处理时间可以认为是实用值。

第13实施例

图30展示出本发明第13实施例的SOI·MOSFET的剖面结构。图30中,通过隐埋氧化膜202在P型(100)硅衬底201上形成P-型SOI膜203。用LOCOS等技术形成的隔离氧化膜4包围SOI膜203,隔离氧化膜4包围的SOI膜203的内部用作有源区(器件区)。图30只示出了邻近有源区的剖面结构。有源区内形成 n^+ 源和漏区216和226,并重迭在部分 $\text{Si}_x\text{Ge}_{1-x}$ 区278上。如图30的示, n^+ 源和漏区216和226的宽度比 $\text{Si}_x\text{Ge}_{1-x}$ 区278宽,但 $\text{Si}_x\text{Ge}_{1-x}$ 区278从 n^+ 源和漏区216和226的底部向隐埋氧化膜202中垂直伸出。因而,本发明第13实施例也可以认为是图18A和18B所示的本发明第7实施例的改型。在 $\text{Si}_x\text{Ge}_{1-x}$ 区278上形成 SiO_2 /PSG膜等构成的层间绝缘膜8。通过层间绝缘膜8中开的接触也形成源和漏金属电极218和228。此外,通过栅氧化膜204,在 n^+ 源区216和 n^+ 漏区226之间的沟道区203上,形成多晶硅,难熔金属或难熔金属硅化物等构成的栅电极205。

上述结构中, Si 区与 $\text{Si}_x\text{Ge}_{1-x}$ 区278之间的异质结界面有从 Pn 结底部向由金相 Pn^+ 结界面延伸出的耗尽层伸出的凸出部分,这种情况下,阻止空穴的势垒示于图20中,并完成了本发明第7实施例中说明过的势垒。空穴可有效地抽到窄带隙源边,所以能得到高漏击穿电压,消除浮动体效应。换言之,若形成有本发明第13实施例结构的SOI·MOSFET,能带可以这样构成,使价带边 E_v 在能获得最低空穴电压势的沟道区内,并平缓地连接到 SiGe -源区中的价带边,使其不产生阻止空穴的势垒。结果,可大大提高漏击穿电压。可用

SiSn 、 SiGeSn 、 PbS 、 $\text{Si}_x(\text{PbS})_{1-x}$ 和 $\text{Si}_x(\text{PbTe})_{1-x}$,等代替 SiGe 区。

用图31A至31C所示的以下制造步骤可制造本发明第13 实施例的异质结SOI • MOSFET。

(a) 首先,像本发明上述实施例一样,用SIMOX或SDB技术,通过隐埋氧化膜203,在P型(100)衬底上形成厚150nm的SOI膜203。

(b) 然后,如图31A所示,用LOCOS、BOX 等技术形成器件隔离氧化膜4,使相邻器件电隔离。图31A展示了用LOCOS技术的情况。此后,形成厚10nm的栅氧化膜204,用大气压CVD (APCVD), LPCVD等方法,在其上形成厚 $0.3\mu\text{m}$ 的P-掺杂多晶硅膜205。之后,如图31A所示,用光刻步骤和E步骤,在栅氧化膜204上确定栅长为 $0.5\mu\text{m}$ 的多晶硅栅电极205。在多晶硅栅电极205上形成深8至10nm的后氧化膜7。

(c) 之后,用CVD在整个表面上形成厚20nm的氮化膜(SiN)。然后用深腐蚀工艺形成侧壁氮化膜73,即,用RIE等方法各向异性腐蚀化膜的整个表面。然后,如图31A所示,用隔离氧化膜4,侧壁氮化膜73和多晶硅栅电极205上的后氧化膜7作掩模,在SOI膜203 中形成U形槽。特别是可用RIE腐蚀SOI膜203,或用 SF_6 、 CCl_4 、 SiCl_4 等用UV光辐照进行光激励腐蚀,形成深120nm的U形槽。

(d) 然后,如图31B所示,用CVD,在500至550°C下,在 SiH_4 和 GeH_4 的混合气氛中,只在U形槽中选择淀积厚150nm 的 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 膜112。可用 Si_2H_6 或 SiH_2Cl_2 代替 SiH_4 。而且,可用 GeH_2Cl_2 等代替 GeH_4 。更具体地说,若100% Si_2H_6 引入压力为 5×10^{-2} 帕的生长室内, GeH_4 引入 5×10^{-2} 帕的生长室内,经1小时, 选择地生长厚150nm的SiGe层278,如图31B所示。

(e) 随后,如图31B所示,用多晶硅栅电极205和侧壁氮化膜73作掩模,可在加速电压 $V_{ac}=30\text{KV}$,剂量 $\Phi=3\times 10^{15}\text{cm}^{-2}$ 的条件下注入

As⁺离子。此后,若在N₂气氛中在850°C退火30分钟,As⁺离子横向越过Si_xGe_{1-x}区278,因此,形成横向伸出的n⁺源和漏区216和226,如图31C所示。

(f)之后,用CVD,在SOI膜203的整个表面上形成例如厚0.3至0.5 μm的层间绝缘层8。此后,在其上旋涂抗蚀剂膜,并用光刻构图。此后,用RIE等方法腐蚀氧化膜8,开接触孔。氧化膜8腐蚀之后,如图30所示,用诸如Al-Si、Al-Si-Cu、等金属,形成源和漏金属电极218和228。结果,可完成本发明第13实施例的SOI·MOSFET。

上述的本发明第13实施例中,尽管用选择CVD形成Si_xGe_{1-x}层278,可以用选择CVD形成Si_xSn_{1-x}层,或诸如PbS、PbTe、GeSb、ZnAs、ZnSb等窄带隙半导体层代替Si_xGe_{1-x}层278。

第14实施例

图32A示出本发明第14实施例的SOI·MOSFET的剖面结构。图32A中,通过隐埋氧化膜202在P-型(100)硅衬底201上形成P-型SOI膜203。用LOCOS等技术形成的隔离氧化膜4包围SOI膜203,被隔离氧化膜4包围的SOI膜203用作有源区(器件区)。图32A只展示出了邻近有源区的剖面结构。在有源区内形成n⁺源区216和n⁺漏区226,以重迭部分Si_xGe_{1-x}区278。如图32A所示,n⁺源和漏区216和226从Si_xGe_{1-x}区278的底部凸出。Si_xGe_{1-x}区278从n⁺源和漏区216和226横向伸出,并位于邻近恰好在栅电极边缘下面的沟道区。因此,本发明第14实施例也可以认为是图18A所示的本发明第7实施例的改型。在Si_xGe_{1-x}区278上形成SiO₂/PSG膜等构成的层间绝缘膜8。通过层间绝缘膜8中开的接触孔构成源和漏金属电极218和

228。此外,通过栅氧化膜204在 n^+ 源和漏区216和226之间的沟道区203上形成多晶硅等构成的栅电极205。

上述结构中, Si 区与 Si_xGe_{1-x} 区278之间的异质结界面从 n^+ 区216、226至沟道区中的耗尽层横向延伸并超过金相Pn结界面。这种情况中,阻止空穴的势垒已示于图20中,并同样完成了本发明第7实施例中已说明过的势垒。使空穴能有效地抽至窄带隙源边,因而可消除或减小浮动体效应。换言之,若构成有本发明第14实施例的结构的SOI·MOSFET,则能带可以这样构成,使价带边 E_v 在能获得最低空穴电势的沟道内,并平缓地连接到 $SiGe$ 区的价带边 E_v ,使其不产生阻止空穴的势垒。结果,能实质上提高漏击穿电压,可采用 $SiSn$ 、 PbS 、 $PbTe$ 、 $PbSe$ 、 $SnTe$ 、 $ZnSb$ 、 $ZnAs$ 、 $ZnSb$ 、 $Si_x(PbTe)_{1-x}$ 、 $Si_x(PbSe)_{1-x}$ 和 $Si_x(SnTe)_{1-x}$ 等来代替 $SiGe$ 区。

此外,图32B所示结构中, $SiGe/Si$ 异质结界面最好从 n^+ 区216、226与P型SOI膜203之间的Pn结界面伸出、可增强空穴抽取效应,明显减小浮动体效应。

用图33A型33C所示的制造步骤可制造本发明第14 实施例的异质结SOI·MOSFET。

(a)首先,像上述的本发明的实施例一样,用SIMOX和SDB技术,通过隐埋氧化膜202在P型(100)衬底上形成SOI膜203。

(b)之后,如图33A所示,用LOCOS,BOX等技术形成隔离氧化膜4,使相邻器件电隔离,图33A示出用LOCOS技术的情形。此后,形成厚10nm的栅氧化膜204。然后,用APCVD、LPCVD等技术,在其上形成厚 $0.3\mu m$ 的P-掺杂的多晶硅膜205。用光刻和RIE 步骤在栅氧化膜204上确定栅长 $0.5\mu m$ 的多晶硅栅电极205。在多晶硅栅电极205上

形成深8至10nm的后氧化膜7。

(c)之后,用CVD在整个表面上形成厚20nm的氮化(SiN)膜。然后,用深腐蚀(etch-back)工艺形成侧壁氮化膜73,即,用RIE等方法各向异性腐蚀氮化膜的整个表面。然后,如图33A所示,用隔离氧化膜4,侧壁氮化膜73和多晶硅栅电极205上的后氧化膜7作掩模,在SOI膜203中形成槽。特别是,用CDE(化学干式腐蚀)法或使用SF₆、CCl₄、SiCl₄之类的光激励腐蚀法对SOI膜203进行各向同性腐蚀,在侧壁氮化膜掩模73下形成有大钻蚀部分深67nm的槽。

(d)之后,在衬底温度为470°C,压力为 1.8×10^{-2} 帕(Pa)下将100%Si₂H₆引入(注入)生长室,并在压力为 1.5×10^{-2} 帕时引入GeH₄,因而,选择地生长出厚77nm的Si_{0.7}Ge_{0.3}膜278,如图33B所示。

(e)随后,如图33B所示,用多晶硅栅电极205和侧壁氮化膜73作掩模,在加速电压Vac=30KV,剂量 $\Phi = 3 \times 10^{15} \text{cm}^{-2}$ 的条件下注入As⁺离子,并在N₂气氛中,在850°C经30分钟退火。之后,如图33C所示,n⁺源和漏区216和226垂直扩散过Si_xGe_{1-x}区278的底部。若在850°C下再退火10分钟,形成被Si_xGe_{1-x}区278完全包围的n⁺源和漏区216和226,如图32B所示。

(f)之后,用CVD等方法在整个表面上形成例如厚0.3至0.5 μm的氧化膜8作层间绝缘膜。之后在其上旋涂抗蚀剂膜,并用光刻构图。此后,用RIE等法腐蚀氧化膜8,开接触孔。腐蚀氧化膜8之后,用金属Al、Al-Si、Al-Si-Cu等进行金属化步骤,形成源和漏金属电极218和228,如图32A或32B所示。结果,可完成本发明第14实施例的SOI·MOSFET。

本发明第14实施例中,用CVD形成Si_xGe_{1-x}区278。然而,也可

用 $\text{Si}_x\text{Sn}_{1-x}$ 或用选择CVD形成诸如 PbS 、 PbTe 、 GaSb 、 ZnAs 、 ZnSb 、 $\text{Si}_x(\text{PbS})_{1-x}$ 、 $\text{Si}_x(\text{PbTe})_{1-x}$ 等窄带隙半导体层来代替 $\text{Si}_x\text{Ge}_{1-x}$ 区278。

第15实施例

图34展示了本发明第15实施例的SOI·MOSFET的剖面结构。图34中,通过隐埋氧化膜202在P型(100)硅衬底201上形成P-型SOI膜203。用LOCOS等技术形成的隔离氧化膜4包围SOI膜203,被绝缘氧化膜4包围的SOI膜203用作有源区(器件区)。图34只展示出邻近有源区的剖面结构。有源区中形成 $\text{Si}_x\text{Ge}_{1-x}$ 区278,使其底部与隐埋氧化膜202接触。 $\text{Si}_x\text{Ge}_{1-x}$ 区278里边形成 n^+ 源和漏区216和226。即,如图34所示, $\text{Si}_x\text{Ge}_{1-x}$ 区278从 n^+ 区216,226伸出,并位于邻近恰好在栅电极边缘下的沟道区。在 $\text{Si}_x\text{Ge}_{1-x}$ 区278上形成 SiO_2 /PSG膜等构成的层间绝缘膜8。通过开在层间绝缘膜8中的接触孔形成源和漏金属电极218和228。此外,通过栅氧化膜204在 n^+ 源区216与 n^+ 漏区226之间的沟道区203上形成多晶硅等构成的栅电极205。

上述结构中, Si 区与 $\text{Si}_x\text{Ge}_{1-x}$ 区278之间的异质结界面存在于恰好在跨过金相Pn交界面的栅电极边缘下的沟道区中形成的耗尽层中。这种情况下,阻止空穴的势垒,示于图20中,也获得了本发明第7实施例中说明地的势垒。空穴可有效地抽取到窄带隙源边,因而可消除或大大减少由SOI体中累积的空穴引起的的浮体效应。换言之,若构成有本发明第15实施例结构的SOI·MOSFET,能带图形可这样构成,使价带边 E_v 在能获得最低空穴电势的沟道中,并平缓地连接到 SiGe 的价带边 E_v ,使其不产生阻止空穴的势垒。结果,能显

著提高漏击穿电压。可用SiSn、PbS、ZnAs、 $\text{Si}_x(\text{PbS})_{1-x}$ 、 $\text{Si}_x(\text{ZnAs})_{1-x}$ 和HgCdTe等代替SiGe区。

用图35A到35E所示制造步骤可制出本发明第15 实施例的异质结SOI·MOSFET。

(a) 首先,像本发明的上述实施例一样,用SIMOX或SDB技术,通过隐埋氧化膜202,在P型(100)衬底上形成厚10nm的SOI膜293。

(b) 之后,如图35A所示,用光刻和RIE除去预定面积内用于形成沟道区的SOI膜293。

(c) 随后,如图35B所示,用CVD在SOI膜203上选择形成厚30nm以上的SiGe层277。例如,在

衬底温度为470,

GeH_4 引入压力为 1.5×10^{-2} 帕,

Si_2H_6 引入压力为 1.8×10^{-2} 帕

的CVD条件下生成厚30nm包含Ge 40mol%的SiGe层277,这种情况下的生长速度为1nm/mm。

(d) 之后,如图35C所示,用外延生长在SiGe层277 上形成厚200 μm 的Si层203。本发明的第15实施例中,由于设定沟道长度、或SiGe层277的窗口部分为0.1 μm ;从SiGe层277 的两边引起横向生长,在隐埋氧化膜202上形成桥形部分,也在沟道区内生长出单晶。在衬底温度下650°C, Si_2H_6 的压力为 2.5×10^{-3} 帕的条件下进行一小时外延生长。

(e) 之后,用CMP等技术调整图35C中所示外延生长层203,使其形成平滑表面。随后,如图35D所示,用LOCOS,BOX 等技术形成隔离氧化膜4,使相邻器件电隔离。图35D示出用LOCOS技术的情形。此

后,形成厚10nm的栅氧化膜204,然后在其上用APCVD、LPCVD等方法形成厚150nm的P掺杂的多晶硅膜205。然后,如图35D所示,用光刻和RIE步骤在栅氧化膜204上形成栅长为 $0.2\ \mu\text{m}$ 的多晶硅栅电极205。在多晶硅栅电极205上形成深8至10nm的后氧化膜7。由于上述LOCOS工艺,栅氧化工艺等是在 800°C 以上的衬底温度下的热处理工艺,图35C中所示的SiGe层277中的Ge原子被扩散。Ge外扩散结果,形成图35D所示的SiGe层278。

(f)之后,在整个表面上形成厚20nm的氮化(SiN)膜。用RIE等方法深腐蚀整个表面形成侧壁氮化膜73。然后,如图35E所示,用隔离氧化膜4,侧壁氮化膜73和在多晶硅栅电极205上的后氧化膜7作掩模,在加速电压 $V_{ac}=30\text{KV}$,剂量 $\Phi=3\times 10^{15}\text{cm}^{-2}$ 条件下注入As离子,然后在 850°C 退火30分钟,以激活这些注入的离子。因此,如图35E所示,在SiGe区278中形成 n^{+} 源和漏区216和226。

(g)之后,用CVD等方法在整个表面上形成用作层间绝缘膜的厚 0.3 至 $0.5\ \mu\text{m}$ 的氧化膜8。然后在其上旋涂抗蚀剂膜并用光刻构图。此后,用光刻、RIE等方法腐蚀氧化膜8,开接触孔。腐蚀氧化膜8之后,如图34所示,用金属Al、Al-Si、Al-Si-Cu等进行金属化步骤,形成源和漏金属电极218和228。结果,完成了本发明第15实施例的SOI·MOSFET。

除上述制造步骤外,也可用图36A至36D所示的其它制造步骤制出本发明第15实施例的异质结SOI·MOSFET。

(a)首先,像上述的实施例一样,通过隐埋氧化膜202在P型(100)衬底上,用SIMOX或SDB技术,形成厚110nm的SOI膜203。

(b)之后,如图36A所示,用LOCOS,BOX等方法形成厚隔离氧化膜

4,使相邻器件电隔离。图36A示出了用LOCOS技术的情形,绝缘氧化膜4的底部达到隐埋氧化膜202。此后,用抗蚀剂作掩模,用RIE将SOI膜203腐蚀约90nm深,形成U型槽。

(c)之后,如图36B所示,用CVD形成厚200nm的SiGe层277,遮盖U形槽。在 1.5×10^{-2} 帕的引入压力,将 GeH_4 和在 1.8×10^{-2} 帕的压力下将 Si_2H_6 气体引入反应管,和 470°C 的衬底温度下进行形成SiGe层的CVD,用1nm/mm的生长速度生长 $\text{Si}_{0.6}\text{Ge}_{0.4}$ 。可用MBE、ALE、MLE(分子层外延)等方法,选择性生成 $\text{Si}_x\text{Sn}_{1-x}$ 层、PbS、PbTe、GaSb、ZnSb、ZnAs等,Si和这些层的混合晶体等,来代替CVD生长的SiGe层277。

(d)之后,如图36C所示,用CMT等方法对生成结构进行深腐蚀,以平整其表面。用该处理,形成厚100nm的SOI膜203。

(e)之后,形成厚10nm的栅氧化膜204,之后用APCVD、LPCVD等方法在其上形成厚 $0.3\mu\text{m}$ 的P掺杂的多晶硅膜205。之后,如图36D所示,用光刻和RIE步骤在栅氧化膜204上确定栅长为 $0.5\mu\text{m}$ 的多晶硅栅电极205。多晶硅栅电极205上形成深度为8至10nm的后氧化膜7。之后在整个表面上形成厚20nm的氮化膜。之后,用RIE等方法深腐蚀(etching-back)全部表面,形成侧壁氮化膜73。之后,用绝缘氧化膜8、侧壁氮化膜73和多晶硅栅电极205上形成的后氧化膜7作掩模、在加速电压 $V_{ac}=30\text{KV}$ 、剂量 $\Phi=3 \times 10^{15}\text{cm}^{-2}$ 下注入As离子,之后在 850°C 下退火30分钟。之后如图36D所示,在SiGe区278中形成 n^+ 源和漏区216和226。

(f)之后,用CVD在整个表面上形成厚 0.3 至 $0.5\mu\text{m}$ 的用作层间绝缘膜的氧化膜8。之后,在其上旋涂抗蚀剂膜,并用光刻构图。此

后,用RIE等方法腐蚀氧化膜8,开接触孔,如图34所示,对金属Al、Al-Si、Al-Si-Cu等刻图,形成源和漏金属电极218和228。结果,也可完成本发明第15实施例的SOI·MOSFET。

第16实施例

图37A和37B分别示出了本发明第16实施例的SOI·MOS 动态随机存取存储器(DRAM)的平面结构和剖面结构。图37A是第16实施例的平面图,图37B是图37A所示第16实施例的剖面图。图37B中,通过隐埋氧化膜202在 n^+ (100)硅衬底401上形成P型SOI膜203。用LOCOS等技术形成的隔离氧化膜4包围SOI膜203,由氧化膜4包围的SOI膜203用作有源区(器件区)1。图37B只示出了邻近有源区1的剖面结构。构成DRAM的开关晶体管(或选择晶体管)的 n^+ 源和漏区216和226深深地形成在有源区1中,使其底部与隐埋氧化膜202接触。在 n^+ 源区和 n^+ 漏区内分别形成SiGe区411和412。此外,通过栅氧化膜204在开关晶体管的 n^+ 源区与 n^+ 漏区之间的沟道区203上形成多晶硅等构成的栅电极205。如图37A所示,多晶硅栅电极205还用作字线。形成钨(W)等构成的接触电极408,使其连接到 n^+ 漏区226表面部分中形成的SiGe区。接触电极408还连接到数据线(位线)409。通过隐埋氧化膜202,深挖 n^+ (100)硅衬底,在SOI膜中邻接 n^+ 源区216处形成深槽。沟槽内壁上形成电容器绝缘膜416。电容器绝缘膜416表面上形成用作存储节电极415的掺杂多晶硅,以遮盖槽沟内边。可用难熔金属如W、Ti、Mo等,或难熔金属硅化物如 WSi_2 、 $TiSi_2$ 、 $MoSi_2$ 等代替掺杂多晶硅。用存储节电极415和 n^+ (100)硅衬底401作板极(相对电极)在它们之间放入电容器绝缘膜416,由此

构成DRAM存储电容器部分(单元电容器部分)。该电容器部分中的存储节电极415用接触金属418连接到开关晶体管中 n^+ 源区216的表面部分中形成的SiGe区412。如图37B所示,按本发明第16实施例的SOI·MOS·DRAM中,由于 Si_xGe_{1-x} 区412和411是形成在 n^+ 源区216和 n^+ 漏区226中,累积在沟道区203或SOI本体中的空穴,能由此迅速而高效地抽取。因此,由于改善了浮体效应而使漏击穿电压(强度)的缺点减小。因而,如图37B所示 Si_xGe_{1-x} 区完全包含在 n^+ 区216、226内,并与Pn结表面隔开相当于栅电极侧壁(未画出)厚度的一个距离,例如约10至50nm的间隔。用SiGe区完全包含在 n^+ 区中的这种结构,可以如图26所示的本发明第11实施例一样,防止因离子注入造成的结晶缺陷产生的漏电流,并能获得良好的数据保持特性。

用以下的制造步骤能制成按本发明第16实施例的SOI·MOS·DRAM。

(a)首先,用掺杂有 $10^{19}cm^{-3}$ 的P(磷)的CZ· n^+ (100)衬底($\rho=0.006\Omega cm$)作支撑衬底401,用SDB技术制造第16实施例用的SOI衬底。此时,首先制备掺硼CZ·P(100)衬底203($\rho=4\Omega \cdot cm$),SOI膜203用作有源区边。然后,在SOI膜203的表面上生长厚500nm的热氧化膜202,抛光热氧化膜202的表面使其具有镜面表面。其次,制备另一 n^+ (100)支撑衬底401,并将 n^+ 支撑衬底表面抛光成镜面。此后,将热氧化膜202的镜面表面与衬底401的镜面表面面对面使两个衬底203、401拼合在一起,将制成的结构在 $1100^{\circ}C$ 下退火。此后,磨薄有源层(SOI膜)203,之后,腐蚀,使厚度为250nm,因此,制成SDB-SOI衬底。此外,可用SIMOX技术形成SOI衬底。这种情况下,更具体地说,在加速电压 $V_{ac}=400KV$,剂量 $\Phi=2\times 10^{18}cm^{-2}$ 的条件下从

n^+ (100)衬底表面注入 O^+ 离子,并在 1325°C 的温度下退火5小时,用SIMOX技术将 B^+ (或 BF_2^+)离子注入隐埋氧化膜202上形成的SOI膜203中,使沟道区有所希望的杂质浓度。热氧化SOI膜203的表面和湿式腐蚀热氧化膜可控制SOI膜203的厚度。此后,若在SOI膜203的表面上形成厚300nm的热氧化膜,则在SOI膜203底部留下的硅层总厚度为100nm。另外,在形成厚300nm的热氧化膜之间,必须用LOCOS、BOX等技术形成深入SOI膜203的器件隔离氧化膜4,使其达到隐埋氧化膜202,并与器件区1横向隔开。

(b)之后,用光刻形成有深槽(U形槽)形成区用的窗口部分的光刻胶图形。用 CF_4 、 CF_4/H_2 、 C_3F_8 等,用ECR或RIE腐蚀法腐蚀SOI膜203表面上形成的300nm厚氧化膜。而且用氧化膜作掩模,用RIE或用 CF_4 、 SF_6 、 $CBrF_3$ 、 $SiCl_4$ 、 CCl_4 等的离子腐蚀形成用于构成DRAM存储电容器的沟槽。当腐蚀出高的径深比的深槽时,可使衬底在 -110°C 至 -130°C 下致冷。

(c)之后,用热氧化使在沟槽表面上形成厚10至20nm的电容器绝缘膜(电容器氧化膜)。此外,用LPCVD在电容器绝缘膜上形成掺杂的多晶硅膜用作存储节电极415,以掩盖槽沟。也可用LPCVD形成电容器绝缘膜416。即,可用CVD在沟槽的内壁上形成用作板极的第一掺杂多晶硅,随后,用CVD连续形成电容器氧化膜416和用作存储节电极的掺杂多晶硅膜415。此后,若需要,可以深腐蚀掺杂多晶硅,并用CMP均匀制成SOI薄203的表面。

(d)下面的步骤是用标准的MOSFET工艺形成开关晶体管的工艺步骤。尽管省略了对将掺杂离子注入沟道区用的离子注入的详细说明,用热氧化形成例如厚10nm的栅氧化膜204。下面,形成多晶硅

栅电极205。用按自对准方式离子注入As或P离子形成 n^+ 源和漏区216和226。更具体地说,可在加速电压 $V_{ac}=30KV$,剂量 $\Phi = 3 \times 10^{15} cm^{-2}$ 的条件下注入P离子,然后,在 $850^{\circ}C$ 的衬底温度退火30分钟。结果,形成 n^+ 源和漏区216和226。之后,用CVD在全部表面上淀积厚10至50nm的氮化膜。之后,用例如RIE等技术进行定向(各向异性)腐蚀,只在多晶硅栅电极205的两边上形成侧壁氮化膜。之后,用侧壁氮化膜和多晶硅栅电极205作掩模,在加速电压 $V_{ac}=50KV$,剂量 $\Phi=1 \sim 2 \times 10^{16} cm^{-2}$ 下注入Ge离子,并在 $800^{\circ}C$ 退火30分钟。因此,在 n^+ 源和漏区216和226中形成 Si_xGe_{1-x} 区411和412。

(e)之后,用CVD在整个表面形成厚 $0.5 \mu m$ 的作为层间绝缘膜的氧化膜。然后在其上旋涂抗蚀剂膜并光刻构图。此后,用光刻在 n^+ 源区216上开接触孔。还如图37A所示,在邻近存储节电极415与 n^+ 漏区216之间的界面处开出形成接触电极用的窗口。用作接触电极408,418的金属钨(W)用W的选择CVD或W的溅射/反溅射使其隐埋在接触孔内或形成接触电极用的窗口内。此外,若我们用SiGe代替W来构成接触电极408、418,可用 SiH_4 (或 Si_2H_4)与 GeH_4 之间的气相反应的CVD选择地淀积SiGe。形成SiGe接触电极408、418的另一种方法,可使Ge离子注入到多晶硅中,多晶硅是用CVD选择淀积在层间绝缘膜中的接触孔部分内。用EB蒸发或溅射淀积金属如Al、Al-Si,Al-Si-Cu等,如图37A和37B所示,用光刻和RIE步骤形成位线409。结果,可完成本发明第16实施例的SOI·MOS·DRAM。

上述的制造步骤中,也可以Ge离子注入多晶硅等构成的存储节电极415中,将 Si_xGe_{1-x} 区412构成在存储节电极415的上部内(图37B中,省略了存储节电极415表面部分内形成的 Si_xGe_{1-x})。可通

过层间绝缘膜中形成的接触孔和形成接触电极用的窗口(以下称为“接触孔等”)注入Ge离子。若通过接触孔等注入Ge离子, $\text{Si}_x\text{Ge}_{1-x}$ 区411和412完全包含在 n^+ 区216、226中,并远离 n^+ 区域216、226和开关晶体管的P型沟道区之间的Pn结界面而形成,因此, n^+ 区216、226中的结晶缺陷的产生的漫延不会影响沟道区内的漏电流。而且,外围电路的离子注入剂量与存储器单元部无关,并不需用专门的注入掩模来注入Ge离子,所以,可以根据各种不同的情况任意选择最合适的注入剂量。而且可用CVD,用层间绝缘膜8作选择CVD用的掩模,选择淀积 $\text{Si}_x\text{Ge}_{1-x}$ 层411、412,来代替用侧壁氮化膜等作掩模进行形成SiGe层411、412的离子注入。

本发明第16实施例的第一改型中,如图28所示,Ge离子可以只注入与数据线409连接的 n^+ 漏区226边上的接触孔内。由于存储节电极415边上的接触孔只是电容性地耦连到用作板极(相对电极)的 n^+ 衬底401上。没有确实抽出空穴的电流路径。因而,当 n^+ 掺杂的多晶硅用作存储节电极415时,沟道侧的空穴浓度只随着 $\text{Si}_x\text{Ge}_{1-x}$ 区内的势垒高度降低而减小,并且,空穴不会有效地抽出,因此,可以认为,对减小浮体效应没有明显的效果。因而,可以认为, n^+ 源216中存在SiGe区无关紧要,若Ge离子只注入 n^+ 漏区226时,可以预料会有同样的效果。此外,由于在邻近 n^+ 源区216中Pn结处不可能有结晶缺陷,因而,由结晶缺陷造成的漏电流也会减小,若省略了 n^+ 源区边的Ge离子注入。此外,第16实施例中,为了方便,将连接到数据线(位线)409的 n^+ 区称为 n^+ 漏区226,但是,这只不过是一种叫法,连接到数据线(位线)409的 n^+ 区也可称为 n^+ 源区。即,用作开关晶体管的MOSFET的一个主电极区既可称作源区也可称作漏区。

关于第16实施例的第二种改型, 可用 $\text{Si}_x\text{Ge}_{1-x}$ 层本身构成图37A和37B所示的存储节电极415和接触电极418。换言之, 尽管掺杂多晶硅415隐埋在用作图37A, 37B和38所示结构中的存储节电极内, 可采用图39A和39B所示结构。图39B中, 用CVD, 用 SiH_4 (或 Si_2H_6) , GeH_4 和N型杂质(如 AsH_3) 的混合气体, 淀积 $\text{n}^+\text{Si}_x\text{Ge}_{1-x}$ 层作为存储节电极425, 和深腐蚀工艺, 来代替掺杂多晶硅415。第16实施例的第二改型中, 如图39A, 39B所示, n^+ 窄带隙源区412 造成的小空穴抽出效应的缺点, 已参考图38说明过, 它能有某种程度的改善。若用 n^+ 掺杂多晶硅形成存储节电极415, 由于在 $\text{Si}_x\text{Ge}_{1-x}$ 层412与 n^+ 掺杂多晶硅之间的界面上产生的较高势垒高度, 使不能抽出的空穴容易地进入 n^+ 掺杂多晶硅侧。结果, 不能有效地减小SOI 体内的空穴浓度。为了克服这种缺点, 如图39B所示, 可以构成自身作为 $\text{n}^+\text{Si}_x\text{Ge}_{1-x}$ 的存储节电极425, 以限制势垒高度, 因此, 可使空穴大量抽出而进入存储节电极425。此外, 若用金属钨(W) 构成部分存储节电极425, 这种优点还会进一步改进。

第16实施例的第三种改型中, 如图40所示, 首先在内壁上形成外壳型板极414, 然后在槽沟底部将外壳型板极414与 n^+ 衬底401 连接在一起。用外壳型板极414, 电容器绝缘膜416 和存储节电极415构成DRAM的存储电容器部分。用图40中的DRAM 存储电容器结构可获得大而稳定的电容量及较小的漏电流。

上述第1至第15实施例的任何一种SOI • MOSFET 均可用作本发明第16实施例的开关晶体管, 而且, SOI • MOSSIT有如 I_d-V_d 的真空三极管特性。为获得SIT特性, 沟道区的沟道长度或载流子浓度应减小到以接近几乎一穿通的条件。

以上说明中,已经讨论过的情况下,开关晶体管(或选择晶体管)形成为用 n^+ 支撑衬底401的n沟道MOSFET。然而,若全部元件的导电类颠倒,则开关晶体管可构用 P^+ 支撑衬底的P沟道MOSFET。而且,DRAM可构成为在P型SOI膜203中形成其n阱的,用 n^+ 支撑衬底401的CMOS结构。

第17实施例

图41A和41B分别示出了本发明第17实施例的SOI·MOS 动态RAM(DRAM)的平面结构和剖面结构。图41A是第17实施例的平面图,图41B是图41A所示第17实施例的剖面图。图41B中,通过隐埋氧化膜202在P型(100)硅衬底上形成P-型SOI膜203。用LOCOS 等技术形成的器件隔离氧化膜4包围SOI膜203,被氧化膜4包围的SOI膜203的内部用作有源区(器件区)1。构成DRAM组合单元中的开关晶体管的 n^+ 源和漏区216和226形成在有源区1中,并深深地扩散进SOI膜203中,使其底部与隐埋氧化膜202接触。此外,多晶硅等构成的栅电极205形成在沟道区203上,或通过栅氧化膜204,形成在每个DRAM组合单元中开关晶体管的 n^+ 源区216与 n^+ 源区226之间的SOI体上。如图41A所示,栅电极205还用作字线。在 n^+ 源区216与 n^+ 源区226里边还分别形成 Si_xGe_{1-x} 区412和411。在字线上形成由例如氧化膜等构成的层间绝缘膜8。层间绝缘膜8中形成的接触孔中形成用W, WSi_2 , $TiSi_2$, $MoSi_2$ 等构成的接触电极408,使其与 n^+ 漏区226上形成的 Si_xGe_{1-x} 接触。接触电极408连接到用金属W、Al、Al-Si、Al-Si-Cu等构成的数据线(位线)409上。

本发明第17实施例是一种迭层型DRAM,其中DRAM存储电容器部

分形成在选择晶体管的 n^+ 源区216和栅电极205上。用W、Ti、 WSi_2 、 $TiSi_2$ 、 $MoSi_2$ 等构成的接触电极418形成在 n^+ 源区216 表面部分中形成的 Si_xGe_{1-x} 区412上。接触电极可用 Si_xGe_{1-x} 构成。存储节电极425既可用金属W、Ti、Pt、Ru等构成,也可用形成在接触电极 418 上的这些金属的硅化物膜构成。导电金属氧化物,如 $SrLaTiO_3$ 、 $CaYTiO_3$ 、 $CaNdTiO_3$ 、 $LaNiO_3$ 、 $SrCaLaRuO_3$ 、 $NdNiO_3$ 和 RuO_2 可用作存储节电极材料。可用掺杂多晶硅膜和形成在掺杂多晶硅膜上的多层膜如Ti/TiN膜构成存储节电极425。相对电极(单元平板电极)427形成在电容器绝缘膜426上,而电容器绝缘膜426形成在存储节电极425上。电容器绝缘膜426可由氧化硅膜(SiO_2)、氧化钽膜(Ta_2O_5)、钛酸钡($BaTiO_3$)、氧化铝(Al_2O_3)、氮化硅(Si_3N_4)等构成。此外,电容器绝缘膜426 也可用钛酸锶 $SrTiO_3$ (STO)和钛酸钡 $BaTiO_3$ (BTO)的固溶体钛酸锶钡(BSTO)构成,可用氮化硅(Si_3N_4)膜与氧化硅(SiO_2)膜的复合膜构成。就对电极(单元平板电极)427而言,可用氮化钛(TiN)膜、W膜、Ru膜、 RuO_2 膜、 RuO_2 /Ru膜或 RuO_2 /Ru/TiN/W膜,和硅化物膜,和 WSi_2 、 $MoSi_2$ 、 $TiSi_2$ 等。

如图41B所示,按本发明第17实施例的SOI·MOS·DRAM中,由于在 n^+ 源区216和 n^+ 漏区226中分别形成 Si_xGe_{1-x} 区412和411。累积在沟道区203或SOI体中的空穴可由此迅速而高效地抽出。因而,抑制了浮体效应,漏击穿电压(漏的强度)得到改善。而且,如图41B所示, Si_xGe_{1-x} 区完全包含在 n^+ 区216、226中,并与Pn结界面隔开相当如栅电极侧壁厚度如10至50nm的距离。此外,可防止离子注入引起产生结晶缺陷,并消除了结晶缺陷产生而对漏电流产生影响,

甚至产生了一些结晶缺陷也具有良好的DRAM的数据保持特性。

用下述制造步骤可制造本发明第17实施例的SOI·MOS·DRAM。下面将说明用钛酸锶钡(BSTO)制成DRAM 存储电容器中电容器绝缘膜的情况,当然,也可用其它材料(绝缘材料)制成电容器绝缘膜。

(a)首先,像本发明上述实施例一样,通过隐埋氧化膜202,在P型(100)衬底上,用SIMOX或SDB技术,形成SOI膜203。

(b)之后,用LOCOS,BOX等技术形成器件隔离氧化膜,使相邻器件电隔离,此后,形成厚度为10nm的栅氧化膜204,然后,用LPCVD 技术在其上形成厚 $0.3\mu\text{m}$ 的P-掺杂多晶硅膜205。用诸如光刻和RIE步骤等构图技术在栅氧化膜204上确定栅长为 $0.5\mu\text{m}$ 的多晶硅栅电极205。

(c)之后,在加速电压 $V_{ac}=30\text{KV}$ 剂量 $\Phi=3\times 10^{15}\text{cm}^{-2}$ 的条件下形成 n^+ 源和漏区216和226,并在 850°C 退火30分钟。之后,用CVD 在整个表面上淀积厚10至50nm的氮化膜。之后,用定向腐蚀(各向异性腐蚀)如RIE等,只在多晶硅栅电极205的两边形成侧壁氮化膜。之后,用侧壁氮化膜和多晶硅栅电极205 作掩模,在加速电压 $V_{ac}=50\text{KV}$,剂量 $\Phi=1$ 至 $2\times 10^{16}\text{cm}^{-2}$ 下注入Ge离子,并在 800°C 退火30分钟。结果,分别在 n^+ 源和漏区226和216的表面部分内形成 $\text{Si}_x\text{Ge}_{1-x}$ 区411和412。

(d)此后,用CVD淀积厚200至300nm的 SiO_2 /PSG膜,形成第一层间绝缘膜8。若需要, P^+ 沟道离子注入,沟道掺杂等可用标准MOS·DRAM相同的方法,因此,此处省去了说明。

(e)之后在第一层间绝缘膜中或 SiO_2 /PSG膜中开出接触孔。掺As的 n^+ 掺杂多晶硅层,或用CVD淀积的厚度为200至400nm的W膜,在

接触孔内形成接触电极408、418。此外,在接触电极418上淀积导电金属氧化物或W膜,并用RF溅射再淀积Ti/TiN,形成存储节电极材料用的势垒金属层。之后,旋涂光刻胶并光刻构图,留下相当于DRAM存储电容器的存储节电极部分的Ti/TiN势垒金属面积。

(f) 用光刻胶作掩模,用RIE,用 BCl_3 、 CF_4 、 SF_6 、 CCl_4 等腐蚀势垒金属层。并将导电金属氧化物或下面的W膜也腐蚀成存储节电极425的图形,如图41B所示。之后,除去光刻胶后清洗生成结构。之后,按顺序连续形成厚50nm的Pt膜,30nm厚的BSTO膜426和厚150nm的W膜427,盖在存储节电极425侧壁上,可用CVD等代替RF溅射。

(g) 之后,整个表面上旋涂光刻胶。如图41B所示,用光刻胶膜作掩模,用RIE,用 CF_4 光刻腐蚀W膜427,使其具有图41B所示图形。

(h) 之后,用作为相对电极(单元平板电极)427的W膜作掩模层,用预定的溶液,如过氧化氢氨水和EDTA的混合溶液腐蚀BSTO层426,并构图。

(i) 以下,用BSTO层426形成上述掩模,将BSTO膜426下面形成的Pt层用RIE用 CF_4 ,或用由碘(I_2),十六(烷)基碘吡啶鎓和苯构成的腐蚀液构图,并在60°C加热。该工艺之后,生成结构浸入酒精中清洗掉腐蚀液。随后,用胆碱作碱氢氧化物将腐蚀溶液完全洗去。已知的清洗液,如Cicaclean TMK(KANTO KAGAKO公司的产品名)可用作胆碱。用上述方法,可简单而价格低廉地制成DRAM存储电容器单元,该电容器单元如图41B所示,使用了W/Ti/TiN/Pt存储节电极(或导电金属氧化物/Ti/TiN/Pt存储节电极)425,高介电常数材料膜426和 n^+ 源区216上的W相对电极427。除胆碱之外,还可使用碱氢氧化物,MABT,或各种醇清洗腐蚀溶液,此时,最好在一定气压下以气态

使用,或在50KHz至1MHz的超声功率下使用这些溶液。若以气态使用清洗液,则衬底在减压下加热到50-150°C进行干式清洗。

(j)之后,用CVD淀积第二层间绝缘膜,如 SiO_2 膜,PSG膜,或BPSG膜。在 n^+ 源区226上形成的接触电极408上的第二层间绝缘膜中开出接触孔。然后用选择CVD形成掺杂多晶硅膜, WSi_2 膜等,以遮盖第二层间绝缘膜中的接触孔。代替选择CVD,首先用CVD在整个表面上形成掩蔽W或 WSi_2 膜,然后深腐蚀使其表面平整,由此填充第二层间绝缘膜内的接触孔。此后,用金属如Al、Al-Si、Al-Si-Cu等构成位线409。结果,如图41A和41B所示,可完成本发明第17实施例的SOI·MOS·DRAM。

图41A和41B所示的选层型DRAM的一个实例中,可采用图42A和42B所示的DRAM存储电容器部分的结构。图42B示出了具有较大电容量的所谓翅形电容器。图41A、41B、42A和42B中,尽管DRAM存储电容器部分形成在数据线(位线)409下面,包括存储节电极435,电容器绝缘膜436和相对电极(单元平板电极)437的存储电容器部分可形成在位线409上,如图43A和43B所示。通过接触电极452,存储节电极435连接到接触电极438上,接触电极438形成在 n^+ 源区216的表面部分中形成的 $\text{Si}_x\text{Ge}_{1-x}$ 层412上,接触电极452形成在第二层间绝缘膜中形成的通孔中。

本发明的第17实施例中,可用注入Sn离子来代替Ge离子,形成 $\text{Si}_x\text{Sn}_{1-x}$ 区。通过第一层间绝缘膜中形成的接触孔等注入Ge离子或Sn离子。若离子通过接触孔等注入, $\text{Si}_x\text{Ge}_{1-x}$ 区411和412,或 $\text{Si}_x\text{Sn}_{1-x}$ 层完全包含在 n^+ 区216、226中,并与开关晶体管的 n^+ 区与P-型构造区之间的Pn结界面隔开。为此,由于沟道区中的耗尽层不

存在缺陷,因而可抑制基于结晶缺陷的漏电流。然而,可任意选择用于外围电路部分和存储器单元部分的离子注入剂量,不用注入掩模,所以能任意选择各种情况下最适当的离子注入剂量。代替接触电极408,418和438,可用 SiH_4 (或 Si_2H_6)与 GeH_4 之间气相反应的CVD形成这些接触孔中的 $\text{Si}_x\text{Ge}_{1-x}$ 层。代替用侧壁氮化膜等作掩模的离子注入的另一种方式是,用选择的CVD形成 $\text{Si}_x\text{Ge}_{1-x}$ 层。同样,可用CVD形成 $\text{Si}_x\text{Sn}_{1-x}$ 层或例如PbS、PbTe、SnTe、ZnSb等窄带隙材料来代替 $\text{Si}_x\text{Ge}_{1-x}$ 层。

上述第1至第15实施例的任何一种SOI·MOSFET可用作本发明第17实施例的开关晶体管。例如,可用图17C所示LDD·MOSFET。而且也可用不饱和的,类似真空三极管 I_d-V_d (漏电流与漏电压)特性的SOI·MOSSIT(静态感应晶体管)代替SOI·MOSFET。为获得SIT特性,沟道长度或沟道区的载流子浓度必须减小至接近几乎一穿通的条件。就这点而言,SIT可以认为是一种短沟道MOSFET。用SIT结构,加漏电压可控制源区前部中形成的势垒高度,它会引起按指数规律变化的 I_d-V_d 特性。此外,上述说明中,已讨论过的情况下,开关晶体管是用P型硅衬底201构成为n沟道MOSFET。但是,若将所有元件的导电类型颠倒,开关晶体管可构成为用n型硅衬底的P沟道MOSFET。DRAM可构成为CMOS结构,其中n阱构成的P型SOI膜203中,用P型硅衬底201。

第18实施例

图44A和44B分别展示了本发明第18实施例的MOS动态RAM(DRAM)的平面结构和剖面结构。在本发明的第18实施例中,称作环

绕栅晶体管 (SGT) 的垂直型晶体管用作开关晶体管 (选择晶体管), DRAM存储电容器部分形成在所构成的SGT中的硅柱的下部。图 44B 中,按顺序形成 n^+ 源区302,用作SGT的沟道区的P-型区303, n^+ 漏区304,P型(100)硅衬底上形成 Si_xGe_{1-x} 区311。用作字线的栅电极308和相对电极(平板电极)306包围P/ n^+ /P/ n^+ 多层结构构成的矩形硅柱。硅柱下部构成DRAM存储电容器, n^+ 源区302与相对电极306之间夹有薄电容器介质,如氧化膜。通过层间绝缘膜中的接触孔,位线409连接到 n^+ 漏区304上形成的 Si_xGe_{1-x} 区311。

上述各实施例中的薄膜SOI晶体管中,同样引起了“浮体效应”。即,垂直晶体管形成在图44A和44B所述的硅柱中的SGT中,由于除硅柱底部形成的 n^+ 源区302外,硅柱与其它器件完全隔离,沟道区303,在硅柱中形成的体上容易出现浮动状态,特别是在硅柱直径为200nm时。因而,硅柱体中累积的空穴使漏电压降低,如SOI·MOSFET中。为克服该“浮体效应”,希望 Si_xGe_{1-x} 形成在垂直型晶体管的源/漏区内,或邻近源/漏区。比如以下所述的本发明第18实施例。

如图44A和44B所示,按本发明第18实施例的垂直MOS·DRAM中,由于 Si_xGe_{1-x} 区311形成在 n^+ 漏区304中,沟道区303中累积的空穴能迅速而高效地抽到 n^+ 漏区304中。因此,能改善由浮体效应引起的漏击穿电压(漏的强度)。而且,如图44B所示,由于 Si_xGe_{1-x} 与 n^+ 区304与P-型柱体303之间的Pn⁻结界面隔开,由于晶格失配的SiGe/Si异质结造成的结晶缺陷只在 n^+ 304中产生,不会扩散进P-型体303中,产生的缺陷不会影响P-型体中沟道区中的漏电流,能获得良好的数据保持特性。

此外,可以用 $\text{Si}_x\text{Sn}_{1-x}$ 或窄带隙材料,如PbS、PbTe、SnTe、ZnSb等替代 $\text{Si}_x\text{Ge}_{1-x}$ 层。

用图45A至45E所示制造步骤制造按本发明第18 实施例的垂直型MOS • DRAM。

(a) 首先,如图45A所示,用 SiH_2Cl_2 和 H_2 、 AsH_3 、 B_2H_6 作掺杂气体,用低压外延法,在P型衬底301上连续形成厚度为 $2.5\mu\text{m}$,P区303厚 $0.3\mu\text{m}$,和厚 $0.3\mu\text{m}$ 的 n^+ 漏区304,上述厚度仅仅是举例。在形成如冲击式晶体管这样的中规模($\approx 10\text{nm}$)中的垂直型晶体管时,可用MBE或MLE(分子层外延)在超高真空(UHV)中气相外延,由于用一次气体引入/抽出循环生长一个硅分子层(0.136nm (100)表面),例如,在 3×10^{-2} 帕的压力下, SiH_2Cl_2 引入生长室15秒钟,然后,将生长室内抽真空($=10^{-4}$ - 10^{-7} 帕),之后在 4×10^{-3} 帕压力下引入 H_2 10秒钟,之后,再将生长室抽真空。若我们将这种气体引入/抽出的循环次数达到预定数,或使生长的分子层达到预定层数,在衬底温度为 815°C 时,可使所希望的硅层厚度的精度达到一个分子层。

(b) 之后,用CVD或热氧化,在 n^+ 漏区上形成氧化膜315,然后光刻使氧化膜构图。之后,除去氧化膜腐蚀中用的光刻胶。随后,用氧化膜作掩模,用 BCl_3 、 CF_4 、 SF_6 、 CCl_4 等的RIE,或ECR离子刻蚀,形成图45B所示的深度为 $3.2\mu\text{m}$ 的槽。之后,氧化U型槽表面,形成厚 10nm 的电容器氧化膜305(电容器氧化膜的上部在以下称为盘氧化膜)。用CVD在电容器氧化膜305上形成用作平板电极306的掺杂多晶硅膜,以掩盖U形槽。之后,如图45B所示,深腐蚀U形槽,使其离表面 $0.7\mu\text{m}$,在U形槽底边附近形成平板电极306。之后在整个表面上用CVD淀积氮化(Si_3N_4)膜307。

(c)之后,用高度定向的各向异性腐蚀,如RIE等,腐蚀氮化(Si_3N_4)膜,只留下U形槽侧壁上的氮化膜。该各向异性腐蚀平板电极306上形成的氮化膜,并除去氧化膜315上的氮化膜。如图45C所示,用侧壁上留下的氮化膜307,用选择氧化(垂直LOCOS工艺),只在多晶硅平板电极306上形成厚 $0.1\mu\text{m}$ 的氧化膜。

(d)之后,用各向同性腐蚀如CDE,除去留在侧壁上用作选择氧化的氮化膜307,还除去下面的薄盘氧化膜305,露出U型槽的上侧壁。再在U形槽侧壁上部形成栅氧化膜305。用CVD在栅氧化膜305上形成多晶硅、W、 WSi_2 等,构成用作字线的栅电极308,如图45D所示。可用选择CVD在U形槽内形成栅电极308。另外,栅电极308也可用首先构成比U形槽深度厚的多晶硅、W、 WSi_2 等外壳膜的方式构成,之后用CMP技术,如图45D所示,深腐蚀外壳膜,露出 n^+ 漏区304表面,获得平整表面。此后,在加速电压 $V_{\text{ac}}=100\text{KV}$,剂量 $\Phi=2\times 10^{16}\text{cm}^{-2}$ 条件下注入Ge离子。

(e)离子注入后,在 950°C 退火30分钟,形成 $\text{Si}_x\text{Ge}_{1-x}$ 区311,如图45E所示。然后用CVD形成 SiO_2 /PSG等构成的层间绝缘膜8,然后开出接触孔。此后,设置金属如AL、Al-Si、Al-Si-Cu等。如图45E所示,光刻构成位线409。结果,可完成本发明第18实施例的垂直MOS·DARM。

进行图45A所示的连续外延时,可用 SiH_4 (或 $\text{Si}_2\text{H}_6\cdot\text{SiH}_2\text{Cl}_2$)和 GeH_4 (或 GeH_2Cl_2)的气相外延生长在 n^+ 漏区304顶上再形成 $\text{Si}_x\text{Ge}_{1-x}$ 。此外交替引入 SiH_2Cl_2 和 GeH_2Cl_2 也能有效生长MLE。此外,交替引入卤化铅(或乙酸铅,铝螯合物或如 $[\text{Pb}(\text{OBU}^{\text{c}})_2]_2$ 、 $\text{Pb}_4\text{O}(\text{OBU}^{\text{c}})_6$ 的叔-丁氧铅络合物中的一种)和 H_2S ,在 3×10^{-2} 帕的

压力下进行MLE生长可形成PbS。若用外延生长或CVD工艺形成窄带隙区,由于消除了因离子注入造成的二次缺陷,并减少了与二次缺陷有关的结晶缺陷,因此,可减小漏电流并改善了DRAM的数据保持特性。图45C中,尽管已用与常规LOCOS(横向LOCOS)工艺相同的选择氧化(垂直LOCOS工艺)在平板电极306上形成了氧化膜317,也可以用真空蒸发或具有良好方向性的MBE等技术形成绝缘材料膜(如氧化物)。例如,可在U形槽底上或在平板电极306上淀积厚 $0.1\mu\text{m}$ 的绝缘材料膜,而不淀积在U形槽上边的侧壁上。在UHV中用高度的准直束定向蒸发,在硅柱的侧壁上可以不淀积绝缘材料。用这种定向蒸发技术,可用W、 WSi_2 、 MoSi_2 等其它掺杂硅形成平板电极306。

图46A和46B分别是本发明第18实施例的第一改型的平面图和剖面图,其中SGT用作开关晶体管,DRAM有迭层型存储电容器,存储电容器中包括存储节电极325,电容器绝缘膜326,和相对电极(单元平板电极)327。图46A和46B中所示MOS·DRAM中,P-型硅衬底301上形成的窄带形 n^+ 隐埋层322用作位线,SGT栅电极308用作字线。SGT包括 n^+ 用作 n^+ 漏区的隐埋层322, n^+ 漏区上形成的P沟道区303,其上形成的 n^+ 源区,沟道区303或矩形硅柱的侧壁上形成的栅电极308等,分别在 n^+ 漏区322和 n^+ 源区323中形成 $\text{Si}_x\text{Ge}_{1-x}$ 区312和313。存储节电极325连接到 $\text{Si}_x\text{Ge}_{1-x}$ 区313。如图46B所示, $\text{Si}_x\text{Ge}_{1-x}$ 区312形成在用作位线322的 n^+ 隐埋层的表面部分内,在该区域内不形成构成SGT的硅柱。形成在存储节电极325上的电容绝缘膜,像本发明的第17实施例一样,可用 Ta_2O_5 、SGO、BTO、BSTO等构成。与图44A和44B所示本发明第18实施例的结构相反,在该第一改型中可形成更窄的槽沟,而且,图46A和46B所示的结构中,不需要隔开相对电

极(平板电极)306与字线308 而用的绝缘材料317 的复杂的“垂直LOCOS”工艺或定向蒸发技术。因此,第一改型结构容易制造。当然,可用 $\text{Si}_x\text{Sn}_{1-x}$ 或例如PbS的窄带隙材料来代替 $\text{Si}_x\text{Ge}_{1-x}$ 区312和313。

图46B所示结构中,已经在用作位线322的 n^+ 隐埋层中形成 $\text{Si}_x\text{Sn}_{1-x}$ 区312,在区域内不形成构成SGT的硅柱。但并不总是限于图46B中所示的这种结构, $\text{Si}_x\text{Sn}_{1-x}$ 区312可形成在硅柱的正下方,如图47A和47B所示。按图47A和47B所示的第18 实施例的第二种改型的结构,可导致空穴抽出效应增大,减少浮体效应,最终提高漏击穿电压。因此,可实现SGT中的较短沟道。

若沟道长度变得足够短,漏电场影响源区前部中形成的势垒,“SGT”变成“环绕栅静电感应晶体管(SGSIT)”,它显示出不饱和漏电流(I_d)与漏电压(V_d)特性,像真空三极管一样。形成窄带隙源区,可获得SIT中浮体效应也减小的和漏击穿电压改善 ΔV_{BD} 。

用以下的隐埋外延可构成图47A和4B 所示第18 实施例的垂直MOS • DRAM的第二改型结构。为了形成 n^+ 隐埋层322,首先在P 型衬底301中形成窄带形 n^+ 扩散层。然后,衬底退火,在 n^+ 隐埋带形层322上形成SiGe层。这后,用连续外延生长形成P 区303 和 n^+ 源区323。选择Ge注入加速电压、SiGe区312可包含在 n^+ 层322中。另外,为了形成 n^+ 隐埋层322,首先在P衬底中形成 n^+ 扩散层,然后在P衬底表面形成氧化膜,之后用氧化膜作掩模,腐蚀掉 n^+ 扩散层322的部分表面,形成U槽,然后用选择外延生长在U形槽内连续形成 $\text{Si}_x\text{Ge}_{1-x}$ 区312和 n^+ 区322,以掩盖U型槽,之后整平生成结构表面。之后,除去选择外延生长中用作掩模的氧化膜,并在其上连续外延生长构成

P区303和 n^+ 源区323。

而且,如图48A至48F所示,可用SDB技术制造图47A和47B的示的第18实施例的第二改型结构。换言之,如图48A所示,在P型硅衬底303中形成U形槽,并形成被U形槽分别包围的硅柱。氧化U形槽内侧,形成作DRAM字线的栅电极308,以掩盖U形槽。此后,首先在整个表面上淀积层间绝缘膜81,在硅柱顶上选择地开出接触孔。在加速电压 $V_{ac}=100KV$,剂量 $\phi=2\times 10^{16}cm^{-2}$ 的条件下注入As离子,并在 $750^{\circ}C$ 退火30分钟。之后,在加速电压 $V_{ac}=50KV$,剂量 $\phi=1\times 10^{16}cm^{-2}$ 的条件下注入Ge离子。因此,如图48B所示,形成 n^+ 漏区322和 Si_xGe_{1-x} 区312。此外,用CVD形成 $n^+Si_xGe_{1-x}$ 层,在其上淀积难熔金属硅化物或难熔金属(如,钨)322,形成数据线(位线)322,。位线按平行于这层表面的方向布图,并按垂直于这层表面的方向并排地形成若干平行布线。第二层间绝缘膜迭置在位线之间(未画出),并抛光它的表面使其变成镜面式的平面。制备其它硅衬底301,其表面也抛光成镜面式的表面,两个衬底303,301用其镜面表面面对面拼合,并在 $900^{\circ}C$ 退火1小时。如图48C所示,用SDB技术使P型硅衬底301与衬底303键合,之后从背面研磨并抛光P型硅衬底303,直至露出栅线308,只留下硅柱。然后P型硅衬底以图48A至48C所示的这些状态向上转。如图48D所示,在整个表面上淀积第三层间绝缘膜82,并在第三层间绝缘膜82中开出接触孔。通过第三层间绝缘膜82中的接触孔注入As(或P)离子,在硅柱顶边中形成 n^+ 源区323。之后,如图48E所示,用CVD或MBE淀积 Si_xGe_{1-x} 区313,之后平整要隐埋在第三层间绝缘膜82中的生成结构的表面。

之后,在第三层间绝缘膜82和 Si_xGe_{1-x} 区313上淀积第四层间

绝缘膜83。之后在第四层间绝缘膜83中开出接触孔。如图48F所示,用蒸发或溅射形成用作存储节电极的金属,如W/Ti/TiN/Pt,并构图。此后,像第17实施例一样;若用 Ta_2O_5 膜或BSTO膜形成DRAM存储电容器部分,则完成了图47A和47B所示结构。

第19实施例

图49A和49B分别示出了本发明第19实施例的垂直MOS·DRAM的结构平面图和剖面图。在本发明第19实施例中,所形成的DRAM存储电容器部分包括:用作平板电极(相对电极)的 n^+ 区(衬底)337,在 n^+ 区337中形成的第一U形槽9的内表面中形成的电容器绝缘膜336,和 n^+ 单晶硅(或 n^+ 掺杂的多晶硅)形成的存储节电极。就DRAM的开关晶体管(或选择晶体管)而言,在DRAM存储电容器部分(单元电容器元件)上形成用作沟道区的用P型薄膜硅层303的垂直型薄膜晶体管(TFT)。TFT可以是一个MOSFET或MOSSIT。开关晶体管包括用作源区的 n^+ 区337,在P型薄膜硅303上构成为漏区的 n^+ 区304,和用作栅电极308的多晶硅等,它是通过薄膜硅形成在第一U形槽中形成的第二U形槽中。栅电极308用作DRAM的字线。在 n^+ 漏区304上,即在薄膜硅上的最上层上,形成 $\text{Si}_x\text{Ge}_{1-x}$ 区311。通过接触电极338在 $\text{Si}_x\text{Ge}_{1-x}$ 区311上形成位线409。

如图49A和49B所示,按本发明第19实施例的垂直MOS·DRAM中,由于 $\text{Si}_x\text{Ge}_{1-x}$ 区311形成在 n^+ 漏区304上,可迅速而高效地抽取累积在沟道区303中的空穴进入 n^+ 漏区304,并有效抑制浮体效应。因此,可提高漏击穿电压(漏的强度)。而且,如图49B所示,由于 $\text{Si}_x\text{Ge}_{1-x}$ 区311与 n^+ 区304和P-型薄膜硅303之间的Pn结界面形成间隔,可防

止由于 $\text{Si}_x\text{Ge}_{1-x}$ 区和Si 区之间的晶格失配引起的结晶缺陷造成的漏电流,能获得良好的数据保持特性。

此外可用 $\text{Si}_x\text{Sn}_{1-x}$ 或诸如PbS、PbTe、SnTe、ZnSb等窄带隙材料来代替 $\text{Si}_x\text{Ge}_{1-x}$ 层311。

可用图50A至50E所示的制造步骤制造本发明第19 实施例的垂直型MOS • DRAM。

(a)首先,如图50A所示,用低压外延,用 SiH_2Cl_2 (或 SiHCl_3) 和 H_2 与 AsH_3 (或 PH_3)作掺杂气体,在P型衬底303上形成 n^+ 区377。然后,用CVD或热氧化,在 n^+ 区377上形成氧化膜,然后用光刻使氧化膜构图。然后,除去腐蚀氧化膜中用的光刻胶。之后,用氧化膜作掩模,形成图50A所示深槽(U形槽),使其通过 n^+ 外延生长层377达到P型衬底377,用RIE、用 BCl_3 、 CF_4 、 SF_6 、 CCl_4 等或ECR离子腐蚀,在P型衬底303中再挖一深槽。尽管图50中举例示出了两个槽,这两个槽精确地腐蚀成平面图形并包围矩形柱的连续图形。

(b),之后,用光刻胶作掩模进行选择腐蚀,只在由槽色围的矩形柱(硅柱)的顶部腐蚀出 $0.3\mu\text{m}$ 的深度,除去光刻胶之后,使整个表面氧化。之后用氧化膜336隐埋槽的内边,研磨并抛光生成结构的表面,以精加工平的镜面表面直至露出 n^+ 区377。下面,制备另一 n^+ 衬底378,并将另一 n^+ 衬底378的表面抛光成镜面式的表面。将衬底377,378的镜面表面对面地拼合,并在 1100°C 退火1小时,构成SDB衬底,如图50B所示。

(c),用该SDB工艺, n^+ 外管生长区377 和用作支承衬底的 n^+ 区378键合在一起作为生成在 n^+ 平板电极337中的一体。此时,隔离层 n^+ 区335或矩形硅柱335隐埋在U形槽中,然后如图50C所示,SDB衬底

向上转。抛光P衬底303表面,直至露出槽内的隐埋氧化膜336。此后,用LOCOS或BOX技术,除器件形成区外,形成隔离器件用的厚氧化膜4如图50C。用厚氧化膜4作掩膜,用As离子注入在P衬底303表面上形成 n^+ 漏区304,如图50C所示,在 n^+ 漏区304上形成氧化膜84。

(d)之后,用光刻法选择地除去 n^+ 漏区304上的氧化膜84。如图50D所示,用CVD,用 SiH_4 (或 SiH_2Cl_2)和 GeH_4 (或 GeH_2Cl_2)等,在 n^+ 源区304表面和氧化膜84的表面上完全形成 $\text{Si}_x\text{Ge}_{1-x}$ 层31。此时,为了获得 n^+ 掺杂 $\text{Si}_x\text{Ge}_{1-x}$ 层,把 AsH_3 (或 PH_3)与 SiH_4 和 GeH_4 气同时引入生长室内。

(e)之后,用光刻法选择地除去第一U形槽中在硅柱335顶表面部分中形的 $\text{Si}_x\text{Ge}_{1-x}$ 层311恰好在 n^+ 漏区上的部分。此外,在第一U形槽内的硅柱335中形成第二U形槽,以通过 n^+ 漏区304和P区303达到 n^+ 区335。然后在第二U形槽表面上形成栅氧化膜305。用CVD形成用作栅电极的多晶硅膜308,如图50E所示。

(f)之后,在 950°C 退火30分钟,以形成 $\text{Si}_x\text{Ge}_{1-x}$ 区311,如图45E所示。之后用CVD形成层间绝缘膜,并在层间绝缘膜中开出接触孔。此后,在接触孔中隐埋接触电极338,如W等。此外,用金属如Al、Al-Si、Al-Si-Cu等形成位线409的布线图形。结果,可完成本发明第19实施例的垂直MOS·DRAM。

在以上说明中,尽管说明了用SDB技术在U形槽9中形成TFT的形式,也可采用其它的形式。即,在 n^+ 衬底337中首先形成U形槽,然后在U形槽表面上形成氧化膜336,之后用CVD在U形槽内形成多晶硅335,之后用激光退火或电子束退火使U形槽内多晶硅区的上部变成单晶。若给单晶硅303注入B(或 BF_2)离子,则形成TFT的P型单晶沟

道303。之后注入As离子,获得 n^+ 漏区304,获得如图50C 所示相同的结构。以下工艺与图50C至50D已说明过的工艺相同。

而且,可用 $\text{Si}_x\text{Sn}_{1-x}$ 、PbS等,像上述实施例一样代替 $\text{Si}_x\text{Ge}_{1-x}$ 311。而且,可在 $\text{Si}_x\text{Ge}_{1-x}$ 311 的表面上形成难熔金属硅化物,如 MoSi_2 、 TiSi_2 或 WSi_2 。

第20实施例

图51A是按本发明第20实施例的SOI·MOS·DRAM的电路图。本发明上述第16实施例中,已说明了窄带隙半导体,如 $\text{Si}_x\text{Ge}_{1-x}$ 区构成DRAM单元阵列的开关晶体管的情况。而且,本发明第12实施例中,Ge离子不注入单元阵列部分531 和存储器的读出放大器部分532中开关晶体管的 n^+ 源和漏区中,但外围电路中的晶体管连接到单元阵列。

换言之,图51A中,Ge或Sn离子注入行译码器526,列译码器524,行和列译码器均连接到单元阵列部分531,地址缓冲器522和527,输入缓冲器528,输出缓冲器521等。由此,可将包括位线 530 和字线 529的存储器单元阵列部分531 的传输门晶体管或开关晶体管中的漏电流抑制到最小,可防止单元保持特性损坏,可实现抗软误差。因此,可使SOI·DRAM固有的优点得到最大发扬。

本发明第20实施例除用于DRAM 外还可用于所有半导体集成电路。例如,可以将漏电流抑制到尽可能的小,以适应低功率操作。而且,在安装在便携式装置中的和图51B 所示的逻辑集成电路器件中,考虑到外部器件与逻辑电路之间的接口,输入/输出电路542,控制电路545等要高击穿电压。为此,若Ge或Sn 离子不注入逻辑集成

电路器件中的内部逻辑电路547中,但只注入输出/输出接口电路部分,用SOI衬底,可制成具有上述最大优点,如使漏电流抑制到最小,有小功耗的逻辑集成电路。

本发明第20实施例中,剂量 Φ 或加速电压Vac可控制成,在SOI集成电路中, $\text{Si}_x\text{Ge}_{1-x}$ 或 $\text{Si}_x\text{Sn}_{1-x}$ 区不会渗入SOI膜并且不会达到隐埋氧化物层。

此外,若在Ge或Sn离子注入后在700°C以上温度退火,可在希望的部位并按希望的方向控制因 $\text{Si}_x\text{Ge}_{1-x}$ 或 $\text{Si}_x\text{Sn}_{1-x}$ 区形成而造成的结晶缺陷。

像上述实施例一样,可以用带隙比硅窄的半导体,如PbS、PbTe、PbSe、SnTe、ZnSb、InSb、InAs等半导体中的任一种,或这些窄带隙半导体与Si的混合晶体,来代替 $\text{Si}_x\text{Ge}_{1-x}$ 区。

本行业的技术人员在接受了本发明公开的指教后,可在不脱离本发明的范围内作出各种改型。特别是,尽管DRAM是用上述实施例的典型例说明的,显然,若将本发明用如像其它LSI中也能对其它LSI如EEPROM或SRAM的上述特性改善。实际上,由于EEPROM要求高击穿电压,高速度和高保持特性,若采用本发明结构也能获得。

上述实施例中,尽管只主要说明了硅的MOSFET。当然,本发明也能应用在如GaAs的化合物半导体器件。除SOI结构外,在用例如形成在半-绝缘的GaAs衬底中的AlGaAs-GaAs异质结的高电子迁移率晶体管(HEMT)中也同样有浮体效应,可在 n^+ 源区中形成带隙比GaAs的带隙窄的InSb、InAs等半导体,以抽出累积的空穴进入P-形体。而且可在有带隙比硅带隙宽的P-型SiC沟道区的SiC-MIS-FET的 n^+ 源区中形成 n^+ Si区(窄带隙源区)。

图 1
现有技术

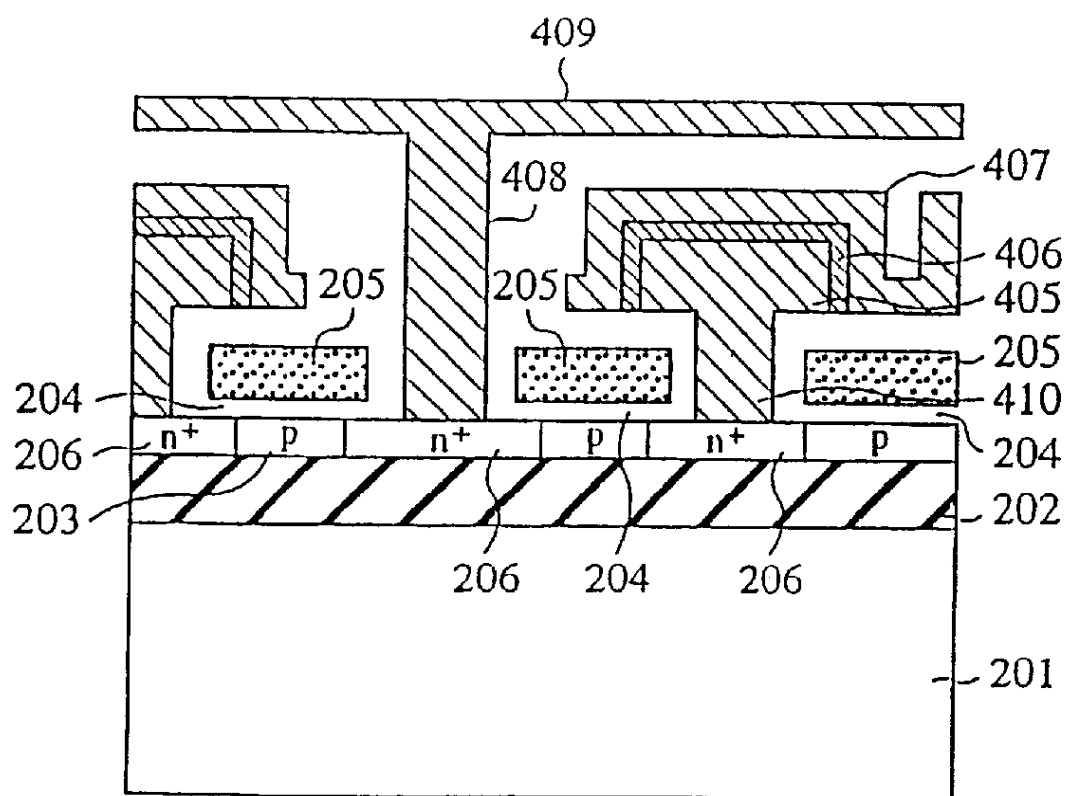


图 2

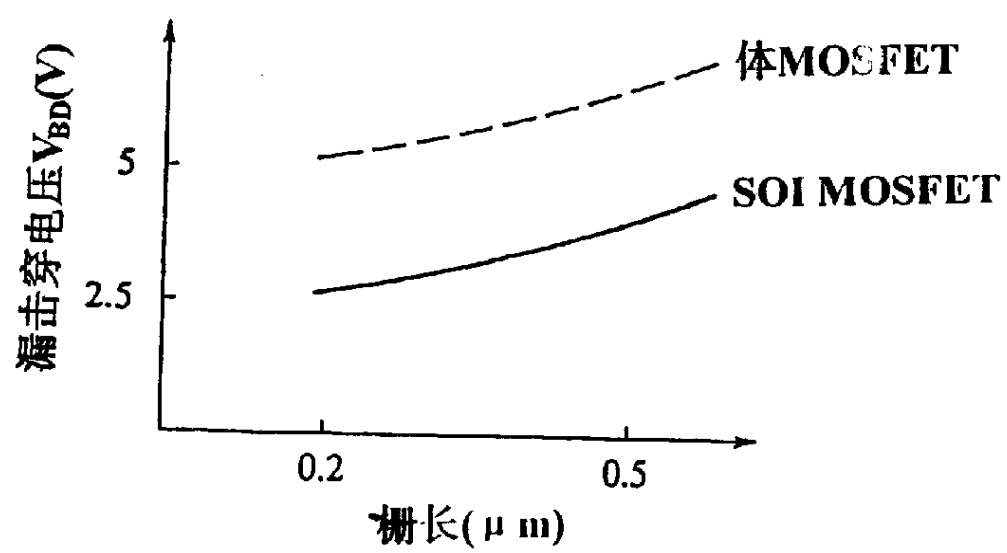


图 3A

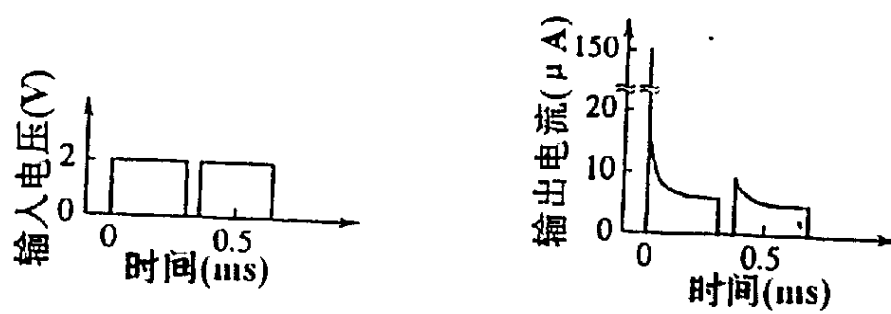


图 3B

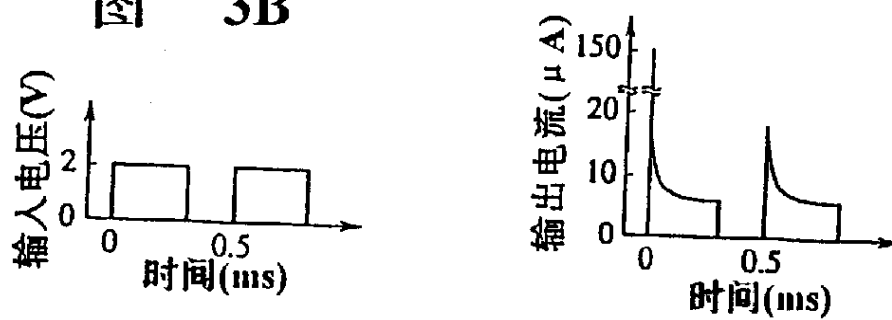


图 3C

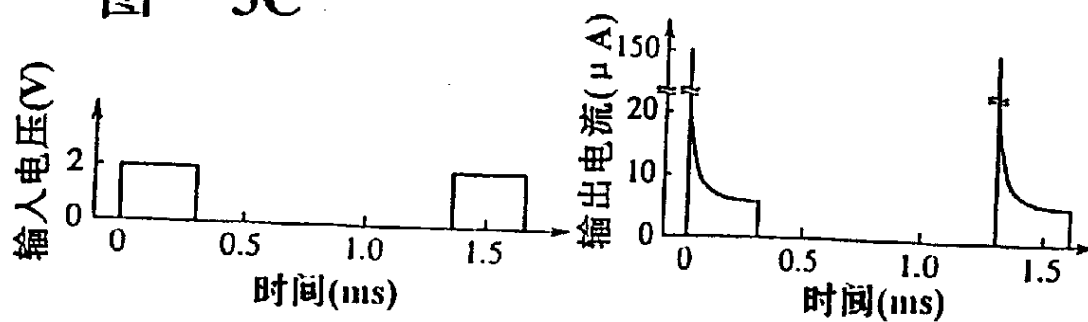


图 4A

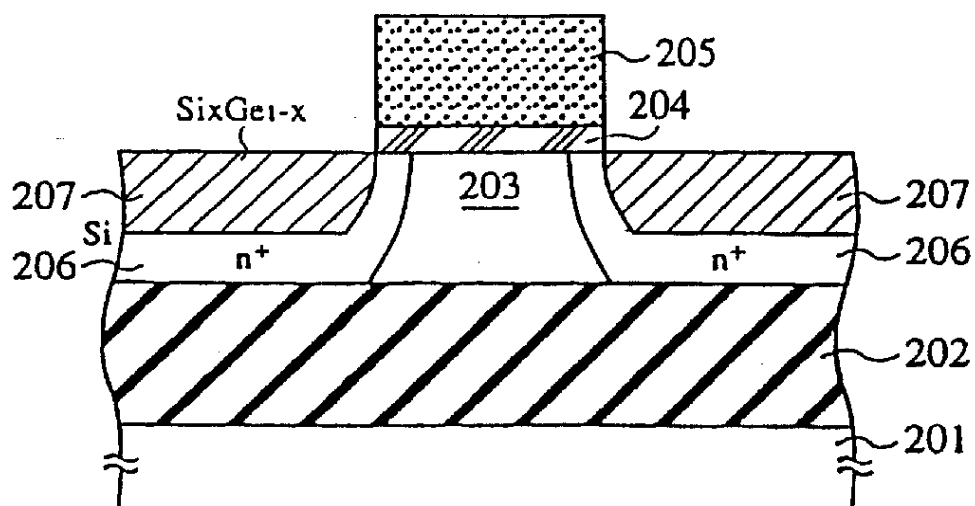


图 4B

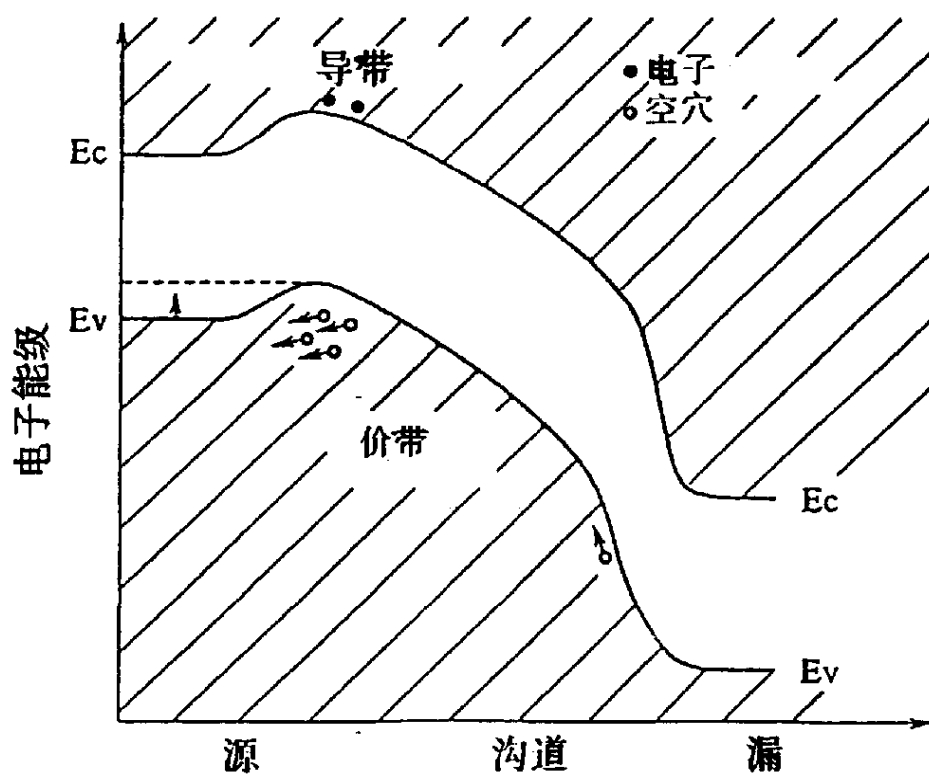


图 5A

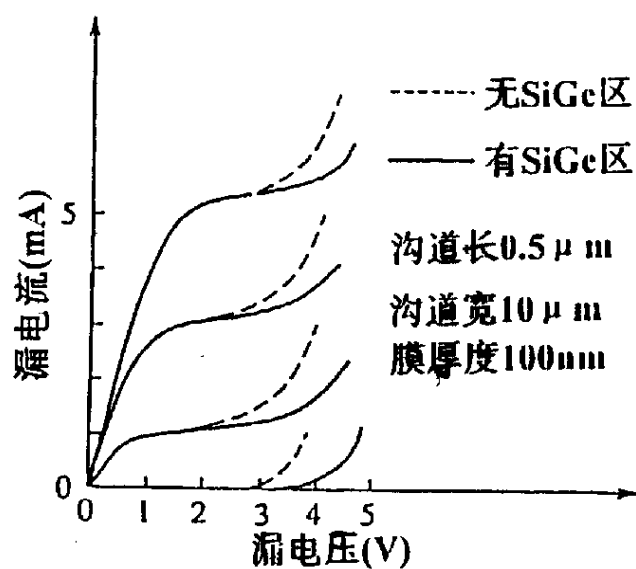


图 5B

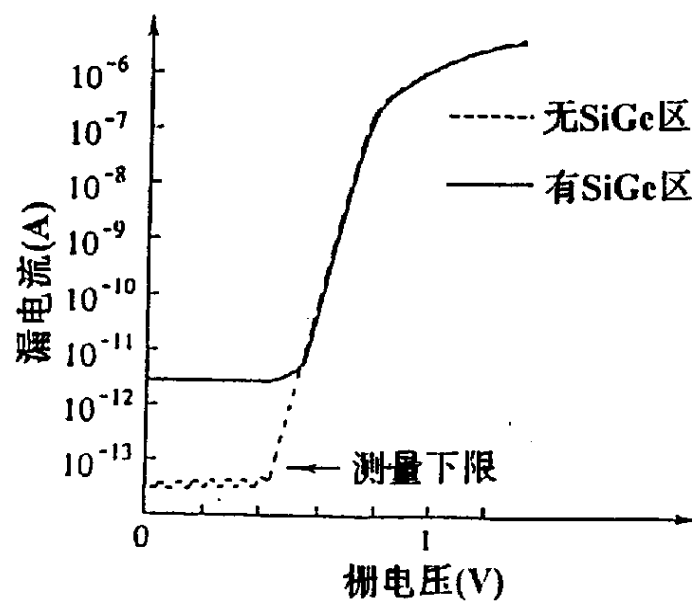


图 6

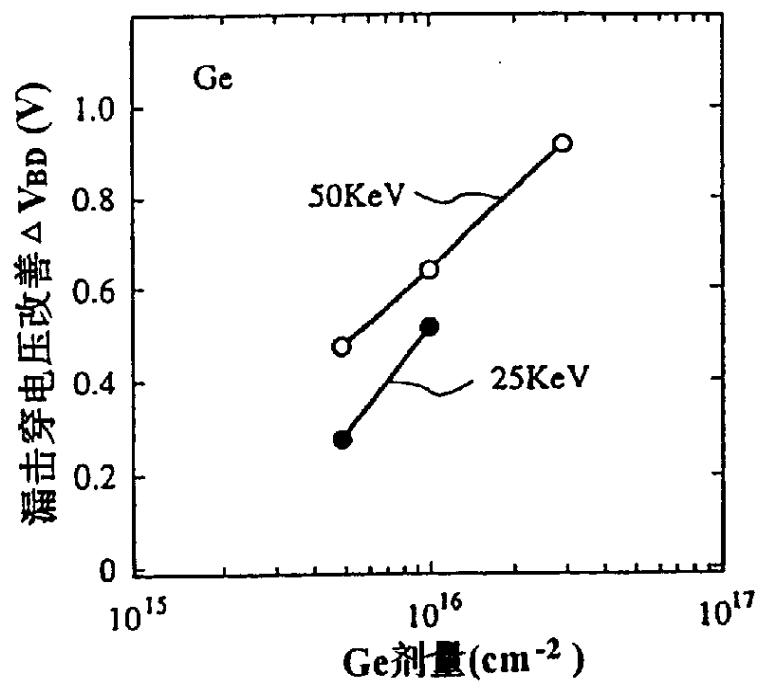


图 7

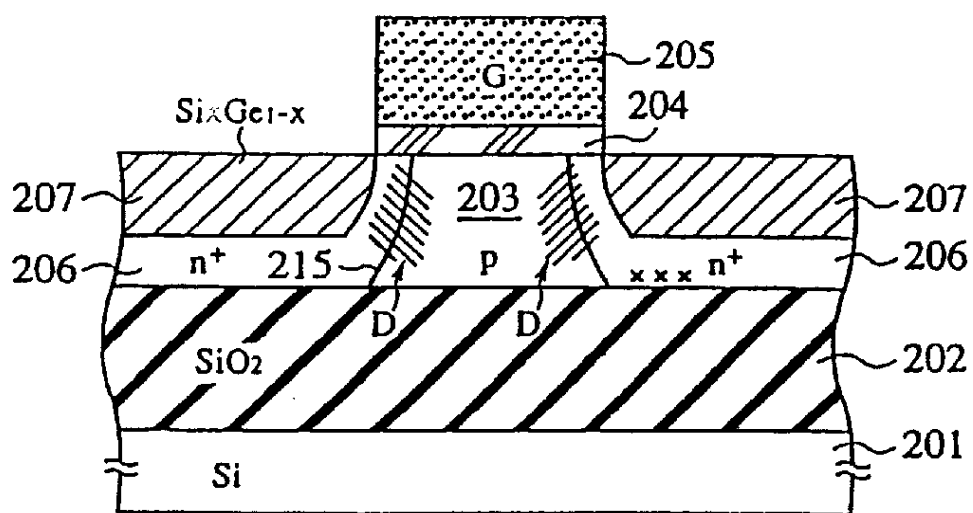


图 9A

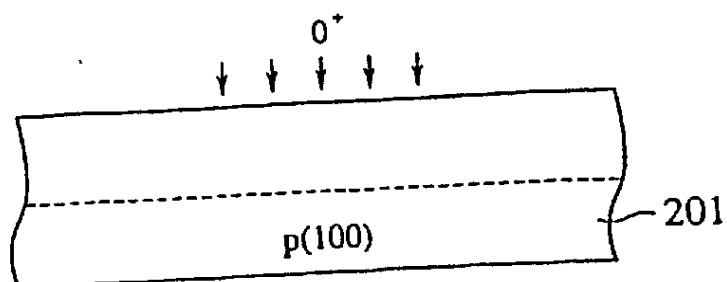


图 9B

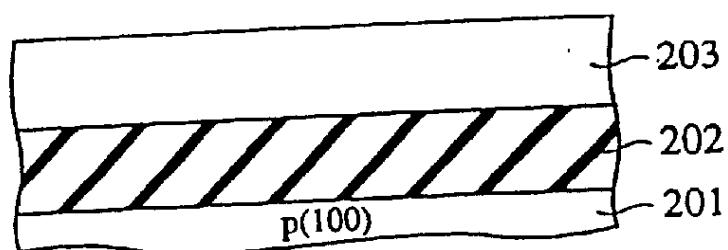


图 9C

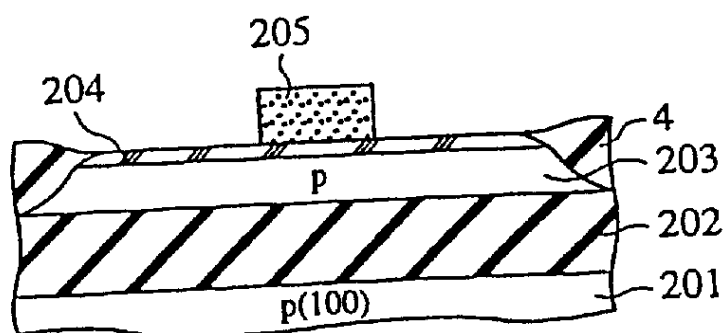


图 9D

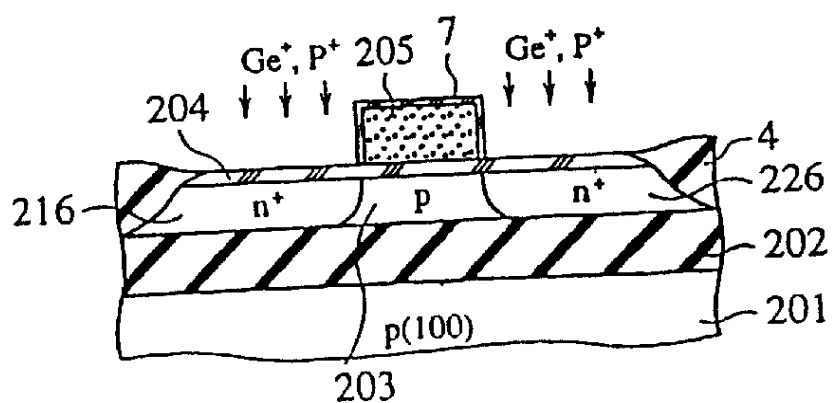


图 10A

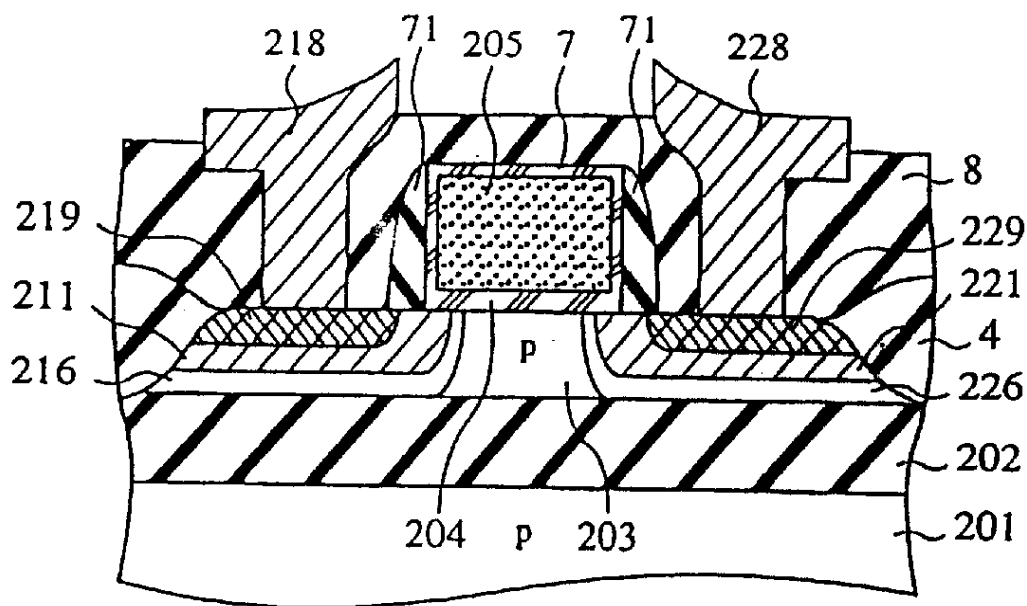


图 10B

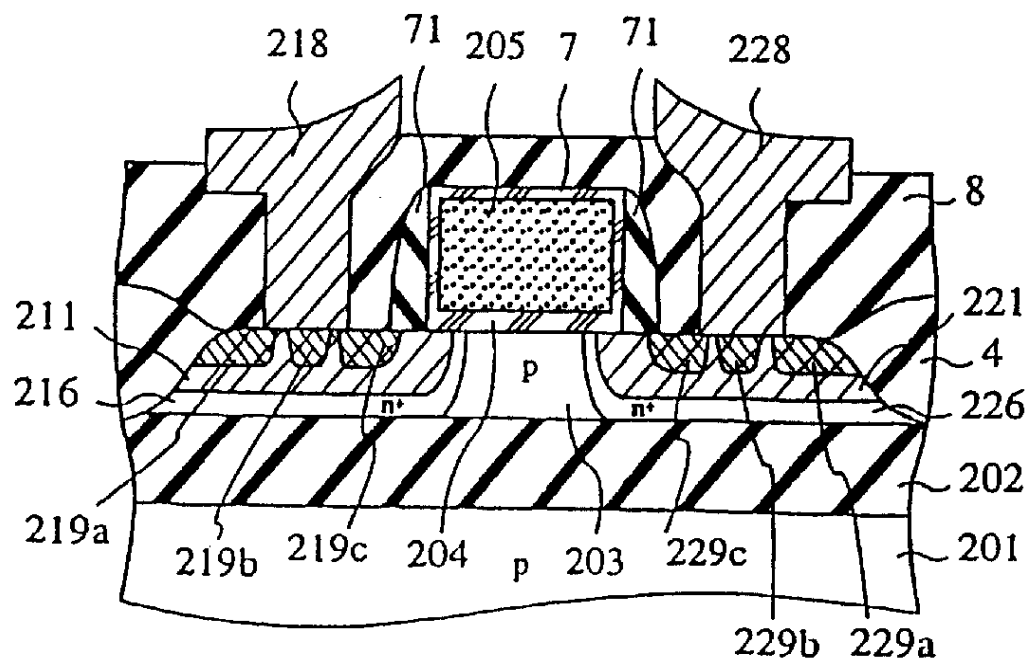


图 11A

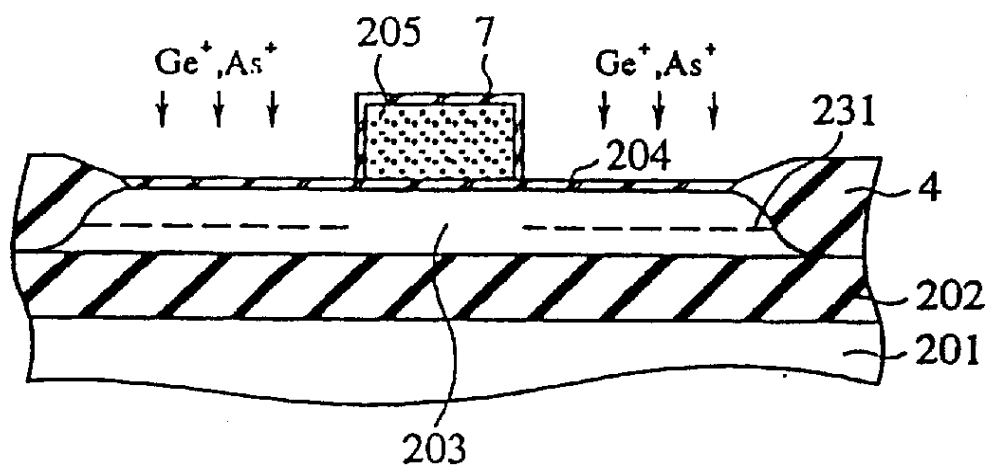


图 11B

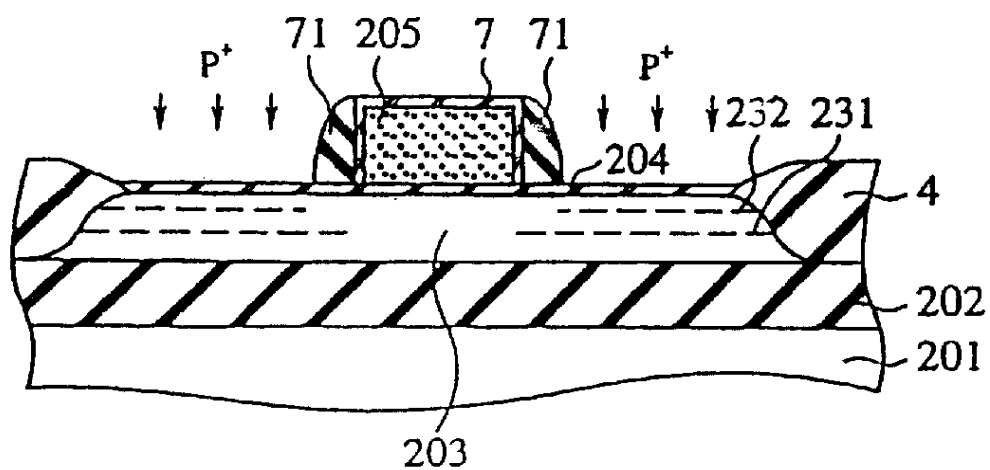


图 12A

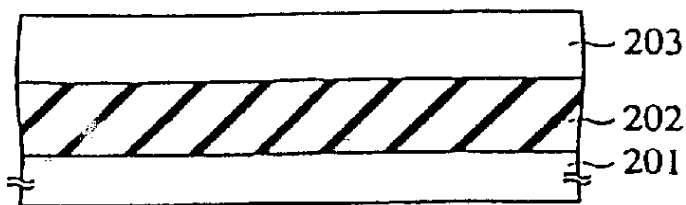


图 12B

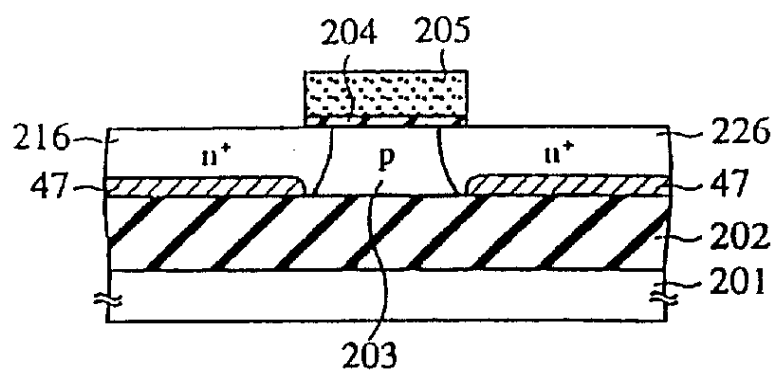


图 12C

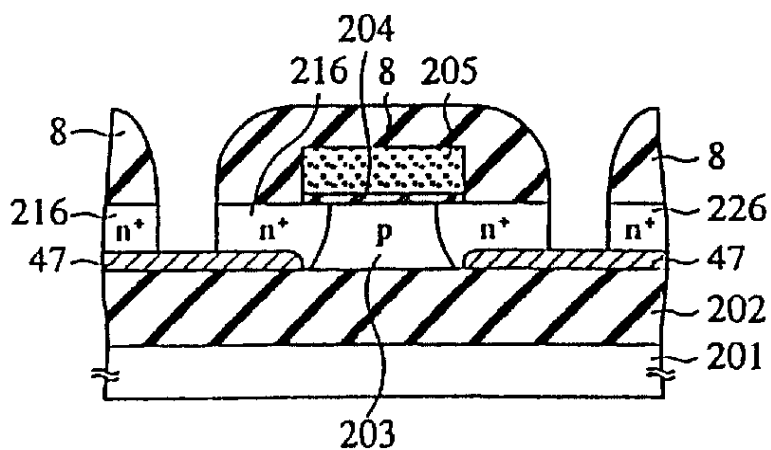


图 12D

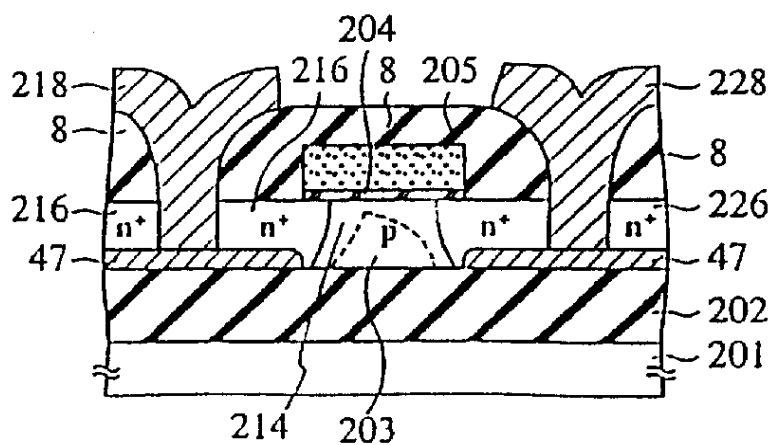


图 13A

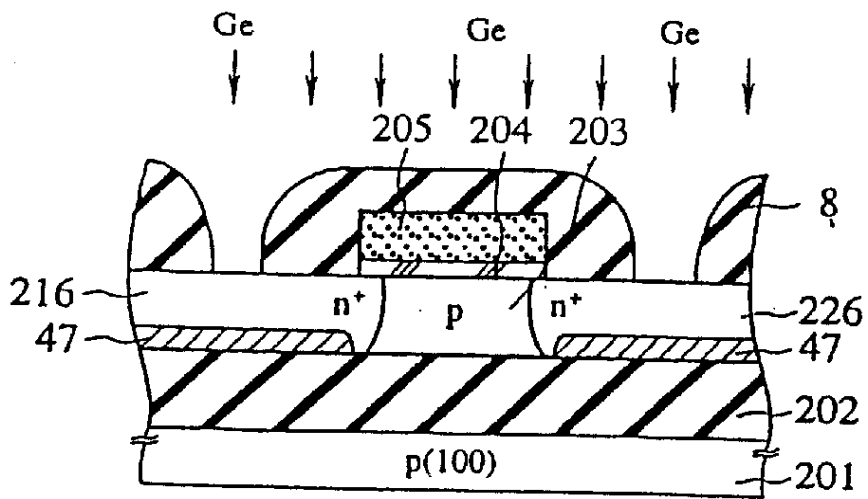


图 13B

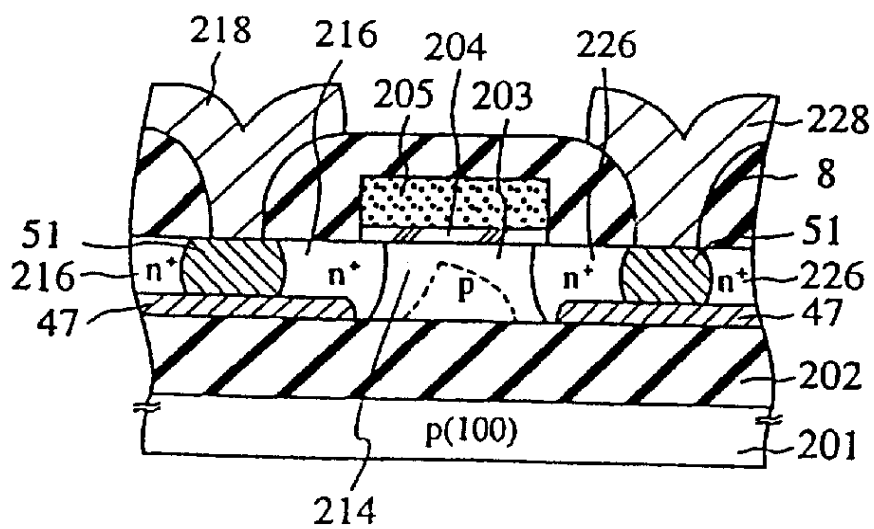


图 15A

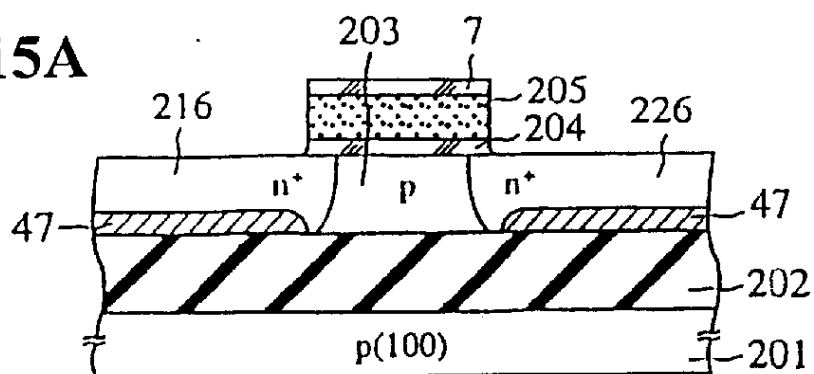


图 15B

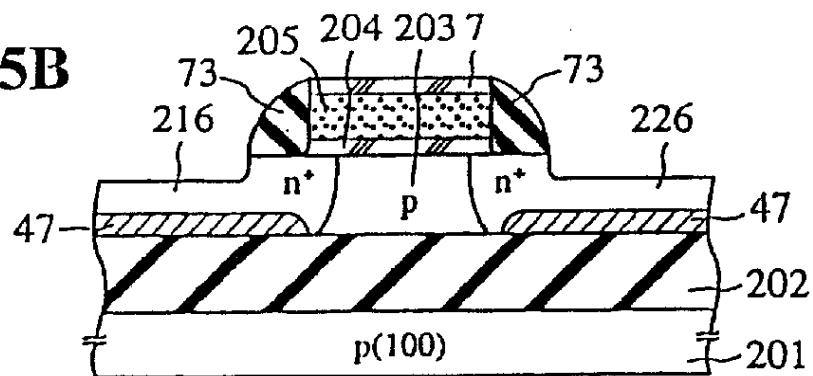


图 15C

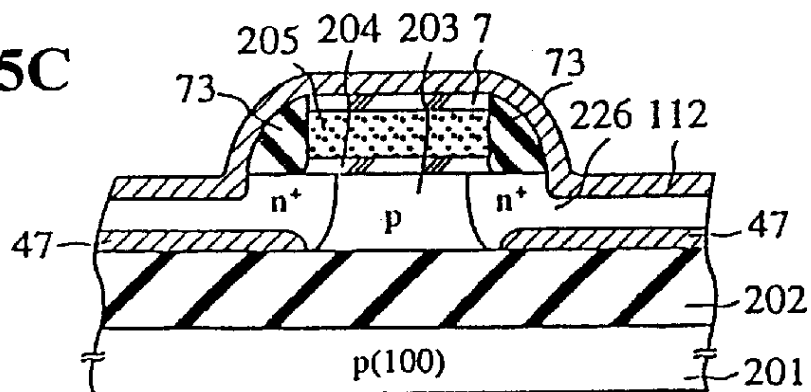


图 15D

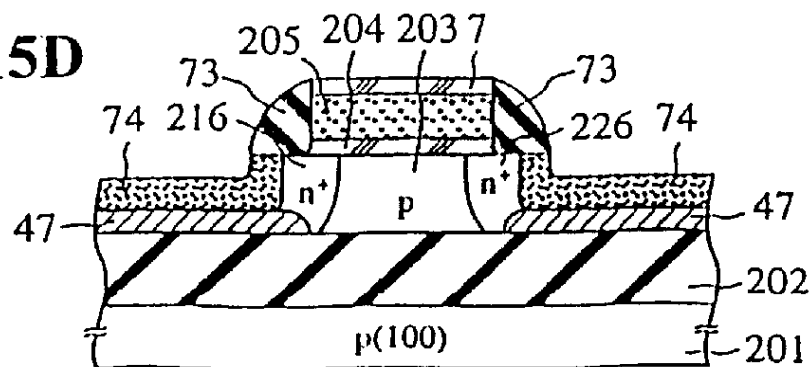


图 16A

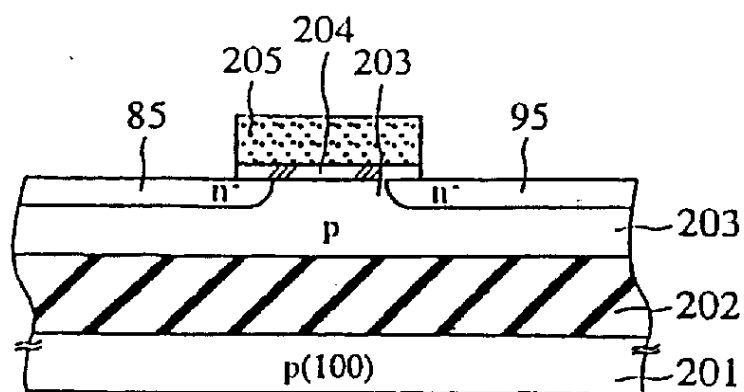


图 16B

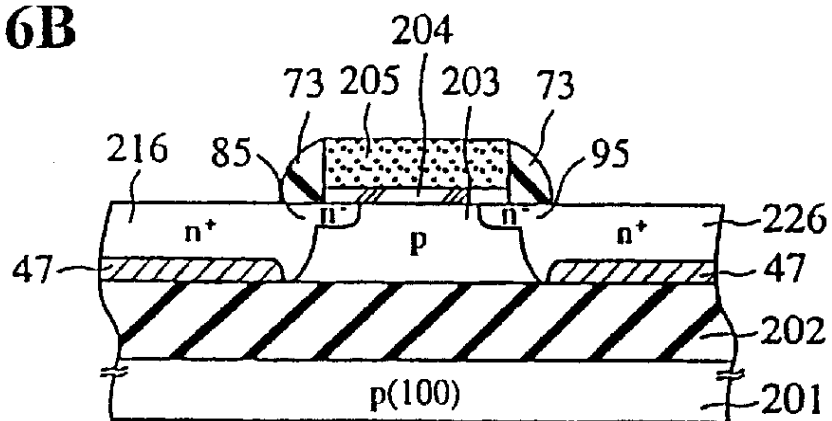


图 16C

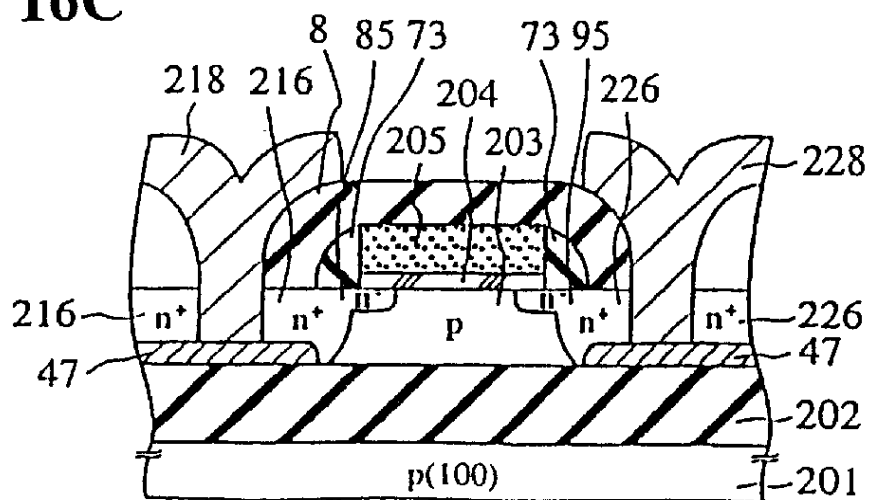


图 17A

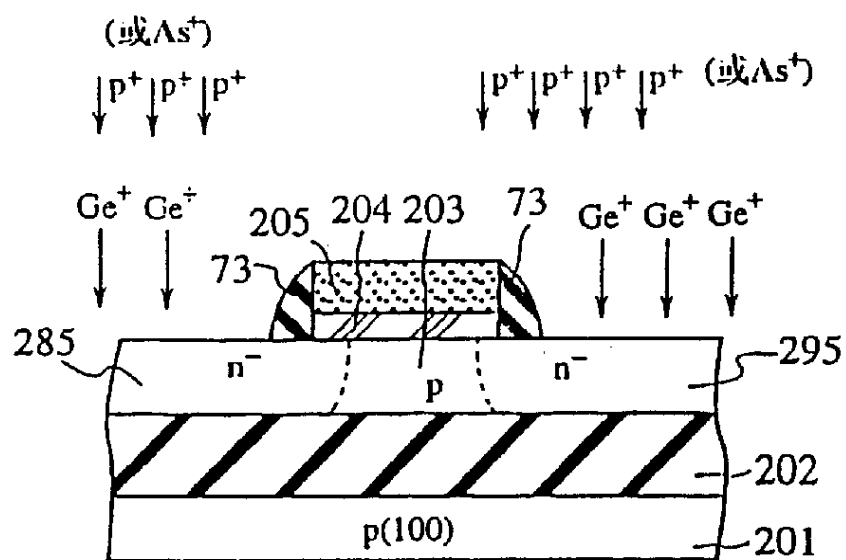


图 17B

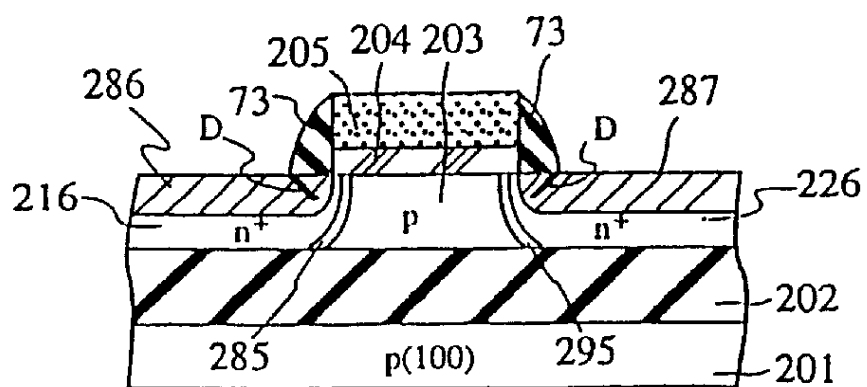


图 18A

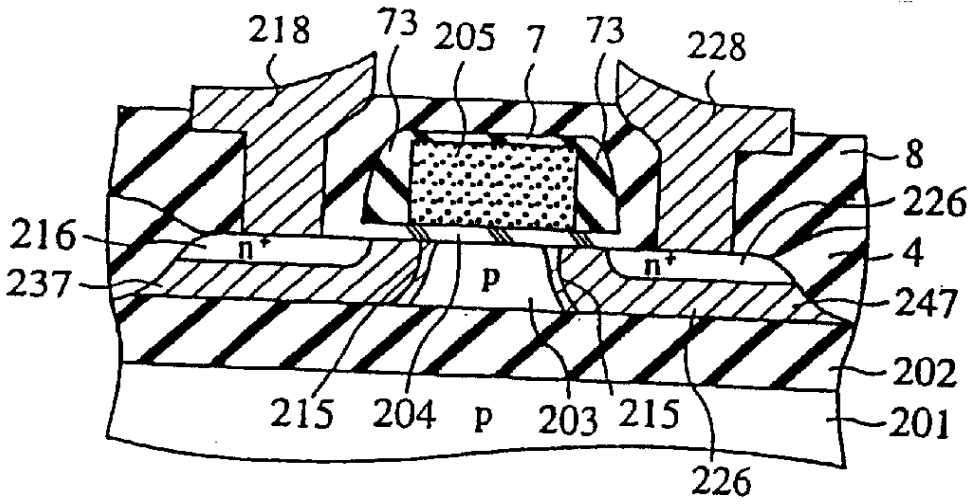


图 18B

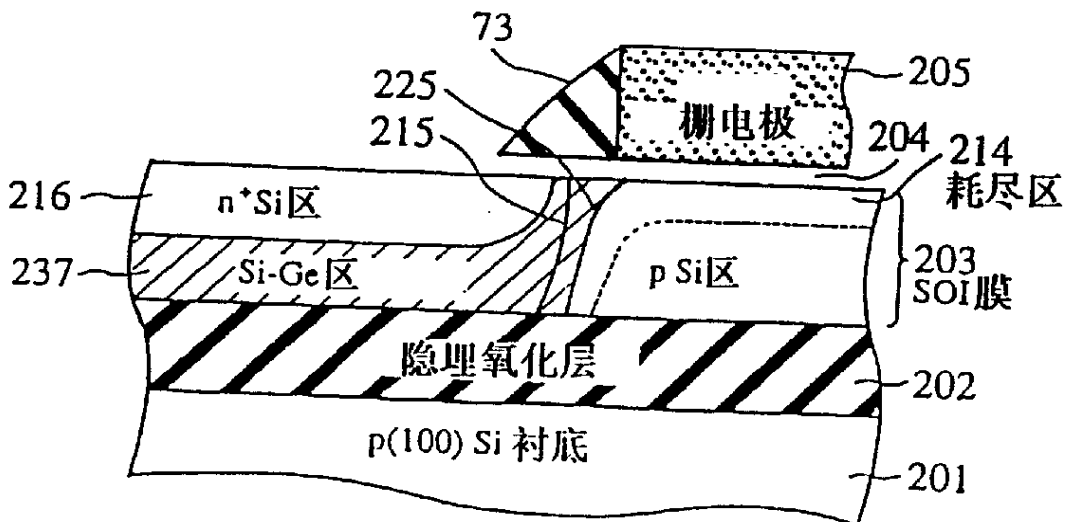


图 19

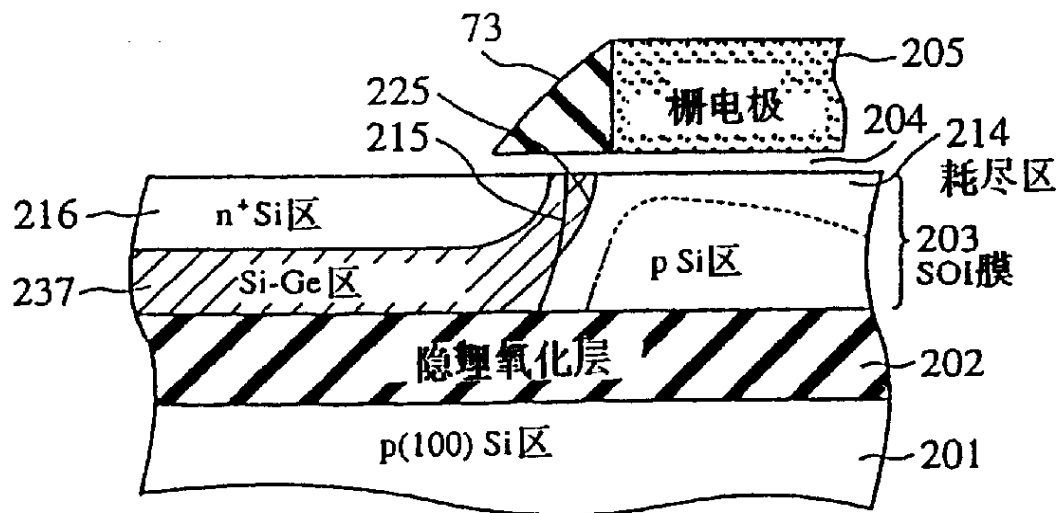


图 20

在实施例7的异质结
FET中空穴势垒高度

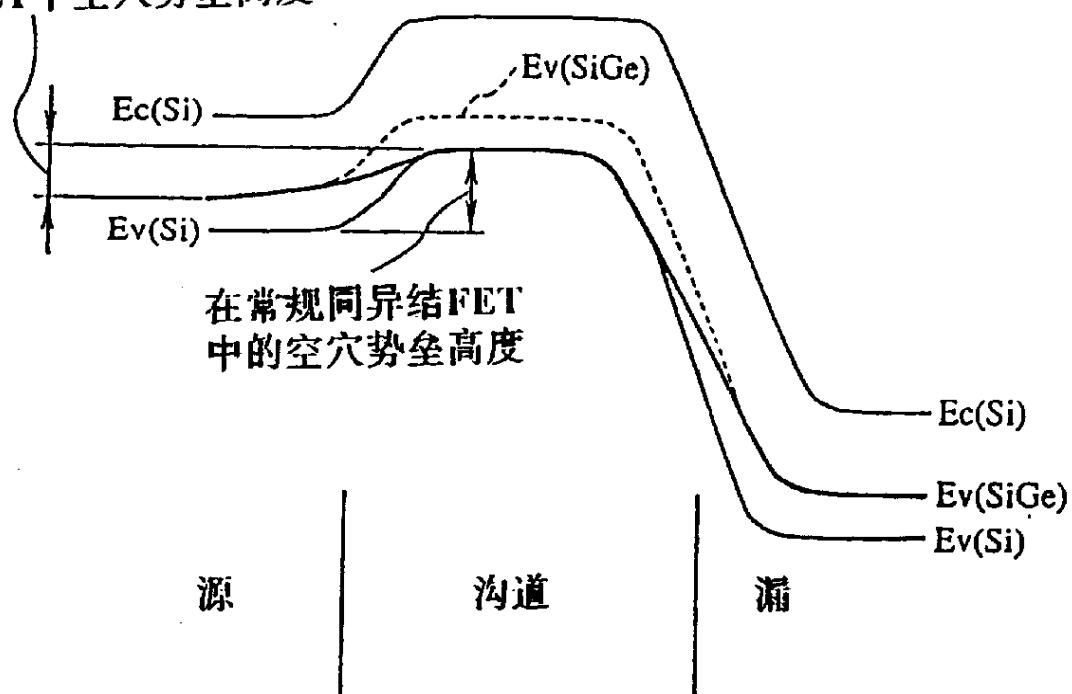


图 21A

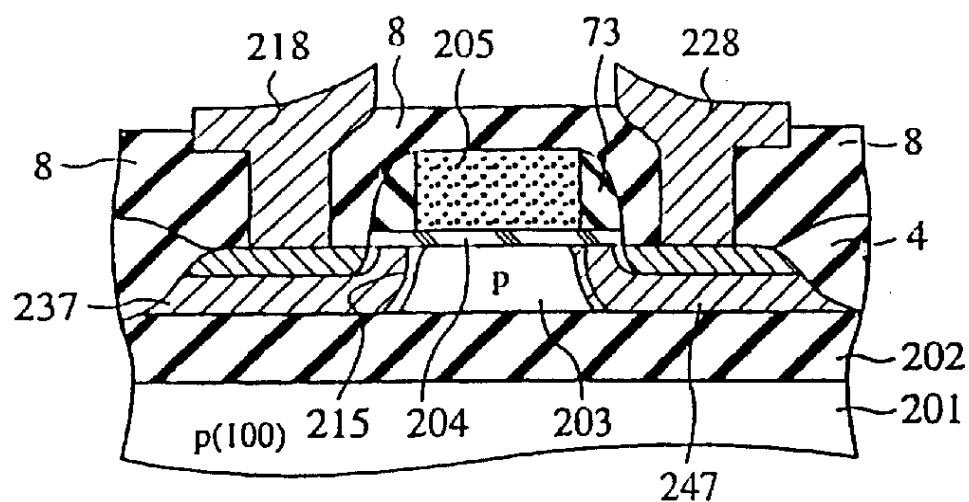


图 21B

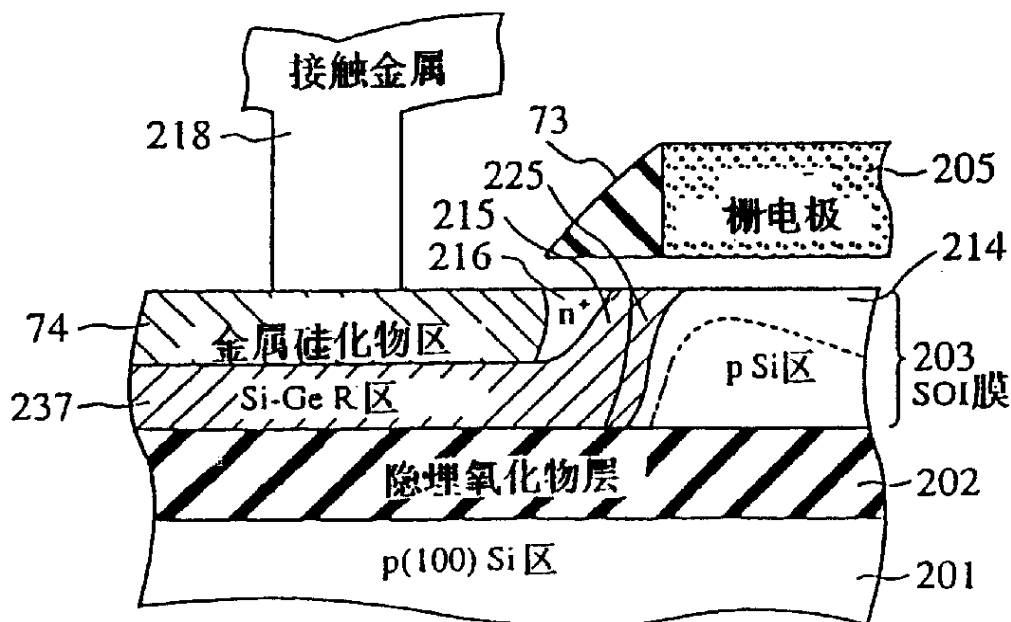


图 22

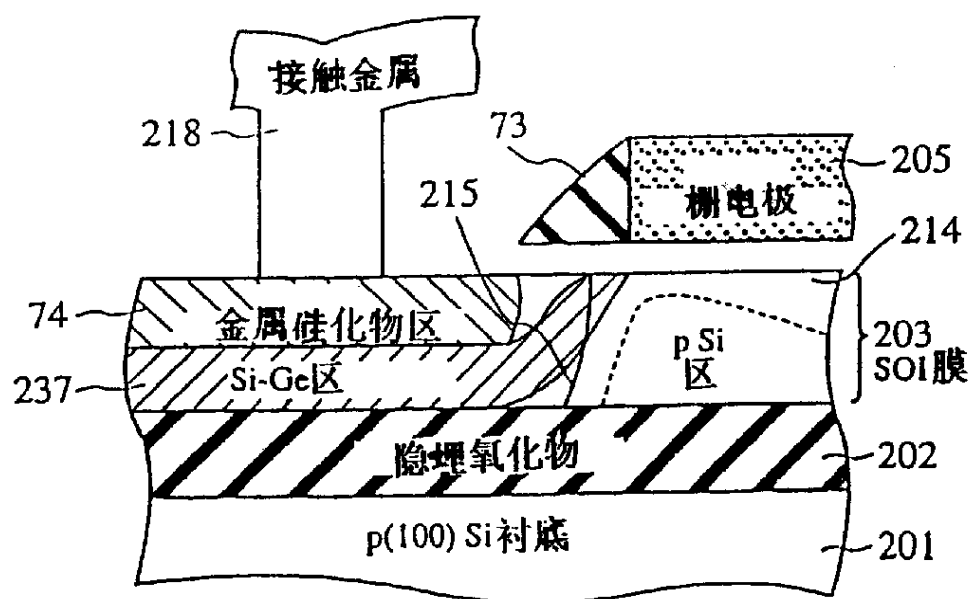


图 23

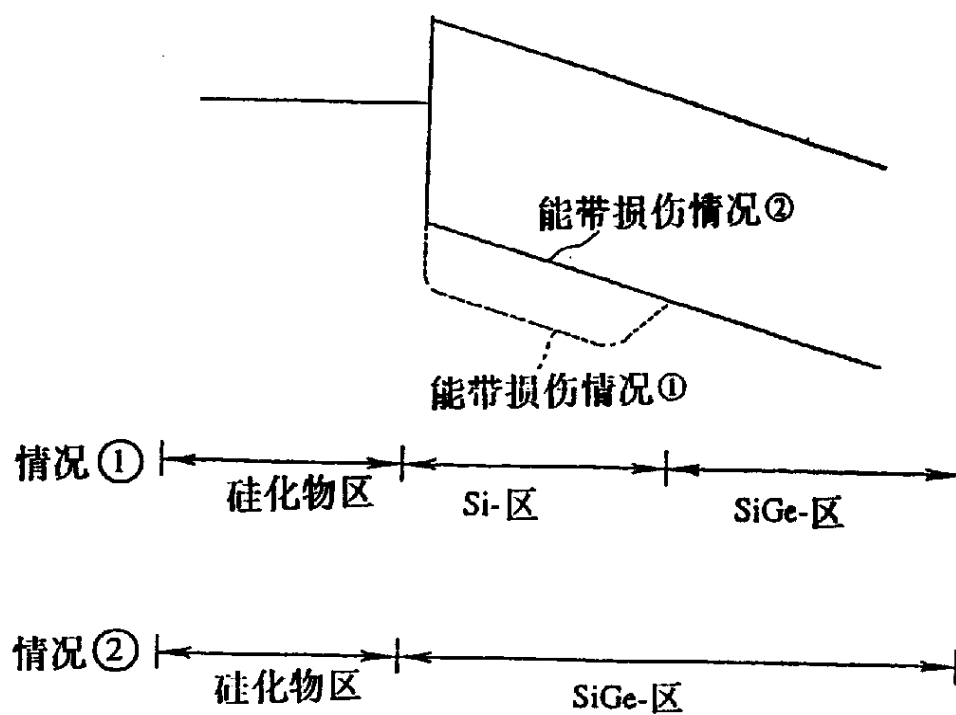


图 24A

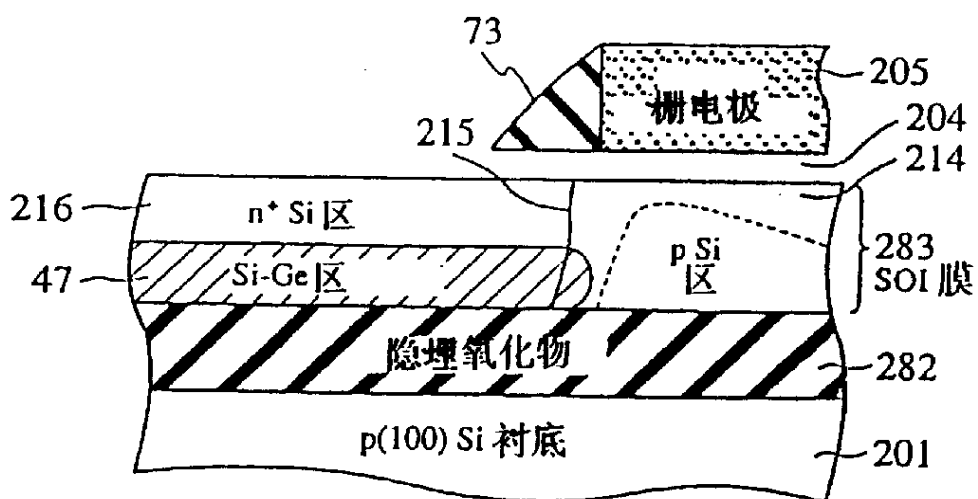


图 24B

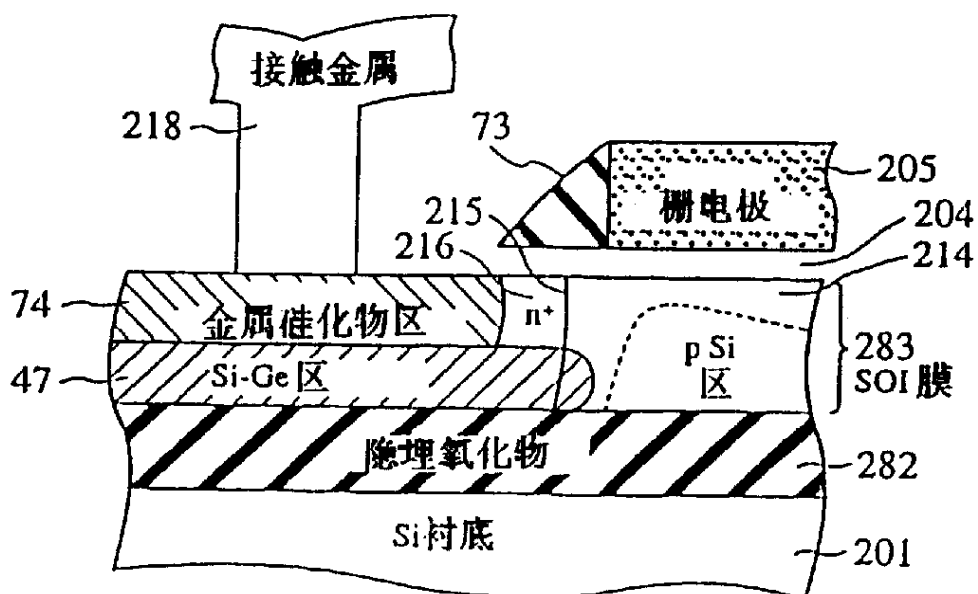


图 25A

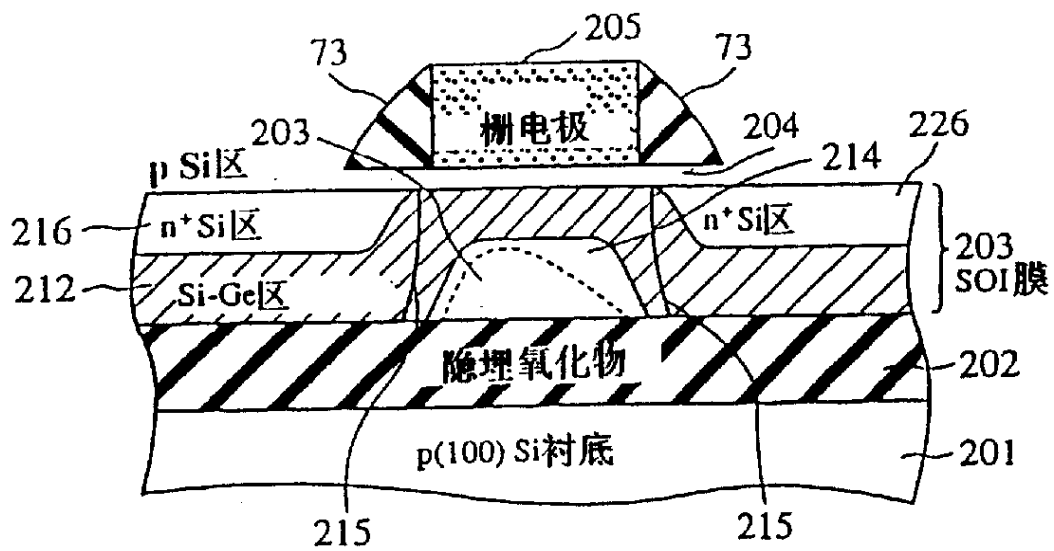


图 25B

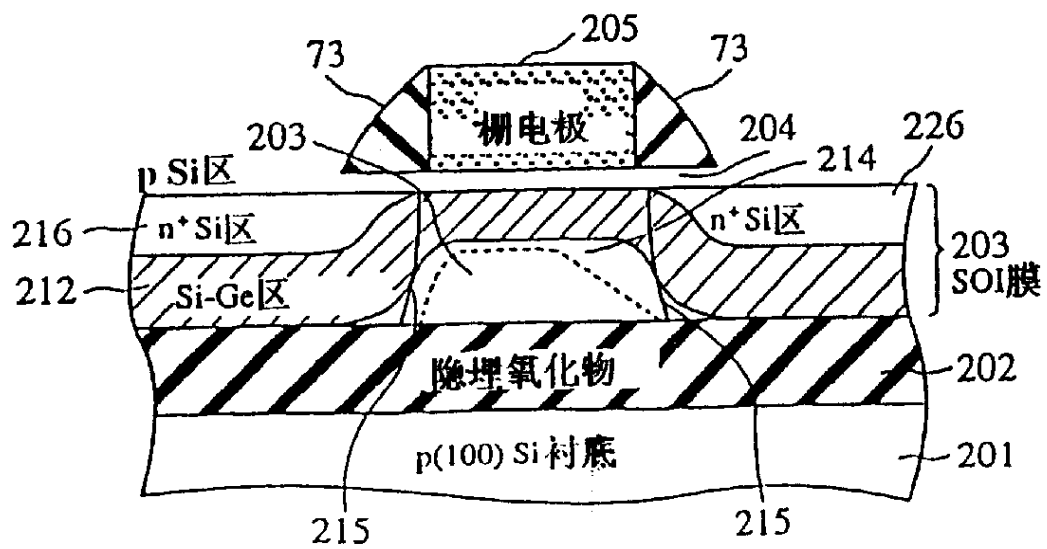


图 26A

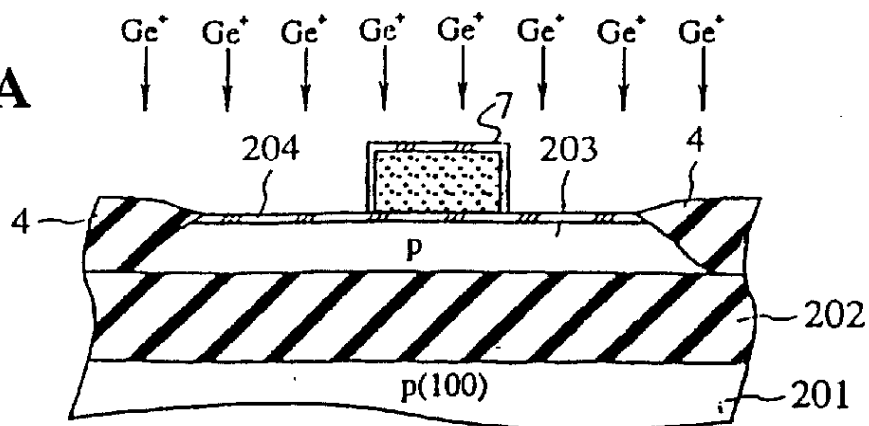


图 26B

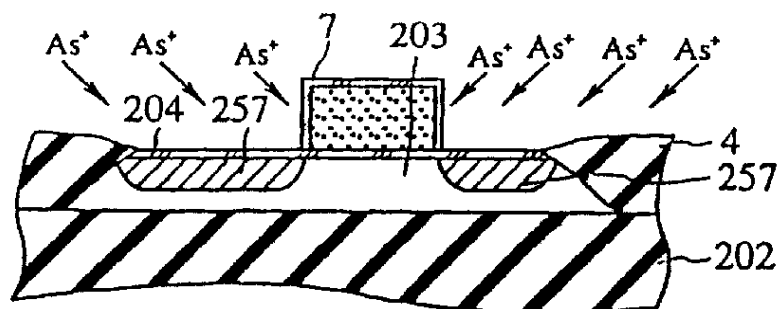


图 26C

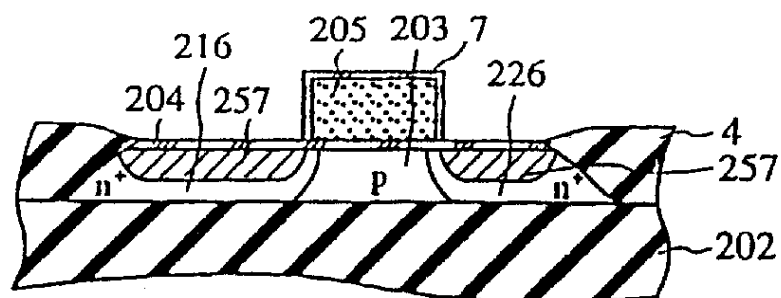


图 26D

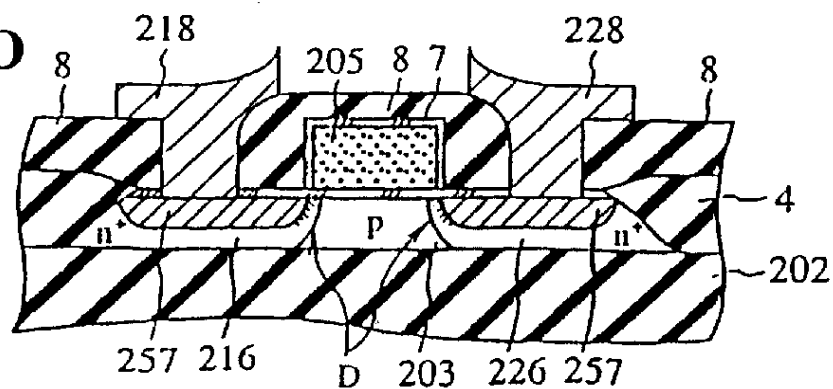


图 27

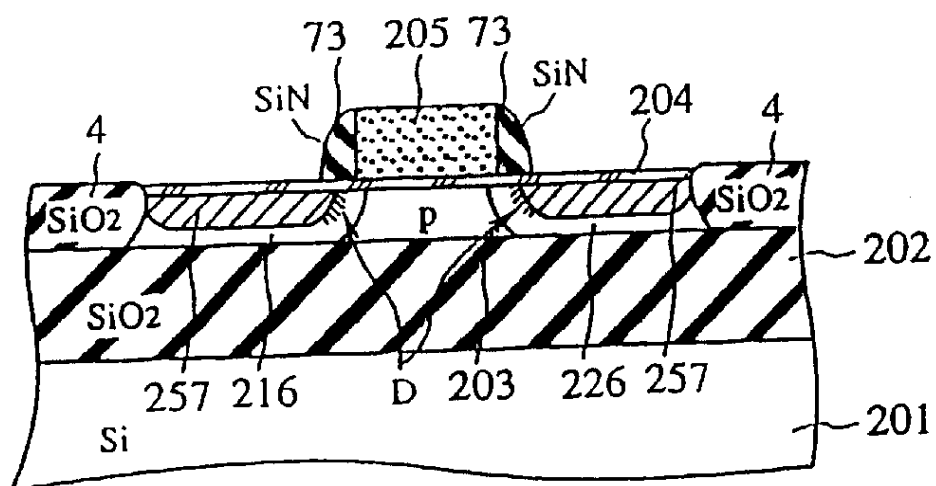


图 28A

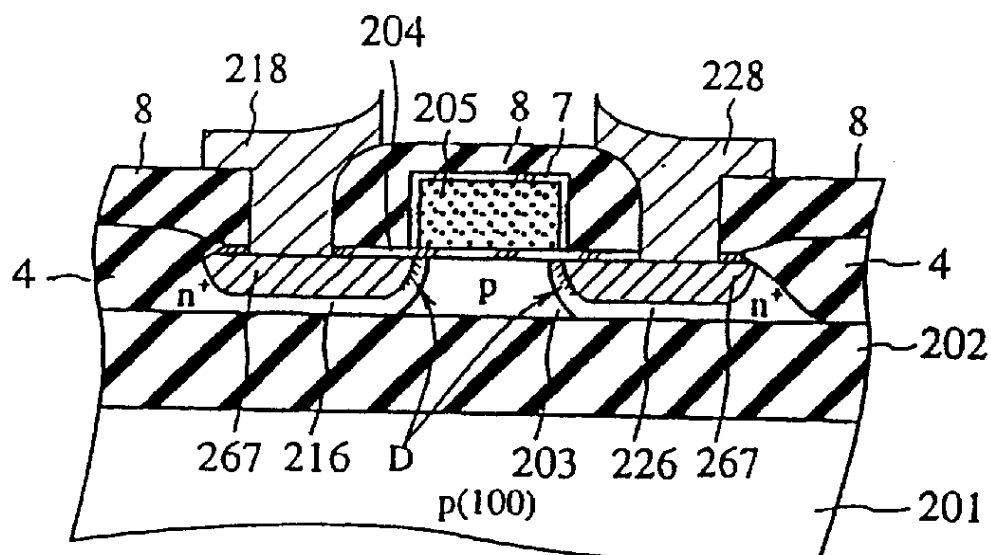


图 28B

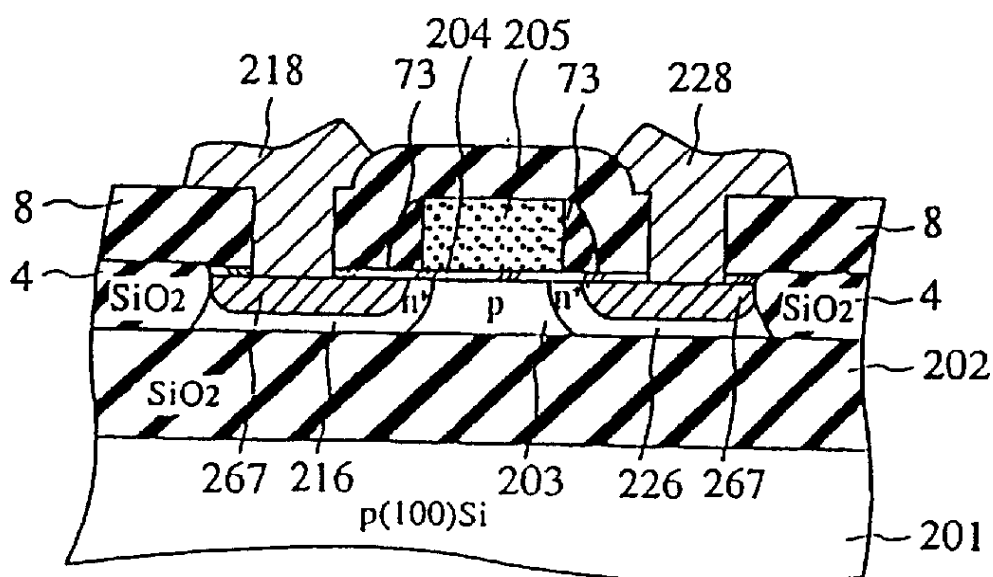


图 29A

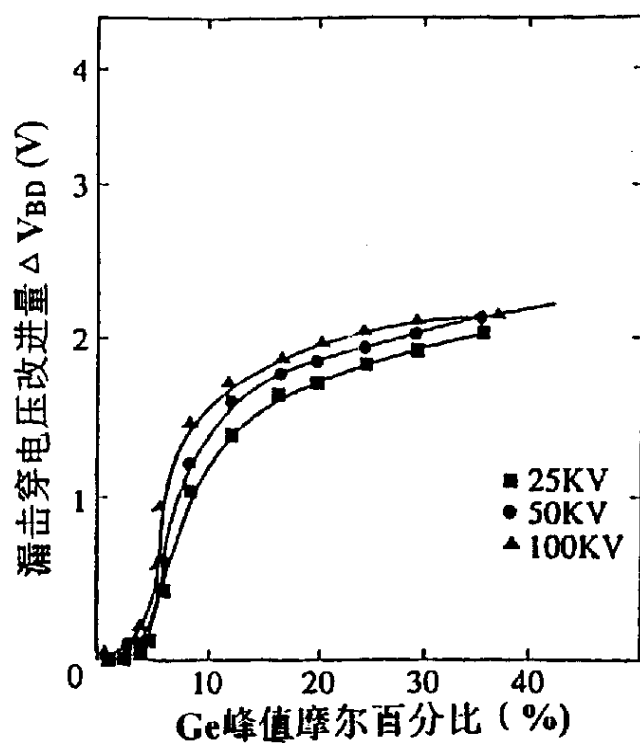


图 29B

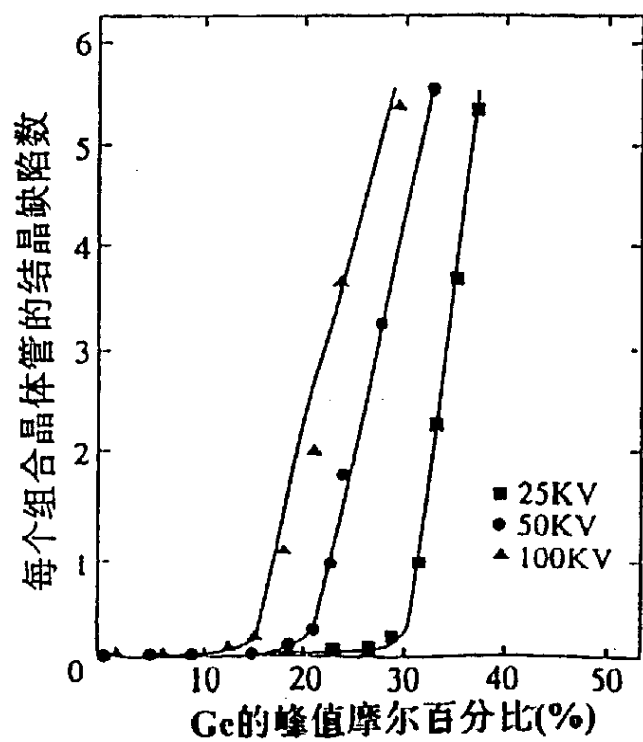


图 29C

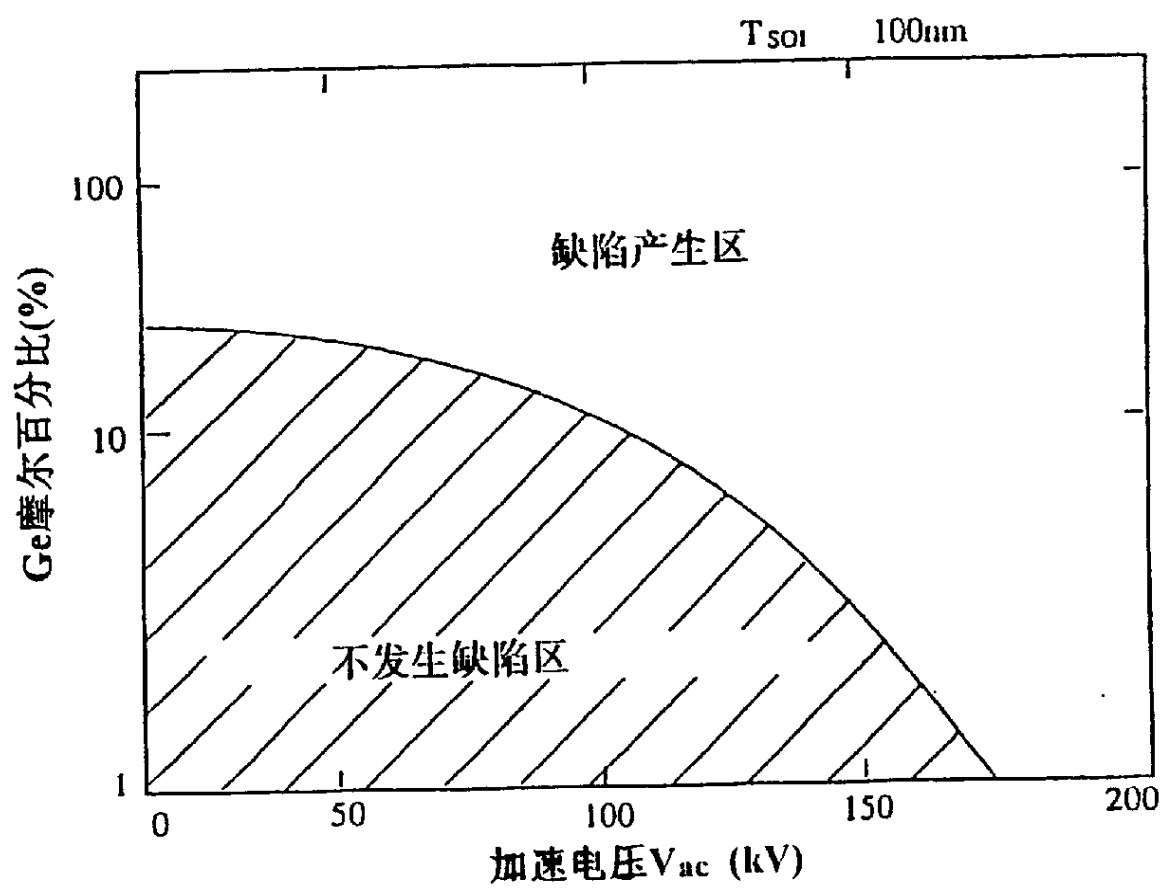


图 30

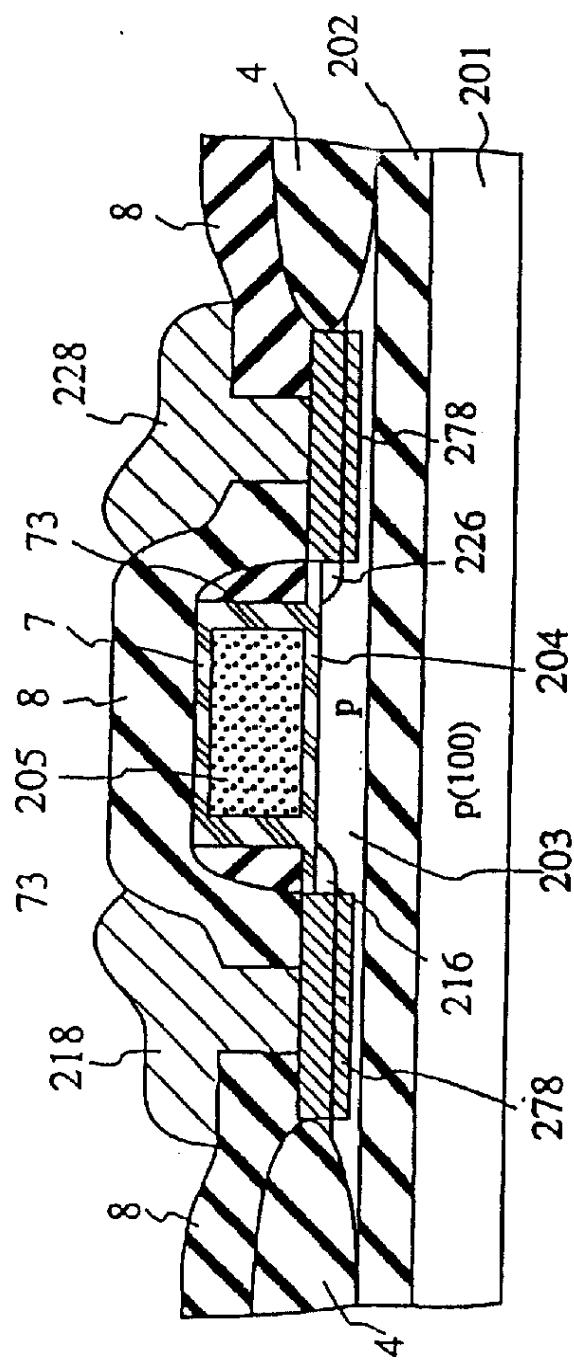


图 31A

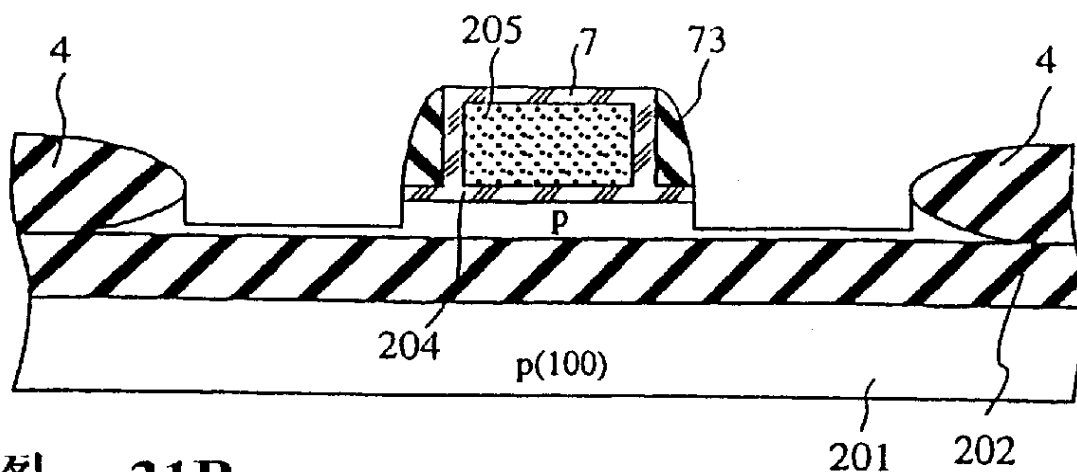


图 31B

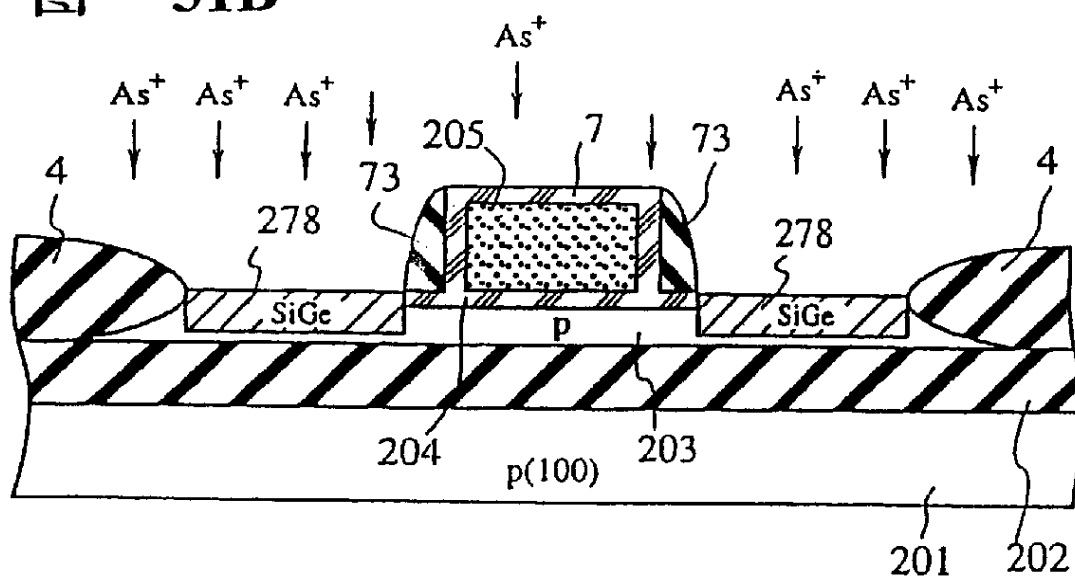
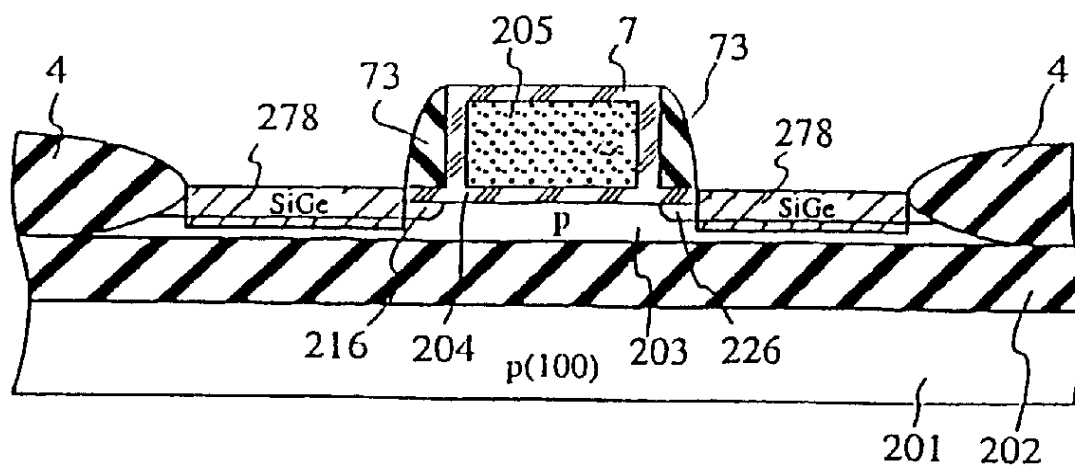


图 31C



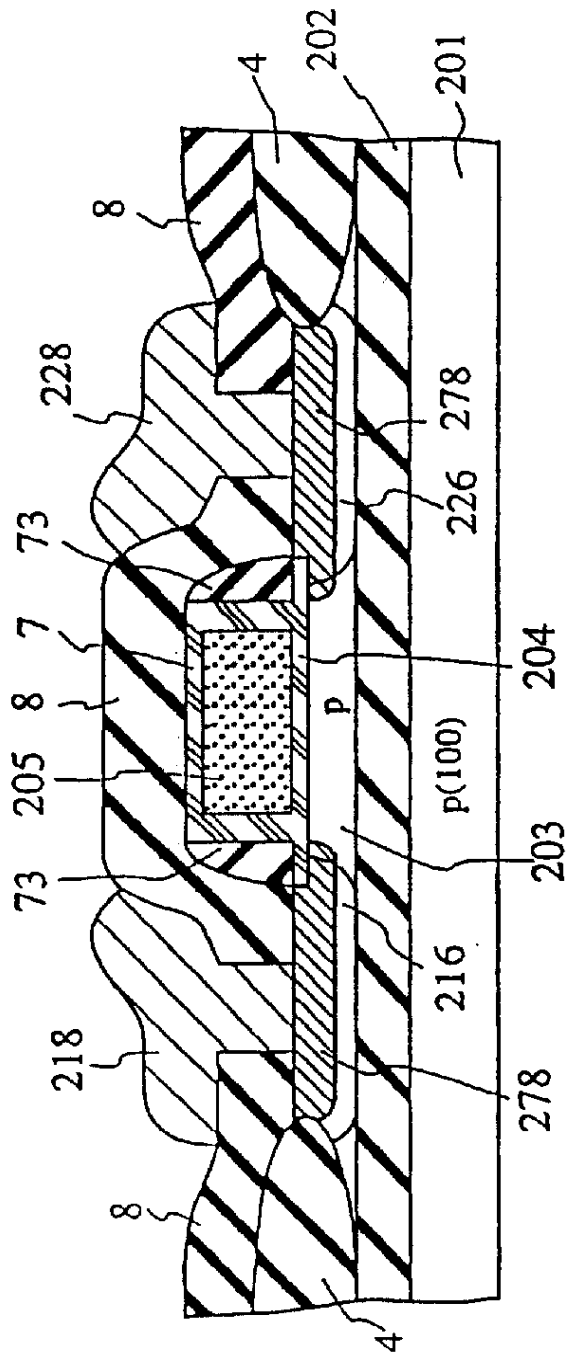




图 33A

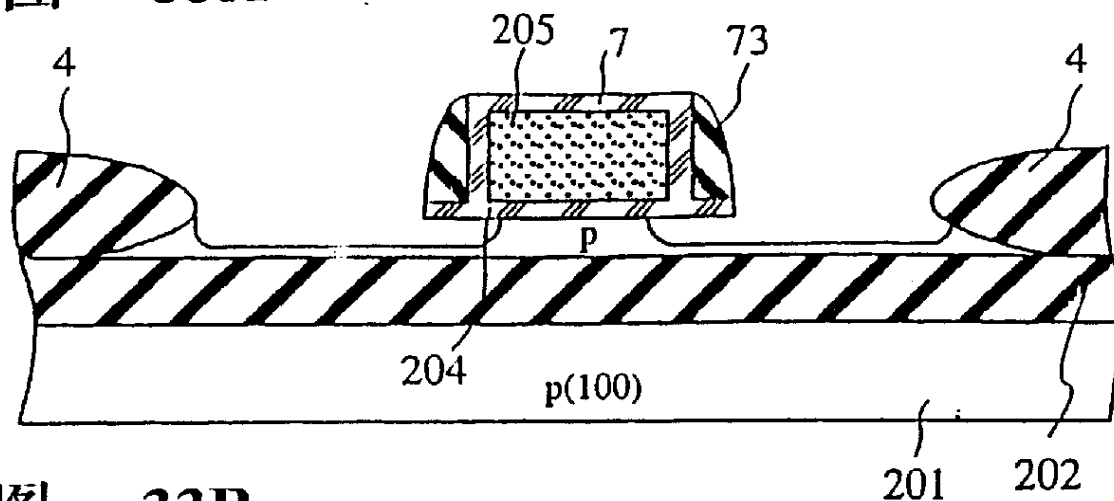


图 33B

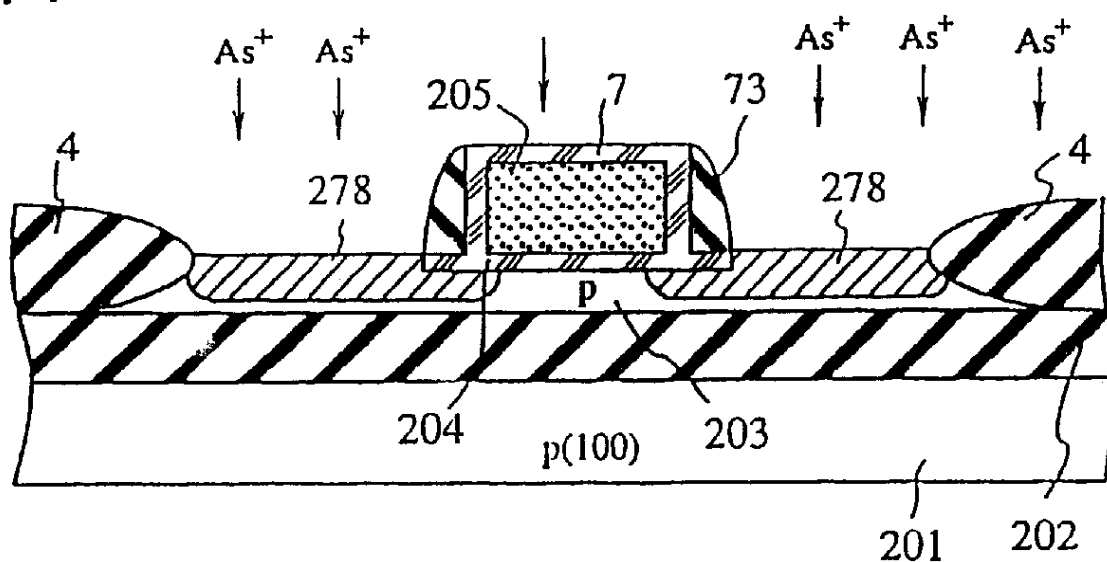
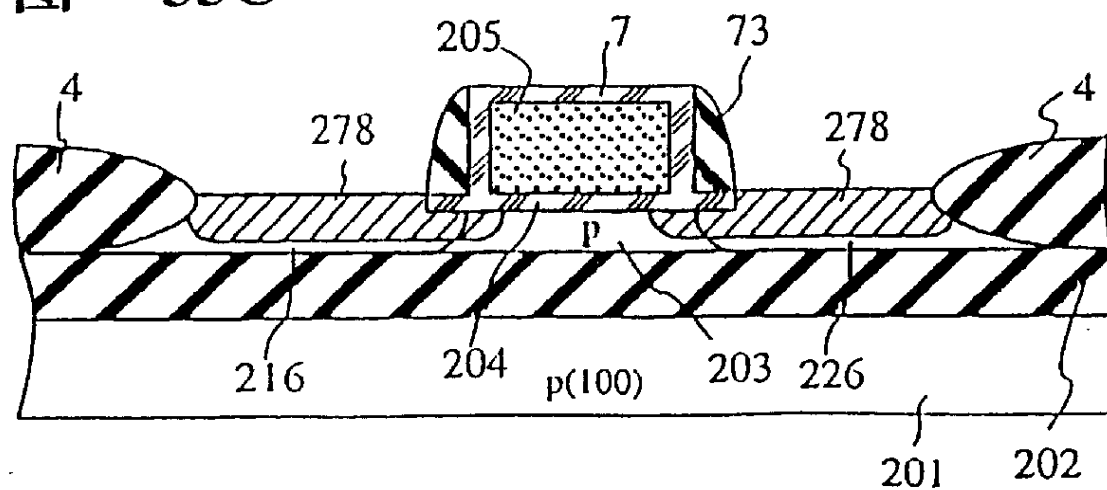
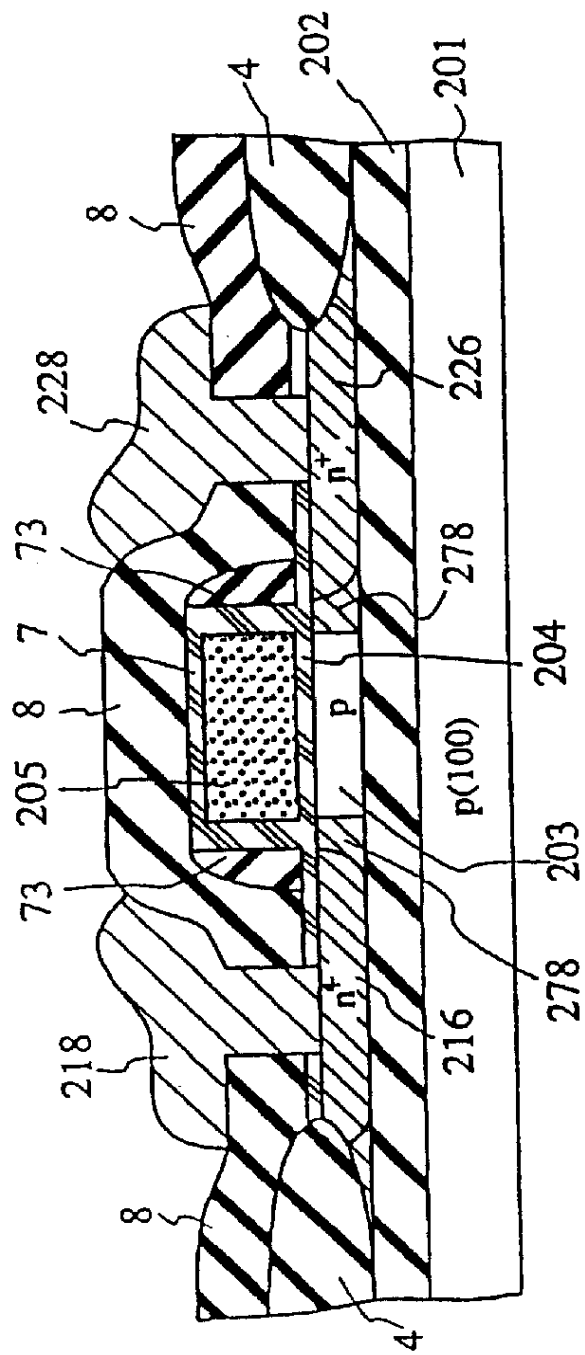


图 33C



34



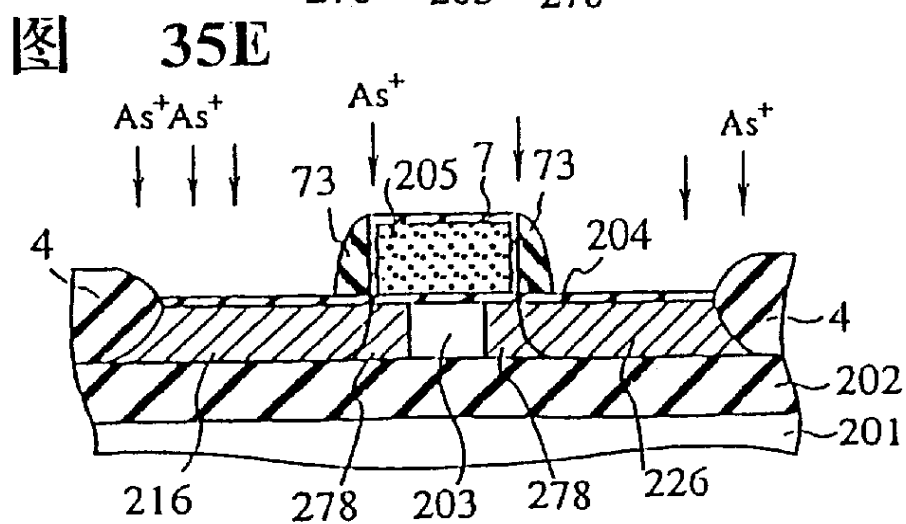
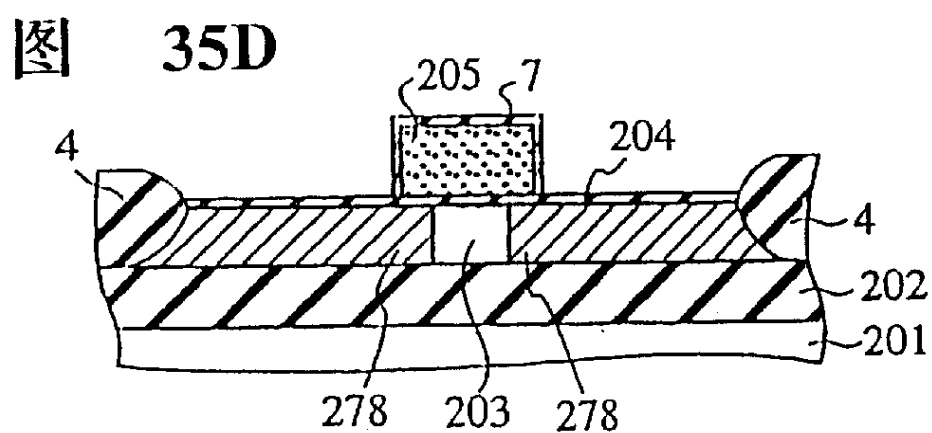
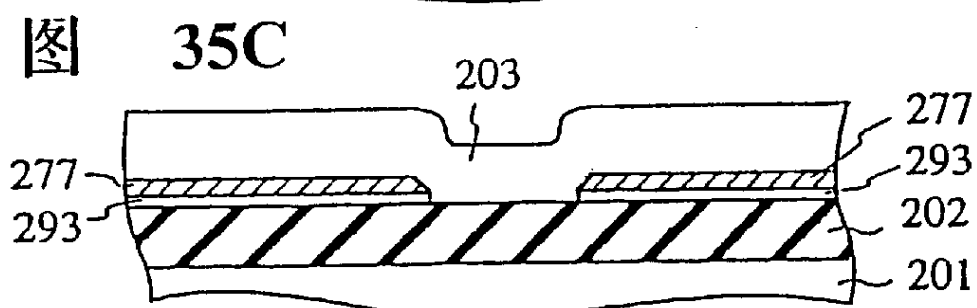
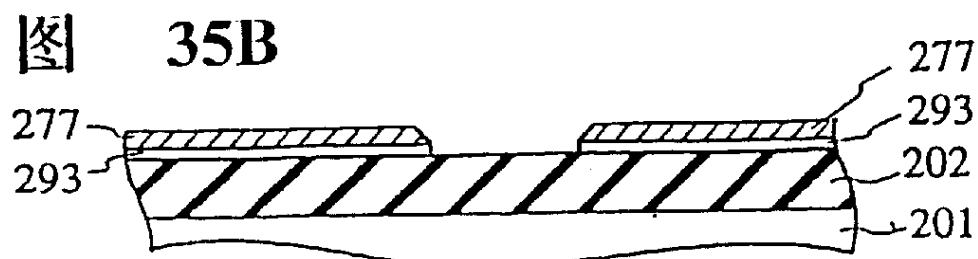
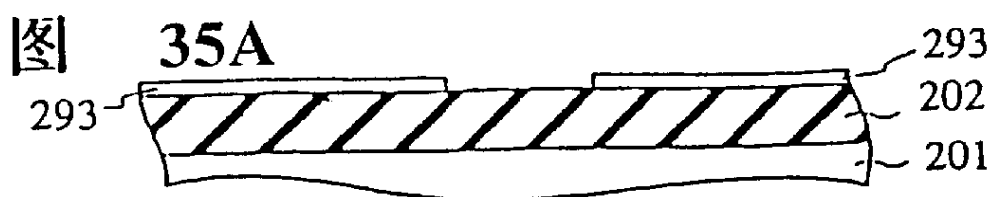


图 36A

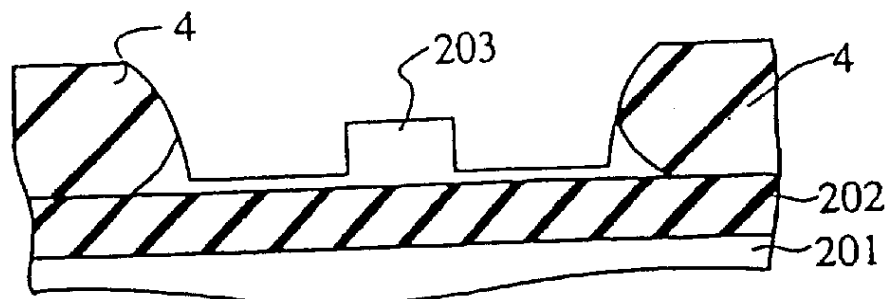


图 36B

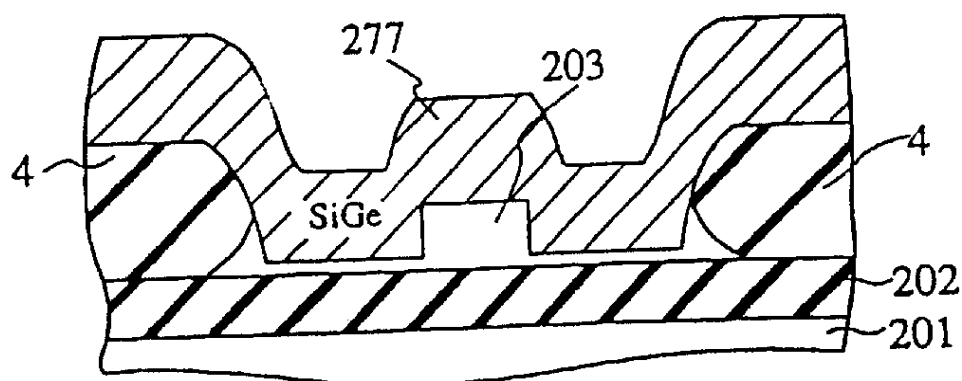


图 36C

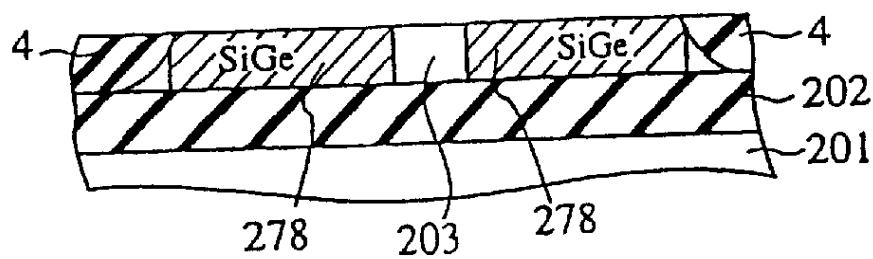


图 36D

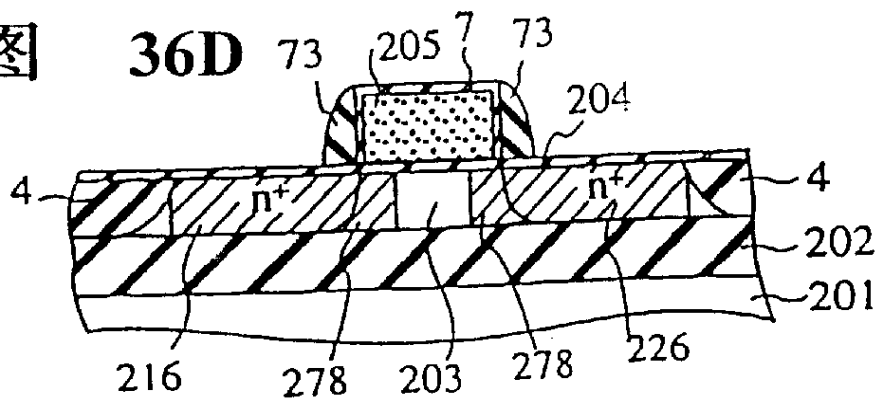


图 37A

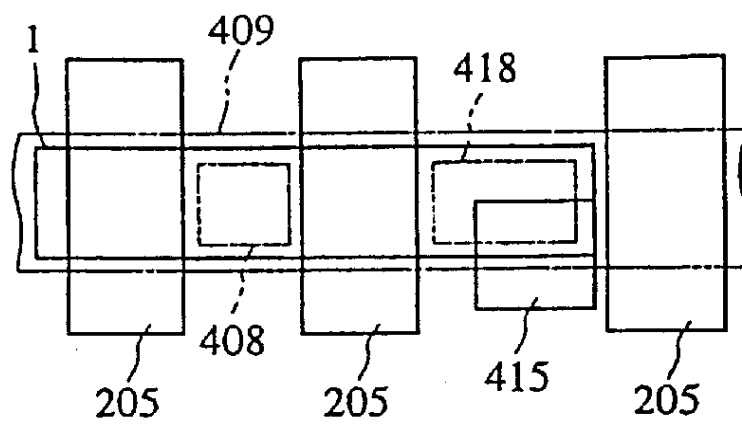


图 37B

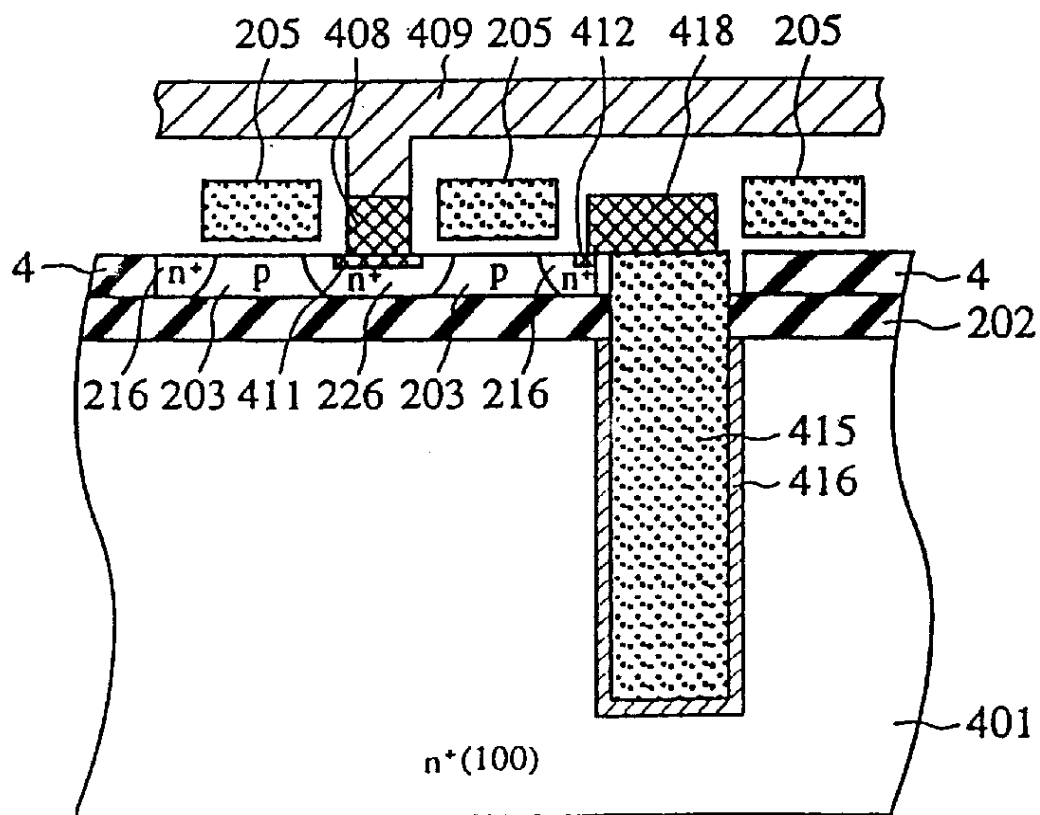


图 38

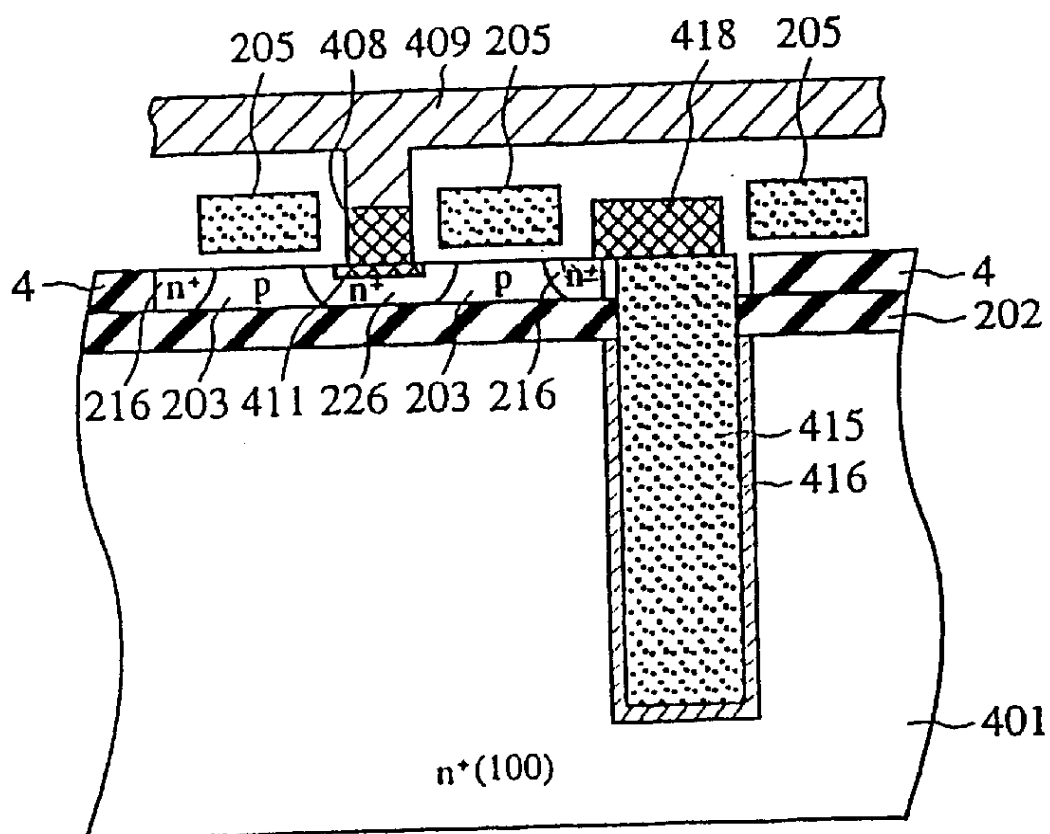


图 39A

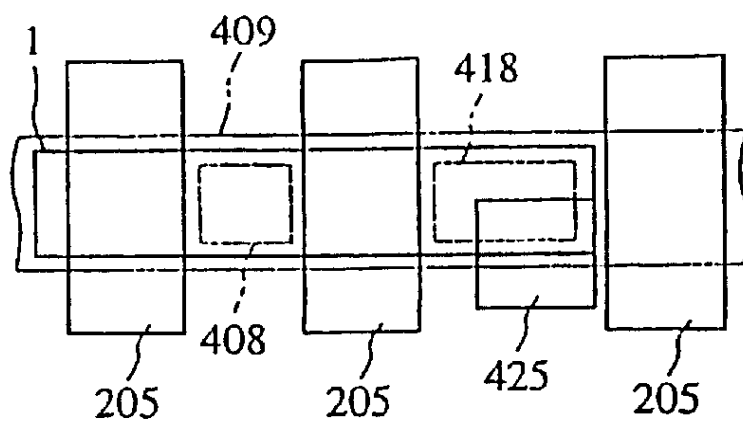


图 39B

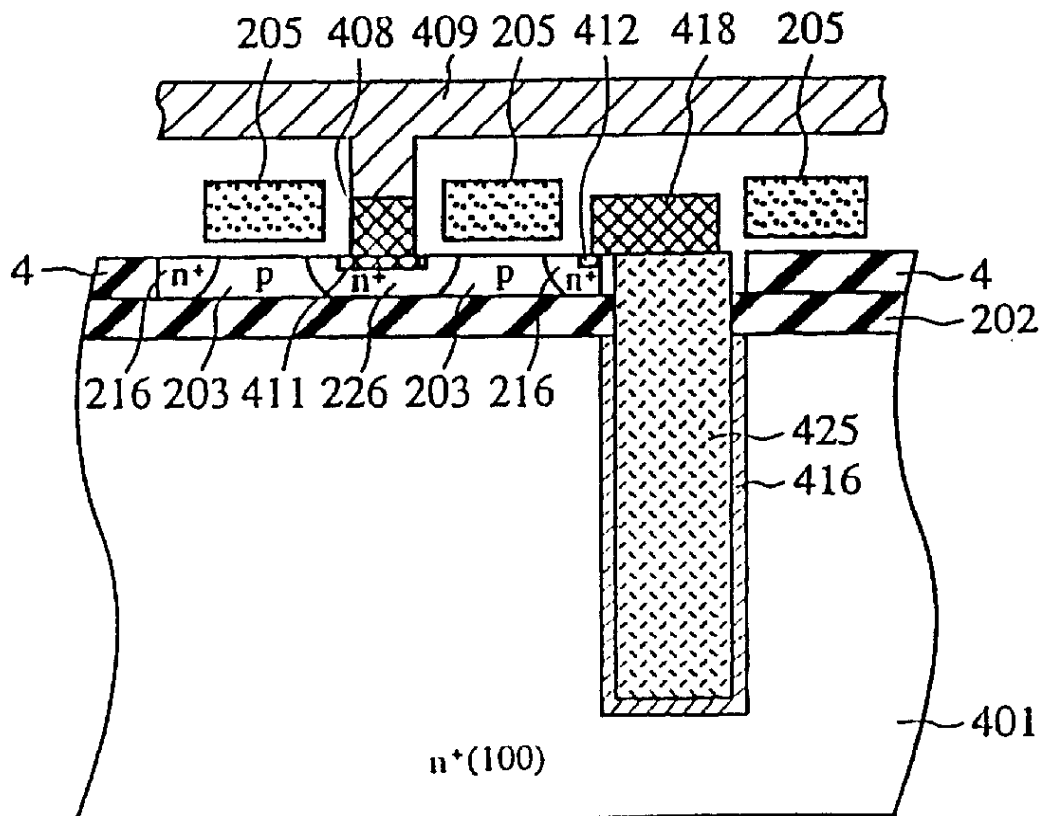


图 40

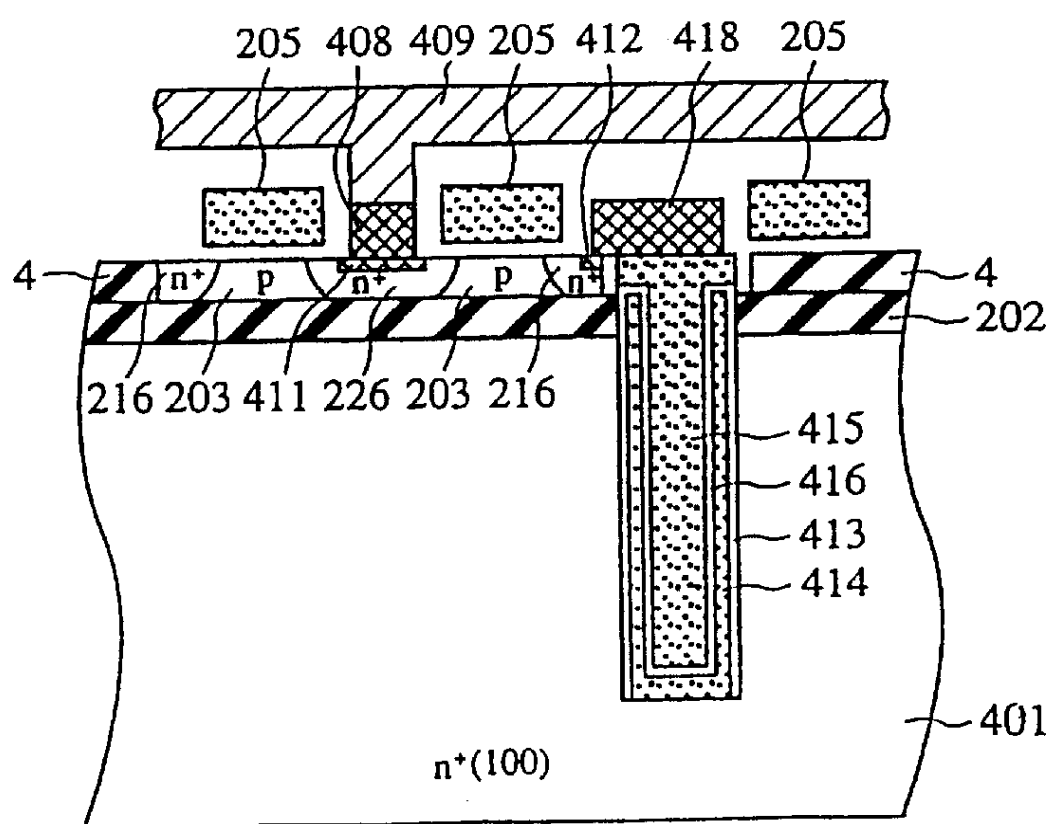


图 41A

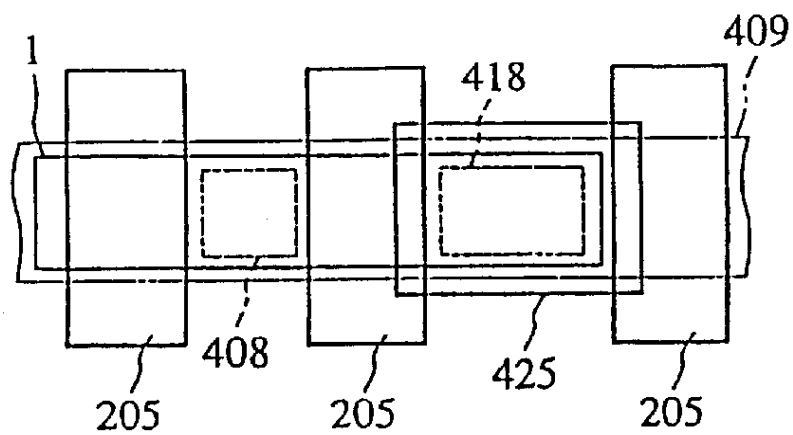


图 41B

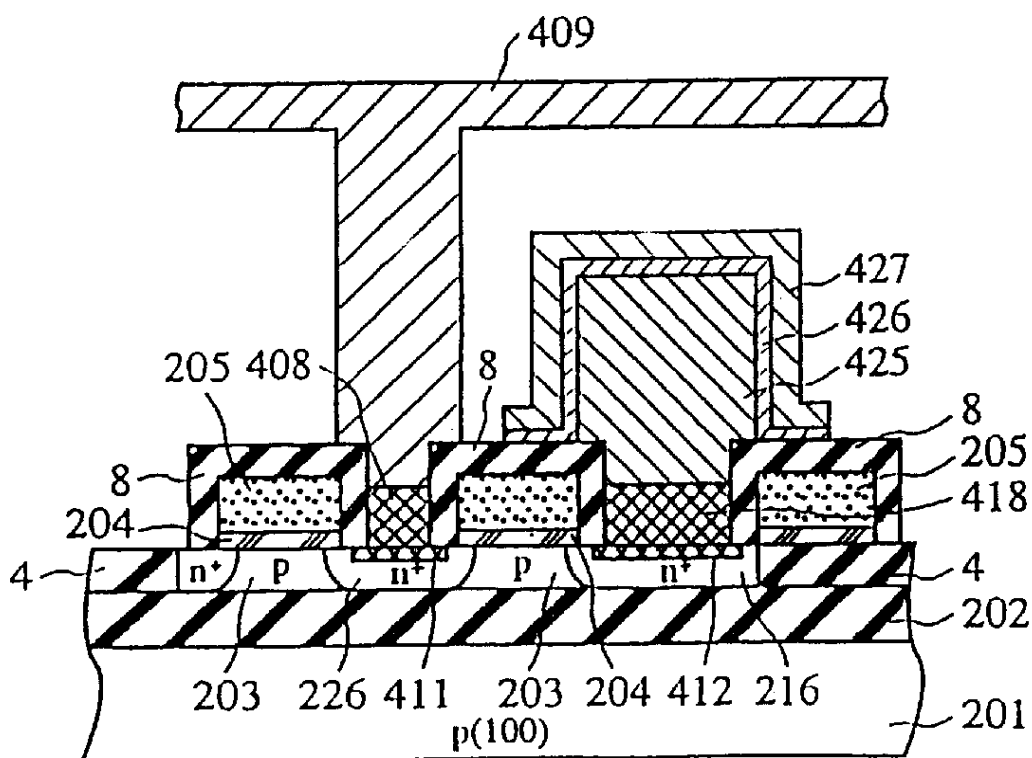


图 42A

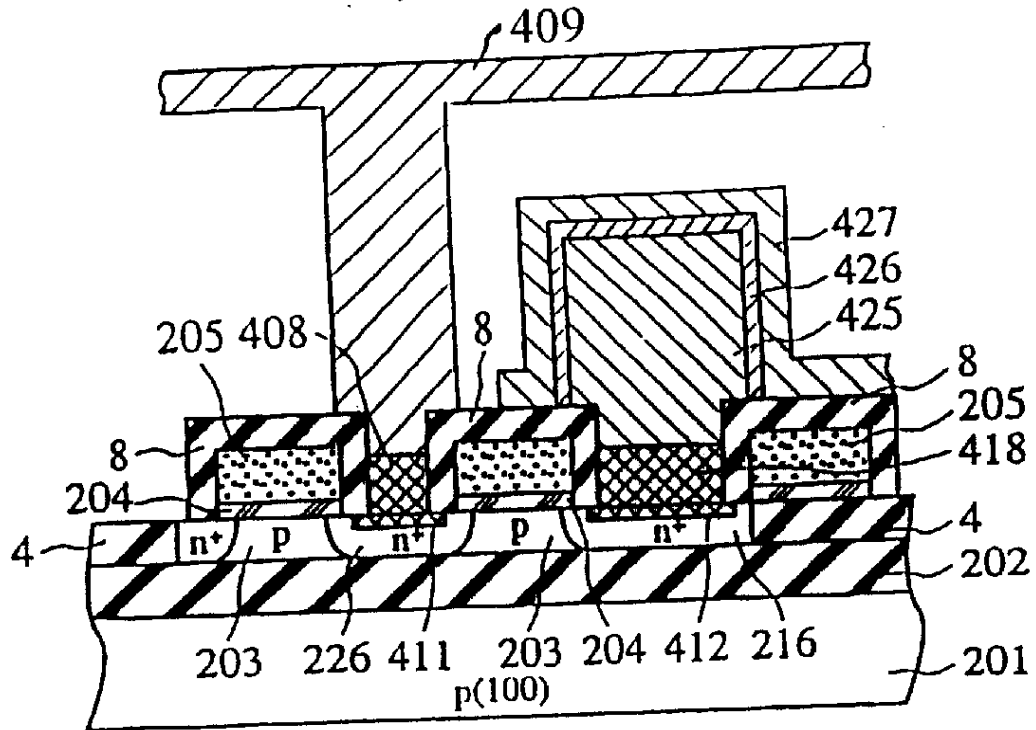


图 42B

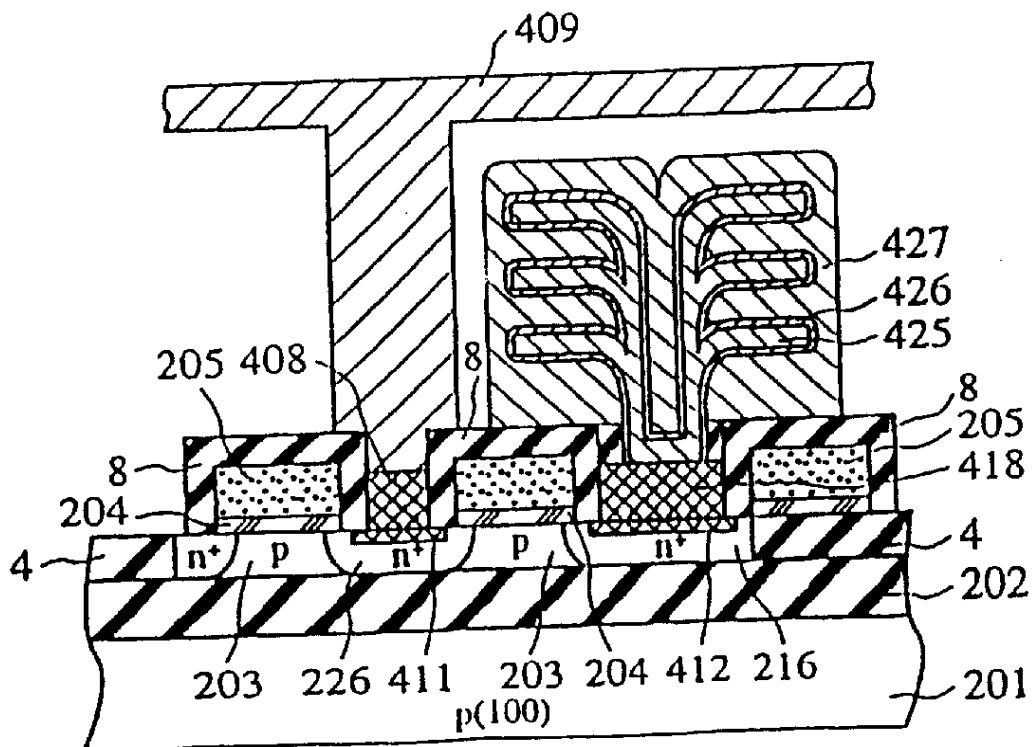


图 43A

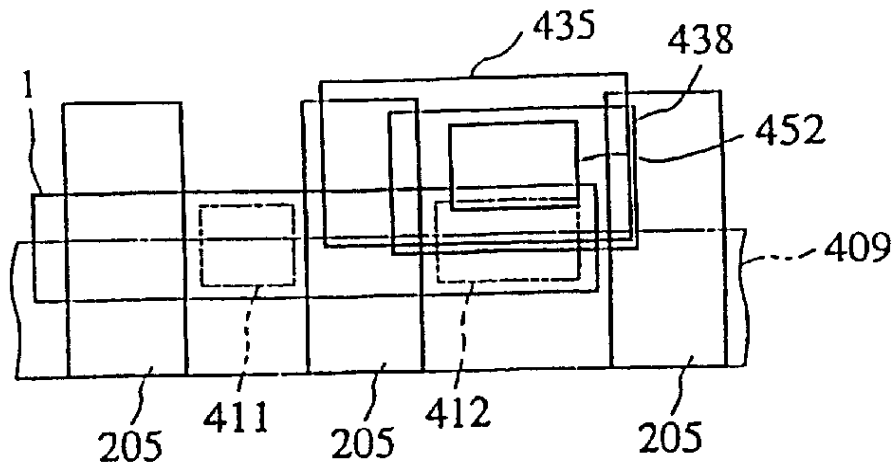


图 43B

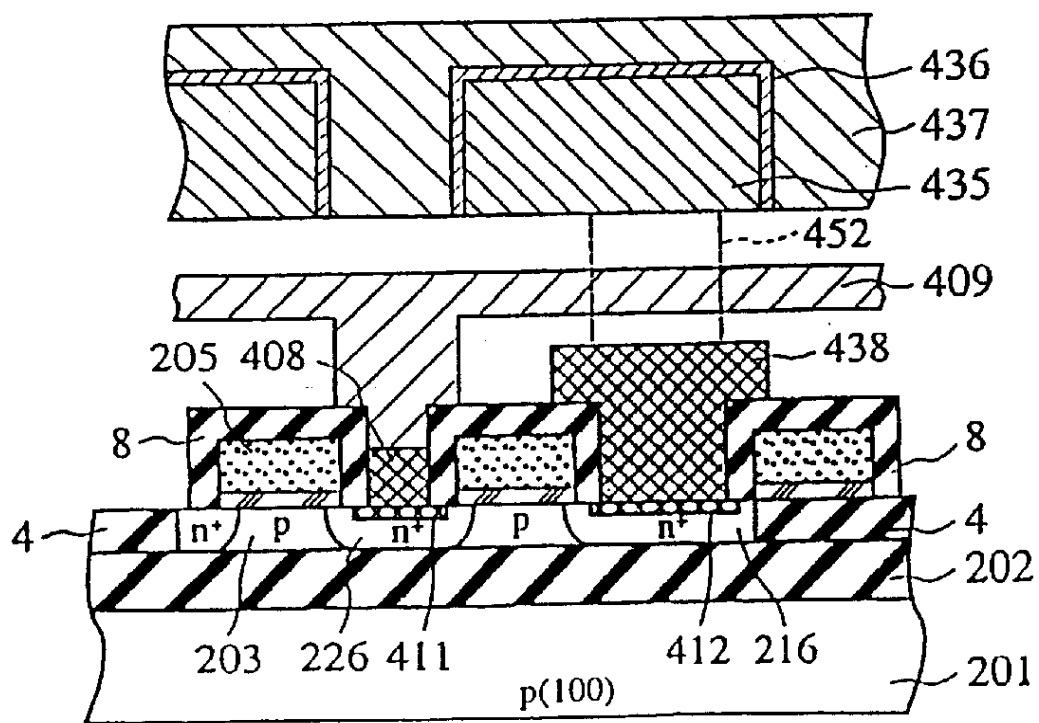


图 44A

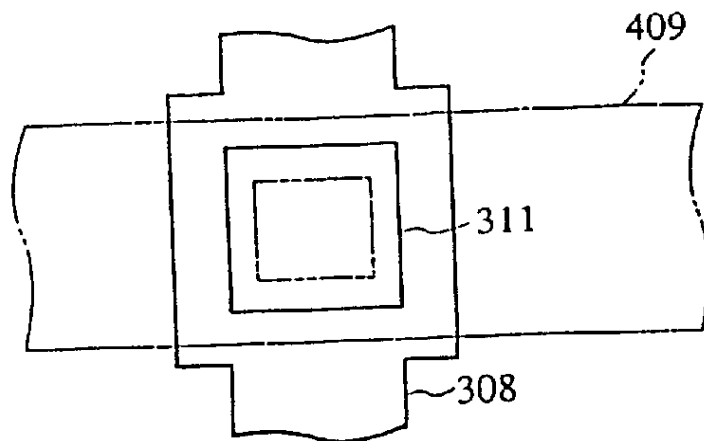


图 44B

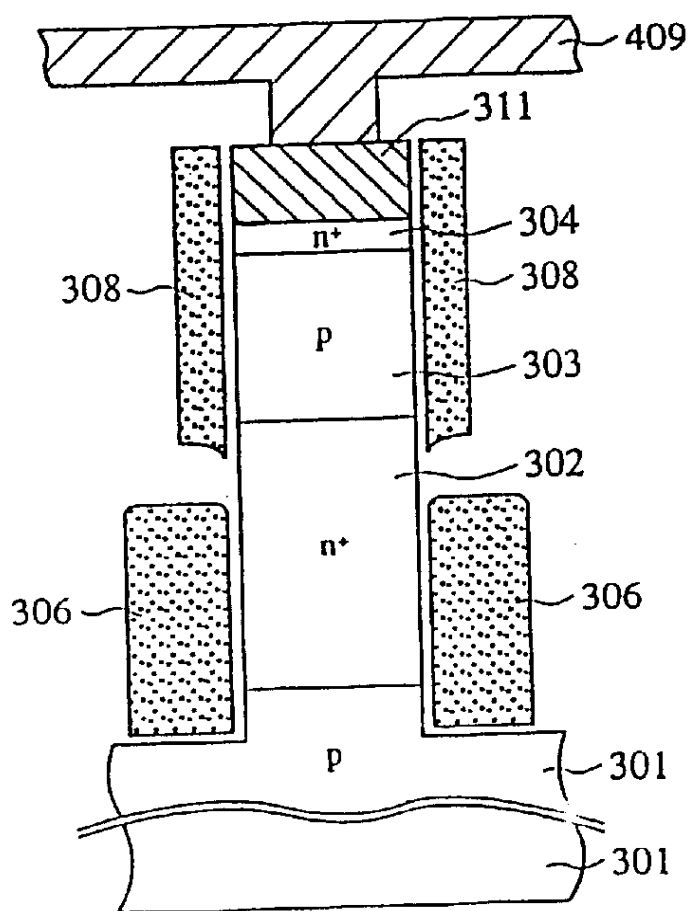


图 45A

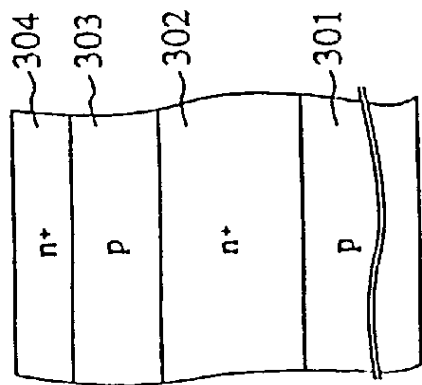


图 45B

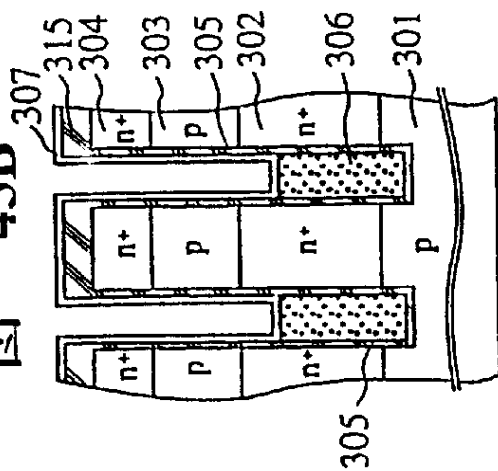


图 45C

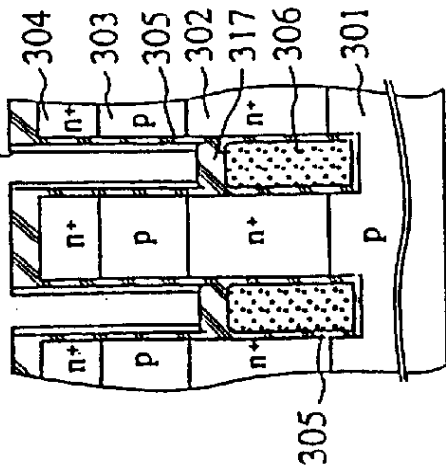


图 45D

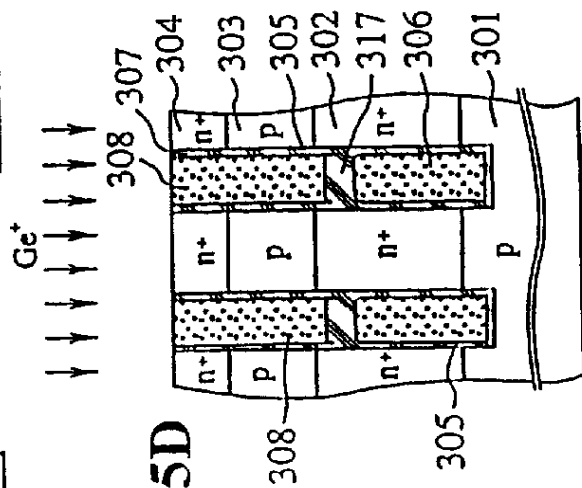


图 45E

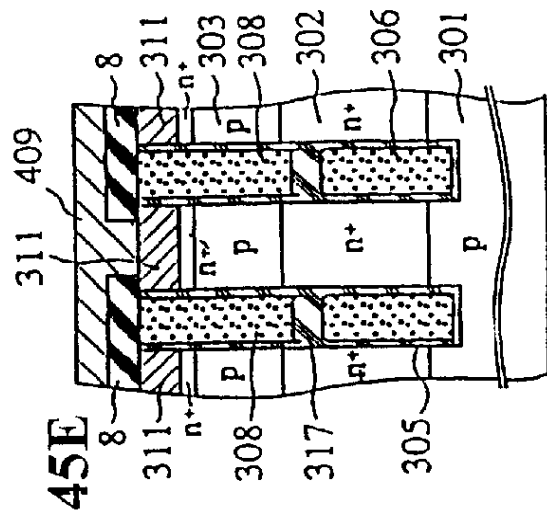


图 46A

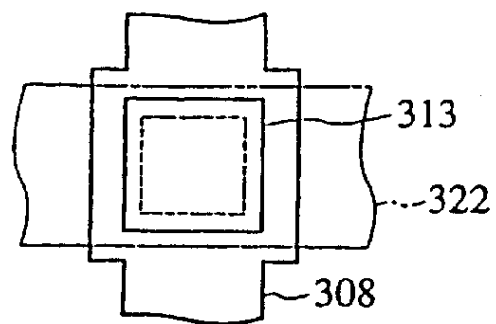


图 46B

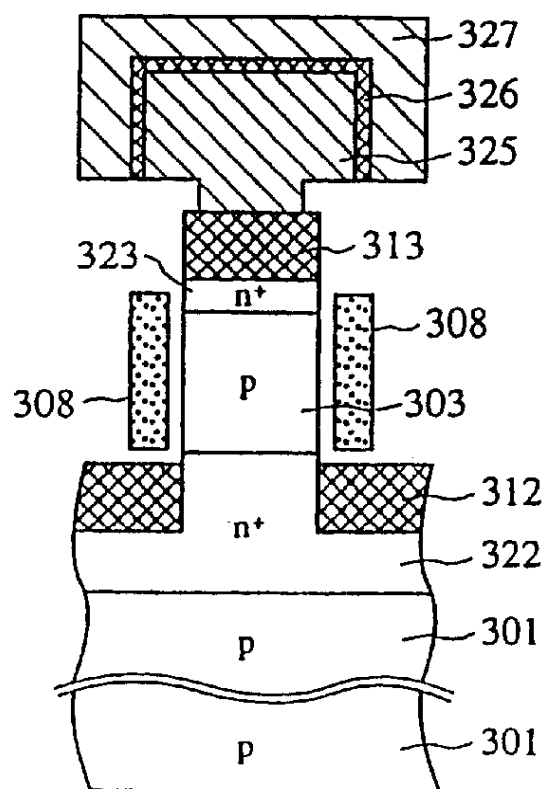


图 47A

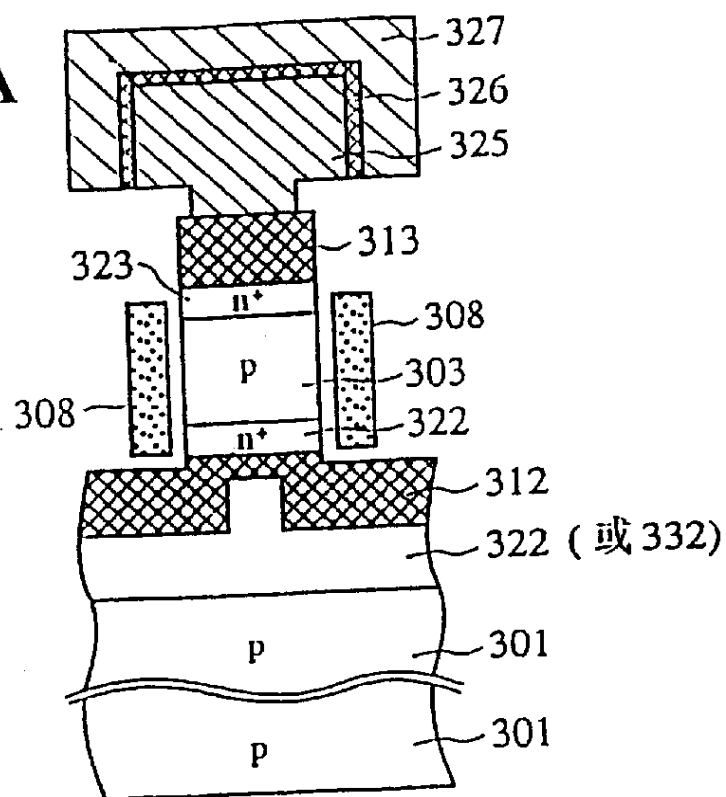


图 47B

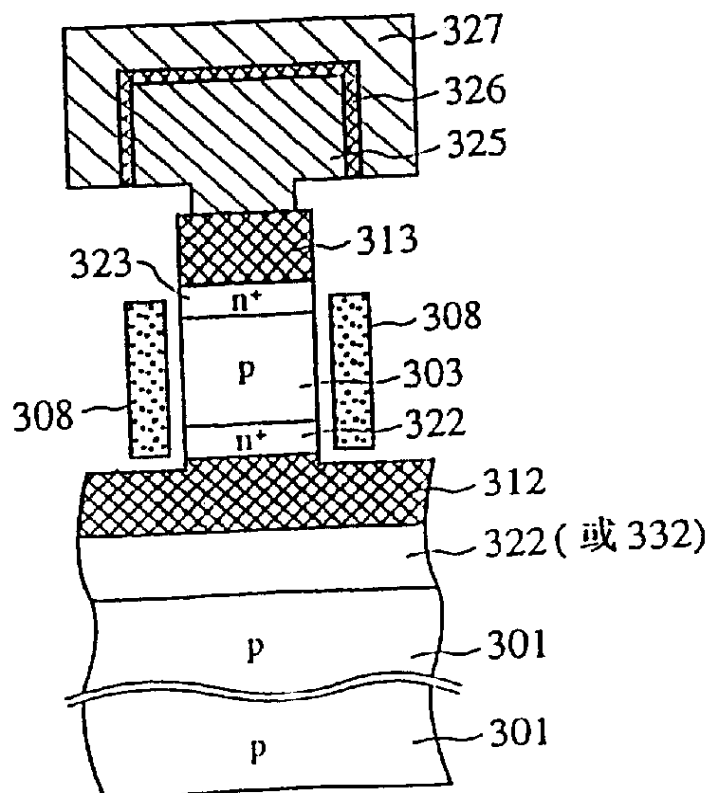


图 48A

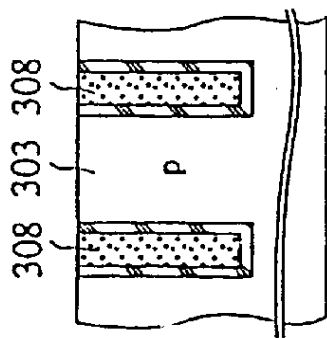


图 48B

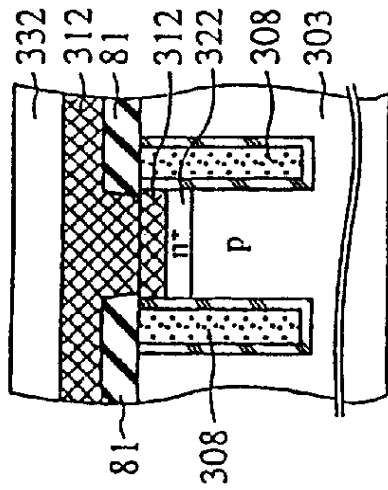


图 48C

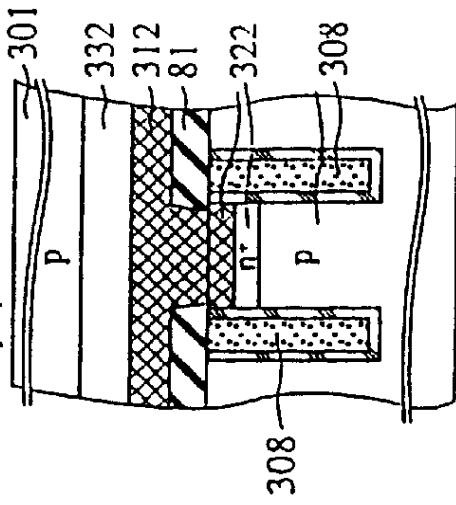


图 48D

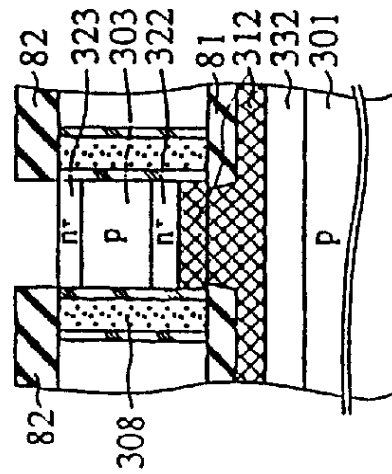


图 48E

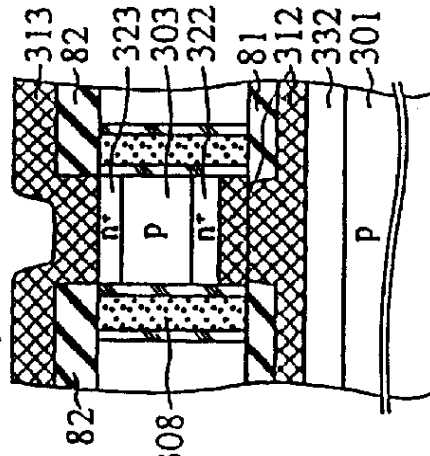


图 48F

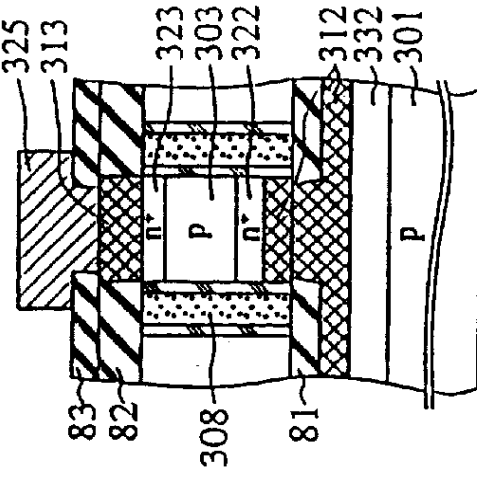


图 49A

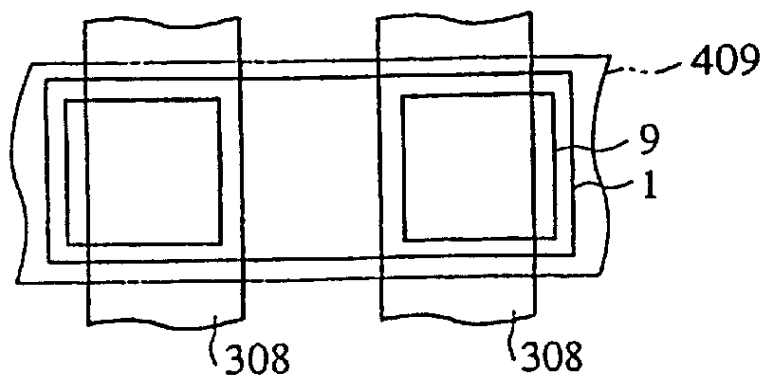


图 49B

