

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-537406

(P2008-537406A)

(43) 公表日 平成20年9月11日(2008.9.11)

(51) Int.Cl.	F I	テーマコード (参考)
H04N 5/335 (2006.01)	H04N 5/335 P	5C024
	H04N 5/335 E	

審査請求 有 予備審査請求 未請求 (全 19 頁)

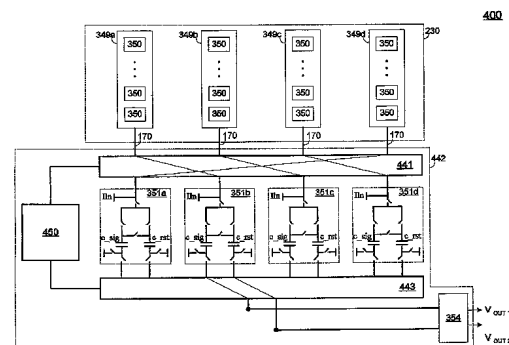
(21) 出願番号 特願2008-506566 (P2008-506566) (86) (22) 出願日 平成18年4月10日 (2006.4.10) (85) 翻訳文提出日 平成19年11月30日 (2007.11.30) (86) 国際出願番号 PCT/US2006/013270 (87) 国際公開番号 W02006/113202 (87) 国際公開日 平成18年10月26日 (2006.10.26) (31) 優先権主張番号 11/104,434 (32) 優先日 平成17年4月13日 (2005.4.13) (33) 優先権主張国 米国 (US)	(71) 出願人 595168543 マイクロン テクノロジー, インク, アメリカ合衆国, アイダホ州 83716 -9632, ボイズ, サウス フェデ ラル ウェイ 8000 (74) 代理人 100106851 弁理士 野村 泰久 (74) 代理人 100074099 弁理士 大菅 義之 (72) 発明者 ヤン, ハイ アメリカ合衆国, カリフォルニア州 92 336, フォンタナ, エルサ コート 7 136 Fターム(参考) 5C024 CX04 HX02 HX13 HX50 最終頁に続く
--	---

(54) 【発明の名称】 固体撮像装置における固定パターン雑音の低減方法及び装置

(57) 【要約】

撮像装置は、列方向の固定パターン雑音の顕著さを低減するためにピクセル列を異なるサンプルホールド回路に接続するスイッチング回路を備える。コントローラは、ランダムにピクセル列をサンプルホールド回路に接続し、その結果、特定のサンプルホールド回路から生じる固定パターン雑音が必ずしも1つのピクセル列と関連されているとは限らないようにする。したがって、特定のサンプルホールド回路に関連する固定パターン雑音の視覚認知が低減される。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

撮像装置の読み出し回路であって、
ピクセルアレイを構成する複数の列のうちの各々と複数のサンプルホールド回路のうちの 1 つとを選択的に接続するスイッチング回路を、
備えることを特徴とする読み出し回路。

【請求項 2】

組み合わせを生成し、前記組み合わせの結果を示す第 1 の制御信号を前記第 1 のスイッチング回路に与えるコントローラを更に備え、
前記第 1 の制御信号は、前記複数の列のうちのどれと、前記複数のサンプルホールド回路のうちのどれとを接続するべきかを示す、
ことを特徴とする請求項 1 に記載の読み出し回路。

10

【請求項 3】

前記複数の列のうち少なくとも 2 つは、前記複数のサンプルホールド回路のうちの少なくとも 2 つと実質的に同時に接続される、
ことを特徴とする請求項 2 に記載の読み出し回路。

【請求項 4】

前記複数の列のうちの 1 つは前記複数のサンプルホールド回路のうちの 1 つと一度に接続される、
ことを特徴とする請求項 2 に記載の読み出し回路。

20

【請求項 5】

前記複数のサンプルホールド回路の各々を下流の回路に選択的に接続するように構成された第 2 のスイッチング回路を、
更に備える、ことを特徴とする請求項 2 に記載の読み出し回路。

【請求項 6】

前記コントローラは、前記第 2 のスイッチング回路に、前記複数のサンプルホールド回路のうちのどれと前記下流の回路を一度に接続すべきかを示す第 2 の制御信号を与えるように構成される、
ことを特徴とする請求項 5 に記載の読み出し回路。

【請求項 7】

画像センサを構成する行での位置を表す順序で前記サンプルホールド回路から信号が読み出されるように、前記コントローラは、前記第 2 のスイッチング回路に前記第 2 の制御信号を与えるように構成される、
ことを特徴とする請求項 5 に記載の読み出し回路。

30

【請求項 8】

組み合わせを行う間隔がランダムな間隔となるように、前記コントローラは組み合わせを生成する、
ことを特徴とする請求項 2 に記載の読み出し回路。

【請求項 9】

組み合わせを行う間隔が定期的な間隔となるように、前記コントローラは組み合わせを生成する、
ことを特徴とする請求項 2 に記載の読み出し回路。

40

【請求項 10】

前記定期的な間隔は、各行の前である、
ことを特徴とする請求項 9 に記載の読み出し回路。

【請求項 11】

組み合わせがランダムに行われるように、前記コントローラは組み合わせを生成する、
ことを特徴とする請求項 8 に記載の読み出し回路。

【請求項 12】

組み合わせが擬似ランダムに行われるように、前記コントローラは組み合わせを生成す

50

る、

ことを特徴とする請求項 8 に記載の読み出し回路。

【請求項 13】

組み合わせがランダムに行われるように、前記コントローラは組み合わせを生成する、ことを特徴とする請求項 9 に記載の読み出し回路。

【請求項 14】

組み合わせが擬似ランダムに行われるように、前記コントローラは組み合わせを生成する、

ことを特徴とする請求項 9 に記載の読み出し回路。

【請求項 15】

撮像装置から信号を読み出す方法であって、

スイッチング回路を介して、ピクセルアレイを構成する複数の列の各々を、複数のサンプルホールド回路のうちの 1 つと選択的に接続する、

ことを含むことを特徴とする信号読み出し方法。

【請求項 16】

第 1 の制御信号を前記スイッチング回路に与える、

ことを更に含み、

前記第 1 の制御信号は、前記複数の列のうちのどれは、前記複数のサンプルホールド回路のうちのどれと接続するように組み合わせられるかを示す、

ことを特徴とする請求項 15 に記載の撮像装置からの信号読み出し方法。

【請求項 17】

前記複数の列のうち少なくとも 2 つを、実質的に同時に、前記複数のサンプルホールド回路のうちの少なくとも 2 つと選択的に接続する、

ことを更に含む、ことを特徴とする請求項 16 に記載の撮像装置からの信号読み出し方法。

【請求項 18】

前記複数の列のうちの 1 つを、実質的に同時に、前記複数のサンプルホールド回路のうちの 1 つと選択的に接続する動作を、

更に含む、ことを特徴とする請求項 16 に記載の撮像装置からの信号読み出し方法。

【請求項 19】

第 2 のスイッチング回路において、前記複数のサンプルホールド回路の各々を下流の回路に選択的に接続する動作を、

更に含む、ことを特徴とする請求項 16 に記載の撮像装置からの信号読み出し方法。

【請求項 20】

前記第 2 のスイッチング回路に、前記複数のサンプルホールド回路のうちのどれが、前記下流の回路と接続するように選択されるのかを示す第 2 の制御信号を与える動作を、

更に含む、ことを特徴とする請求項 19 に記載の撮像装置からの信号読み出し方法。

【請求項 21】

画像センサを構成する行での位置を表す順序で前記サンプルホールド回路から信号が読み出されるように、前記第 2 のスイッチング回路に前記第 2 の制御信号を与える動作を、

更に含む、ことを特徴とする請求項 19 に記載の撮像装置からの信号読み出し方法。

【請求項 22】

定期的な間隔で新たな組み合わせを生成するステップを、

更に含む、ことを特徴とする請求項 16 に記載の撮像装置からの信号読み出し方法。

【請求項 23】

ランダムな間隔で新たな組み合わせを生成するステップを、

更に含む、ことを特徴とする請求項 16 に記載の撮像装置からの信号読み出し方法。

【請求項 24】

組み合わせはランダムに行われる、

ことを特徴とする請求項 22 に記載の撮像装置からの信号読み出し方法。

10

20

30

40

50

【請求項 25】

組み合わせは擬似ランダムに行われる、
ことを特徴とする請求項 23 に記載の撮像装置からの信号読み出し方法。

【請求項 26】

組み合わせはランダムに行われる、
ことを特徴とする請求項 22 に記載の撮像装置からの信号読み出し方法。

【請求項 27】

組み合わせは擬似ランダムに行われる、
ことを特徴とする請求項 23 に記載の撮像装置からの信号読み出し方法。

【請求項 28】

画像センサを構成する行ピクセルの読み出しの前に、新たな組み合わせを生成するステップを、

更に含む、ことを特徴とする請求項 16 に記載の撮像装置からの信号読み出し方法。

【請求項 29】

ピクセルアレイを形成する方法であって、

複数の列を有するピクセルアレイを基板上に形成するステップと、

複数のサンプルホールド回路を前記基板上に形成するステップと、

前記ピクセルアレイにおける前記複数のピクセルの列のうちの 1 つと、前記サンプルホールド回路のうちの 1 つをスイッチングして接続するスイッチング回路を前記基板上に形成するステップとを、

含む、ことを特徴とするピクセルアレイ形成方法。

【請求項 30】

制御回路を前記基板上に形成するステップと、

前記制御回路と前記スイッチング回路とを接続する電気経路を形成するステップとを、

更に含む、ことを特徴とする請求項 29 に記載のピクセルアレイ形成方法。

【請求項 31】

下流の回路を形成するステップと、

前記下流の回路を前記サンプルホールド回路に接続する電気経路を形成するステップとを、

更に含む、ことを特徴とする請求項 30 に記載のピクセルアレイ形成方法。

【請求項 32】

前記サンプルホールド回路の 1 つと前記下流の回路とをスイッチングして接続する第 2 のスイッチング回路を前記基板上に形成するステップとを、

更に含む、ことを特徴とする請求項 31 に記載のピクセルアレイ形成方法。

【請求項 33】

集積回路であって、

ピクセルアレイと、

前記ピクセルアレイに接続された読み出し回路と

を備え、

前記読み出し回路は、

ピクセルアレイを構成する複数の列の各々を、複数のサンプルホールド回路のうちの 1 つに選択的に接続するように構成されたスイッチング回路を備える、

ことを特徴とする集積回路。

【請求項 34】

前記第 1 のスイッチング回路に第 1 の制御信号を与えるコントローラを更に備え、

前記第 1 の制御信号は、前記複数の列のうちのどれが、前記複数のサンプルホールド回路のうちのどれとを接続するべきかを示す、

ことを特徴とする請求項 33 に記載の集積回路。

【請求項 35】

前記複数の列のうち少なくとも 2 つは、前記複数のサンプルホールド回路のうちの少な

10

20

30

40

50

くとも２つと実質的に同時に接続される、
ことを特徴とする請求項３４に記載の集積回路。

【請求項３６】

前記複数の列のうちの１つは前記複数のサンプルホールド回路のうちの１つと一度に接続される、

ことを特徴とする請求項３４に記載の集積回路。

【請求項３７】

前記複数のサンプルホールド回路の各々を下流の回路に選択的に接続するように構成された第２のスイッチング回路を、

更に備える、ことを特徴とする請求項３４に記載の集積回路。

10

【請求項３８】

前記コントローラは、前記第２のスイッチング回路に、前記複数のサンプルホールド回路のうちのどれが前記下流の回路と一度に接続すべきかを示す第２の制御信号を与えるように構成される、

ことを特徴とする請求項３７に記載の集積回路。

【請求項３９】

画像センサを構成する行での位置を表す順序で前記サンプルホールド回路から信号が読み出されるように、前記コントローラは、前記第２のスイッチング回路に前記第２の制御信号を与えるように構成される、

ことを特徴とする請求項３７に記載の集積回路。

20

【請求項４０】

組み合わせを行う間隔がランダムな間隔となるように、前記コントローラは組み合わせを生成する、

ことを特徴とする請求項３４に記載の集積回路。

【請求項４１】

組み合わせを行う間隔が定期的な間隔となるように、前記コントローラは組み合わせを生成する、

ことを特徴とする請求項３４に記載の集積回路。

【請求項４２】

前記定期的な間隔は、各行の前である、

ことを特徴とする請求項４１に記載の集積回路。

30

【請求項４３】

組み合わせがランダムに行われるように、前記コントローラは組み合わせを生成する、

ことを特徴とする請求項４０に記載の集積回路。

【請求項４４】

組み合わせが擬似ランダムに行われるように、前記コントローラは組み合わせを生成する、

ことを特徴とする請求項４０に記載の集積回路。

【請求項４５】

組み合わせがランダムに行われるように、前記コントローラは組み合わせを生成する、

ことを特徴とする請求項４１に記載の集積回路。

40

【請求項４６】

組み合わせが擬似ランダムに行われるように、前記コントローラは組み合わせを生成する、

ことを特徴とする請求項４１に記載の集積回路。

【請求項４７】

撮像装置であって、

ピクセルアレイと、

前記ピクセル配列に接続された読み出し回路と

を備え、

50

前記読み出し回路は、

ピクセルアレイを構成する複数の列の各々を、複数のサンプルホールド回路のうちの１つに選択的に接続するように構成されたスイッチング回路を備える、
ことを特徴とする撮像装置。

【請求項４８】

前記第１のスイッチング回路に第１の制御信号を与えるコントローラを更に備え、

前記第１の制御信号は、前記複数の列のうちのどれを、前記複数のサンプルホールド回路のうちのどれとを接続するべきかを示す、
ことを特徴とする請求項４７に記載の撮像装置。

【請求項４９】

前記複数の列のうち少なくとも２つは、前記複数のサンプルホールド回路のうちの少なくとも２つと実質的に同時に接続される、
ことを特徴とする請求項４８に記載の撮像装置。

【請求項５０】

前記複数の列のうちの１つは前記複数のサンプルホールド回路のうちの１つと一度に接続される、
ことを特徴とする請求項４８に記載の撮像装置。

【請求項５１】

前記複数のサンプルホールド回路の各々を下流の回路に選択的に接続するように構成された第２のスイッチング回路を、
更に備える、ことを特徴とする請求項４８に記載の撮像装置。

【請求項５２】

前記コントローラは、前記第２のスイッチング回路に、前記複数のサンプルホールド回路のうちのどれを前記下流の回路と一度に接続すべきかを示す第２の制御信号を与えるように構成される、
ことを特徴とする請求項５１に記載の撮像装置。

【請求項５３】

画像センサを構成する行での位置を表す順序で前記サンプルホールド回路から信号が読み出されるように、前記コントローラは、前記第２のスイッチング回路に前記第２の制御信号を与えるように構成される、
ことを特徴とする請求項５１に記載の撮像装置。

【請求項５４】

組み合わせを行う間隔がランダムな間隔となるように、前記コントローラは組み合わせを生成する、
ことを特徴とする請求項４８に記載の撮像装置。

【請求項５５】

組み合わせを行う間隔が定期的な間隔となるように、前記コントローラは組み合わせを生成する、
ことを特徴とする請求項４８に記載の撮像装置。

【請求項５６】

前記定期的な間隔は、各行の前である、

ことを特徴とする請求項５５に記載の撮像装置。

【請求項５７】

組み合わせがランダムに行われるように、前記コントローラは組み合わせを生成する、
ことを特徴とする請求項５４に記載の撮像装置。

【請求項５８】

組み合わせが擬似ランダムに行われるように、前記コントローラは組み合わせを生成する、
ことを特徴とする請求項５４に記載の撮像装置。

【請求項５９】

組み合わせがランダムに行われるように、前記コントローラは組み合わせを生成する、
ことを特徴とする請求項 55 に記載の撮像装置。

【請求項 60】

組み合わせが擬似ランダムに行われるように、前記コントローラは組み合わせを生成する、

ことを特徴とする請求項 55 に記載の撮像装置。

【請求項 61】

プロセッサシステムであって、

プロセッサと、

撮像装置を備え、

前記撮像装置は、

ピクセルアレイと、

前記ピクセルアレイに接続された読み出し回路と

を備え、

前記読み出し回路は、

ピクセルアレイを構成する複数の列の各々を、複数のサンプルホールド回路のうちの 1 つに選択的に接続するように構成されたスイッチング回路を備える、

ことを特徴とするプロセッサシステム。

【請求項 62】

前記第 1 のスイッチング回路に第 1 の制御信号を与えるコントローラを更に備え、

前記第 1 の制御信号は、前記複数の列のうちのどれと、前記複数のサンプルホールド回路のうちのどれとを接続するべきかを示す、

ことを特徴とする請求項 61 に記載のプロセッサシステム。

【請求項 63】

前記複数の列のうち少なくとも 2 つは、前記複数のサンプルホールド回路のうちの少なくとも 2 つと実質的に同時に接続される、

ことを特徴とする請求項 62 に記載のプロセッサシステム。

【請求項 64】

一度に、前記複数の列のうちの 1 つは前記複数のサンプルホールド回路のうちの 1 つと接続される、

ことを特徴とする請求項 62 に記載のプロセッサシステム。

【請求項 65】

前記複数のサンプルホールド回路の各々を下流の回路に選択的に接続するように構成された第 2 のスイッチング回路を、

更に備える、ことを特徴とする請求項 62 に記載のプロセッサシステム。

【請求項 66】

前記コントローラは、前記第 2 のスイッチング回路に、前記複数のサンプルホールド回路のうちのどれと前記下流の回路を一度に接続すべきかを示す第 2 の制御信号を与えるように構成される、

ことを特徴とする請求項 65 に記載のプロセッサシステム。

【請求項 67】

画像センサを構成する行での位置を表す順序で前記サンプルホールド回路から信号が読み出されるように、前記コントローラは、前記第 2 のスイッチング回路に前記第 2 の制御信号を与えるように構成される、

ことを特徴とする請求項 65 に記載のプロセッサシステム。

【請求項 68】

組み合わせを行う間隔がランダムな間隔となるように、前記コントローラは組み合わせを生成する、

ことを特徴とする請求項 62 に記載のプロセッサシステム。

【請求項 69】

組み合わせを行う間隔が定期的な間隔となるように、前記コントローラは組み合わせを生成する、

ことを特徴とする請求項 6 2 に記載のプロセッサシステム。

【請求項 7 0】

前記定期的な間隔は、各行の前である、

ことを特徴とする請求項 6 9 に記載のプロセッサシステム。

【請求項 7 1】

組み合わせがランダムに行われるように、前記コントローラは組み合わせを生成する、

ことを特徴とする請求項 6 8 に記載のプロセッサシステム。

【請求項 7 2】

組み合わせが擬似ランダムに行われるように、前記コントローラは組み合わせを生成する、

ことを特徴とする請求項 6 8 に記載のプロセッサシステム。

【請求項 7 3】

組み合わせがランダムに行われるように、前記コントローラは組み合わせを生成する、

ことを特徴とする請求項 6 9 に記載のプロセッサシステム。

【請求項 7 4】

組み合わせが擬似ランダムに行われるように、前記コントローラは組み合わせを生成する、

ことを特徴とする請求項 6 9 に記載のプロセッサシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般的には半導体撮像装置に関し、より具体的には、固体撮像装置における固定パターン雑音の顕著さの低減に関する。

【背景技術】

【0002】

現在、CMOS 能動ピクセル素子を低コスト撮像装置に用いることに関心がもたれている。能動ピクセル・センサは、1 ピクセル単位セルに 1 以上の能動トランジスタを持ち、CMOS 技術と両立可能であり、且つ、受動ピクセル・センサと比べて高い読み出し率が得られる。

【0003】

図 1 に、ピクセルアレイ 230 並びに、タイミング及び制御回路、又はコントローラ 232 を備える従来の撮像装置 200 を示し、このコントローラ 232 は、当業者に広く知られた方法でピクセルに格納された信号の読み出しを制御するタイミング及び制御信号を与える。例として、アレイは $M \times N$ 次元ピクセル ($M \times N$) とするが、アレイ 230 のサイズは特定の用途によって変化する。撮像装置は、列並列読み出し構造を用いて一度に 1 行を読み出される。コントローラ 232 は、行アドレス指定回路 234 及び行ドライバ 240 の処理を制御することによってアレイ 230 から特定の行のピクセルを選択する。従来既知のように、選択された行のピクセルに格納された電荷信号は、列出力線 170 (図 2) 上で、読み出し回路 242 に出力される。再び図 1 を参照すると、各列から読み出されたピクセル信号を、その後、列アドレス指定回路 244 によって順番に読み出すことができる。読み出しリセット信号 V_{rst} 及び蓄積電荷信号 V_{sig} に対応する差分ピクセル信号は、読み出し回路 242 の各出力 V_{out1} 及び V_{out2} として与えられる。

【0004】

図 2 に、ピクセルアレイ 230 の行及び列 349 並びにそれに関連する読み出し回路 242 をより明確に示す。列 349 の各々は、ピクセル 350 から成る複数の行を備える。読み出し回路 242 は、ピクセルリセット信号 (V_{rst}) 及び蓄積電荷信号 (V_{sig}) を格納するサンプルホールド回路 351 を備える。特定の列 349 のピクセル 350 か

10

20

30

40

50

らの信号は、列出力線 170 を介して、その列に接続されたサンプルホールド回路 351 に読み出すことができる。通常、 V_{rst} は、サンプルホールド回路 351 のキャパシタ c_{rst} に格納され、 V_{sig} はキャパシタ c_{sig} に格納される。サンプルホールド回路 351 のゲインは、その列出力線 170 に接続されたバイアス電流 I_{ln} の関数である。

【0005】

読み出し回路 242 に格納された信号は、順番に列毎に、ピクセルアレイ全体で共有する出力部 354 に読み出すことができる。出力部 359 は、2 つの出力信号 V_{out1} 及び V_{out2} を出力し、それらは各々、 V_{sig} 信号及び V_{rst} 信号に対応する。アナログ出力信号 V_{out1} 及び V_{out2} を、その後、例えば、差分アナログ回路へ送り、その回路でリセット信号と蓄積電荷信号を減算し、減算された信号をアナログ・デジタル変換器 (ADC) に送ることとしてもよいし、あるいは、リセット信号及び蓄積電荷信号を直接アナログ・デジタル変換器に送ることとしてもよい。

【0006】

製造中に、各撮像ピクセルアレイは、大抵、個別に検査される。検査では、欠陥のあるピクセル回路、ピクセル信号レベル、及び他のアレイ特性を検出し、その情報はロット及び個別のデバイス識別番号に基づいて格納される。テストで得られた情報は、例えば、欠陥ピクセル、ピクセル信号レベルの相違及び他の検査済みのピクセル特性を補償することにより、デバイスの動作を高めるために利用することができる。

【0007】

製造中に生じるばらつきのため、キャパシタ c_{rst} 及び c_{sig} の容量値は異なるが、それは、理想的には、ほんのわずかな差異である。しかし、各キャパシタ c_{rst} 及び c_{sig} の容量値を検査し、その後、同じ容量値を有するようにキャパシタを修正することは、簡単ではなく、また安価でもない。したがって、サンプルホールド回路 351 を構成するキャパシタ c_{rst} 及び c_{sig} は、どうしても列方向 (すなわち列毎) で異なる量の固定パターン雑音を読み出し処理に加えることになる。

【0008】

同様に、バイアス電流 I_{ln} も、列毎に異なる。差異は大きくはないが、それでも、 I_{ln} 電流値が異なるために、各サンプルホールド回路 351 の読み出し中のゲインも異なることになる。したがって、各サンプルホールド回路 351 のバイアス電流 I_{ln} は、列方向 (すなわち列毎) の異なる値の固定パターン雑音を関連する処理に加えることになる。

【0009】

人間の目は、画像中で 1 つの列が周囲の列と異なったものとして表れる列方向の雑音には敏感である。したがって、撮像装置を修正して、肉眼で捉えることができるような顕著な列方向の固定パターン雑音を低減することが望ましい。

【発明の開示】

【0010】

実施形態の一例に係わる撮像装置は、固定パターン雑音を、その撮像装置のアレイ中の異なる列にランダムに混合し加えることにより、肉眼で捉えることができるような顕著な列方向 (すなわち列毎) の固定パターン雑音を低減する。発明の実施形態の一例において、ピクセルアレイを構成する列からの信号は、任意に選択された異なるサンプルホールド回路に向けて読み出される。更に、ピクセル列は、サンプルホールド回路とランダムに組み合わせられる。

【発明を実施するための最良の形態】

【0011】

以下の詳細な説明において、説明の一部を構成する図面を参照し、その図面中で例として本発明の特定の実施形態が示される。これらの実施形態は、当業者が本発明を作成し利用することができるほど十分詳細に説明されているが、本発明の精神と範囲を離れることなく、開示された特定の実施形態に構造的、論理的または他の変更を行うことは、当然可

10

20

30

40

50

能である。

【 0 0 1 2 】

図 3 に、発明の一実施形態に従って構成された、能動ピクセル・センサ (「 A P S 」) アレイ 2 3 0 及び読み出し回路 4 4 2 を備える信号処理システム 4 0 0 を示す。信号処理システム 4 0 0 は、以下で詳細に説明する幾つかの点において図 1 及び 2 に示すシステム 2 0 0 と異なる。

【 0 0 1 3 】

図に示すシステム 4 0 0 は、読み出し回路 4 4 2 に接続されたピクセルアレイ 2 3 0 を備える。読み出し回路 4 4 2 は、第 1 のスイッチング回路 4 4 1、第 2 のスイッチング回路 4 4 3、並びに、スイッチング回路 4 4 1 及び 4 4 3 を制御するコントローラ 4 5 0 を備える。読み出し回路 4 4 2 は、読み出し回路 4 4 2 のサンプルホールド回路 3 5 1 a - d が、必ずしも同じピクセル列 3 4 9 a - d と関連されていると限らない点で従来の読み出し回路 2 4 2 (図 2) と異なる (以下、より詳しく説明する) 。

【 0 0 1 4 】

各ピクセル列 3 4 9 a - d は、第 1 のスイッチング回路 4 4 1 と接続されている。第 1 のスイッチング回路 4 4 1 のスイッチ設定は、どのピクセル列 3 4 9 a - d がどのサンプルホールド回路 3 5 1 a - d と選択的に接続されるのか、決定する。例えば、図 3 は、1 番目のピクセル列 3 4 9 a が第 1 のスイッチング回路 4 4 1 を介して 2 番目のサンプルホールド回路 3 5 1 b に接続され、2 番目のピクセル列 3 4 9 b は第 1 のスイッチング回路 4 4 1 を介して 3 番目のサンプルホールド回路 3 5 1 c に接続され、3 番目のピクセル列 3 4 9 c は第 1 のスイッチング回路 4 4 1 を介して 4 番目のサンプルホールド回路 3 5 1 d に接続され、4 番目のピクセル列 3 4 9 d は第 1 のスイッチング回路 4 4 1 を介して 1 番目のサンプルホールド回路 3 5 1 a に接続されることを示す。実施形態の一例において、第 1 のスイッチング回路 4 4 1 は、各ピクセル列 3 4 9 a - d が、実質的に同時に、関連する選択されたサンプルホールド回路 3 5 1 a - d に接続されるようにする。他の態様では、一度に (あるいは) 同時に、1 つのピクセル列のみが、関連する選択されたサンプルホールド回路に接続される。

【 0 0 1 5 】

コントローラ 4 5 0 は、第 1 のスイッチング回路 4 4 1 に、どのピクセル列 3 4 9 a - d をどのサンプルホールド回路 3 5 1 a - d に接続するべきかを示す信号を与える。好適な一形態において、コントローラ 4 5 0 による、ピクセル列 3 4 9 a - d とサンプルホールド回路 3 5 1 a - d の組み合わせ (m a t c h) は、ランダムな基準で行われる。ランダムな割り当てについて説明したが、発明はそれに限定されない。例えば、組み合わせは、擬似乱数で生じることとしてもよいし、又は他の様々な組み合わせ方法で生じることとしてもよい。

【 0 0 1 6 】

一実施形態において、コントローラ 4 5 0 は、ピクセルアレイ 2 3 0 の行からの各読み出しの前に、組み合わせなおす、つまり、ピクセル列 3 4 9 a - d 及びサンプルホールド回路 3 5 1 a - d の間で新たな組み合わせを作る。例えば、コントローラ 4 5 0 は、組み合わせを決定し、次に、選択された行が読み出され、次に、コントローラ 4 5 0 は組み合わせを決定し、次の行が読み出される。他の態様では、コントローラ 4 5 0 は、定期的に組み合わせなおす、つまり、コントローラが他の組み合わせの組を定めるまでの間隔は、設定されている。コントローラ 4 5 0 は、画像アレイ (i m a g e a r r a y) から読み出されるまでの間隔を定める。例えば、間隔が 5 である場合、コントローラ 4 5 0 は、ピクセルアレイ 2 3 0 の行からの 5 回目の読み出しの前に、組み合わせなおしを行う。更なる一態様において、コントローラ 4 5 0 は可変の間隔で組み合わせなおしを行い、この場合、間隔は、様々な方法、理想的にはランダムな方法で生成される。例えば、組み合わせなおしの間隔がランダムである場合、コントローラ 4 5 0 は、ピクセル配列 2 3 0 の行からの 1 回目、5 回目及び 1 3 回目の読み出しの前に、組み合わせなおす。アレイからの従来の読み出し (つまり、順番に左端の 1 番目の列から右端の最後の列まで順番にある行

を読み出し、その後、次の行について繰り返す)を参照しながら本発明を説明したが、発明はそれに限定されない。例えば、撮像装置を、インターリーブ方式で読み出すこととしてもよい。更に、必ずしも全ての行又は列を読み出した場合に限らず、例えば、撮像装置の解像度を変更した場合のこともある。

【0017】

各サンプルホールド回路351a-dの出力は、第2のスイッチング回路443に接続される。第2のスイッチング回路443の選択により、どのサンプルホールド回路351a-dが出力部354に接続されるのが決定する。コントローラ450は、第2のスイッチング回路443に、どのサンプルホールド回路351a-dが出力部354に接続されるべきなのかを示す信号を与える。コントローラ450は、サンプルホールド回路351a-dの読み出しの前に、第2のスイッチング回路443に信号を与える。

10

【0018】

実施形態において、コントローラ450による、サンプルホールド回路351a-dと出力部354との組み合わせは、ピクセル列349a-dとサンプルホールド回路351a-dの現在の組み合わせに基づいて行われる。例えば、左から右に順番に行が読み出される従来のシステムにおいて、コントローラが1番目のピクセル列349aと2番目のサンプルホールド回路351b、2番目のピクセル列349bと3番目のサンプルホールド回路351c、3番目のピクセル列349cと4番目のサンプルホールド回路351d、4番目のピクセル列349dと1番目のサンプルホールド回路351aを組み合わせると、出力部354に向けて読み出されるべき最初のサンプルホールド回路は、2番目のサンプルホールド回路351bである。したがって、コントローラ450は、2番目のサンプルホールド回路351bを出力部354に接続するように、適切な信号を第2のスイッチング回路443に与える。次の読出しには、コントローラ450は、適切な信号を第2のスイッチング回路443に与えて、3番目のサンプルホールド回路351cを出力部354に接続する。次の読出しには、コントローラ450は、適切な信号を第2のスイッチング回路443に与えて、4番目のサンプルホールド回路351dを出力部354に接続する。次の読出しには、コントローラ450は、適切な信号を第2のスイッチング回路443に与えて、1番目のサンプルホールド回路351aを出力部354に接続する。別の実施形態では、コントローラ450は、別個の処理回路(不図示)に、各行と、左から右へ順番に読み出されるサンプルホールド回路351a-d(つまり、回路351aから351d)との組み合わせを示す信号を与える。上記別個の処理回路は、各列からの信号の順序変えを調整し、信号が画像アレイに由来する順序を表現するようにさせる。発明のこの態様では、サンプルホールド回路351a-dは直接に出力部354に接続されるため、読み出し回路442は不要である。

20

30

【0019】

読み出し回路442に格納された信号は、その後、ピクセルアレイ230全体で共有する出力部354へ順番に列毎に読み出されることとしてもよい。アナログ出力信号は、その後、例えば、リセット信号と蓄積電荷信号を減算して、減算された信号をアナログ・デジタル変換器(ADC)に出力する差分アナログ回路へ出力されることとしてもよいし、代わりに、リセット信号及び蓄積電荷信号は直接にアナログ・デジタル変換器に送られることとしてもよい。

40

【0020】

その結果、固定パターン雑音のアレイ中の異なる列にランダムに混合し加えることにより、視覚で捕らえることができる列方向(すなわち列毎)の固定パターン雑音を低減した撮像装置を実現する。固定パターン雑音は必ずしも低減されないが、1つのサンプルホールド回路からの固定パターン雑音は、いつも1つのピクセル列と関係しているとは限らず、むしろいつも異なるピクセルに関係している。雑音が異なる列に加えられているため、人間の目には、雑音を捉えにくくなる。

【0021】

図4に、図3で例示したような読み出しシステムを含むAPSシステム400を備える

50

ように変更された典型的なプロセッサシステムである、システム 1100 を示す。システム 1100 は、画像センサ装置を備えるデジタル回路を有するシステムの一例である。このようなシステムは、コンピュータ・システム、カメラ・システム、スキャナ、マシン・ビジョン、車両ナビゲーション、テレビ電話、監視システム、オートフォーカス・システム、天体追跡システム、動き検出システム、画像安定化システム、及び、その他のシステムを備えることとしてもよいが、これに限られない。

【0022】

例えば、カメラ・システムの場合、システム 1100 は、通常、バス 1170 を介して入力/出力 (I/O) 装置 1150 と通信するマイクロプロセッサのような中央処理装置 (CPU) 1110 を備える。撮像装置 400 も、バス 1170 を介して CPU 1110 と通信する。システム 1100 は、また、バス 1170 を介して CPU 1110 と通信する、ランダム・アクセス・メモリ (RAM) 1160 を備え、更に、フラッシュ・メモリのような取り外し可能なメモリ 1130 を備えてもよい。撮像装置 400 を、1つの集積回路上又はそのプロセッサが搭載されているものとは別のチップ上に、記憶装置とともに又は記憶装置無しで、CPU、デジタル・シグナル・プロセッサ、又はマイクロプロセッサのようなプロセッサと組み合わせることとしてもよい。

【0023】

本発明の他の実施形態は、当然ながら、回路 1100 を製造する方法を含む。例えば、実施形態の一例において、CMOS 読み出し回路を製造する方法は、1つの集積回路に対応する基板の一部の上に、既知の半導体製造技術を用いて、図3及び4に示すようなピクセルアレイと読み出し回路を少なくとも1つ用意するステップを含む。読み出し回路の製造方法は、複数のサンプルホールド回路を前記基板上に形成することと、前記ピクセルアレイを構成する前記複数のピクセルの列の1つと前記サンプルホールド回路をスイッチングして接続するスイッチング回路を前記基板上に形成することを含む。製造方法は、制御回路を前記基板上に形成することと、前記制御回路と前記スイッチング回路を接続する電気経路を形成することを更に含むこととしてもよい。更に、製造方法は、前記サンプルホールド回路のうちの1つと前記下流の回路を接続する第2のスイッチング回路を前記基板上に形成するステップを含むこととしてもよい。

【0024】

特定の例となる実施形態を参照して本発明について説明し、図解したが、本発明の精神と範囲から逸脱することなく、多くの変更及び代替を行うことは当然ながら可能である。例えば、本発明を、2つのスイッチング回路及びそれに関連したコントローラについて示したが、本発明をそのように限定する趣旨ではない。コントローラは、既存のシステムにすでに備えられた制御回路に機能的に組み込まれてもよい。したがって、本発明は、上述の説明によって限定されるべきものではなく、特許請求の範囲によってのみ限定されるべきものである。

【図面の簡単な説明】

【0025】

本発明の上述の及びその他の利点と特徴は、以下の添付図面を参照した発明の詳細な説明から、よりよいように理解できるであろう。

【図1】能動ピクセル・センサアレイ及びそれに接続された処理回路を有する従来のデジタルシステムのブロック図である。

【図2】図1のセンサの一部をより詳細に示すブロック図である。

【図3】本発明の実施形態の一例に係わる能動ピクセル・センサアレイ及びそれに接続された処理回路を有するデジタルシステムのブロック図である。

【図4】本発明の実施形態の一例に従って構成された少なくとも1つの撮像装置を組み込んだプロセッサ・システムを示すブロック図である。

【図 2】

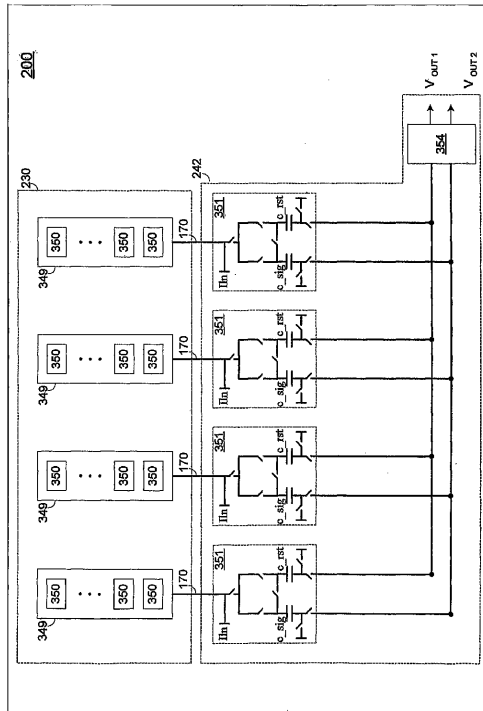


FIG. 2

【図 3】

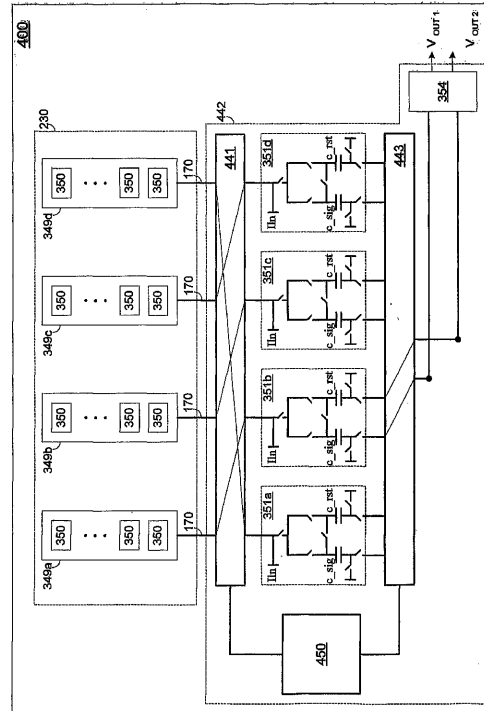
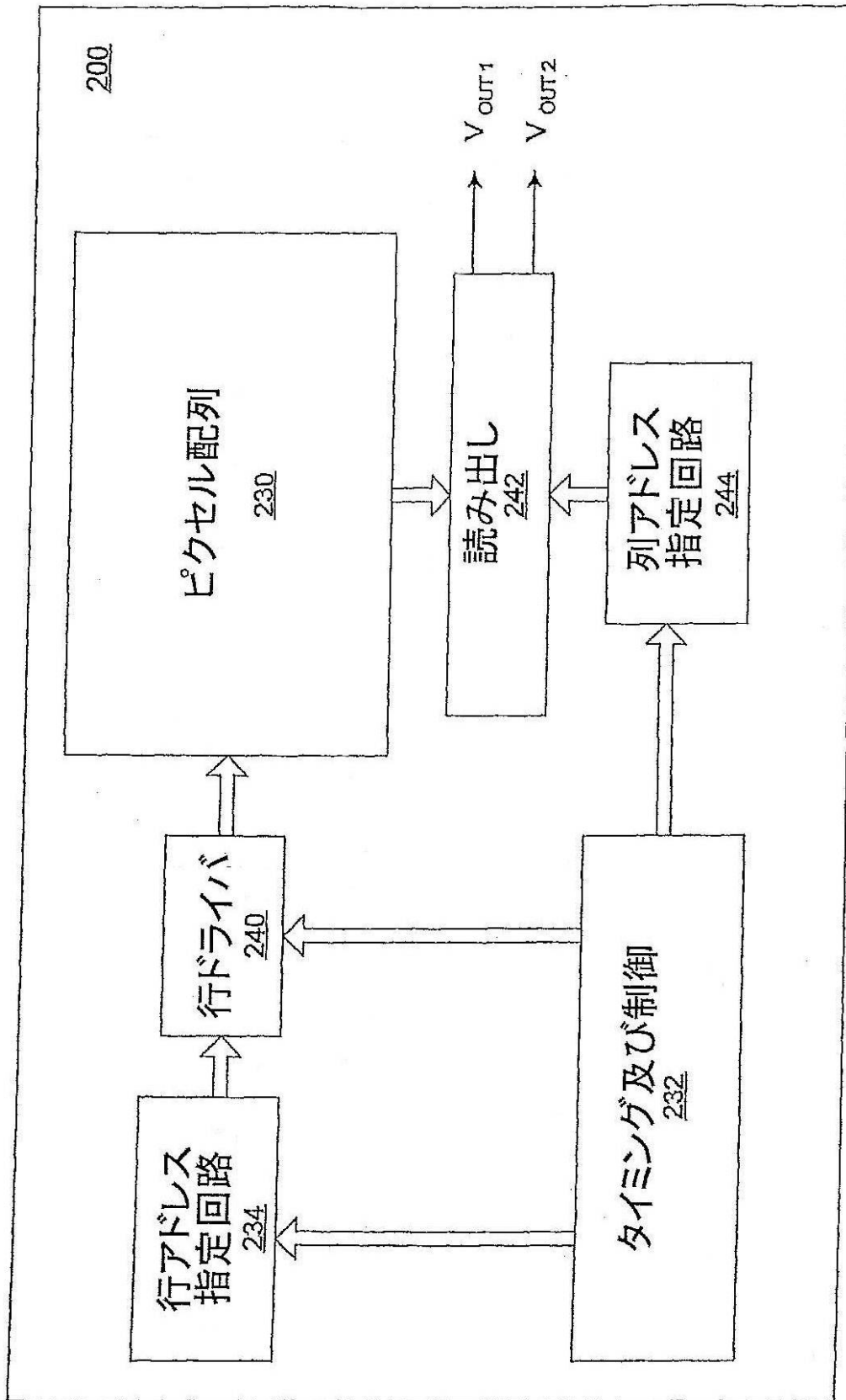
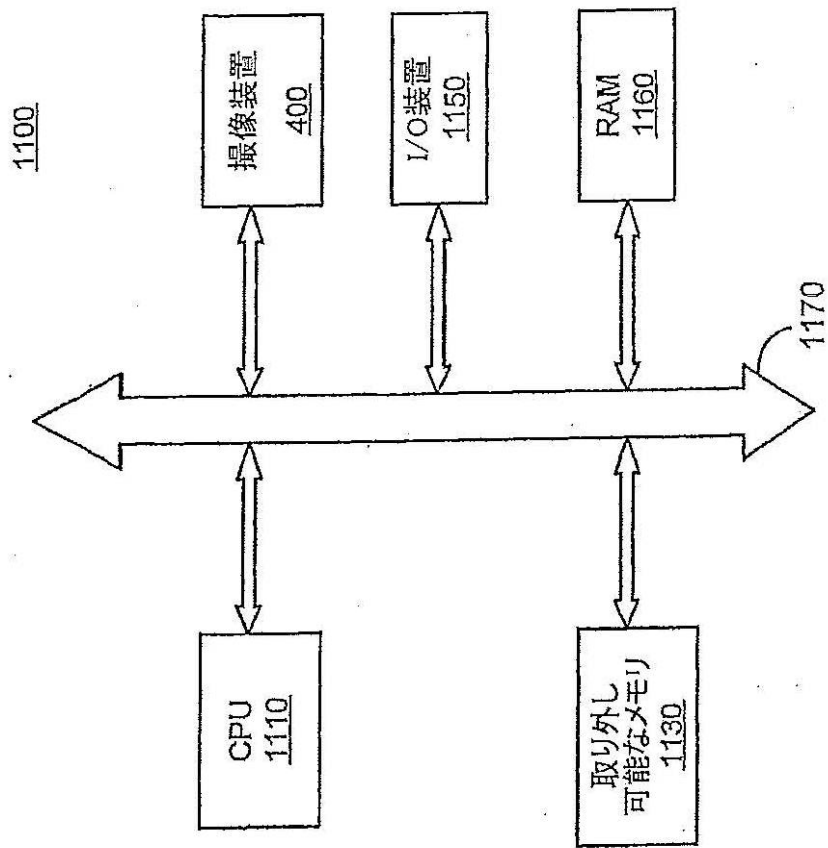


FIG. 3

【図 1】



【 図 4 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2006/013270

A. CLASSIFICATION OF SUBJECT MATTER
INV. H04N3/15

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>US 5 790 191 A (ZHANG ET AL) 4 August 1998 (1998-08-04)</p> <p>column 1, line 62 - column 2, line 25; figure 2 column 4, line 29 - line 55 column 5, line 46 - line 54 column 6, line 2 - line 24</p> <p style="text-align: center;">----- -/-</p>	<p>1-7,9, 10, 15-22, 28-39, 41,42, 47-53, 55,56, 61-67, 69,70</p>

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

G document member of the same patent family

Date of the actual completion of the international search

2 August 2006

Date of mailing of the international search report

09/08/2006

Name and mailing address of the ISA/

European Patent Office, P.B. 5618 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Montanari, M

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2006/013270

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004/041931 A1 (TU NICK ET AL) 4 March 2004 (2004-03-04) paragraph [0031]; figure 6	1-7,9, 10, 15-22, 28-39, 41,42, 47-53, 55,56, 61-67, 69,70
A	EP 1 115 244 A (SYMAGERY MICROSYSTEMS INC) 11 July 2001 (2001-07-11)	
A	US 2003/133625 A1 (PAIN BEDABRATA ET AL) 17 July 2003 (2003-07-17)	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2006/013270

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5790191	A	04-08-1998	NONE	
US 2004041931	A1	04-03-2004	NONE	
EP 1115244	A	11-07-2001	JP 2001235794 A	31-08-2001
			US 6831690 B1	14-12-2004
			US 2005088554 A1	28-04-2005
US 2003133625	A1	17-07-2003	US 6519371 B1	11-02-2003

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW