

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5537533号
(P5537533)

(45) 発行日 平成26年7月2日(2014.7.2)

(24) 登録日 平成26年5月9日(2014.5.9)

(51) Int. Cl.	F 1		
G06F 1/32	(2006.01)	G06F 1/00	332Z
G06F 1/30	(2006.01)	G06F 1/00	341M
G06F 12/08	(2006.01)	G06F 12/08	509F
		G06F 12/08	579

請求項の数 17 外国語出願 (全 19 頁)

(21) 出願番号	特願2011-230166 (P2011-230166)	(73) 特許権者	503260918
(22) 出願日	平成23年9月30日 (2011.9.30)		アップル インコーポレイテッド
(65) 公開番号	特開2012-79320 (P2012-79320A)		アメリカ合衆国 95014 カリフォルニア州 クパチーノ インフィニット ループ 1
(43) 公開日	平成24年4月19日 (2012.4.19)	(74) 代理人	100092093
審査請求日	平成23年11月2日 (2011.11.2)		弁理士 辻居 幸一
(31) 優先権主張番号	12/894,516	(74) 代理人	100082005
(32) 優先日	平成22年9月30日 (2010.9.30)		弁理士 熊倉 禎男
(33) 優先権主張国	米国 (US)	(74) 代理人	100067013
			弁理士 大塚 文昭
		(74) 代理人	100086771
			弁理士 西島 孝喜
		(74) 代理人	100109335
			弁理士 上杉 浩

最終頁に続く

(54) 【発明の名称】 ハードウェアのダイナミックなキャッシュパワー管理

(57) 【特許請求の範囲】

【請求項 1】

回路ブロックをパワーダウンさせる前に実行される第1の組のオペレーションと、前記回路ブロックをパワーアップさせるためにその後実行させる第2の組のオペレーションとを識別するデータを記憶するメモリであって、前記回路ブロックをパワーダウンさせる前に実行される前記第1の組のオペレーションは、前記回路ブロック内のレジスタに対する少なくとも1つのレジスタ書込みオペレーションを含む当該メモリと、

前記メモリ及び制御回路を含むシステム内のプロセッサがパワーダウンされるときに、前記回路ブロックをパワーダウンさせる要求を受信するために接合された制御回路であって、前記要求にตอบสนองして前記第1の組のオペレーションに対応する前記メモリ内で識別され且つ前記少なくとも1つのレジスタ書込みオペレーションを含むオペレーションを実行する前記制御回路と、を含む装置。

【請求項 2】

前記第1の組のオペレーションは、前記回路ブロックにおける複数の第1レジスタに関する複数の第1のレジスタ書込みオペレーションを含み、当該複数の第1のレジスタ書込みオペレーションは前記少なくとも1つのレジスタ書込みオペレーションを含み、前記メモリ内のデータは、前記複数の第1レジスタを識別する複数の第1アドレスと、前記複数の第1アドレスに書込まれる複数の第1データ値とを含み、

前記第2の組のオペレーションは、前記回路ブロックにおける複数の第2レジスタに関

する複数の第2のレジスタ書込みオペレーションを含み、前記メモリ内のデータは、前記複数の第2レジスタを識別する複数の第2アドレスと、前記複数の第2アドレスに書込まれる複数の第2データ値とを含む、
ことを特徴とする請求項1に記載の装置。

【請求項3】

第1レジスタが、前記複数の第1レジスタ及び前記複数の第2のレジスタの両方に含まれる、請求項2に記載の装置。

【請求項4】

前記メモリは、前記第1の組のオペレーション及び第2の組のオペレーションによりソフトウェアによってプログラム可能な1以上のレジスタを含む、請求項1に記載の装置。

10

【請求項5】

前記制御回路は、前記システム内のプロセッサがパワーダウンされる時の間に前記回路ブロックをパワーアップさせる要求を受信し、及び、前記回路ブロックをパワーアップさせる要求にตอบสนองして、前記第2の組のオペレーションに対応する前記メモリ内で識別されたオペレーションを実行する、請求項1に記載の装置。

【請求項6】

1以上のプロセッサと、前記回路ブロックが前記1以上のプロセッサに結合されたキャッシュである、請求項1に記載された装置とを含むシステムであって、

前記制御回路と前記メモリは前記キャッシュに結合されたブリッジ内に含まれ、前記メモリは、前記第1の組のオペレーション及び前記第2の組のオペレーションをあらゆるデータによりプログラム可能である複数のレジスタを含み、前記ブリッジは、前記キャッシュに関するパワーダウンイベントにตอบสนองして前記第1の組のオペレーションを実行し、そして前記キャッシュに関するパワーアップイベントにตอบสนองして前記第2の組のオペレーションを実行する、前記システム。

20

【請求項7】

前記1以上のプロセッサがパワーダウンされることの検出にตอบสนองし、更に1以上の周辺機器から未処理のオペレーションがないことを検出することにตอบสนองして、パワーダウンイベントを生成するよう構成されたパワーマネージャーを更に含む、請求項6に記載のシステム。

【請求項8】

30

前記ブリッジは、前記複数の第1オペレーションを完了することにตอบสนองして、前記パワーダウンイベントを肯定応答する、請求項7に記載のシステム。

【請求項9】

前記パワーマネージャーは前記パワーアップイベントを生成し、前記ブリッジは前記複数の第2オペレーションが完了することにตอบสนองして前記パワーアップイベントを肯定応答する、請求項7に記載のシステム。

【請求項10】

複数の命令を実行することにตอบสนองして、1以上のプロセッサのうちの第1プロセッサが、

前記キャッシュの1以上のコンフィグレーションレジスタを初期化し、
パワーダウンイベント及びその後のパワーアップイベントに引き続いて前記コンフィグレーションレジスタを自動的に元の状態に戻すために、前記ブリッジ内のメモリに前記コンフィグレーションレジスタに関する対応データを書込む、
処理を行なう請求項6に記載のシステム。

40

【請求項11】

前記複数の命令を実行することにตอบสนองして、前記第1プロセッサが、
各コンフィグレーションレジスタに関する各対応データに対して、前記対応データがパワーアップイベント中に書込まれることを示すフラグを書込むよう更に構成される、請求項10に記載のシステム。

【請求項12】

50

前記複数の命令を実行することに対応して、前記第 1 プロセッサが、
 パワーダウンイベント中に実行される 1 以上の追加的レジスタ書込みオペレーションに対応する前記ブリッジ内のメモリにデータを書込み、

前記 1 以上の追加的レジスタ書込みオペレーションがパワーダウンイベント中に実行されることを示す、前記追加的レジスタ書込みオペレーション対応フラグを書込むよう更に構成される、請求項 10 に記載のシステム。

【請求項 13】

前記 1 以上の追加的レジスタ書込みオペレーションは前記キャッシュ内に同期オペレーションを生じさせる、請求項 12 に記載のシステム。

【請求項 14】

回路ブロックに結合された 1 以上のプロセッサを含むシステム内で前記回路ブロックがパワーアップされることを検出する処理と、

前記回路ブロック及び 1 以上の周辺機器に結合される制御回路に要求を発行する処理と、

前記回路ブロック内の 1 以上のコンフィグレーションレジスタを初期化するために、前記制御回路が、前記制御回路に記憶された複数のオペレーションを実行することによって前記要求に対応する処理と、

パワーダウンされる前記回路ブロックを検出する処理と、

パワーダウンされる前記回路ブロックを検出することに対応して、前記制御回路へ第 2 の要求を発行する処理と、

前記制御回路が、前記制御回路に記憶された 1 以上の第 2 のオペレーションを実行することによって前記第 2 の要求に対応する処理であって、前記 1 以上の第 2 のオペレーションがキャッシュ内の第 1 のコンフィグレーションレジスタに対する第 1 の書込みオペレーションを含む当該対応する処理と、を含む方法。

【請求項 15】

各オペレーションは前記コンフィグレーションレジスタのアドレス、及び前記コンフィグレーションレジスタ内に書込まれる値によってあらわされる、請求項 14 に記載の方法。

【請求項 16】

前記 1 以上の第 2 のオペレーションは前記回路ブロック内で同期オペレーションを生じさせる、請求項 14 に記載の方法。

【請求項 17】

前記 1 以上の第 2 のオペレーションが完了したことを前記制御回路により決定する処理と、

前記決定に対応して、前記制御回路は前記第 2 の要求を肯定応答する処理と、

前記ブリッジの肯定応答に対応して前記回路ブロックをパワーダウンさせる処理と、を更に含む、請求項 14 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はデジタルシステムの分野に関し、特にデジタルシステムにおけるパワー管理に関する。

【背景技術】

【0002】

集積回路“チップ”上に含まれるトランジスタの数は増加し続けており、この集積回路におけるパワー管理の重要性が増大している。携帯型情報端末(PDA)、セル式携帯電話、多機能携帯電話(スマートフォン)、ラップトップコンピュータ、ネットトップコンピュータなどのモバイルデバイスに含まれる集積回路に対するパワー管理は重大なものとして位置づけられ得る。これらのモバイルデバイスは、しばしばバッテリーパワーに依存し、集積回路でのパワー消費を減少させることがバッテリー寿命を延ばすことを可能にさ

10

20

30

40

50

せてきた。さらに、パワー消費を減少させることは、集積回路が発散する熱を少なくさせ、集積回路を含むデバイス内の冷却条件（バッテリーパワーに依存しているか否か）を緩和させることができる。

【0003】

クロックゲートは集積回路におけるダイナミックなパワー消費を少なくさせるのによく用いられており、アイドル回路に対するクロックの無効化をしてアイドル回路でのスイッチングを避けていた。或る集積回路はクロックゲートに加えてパワーゲートを実装してきた。パワーゲートによって、アイドル回路のグランドパスへのパワーが遮断され、漏れ電流がほぼゼロに減少する。パワーをブロックにゲートして後に回復させるとき、ブロックは再初期化を要求することができる。この再初期はシステム内のプロセッサで実行されるソフトウェアによって処理される。

10

【発明の概要】

【課題を解決するための手段】

【0004】

一実施例において、制御回路は、パワーダウンされた後にパワーアップされる回路ブロックにオペレーションを送信し、オペレーション用の回路ブロックを再初期化するよう構成される。オペレーションはメモリ（例えば、一組のレジスタ）内に格納され、制御回路はこのメモリに結合し、そして制御回路及び回路ブロックを含むシステム内で実行するソフトウェアは、回路ブロックがパワーダウンする前に一度にオペレーションによってメモリをプログラム処理化する。一実施例において、回路ブロックがパワーダウンする前に、制御回路はメモリから回路ブロックへ他のオペレーションを送信するよう構成される。したがって、システム内のプロセッサがパワーダウンされる（したがって、ソフトウェアがそのときに実行可能でない）ときの間であっても、パワーアップ/パワーダウンイベントのためにプロセッサを活動させることなしに、回路ブロックはパワーアップされたりパワーダウンされたりし得る。

20

【0005】

一実施例において、回路ブロックは1以上のプロセッサに結合されたキャッシュであり、制御回路は、1以上の周辺機器に結合するブリッジ及び/又はキャッシュに対する終端インタフェースコントローラの一部である。プロセッサがパワーダウンされ、かつ周辺機器が一時期（少なくともアクセスメモリに関して）アイドル状態である場合、キャッシュはパワーダウンされる。周辺メモリオペレーションのために、メモリプロセッサをパワーアップするために、キャッシュをパワーアップする。一実施例において、キャッシュ制御回路はパワーダウンされるが、キャッシュメモリはキャッシュに格納されるキャッシュブロックを保持するためにパワーされ続ける。

30

【0006】

後述する詳細な説明は添付の図面を引用する。図面の簡単な説明は以下のとおりである。

【図面の簡単な説明】

【0007】

【図1】図1は、システムの一実施例のブロック図である。

40

【図2】図2は、図1に示すシステムの一部のブロック図であり、実施例をより詳細に示している。

【図3】図3は、キャッシュをダイナミックにパワーダウンするパワーマネージャーのオペレーションを例示したフローチャートである。

【図4】図4は、キャッシュをダイナミックにパワーダウンするコアインタフェースのオペレーションを例示したフローチャートである。

【図5】図5は、キャッシュをダイナミックにパワーアップするパワーマネージャーのオペレーションを例示したフローチャートである。

【図6】図6は、キャッシュをダイナミックにパワーアップするコアインタフェースのオペレーションを例示したフローチャートである。

50

【図7】図7は、キャッシュのダイナミックなパワーダウン及びパワーアップを示したタイミング図である。

【図8】図8は、キャッシュのコンフィグレーションコードのオペレーションを例示したフローチャートである。

【図9】図9は、コンピュータアクセス可能な記憶媒体のブロック図である。

【図10】図10は、システムの別の実施例のブロック図である。

【発明を実施するための形態】

【0008】

本発明は様々な修正及び代替態様を受け入れる余地がある一方で、それらの特定の実施例は図面で例示する方法によって示され、詳細が記述されるであろう。しかしながら、図面及び詳細な説明は、ここでは本願発明を開示された特別な態様に限定する意図はなく、これとは反対に、あらゆる修正、均等、及び代替が添付の図面により定められる本願の精神及び範囲内に収まるようにカバーされることを理解されたい。ここで用いている見出しは記載を組織化する目的であり、記載の範囲を制限するために用いている意味ではない。本願全体を通して用いられている「できる(may)」は、義務の意味(すなわち、しなければならない(mustの意味))というよりは、許可の意味(すなわち、可能性を持つ意味)である。同様に、「含む(include, including, includes)」の語は、含むの意味であり、これに制限されることではないことを理解されたい。

【0009】

様々な装置、回路、又は他の構成要素が、1以上のタスクを実行するよう「構成される」ものとして記載され得る。そのような意味で、「構成される(configured to)」は、オペレーション中のタスクを実行する「回路をもつ」一般的意味の構成である広い規定である。その結果、装置/回路/構成要素は、現時点では存在しないときでさえ当該タスクを実行するよう構成することができる。一般的に、「構成される」に対応する構成を形成する回路はハードウェア回路を含む。メモリは、静的又は動的なランダムアクセスメモリなどの揮発性メモリ、及び/又は光又は磁気ディスク媒体、フラッシュメモリ、プログラム可能なリードオンリーメモリなどの不揮発性メモリを含むことができる。同様に、様々な装置/回路/構成要素は、記載の簡便さのためにタスクを実行するものとして記載されている。このような記載は「構成される」を含むものとして解釈されるべきである。1以上のタスクを実行するよう構成された装置/回路/構成要素を規定することは、装置/回路/構成要素の解釈である合衆国法典35編第112条第6パラグラフを行使しないよう明確に意図されている。

【0010】

典型的なシステム及び集積回路を以下に示すが、そこではプロセッサがパワーダウンされながら、レベル2(L2)キャッシュがパワーアップ又はダウンされる。そして、ブリッジ内の制御回路は、パワーアップでキャッシュを初期化し、及び/又は、パワーダウンのためのキャッシュを準備するオペレーションを実行するよう構成される。しかしながら、他の実施例は、システム内のプロセッサがパワーダウンしている間に任意の回路ブロックをパワーアップ/パワーダウンさせる同様のメカニズムを実装する。L2キャッシュに関して後述するとおり、オペレーションはレジスタ書き込みオペレーションの構成であったり、又はレジスタ読出しオペレーションなどの他のタイプのオペレーション若しくはパワーアップ/パワーダウンに関する回路ブロック状態を変更する回路ブロックによって解釈されるコマンドであったりする。

【0011】

一般的に、回路ブロックは1以上の識別可能な機能を実行する一組の関連回路を含む。この関連回路は論理回路又は論理電気回路と呼ばれるが、その理由としては、その回路が出力を生成する入力に関する論理オペレーションを実行するからである。所与の回路ブロック内の複数の回路が関連するので、それらはユニットとしてパワーアップ/パワーダウンされる。集積回路の設計の間で各回路ブロックはユニットとして一般的に扱われる(例えば、ユニットとして集積回路内に物理的に配置される)。回路ブロックはメモリ回路(

10

20

30

40

50

例えば、様々なスタティックランダムアクセスメモリ、すなわちSRAM)、及び論理回路の部分である他の記憶デバイスを更に含む。例えば、システムオンチップ(SOC)を実装する集積回路において、SOCのコンポーネントはそれぞれ別個の回路ブロックである。

【0012】

概観

図1を参照すると、システム5の一実施例のブロック図が示されている。図1の実施例において、システム5は外部メモリ12A-12Bに接合された集積回路(IC)10を含む。例示の実施例の場合、集積回路10は中央処理装置(CPU)ブロック14を含み、CPUブロック14は1以上のプロセッサ16とレベル2(L2)キャッシュ18を含む。別の実施例はL2キャッシュ18を含まないか、付加的なレベルのキャッシュを含むの少なくとも何れかである。さらに、2以上のプロセッサ16を含む実施例、及び1つだけのプロセッサ16を含む実施例が検討される。集積回路10は更に1以上の非リアルタイム(NRT)周辺機器20のセットと、1以上のリアルタイム(RT)周辺機器22のセットを含む。例示の実施例の場合、CPUブロック14は、ブリッジ/ダイレクトメモリアクセス(DMA)コントローラ30に結合され、ブリッジ/ダイレクトメモリアクセス(DMA)コントローラ30は1以上の周辺デバイス32A-32C及び/又は1以上の周辺インタフェースコントローラ34に結合する。様々な実施例において、周辺デバイス32及び周辺インタフェースコントローラ34の数は、0から任意の所望の数まで変化する。図1に示したシステム5はG0 38A及びG1 38Bなどの1以上のグラフィックコントローラを含むグラフィックユニットを更に含む。グラフィックユニット当りのグラフィックコントローラの数、及びグラフィックユニットの数は、他の実施例では変わることがある。図1に示すように、システム5は1以上のメモリ物理インタフェース回路(PHY)42A-42Bに結合するメモリコントローラ40を含む。メモリ物理インタフェース回路(PHY)42A-42Bは、メモリ12A-12Bと集積回路10のピン上で通信するよう構成されている。また、メモリコントローラ40は、一組のポート44A-44Eを含む。ポート44A-44Bのそれぞれは、グラフィックコントローラ38A-38Bのそれぞれと結合する。CPUブロック14はポート44Cと結合する。NRT(非リアルタイム)周辺機器20及びRT(リアルタイム)周辺機器22は、ポート44D-44Eとそれぞれ結合する。メモリコントローラ40に含まれるポート数は、メモリコントローラの数であるので、他の実施例において変化し得る。つまり、図1に示すポートよりも多かったり少なかったりするポートがあり得る。メモリPHY42A-42Bの数及び対応するメモリ12A-12Bは、他の実施例においては1又は2以上である。

【0013】

一般的に、ポートは、1以上のソースと通信するメモリコントローラ40上の通信ポイントである。或るケースにおいては、ポートはソース専用となる(例えば、ポート44A-44Bは、グラフィックコントローラ38A-38Bそれぞれに専用となる。)他のケースでは、多数のソース間でポートが共有される(例えば、プロセッサ16はCPUポート44Cを共有し、NRT周辺機器20はNRTポート44Dを共有し、ディスプレイパイプ26及びイメージプロセッサ24などのRT周辺機器はRTポート44Eを共有する。)各ポート44A-44Eは、その各エージェントと通信するインタフェースに結合する。インタフェースは任意のタイプの通信媒体(例えば、バス、ポイントツー・ポイント相互接続など)であり、任意のプロトコルを実装する。メモリコントローラとソース間の相互接続もまた、メッシュ、チップファブリックのネットワーク、共有バス、ポイントツー・ポイント相互接続などの他の任意の所望の相互接続を含む。

【0014】

プロセッサ16は、どんな命令セットアーキテクチャもインプリメントし、その命令セットアーキテクチャに定義されている命令を実行(演算)する。プロセッサ16はスケーラ、スーパー・スケーラ、パイプライン、スーパー・パイプライン、順序外、順序どおり、推論、非推論等又はそれらの組み合わせを含む任意のマイクロ・アーキテクチャを

10

20

30

40

50

用いる。プロセッサ 16 は、回路を含み、そしてマイクロコーディング テクニックを選択的にインプリメントする。プロセッサ 16 は 1 以上のレベル 1 キャッシュを含み、そしてその結果、キャッシュ 18 は L2 キャッシュである。他の実施例では、プロセッサ 16 内のマルチキャッシュレベルを含む。キャッシュ 18 は階層的に次のレベルに下降する。キャッシュ 18 は任意のサイズ及びコンフィグレーション（セット関連、ダイレクトマッピングなど）を適用する。

【0015】

グラフィックコントローラ 38A - 38B は、グラフィック処理回路である。一般的に、グラフィックコントローラ 38A - 38B はフレームバッファに表示されるようオブジェクトをレンダリングする。グラフィックコントローラ 38A - 38B は、一部又は全てのグラフィックオペレーションを実行するグラフィックソフトウェア、又は或るグラフィックオペレーションのハードウェア加速の少なくともいずれかを演算するグラフィックプロセッサを含む。ハードウェア加速の量及びソフトウェアインプリメンテーションは、各実施例で変化する。

【0016】

NRT 周辺機器 20 は、非リアルタイム周辺機器を含み、そのパフォーマンス及び/又はバンド幅の理由から、メモリ 12A - 12B への独立したアクセスを提供する。つまり、NRT 周辺機器 20 によるアクセスは、CPU ブロック 14 とは独立し、CPU ブロックメモリオペレーションとは並行して進む。周辺機器 34 などの他の周辺機器及び/又は周辺インタフェースコントローラ 34 によって制御された周辺インタフェースと接合する周辺機器も非リアルタイム周辺機器であるが、独立したメモリアccessを要求していない。NRT 周辺機器 20 の様々な実施例は、ビデオエンコーダ及びデコーダ、スケーラ (scaler)/ローテータ (rotator) 回路、画像の圧縮/復元回路などを含む。

【0017】

RT 周辺機器 22 はメモリ待ち時間を要求するリアルタイムをもつ任意の周辺機器を含む。例えば、RT 周辺機器はイメージプロセッサ及び 1 以上のディスプレイパイプを含む。ディスプレイパイプは 1 以上のフレームをフェッチし、フレームをブレンドし、ディスプレイイメージを形成する回路を含む。ディスプレイパイプは 1 以上のビデオパイプラインを更に含む。ディスプレイパイプの結果は、ディスプレイスクリーン上のディスプレイスクリーンに表示されるべきピクセルストリームである。ディスプレイスクリーン上のディスプレイに関するディスプレイコントローラにピクセル値を送信する。イメージプロセッサはカメラデータを受信し、メモリに記憶されるイメージにデータを処理する。

【0018】

ブリッジ/DMA コントローラ 30 は周辺機器 32 及びメモリ空間に対する周辺インタフェースコントローラ 34 にブリッジする回路を含む。例示の実施例の場合、ブリッジ/DMA コントローラ 30 は、ブロック 14 を介した、周辺インタフェースコントローラから CPU メモリコントローラ 40 へのメモリオペレーションをブリッジする。また、CPU ブロック 14 は、ブリッジされたメモリオペレーション群、及びプロセッサ 16/L2 キャッシュ 18 からのメモリオペレーション群間のコヒーレンスを保持する。L2 キャッシュ 18 は、CPU インタフェース上で送信されるプロセッサ 16 から CPU ポート 44 C までのメモリオペレーションによりブリッジされたメモリオペレーションを仲介する。また、ブリッジ/DMA コントローラ 30 は、周辺機器 32 及び周辺インタフェースコントローラ 34 のために DMA オペレーションを提供し、メモリから及びメモリヘデータブロックを転送する。詳細にいうと、DMA コントローラは、周辺機器 32 及び周辺インタフェースコントローラ 34 のために、メモリコントローラ 40 を介して、メモリ 12A - 12B から及びメモリ 12A - 12B への転送を実行するよう構成されている。DMA コントローラは、プロセッサ 16 によってプログラム化され、DMA コントローラは、オペレーションを実行する。例えば、DMA コントローラは、記述子を介してプログラム可能である。この記述子は DMA 変換子（例えば、送信元アドレス及び宛先アドレス、サイズなど）を記述するメモリ 12A - 12B に記憶されたデータ構造である。或いは又、DM

10

20

30

40

50

AコントローラはDMAコントローラ(不図示)内のレジスタを介してプログラム化が可能である。

【0019】

周辺機器32A-32Cは、所望の入力/出力デバイス又は集積回路10に含まれる他のハードウェアデバイスを含む。例えば、周辺機器32A-32Cは、イーサネット(登録商標)MAC(メディアアクセスコントローラ)又は無線フィデリティ(WiFi)などの1以上のネットワークMACといったネットワーク周辺機器を含む。様々なオーディオ処理デバイスを含むオーディオユニットが周辺機器32A-32Cに含まれる。1以上のデジタル信号プロセッサが周辺機器32A-32Cに含まれる。周辺機器32A-32Cは、タイマー、オンチップシークレットメモリ、暗号エンジンやこれらの組み合わせなど他の任意の機能を含む。

10

【0020】

周辺インタフェースコントローラ34は、任意のタイプの周辺インタフェースに関する任意のコントローラを含む。例えば、周辺インタフェースコントローラは、USBコントローラ、周辺コンポーネント相互接続高速(PCIe)コントローラ、フラッシュメモリインタフェース、汎用入出力(I/O)ピンなどの様々なインタフェースコントローラを含む。

【0021】

メモリ12A-12Bは、ダイナミック・ランダムアクセスメモリ(DRAM)、同期DRAM(SDRAM)、ダブルデータレート(DDR, FDDR2, DDR3など)、(mDDR3などの携帯バージョンのSDRAM、LPDDR2などの低パワーバージョンのSDRAMの少なくともいずれかを含む)SDRM、RAMBUS DRAM(RDRAM)、スタティックRAM(SRAM)などの任意のタイプのメモリである。1以上のメモリデバイスがメモリモジュールを形成する回路基板上で接合される。ここで、メモリモジュールとは、単一インライン・メモリモジュール(SIMM)、デュアルインライン・メモリモジュール(DIMM)などである。あるいはまた、デバイスはチップオンチップ構成、パッケージオンパッケージ構成、又はマルチチップモジュール構成の集積回路10によりマウントされる。

20

【0022】

メモリPHY42A-42Bは、メモリ12A-12Bに対して低レベル周辺インタフェースを扱う。例えば、メモリPHY42A-42Bは、同期DRAMメモリなどに正確なクロッキング(clocking)用の信号タイミングに責任を負う。一実施例において、メモリPHY42A-42Bは、集積回路10内に供給されるクロックをロックするよう構成され、そしてメモリ12により用いられるクロックを生成するよう構成される。

30

【0023】

他の実施例は、図1で示すコンポーネント及び/又は他のコンポーネントのサブセット又はスーパーセットを含むコンポーネントの組み合わせを含むことに留意されたい。所与のコンポーネントの一実施例が図1に示される一方で、他の実施例は所与のコンポーネントの1以上の実施例を含む。同様に、発明の詳細な説明の全体を通して、所与のコンポーネントの1以上の実施例は、たとえ1つしか示されていないとしても、1つの実施例を含む実施例を含み、複数の実施例が示される場合にも用いられる。

40

【0024】

L2キャッシュのパワーアップ/パワーダウン

図2を参照すると、集積回路10の一部の実施例のブロック図が詳細に示されている。特に、CPUブロック14及びブリッジ/DMAコントローラ30がパワーマネージャー50と共に示されている。CPUブロック14はプロセッサ16及びL2キャッシュ18を含む。図2の実施例の場合、L2キャッシュ18はL2キャッシュコントロール18A及びL2キャッシュメモリ18Bとして示されている。L2キャッシュコントロール18Aは、キャッシュ制御回路52及びコヒーレンス制御回路54を含む。キャッシュ制御回路52及びコヒーレンス制御回路54のそれぞれは、コンフィグレーションレジスタ56

50

A - 5 6 Dなどのコンフィグレーションレジスタを含む。プロセッサ16は、L2キャッシュコントロール18A、特にコヒーレンス制御回路54と結合される。コヒーレンス制御回路54はキャッシュ制御回路52と結合される。L2キャッシュコントロール18A及び特にキャッシュ制御回路52は、L2キャッシュメモリ18Bと結合される。L2キャッシュコントロール18Aは更にメモリコントローラ40（例えば、図1のCPUポート44C）と結合する。パワーマネージャ50は、L2キャッシュコントロール18A（例えば、図2のL2パワー制御信号）及びプロセッサ16（例えば、図2のプロセッサパワー制御信号）と結合する。

【0025】

ブリッジ/DMAコントローラ30は、コヒーレントI/Oインタフェースユニット（CIF）58、パワーアップ/パワーダウンメモリ60、DMAコントローラ62を含む。CIF58は、ワーアップ/パワーダウンメモリ60と、DMAコントローラ62と、L2キャッシュコントロール18Aと（特に、コヒーレンス制御回路54）、パワーマネージャ50と（例えば、図2のI/Oアイドル、PWRUpReq、PWRUpAck信号を介して）、周辺回路32A - 32Cと、周辺インタフェースコントローラ34との少なくとも何れか一つと結合される。DMAコントローラ62は更に、周辺回路32A - 32Cと、周辺インタフェースコントローラ34と結合する。一実施例において、DMAコントローラ62及びCIF58は、周辺回路32A - 32C及び/又は周辺インタフェースコントローラ34の各サブセットと結合する。サブセットはオーバーラップし得る（例えば、ある周辺機器/周辺インタフェースコントローラは、DMAを介して及びCIF58との直接通信を介しての両方によりメモリと通信するよう構成されている）。他の周辺機器/周辺インタフェースコントローラは、DMAを介してのみ又はCIF58に直接送信されたオペレーションを介してのみメモリと通信する。

【0026】

コンフィグレーションレジスタ56A - 56Dはソフトウェアによってプログラム化され、キャッシュ制御回路52及びコヒーレンス制御回路54のオペレーションの様々な面を制御する。一般的に、回路ブロックは、様々なプログラム可能なコンフィグレーションの間でソフトウェアを選択できるようにするコンフィグレーションレジスタを実装する。例えば、L2キャッシュ18のサイズ及びコンフィグレーションは、或る所定の最大数の範囲内で選択可能であらう。キャッシュの書込みスルー/書込みバックオペレーションが構成される。コヒーレントモードはコンフィグレーションレジスタ56A - 56Dを通じて有効化されコントロールされる。或る実施例において、キャッシュ制御回路52だけがキャッシュコンフィグレーションレジスタ56A - 56Dを含むか、若しくは、コヒーレンス制御回路54だけがキャッシュコンフィグレーションレジスタを56A - 56Dを含む。

【0027】

L2キャッシュ18がパワーダウンされる場合、コンフィグレーションレジスタ56A - 56Dの少なくとも幾つかに記憶されたコンフィグレーションデータが失われる。L2キャッシュ18がパワーダウンされ、その後にパワーアップされた後にコンフィグレーションを復活させるため、コンフィグレーションデータをパワーアップ/パワーダウンメモリ60に記憶する。例えば、ソフトウェアがコンフィグレーションレジスタ56A - 56Dをパワーアップで復活されるはずの値でプログラムされるとき、ソフトウェアはパワーアップ/パワーダウンメモリ60に値を書込む。同様に、パワーダウンの前に実行される、コンフィグレーションレジスタ書込み又は他のレジスタ書込みがある。例えば、パワーダウンの前に、（任意の未処理メモリオペレーション若しくは他の通信が完了することを保証しながら）レジスタがL2キャッシュ18を同期させる同期コマンドで書込まれる。

【0028】

パワーアップ/パワーダウンイベントの間中、CIF58はパワーアップ/パワーダウンメモリ60からオペレーションを讀出すように構成される。パワーマネージャ50はCIF58に対してパワーアップ又はパワーダウンイベントを信号送信するよう構成され

10

20

30

40

50

、そしてC I F 5 8 はメモリ6 0 を読出して対応のイベントをL 2 キャッシュ1 8 に送信するよう構成される。オペレーションが終了すると、C I F 5 8 はパワーマネージャー5 0 に対して終了報告を通信するよう構成される。これに应答して、パワーマネージャー5 0 はパワーアップ/パワーダウンイベントを完了させる。

【 0 0 2 9 】

パワーマネージャー5 0 及びC I F 5 8 の間で任意の通信が実行される。例示した実施例においては、パワーマネージャー5 0 はP w r U p R e q 信号を用いながらパワーアップ若しくはパワーダウンイベントを信号送信する。詳しく言うと、パワーマネージャー5 0 は、L 2 キャッシュ1 8 がパワーアップされることを示すためにP w r U p R e q 信号をアクティブな状態にし、L 2 キャッシュ1 8 がパワーダウンされることを示すためにP w r U p R e q 信号をアクティブでない状態に構成される。P w r U p R e q 信号のアクティブ状態にあわせて、C I F 5 8 の間5 8 は、パワーアップオペレーションとして示されるパワーアップ/パワーダウンメモリ6 0 内の任意のオペレーションを読出して、このオペレーションをL 2 キャッシュ1 8 に通信するよう構成されている。C I F 5 8 は、オペレーションが完了したことを決定し(例えば、各レジスタ書込みオペレーションに対応する書込み完了を受信すること)、そしてパワーアップイベントを肯定应答するためにC I F 5 8 はP w r U p A c k 信号をアクティブ状態にする。パワーマネージャー5 0 は、P w r U p A c k 信号のアクティブ状態に反応してL 2 キャッシュ1 8 への通信を再びイネーブルする。

【 0 0 3 0 】

L 2 キャッシュ1 8 をパワーダウンすることはキャッシュ制御回路5 2 を少なくともパワーダウンすることを含む。ある実施例においては、コヒーレンス制御回路5 4 もまたパワーダウンされる。L 2 キャッシュ1 8 B は幾つかの実施例においては、キャッシュ内のキャッシュ状態(例えば、メモリからの様々なキャッシュブロック、タグ・有効性・コヒーレンス状態などのキャッシュブロック)を保持しながらパワーオンされたままである。或いはまた、L 2 キャッシュ1 8 B は、L 2 キャッシュ1 8 をパワーダウンする一部としてパワーダウンされている。パワーダウンされた回路/メモリは、パワーアップイベントに应答して再びパワーアップされ得る。

【 0 0 3 1 】

パワーアップ/パワーダウンメモリ6 0 は任意の半導体ストレージから形成される。例えば、ソフトウェアによって読出され/書込まれるマルチレジスタが提供される。他の実施例は、他の形式のストレージ(例えば、スタティックR A Mなどのランダムアクセスメモリ(R A M))を用いる。

【 0 0 3 2 】

パワーアップ/パワーダウンメモリ6 0 は一般的にマルチエントリを含む。図2のメモリ6 0 に典型的な2つのエントリを示す。例示の実施例の場合、パワーアップ/パワーダウンメモリ6 0 内の各エントリは、図2のエントリにおいて、フィールドとデータフィールドとして示したように、アドレスとデータの組を含む。アドレスは書込まれるコンフィグレーションレジスタを識別し、データはそのコンフィグレーションレジスタに書込まれる値である。アドレスは相対的なものであり(例えば、アドレスはL 2 キャッシュコントロール1 8 A に対応するベースアドレスからのオフセットであったり、又は、コヒーレンス制御回路5 4 及び/又はキャッシュ制御回路5 2 のためのベースアドレスである)。或いはまた、このアドレスは、対応のレジスタ5 6 A - 5 6 D に対する書込みオペレーションにある、プロセッサが送信したであろう完全アドレスである。また、各エントリは、エントリが有効情報を記憶しているか否かを示す有効ビット(V)を含む。さらに、この実施例の場合、各エントリは、パワーダウン中又はパワーアップ中にコンフィグレーションレジスタ書込みが実行されるかどうかを示すパワーダウン(D)フィールドを含む。Dフィールド内のDビットはパワーダウンレジスタ書込みを示すためにセットされ、パワーアップレジスタ書込みを示すことが明らかである。他の実施例は、パワーダウン及びパワーアップに関して異なるメモリを使用したり、又は既知の形式でメモリを分割したりし、そ

してDフィールドは各エントリに含まれていないかもしれない。

【0033】

一実施例において、ソフトウェアは、パワーアップ/パワーダウンメモリ60の初期エントリにパワーダウンアドレス/データの組を書込み、そしてその後のエントリにパワーアップアドレス/データの組を書込むことが見込まれている。このような実施例の場合、パワーダウンイベントにตอบสนองして、Dビットをクリアさせるエントリに遭遇するまで、CIF58は初期エントリをもつオペレーション始めを読出す。CIF58はポインタをエントリに残し、パワーアップイベントにตอบสนองして示されたエントリからパワーアップオペレーションを読出すことを始める(その後で、そのポインタは初期エントリに対するポインタに再びリセットされる)。

10

【0034】

パワーアップ/パワーダウンメモリ60がコンフィグレーションレジスタ書込みを記憶する一方で、他の実施例は実行されるべき任意のタイプのオペレーション(例えば、レジスタ書込み、レジスタ読出し、コマンドなど)を記憶する。したがって、L2キャッシュ18をパワーアップし及びパワーダウンするためのフレキシブルなメカニズムがサポートされる。このメカニズムはL2キャッシュ18をパワーアップし又はパワーダウンすることをサポートしながら、プロセッサ16を(プロセッサ16を起動することなく)パワーダウンする。くわえて、オペレーションがメモリ60内でプログラム可能であることから、実行されるはずのオペレーションは変更され、そしてオペレーションの順序が変更される。したがって、メカニズム自体がハードウェアで動作かとしても、そのメカニズムはソフトウェア変更を介して(オペレーティングにエラーがあれば)訂正される。

20

【0035】

一般的に、キャッシュ制御回路52はL2キャッシュ18Bにアクセスすることを管理するよう構成される。このキャッシュ制御回路52は、キャッシュアクセスに関するヒット/ミスを検出し、ミスのためのキャッシュ充填を開始し、L2キャッシュ18内の置き換えポリシーを管理したりする。コヒーレンス制御回路54は、プロセッサ16のメモリオペレーションのために、そしてCIF58からのメモリオペレーションのために(例えば、DMAコントローラ62からのDMAオペレーション及び/又は周辺機器32A-32Cから直接受信した他のメモリオペレーション及び/又は周辺インタフェースコントローラ34)、CPUブロック14におけるキャッシュコヒーレントをコントロールする。コヒーレンス制御回路54は、プロセッサ16内のキャッシュに関するスヌープ(詮索)タグを保持し、そしてキャッシュコヒーレンス目的のためにL2キャッシュメモリ18Bを詮索するため、キャッシュコントロールプロセッサ16に対するキャッシュアクセスを生成するよう構成される。

30

【0036】

パワーマネージャー50は、プロセッサ16及びL2キャッシュ18、さらには集積回路10における他の様々なアクティビティ(不図示)をモニタリングするよう構成される。パワーマネージャー50は、プロセッサ16のパワーアップ又はダウンを含むパワー状態を、プロセッサパワー制御信号を介してコントロールする。プロセッサ16は様々な実施例において独立して又は同期してパワーアップ又はパワーダウンされる。

40

【0037】

パワーマネージャー50は、L2キャッシュ18がアイドル(遊休)状態である場合、L2キャッシュ18をパワーダウンする。パワーマネージャー50は、L2キャッシュ18が様々な態様でアイドル(遊休)状態であることを検出する。例えば、プロセッサ16がパワーダウンされ、その結果、どのメモリオペレーションもプロセッサ16から見込まれていないことにパワーマネージャー50は気づく。さらに、パワーマネージャー50は、ブリッジ/DMAコントローラが少なくともメモリオペレーションに関してアイドル状態であることを検出する。例示の実施例の場合、CIF58はI/Oアイドル信号を生成する。CIF58は、周辺機器32A-32C及び/又は周辺インタフェースコントローラ34からのメモリオペレーションがないということを示すI/Oアイドル信号(DMA

50

コントローラ 6 2 からの何のメモリオペレーションもないことを含む) をアサートする。一実施例において、C I F 5 8 は、パワーマネージャー 5 0 へ I/O アイドル信号をアサートする前に、プログラム可能な連続クロックサイクル数に関するメモリオペレーションがないことを検出する。一実施例において、C I F 5 8 は I/O アイドル信号をアサートしないよう構成される。しかしながら、C I F 5 8 は、パワーマネージャー 5 0 から、メモリオペレーションが送信され得る知らせを待つ。その知らせは、パワーマネージャー 5 0 がメモリオペレーションを受信する前にパワーダウンイベントを開始したという競争状態を避け、その結果、パワーダウンイベントの一環として失われることとなる L 2 キャッシュ 1 8 へのメモリオペレーション送信を避ける。一実施例において、準備完了信号 (不図示) がパワーマネージャー 5 0 によって提供され、I/O アイドル信号のアサーション (及びアサーション停止) の後に、L 2 キャッシュ 1 8 がメモリオペレーションにとって準備完了であることを示す。

10

【 0 0 3 8 】

次に、図 3 ~ 6 を参照すると、パワーマネージャー 5 0 及び L 2 キャッシュ 1 8 をパワーアップ及びダウンさせる C I F 5 8 のオペレーションをあらわすフローチャートが示されている。理解を容易にするために特定の順序でブロックを示しているが、他の順序も用いられる。パワーマネージャー 5 0 及び / 又は C I F 5 8 の組み合わせ論理において並行してブロックが実行される。ブロック、ブロックの組み合わせ、及び / 又はフローチャートは、全体として、マルチクロックサイクルでパイプラインされる。メモリコントローラ 4 0 は、図 1 9 に示すオペレーションを実行するように構成される。パワーマネージャー 5 0 及び / 又は C I F 5 8 はフローチャートに示したオペレーションを実行するよう構成される。詳細には、パワーマネージャー 5 0 及び / 又は C I F 5 8 は、図示したオペレーションを実行するハードウェア回路を含む。

20

【 0 0 3 9 】

図 3 は、パワーダウンイベントに関するパワーマネージャー 5 0 の一実施例におけるオペレーションを示したフローチャートである。パワーマネージャー 5 0 は、プロセッサ 1 6 がパワーダウンし (判断ブロック 7 0 の「Y e s」)、かつ、C I F 5 8 5 8 が信号送信された I/O アイドルをもつ場合 (判断ブロック 7 2 の「Y e s」)、パワーダウンイベントが生じたことを決定する。その場合、パワーマネージャー 5 0 は、C I F 5 8 に P w r U p R e q 信号のアサート停止をして (ブロック 7 4)、パワーダウンイベントを開始する。パワーマネージャー 5 0 は、C I F 5 8 からの肯定応答 (A c k) を待ち (判断ブロック 7 6)、そして P w r U p A c k のアサート停止に回答して (判断ブロック 7 6 の「Y e s」)、パワーマネージャー 5 0 は L 2 キャッシュをパワーダウンさせる (ブロック 7 8)。

30

【 0 0 4 0 】

図 4 は、パワーダウンイベントに関する C I F 5 8 の一実施例におけるオペレーションを示したフローチャートである。パワーダウンイベントの C I F 5 8 処理は、パワーマネージャー 5 0 からの P w r U p R e q 信号をアサーション停止することに回答して開始する (判断ブロック 8 0 の「Y e s」)。C I F 5 8 は、パワーアップ/パワーダウンメモリ 6 0 から初期エンティティを読み出し (ブロック 8 2)、そのエンティティが有効であり且つパワーダウンイベントに関するものであるか否かを決定する (V 及び D セット、判断ブロック 8 4)。そうである場合 (判断ブロック 8 4 が「Y e s」)、C I F 5 8 はアドレス/データの組を L 2 コントロール 1 8 A に送信して、識別されたコンフィギュレーションレジスタ 5 6 A - 5 6 D をアップデートする (ブロック 8 6) とともに、次のエントリをメモリ 6 0 に読み出す (ブロック 8 2)。そうでない場合 (判断ブロック 8 4 が「N o」)、C I F 5 8 はすべてのコンフィギュレーションレジスタ書込みに対する書込み応答が L 2 コントロール 1 8 A から受信されたかどうかを決定する (判断ブロック 8 8 の「Y e s」)。応答が受信されていた場合 (判断ブロック 8 0 の「Y e s」)、L 2 コントロール 1 8 A はパワーダウンのために準備され、そして C I F 5 8 はパワーダウン要求を肯定応答するために P w r U p A c k 信号をアサート停止にする (ブロック 9 0)。

40

50

【 0 0 4 1 】

図5は、パワーアップイベントに関するパワーマネージャー50のオペレーションを示したフローチャートである。パワーマネージャー50は、プロセッサ16がパワーアップされる場合若しくはメモリオペレーションがC I F 5 8に受信される場合に（I/Oアイドルのアサート停止を生じさせることになる）、パワーアップイベントが生じることを決定する。パワーマネージャー50は、L2キャッシュコントロールをパワーアップし（ブロック100）、そしてパワーが安定するまで待つ。パワーマネージャー50はPwrUpReq信号をアサートし（ブロック102）、L2キャッシュ18が初期化されて再び通信の準備完了であることを決定するために、アサートされるはずのPwrUpAck信号を待つ（ブロック104）。

10

【 0 0 4 2 】

図6は、パワーアップイベントに関するC I F 5 8のオペレーションを示したフローチャートである。C I F 5 8は、PwrUpReq信号のアサーションにตอบสนองして開始する（判断ブロック110の「Yes」）。C I F 5 8は、パワーアップ/パワーダウンメモリ60内の次のエンティティを読み出す（ブロック112）。そのエンティティが有効であり且つパワーアップオペレーションであるならば（Vセット及びDクリア、判断ブロック114の「Yes」）、C I F 5 8はコンフィグレーションレジスタ書込みをL2キャッシュコントロール18Aに送信し（ブロック116）、そしてメモリ60内の次のエンティティを読み出す（ブロック112）。エンティティが有効ではないか又はパワーダウンオペレーションであるならば（判断ブロック114の「No」）、C I F 5 8はレジスタ書込みに対する応答が受信されたかどうかを決定する（判断ブロック118）。応答が受信されていた場合（判断ブロック118の「Yes」）、C I F 5 8はPwrUpAck信号をアサートする（ブロック120）。

20

【 0 0 4 3 】

或る実施例において、パワーマネージャー50は、パワーアップイベントの処理の間中、L2キャッシュ18がパワーダウンされているかを決定したり、又はパワーダウンイベントの処理の間中、L2キャッシュ18がパワーアップされているかを決定する。幾つかのインプレメンテーション（実装例）において、パワーマネージャー50は、新たな遷移を開始する前に、進行中の遷移を完了できるようにする。別のインプレメンテーションにおいては、パワーマネージャー50は、（例えば、PwrUpReq信号の状態を変化させることによって）決定がなされると新たな遷移を信号送信するよう構成される。C I F 5 8は、状態変化を検出するためのPwrUpReq信号をモニタリングし、進行中のイベントを処理することを終わらせる。C I F 5 8は、更なる処理をすることなく変化した状態を肯定応答したり、或いは新たなイベントを処理（新たなイベントに関するレジスタ書込みを実行すること）したりのいずれかを行なう。

30

【 0 0 4 4 】

図7は、一実施例に関するL2キャッシュ18のパワーダウン及びパワーアップシーケンスを示すタイミング図である。時間（タイム）は、図7の左から右に任意の単位で増加する。このL2キャッシュ18はタイミング図の開始でパワーアップしオペレーティングされ（ブロック130）、そしてPwrUpReq及びPwrUpAck信号の両方もがアサートされる。パワーマネージャー50は、L2キャッシュがパワーダウンされているかを決定し、PwrUpReq信号をアサート停止にする（点線132）。C I F 5 8は、レジスタ書込みを送信し応答を収集することを開始する。（ブロック134）。ひとたび書込みが完了して応答が受信されると、C I F 5 8はPwrUpAck信号をアサート停止にし（点線136）、そしてL2キャッシュ18はパワーダウンされる（ブロック138）。後のポイントで、パワーマネージャー50は、L2キャッシュがパワーアップされているかを決定し、L2キャッシュ18にパワーを確立したあとでPwrUpReq信号をアサートする（点線140）。C I F 5 8はコンフィグレーションレジスタを初期化するためにレジスタ書込みを送信し（ブロック142）、書込みを完了すること及び応答を受信することに反応してPwrUpAck信号をアサートする（点線144）。L2

40

50

キャッシュ 18 はパワーアップされ、そしてこのポイントで再びオペレートする（ブロック 146）。

【0045】

図8を参照すると、L2キャッシュコンフィグレーションをアップデートするソフトウェアの一実施例を示すフローチャートが記載されている。例えば、ソフトウェアは、システム5のブート中及び/又はL2キャッシュコンフィグレーションを変更するシステムオペレーション間の他の時点で演算されるコンフィグレーションコードを含む。L2コンフィグレーションコードは図8に示すオペレーションをインプリメントするプロセッサ16の一つで演算される。つまり、L2コンフィグレーションコードは命令を含み、それはプロセッサ16の一つによって演算されるときに図8に示すオペレーションを実行（インプリメント）する。理解を容易にするために特定の順序でブロックを示しているが、他の順序も用いられる。

10

【0046】

L2キャッシュコンフィグレーションコードはL2キャッシュ18内に1以上のコンフィグレーションレジスタを書込む（ブロック150）。1以上のコンフィグレーションレジスタがL2キャッシュ18中に書込まれることを必要とされるならば（判断ブロック152の「Yes」）、このコードはパワーアップ/パワーダウンメモリ60に対するコンフィグレーションレジスタのアドレス及び対応データを書込む（ブロック154）。例えば、L2キャッシュ18の同期を生じさせるレジスタ書込みを含む。コードは、パワーダウン書込みにより各エントリ書込みにV及びDビットをセットする。1以上のコンフィグレーションレジスタがL2キャッシュ18のパワーアップ中に回復される場合（判断ブロック156の「Yes」）、このコードはパワーアップ/パワーダウンメモリ60に対するコンフィグレーションレジスタのアドレス及び対応データを書込み、そして各エントリにVビットをセットしてDビットをクリアする（ブロック158）。幾つかの実施例において、パワーダウン書込み及びパワーアップ書込みの両方に、同じコンフィグレーションレジスタを含むことに留意されたい。

20

【0047】

別の実施例において、CIF58は、コンフィグレーションレジスタ56A - 56Dに対する書込み（又はパワーアップイベントに再び記憶され及び/又はパワーダウンイベントに書込まれるはずのコンフィグレーションレジスタのサブセット）を検出するよう構成される。CIF58は、レジスタに書かれた値をパワーアップ/パワーダウンメモリ60において自動的にキャプチャーする。その結果、L2コンフィグレーションコードはメモリ60への書込みを明示的に実行する必要はない。このような実施例の場合、L2コンフィグレーションコードは、上述した自動的なキャプチャーに加えて、メモリ60をアップデートすることもできる。L2コンフィグレーションコードは、例えば、パワーダウンイベントのための同期コマンドを挿入する。

30

【0048】

図9を参照すると、コンピュータアクセス可能な記憶媒体200のブロック図が示されている。一般的に言って、コンピュータアクセス可能な記憶媒体は、コンピュータに命令及び/又はデータを提供するために使用する間にコンピュータがアクセスする任意の記憶媒体を含む。例えば、コンピュータアクセス可能な記憶媒体は、例えばディスク（固定若しくはリムーバブル）、テープ、CD-ROMやDVD-ROM、CR-R、CD-RW、DVD-R、DVD-RW、又はブルーレイといった磁気や光メディアの記憶媒体を含む。記憶媒体は、RAN（例えば、同期ダイナミックRAM（SDRAM）、ダブルデータレート（DDR、FDDR2、DDR3など）、SDRAM、低パワーDDR（LPDDR2など）、SDRAM、RambusDRAM（RDRAM）、スタティックRAM（SRAM）など）、ROM、フラッシュメモリ、ユニバーサルバス（USB）インタフェースなどの周辺インタフェースを介してアクセス可能な不揮発性メモリ（例えば、フラッシュメモリ）。記憶媒体は、マイクロマシン技術（MEMES）の他に、ネットワーク及び/又は無線リンクなどの通信媒体を介してアクセス可能な記憶媒体を含む。図9のコ

40

50

コンピュータアクセス可能な記憶媒体 200 は、L2 コンフィグレーションコードを記憶し、それは図 8 のフローチャートを実行する。一般的に、コンピュータアクセス可能な記憶媒体 200 は命令のセットを記憶し、それは実行時において、図 8 のフローチャートの一部又は全部を実行する。キャリア媒体は、コンピュータアクセス可能な記憶媒体と、優先若しくは無線伝送の伝送媒体とを含む。

【0049】

図 10 を参照すると、システム 350 の一実施例のブロック図が示されている。例示の実施例において、システム 350 は、外部メモリ 12 に結合された集積回路 10 の少なくとも 1 つのインスタンスを含む。外部メモリ 352 は図 1 に関して上述した主メモリサブシステムを形成する（例えば、外部メモリ 352 はメモリ 12A - 12B を含む）。集積回路 10 は 1 以上の周辺機器 354 及び外部メモリ 12 に結合する。電源供給 356 が提供され、集積回路 358 に電圧を供給するとともに、メモリ 352 及び / 又は周辺機器 354 に電圧を供給する。幾つかの実施例において、1 より多い集積回路 10 のインスタンスが含まれる（そして同様に、1 より多い外部メモリ 352 が含まれる）。

10

【0050】

メモリ 352 は任意のタイプのメモリである。例えば、ダイナミックランダムアクセスメモリ (DRAM)、同期ダイナミック RAM (SDRAM)、ダブルデータレート (DDR, FDDR2, DDR3 など)、SDRAM (mDDR3 などの SDRAM のモバイルバージョン、及び / 又は LPDDR2 などの SDRAM の低パワーバージョンを含む)、RAMBUS DRAM (RDRAM)、スタティック RAM (SRAM) などである。1 以上のメモリデバイスは、単一インラインメモリモジュール (SIMM)、デュアルインラインメモリモジュール (DIMM) などのメモリモジュールを形成する回路基板上に接合される。或いはまた、デバイスはチップオンチップコンフィグレーション、パッケージオンパッケージコンフィグレーション、マルチチップモジュールコンフィグレーションの集積回路 10 によりマウントされる。

20

【0051】

周辺機器 354 はシステム 350 のタイプによって望ましい回路を含む。例えば、一実施例において、システム 350 はモバイル機器（例えば、携帯情報端末 (PDA)、スマートフォンなど）であり、そして周辺機器 354 は様々なタイプの無線通信（例えば、wifi、bluetooth、セルラー、GPS など）を含む。また、周辺機器 354 は RAM 記憶媒体、固体記憶媒体、ディスク記憶媒体を含む追加的ストレージを含む。周辺機器 354 はディスプレイスクリーンなど（例えば、タッチディスプレイスクリーン又はマルチタッチディスプレイスクリーン、キーボード若しくは他の入力デバイス、マイクロフォン、スピーカー）のユーザインタフェース機器を含む。他の実施例では、システム 350 は任意のタイプのコンピュータシステム（例えば、デスクトップ PC、ラップトップ、ワークステーション、ネットトップなど）である。

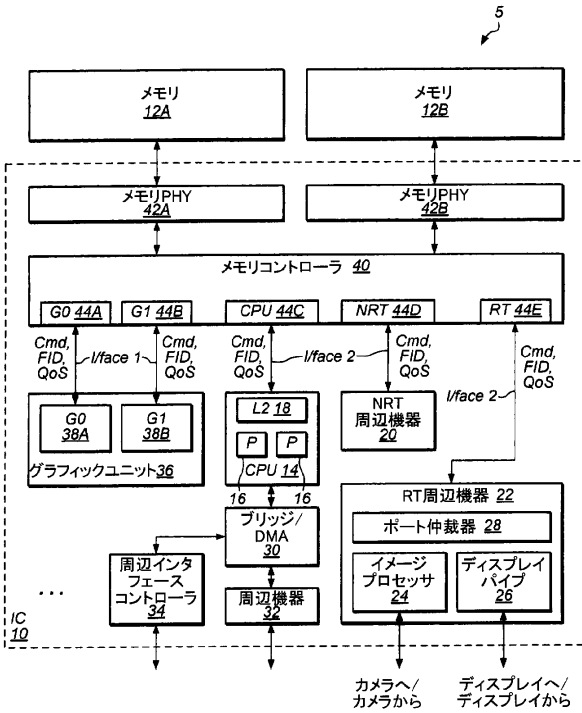
30

【0052】

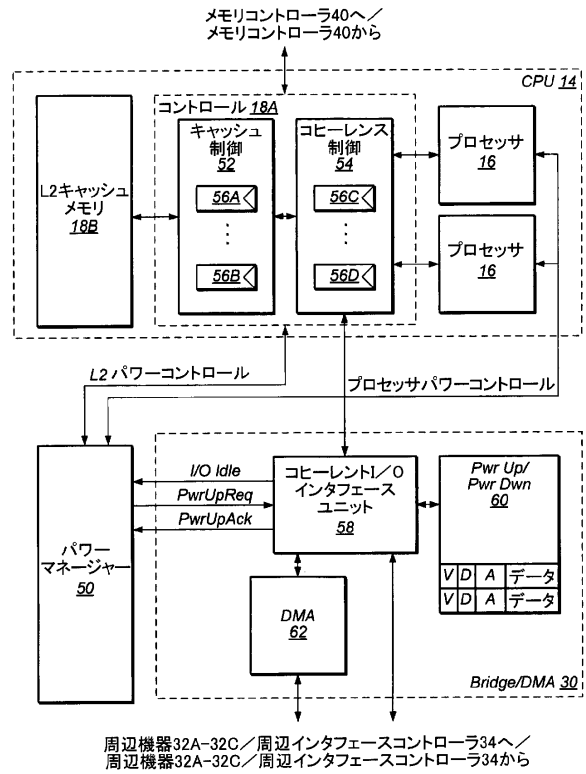
上述したように開示が理解される場合、様々なバリエーション及び修正が当業者にとって明らかとなる。添付の特許請求の範囲はこのようなバリエーション及び修正をとらえるために解釈されることを意図している。

40

【図1】

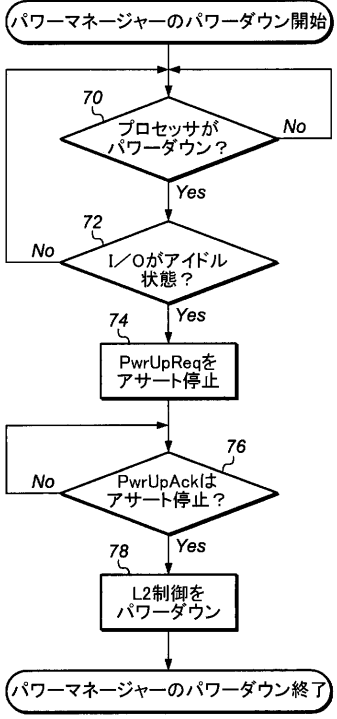


【図2】

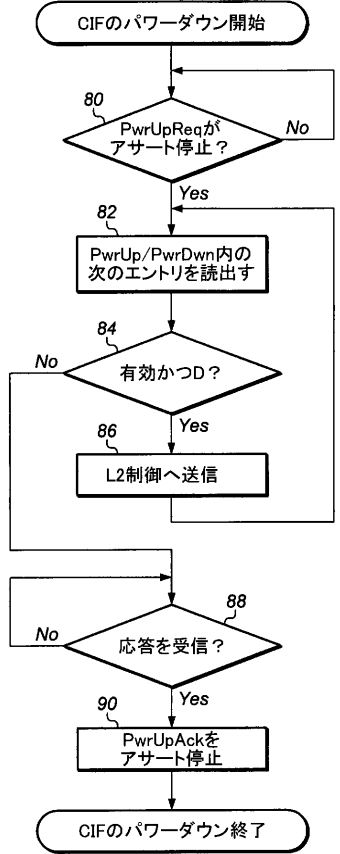


周辺機器32A-32C/周辺インタフェースコントローラ34へ/
周辺機器32A-32C/周辺インタフェースコントローラ34から

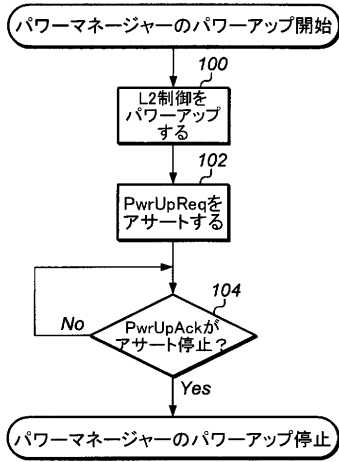
【図3】



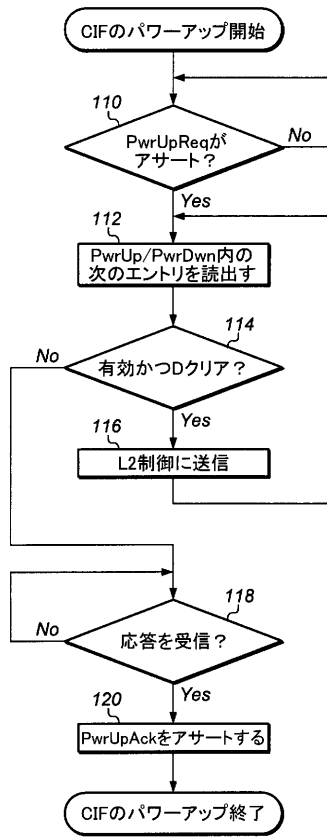
【図4】



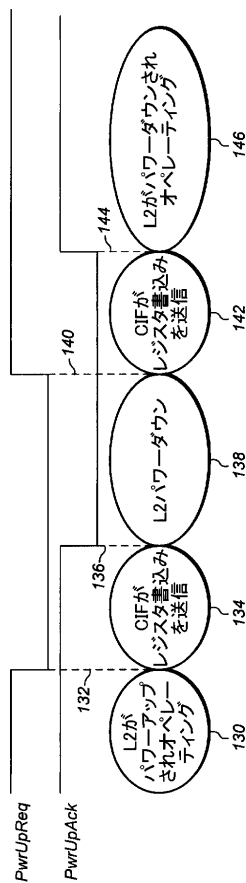
【図5】



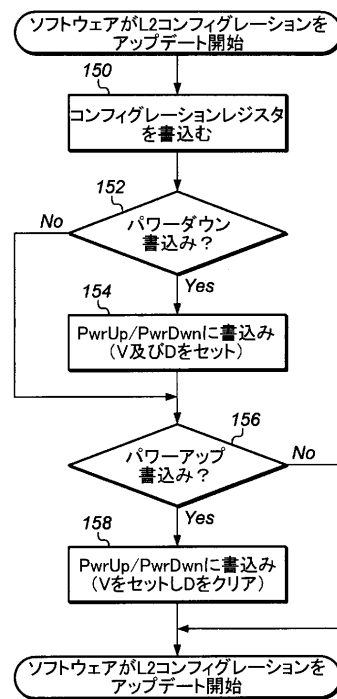
【図6】



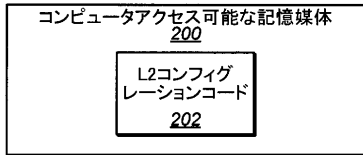
【図7】



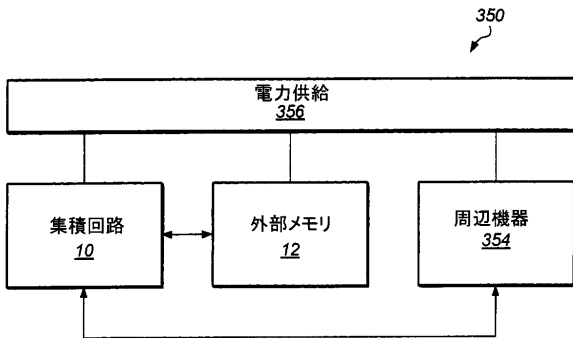
【図8】



【図9】



【図10】



フロントページの続き

(74)代理人 100122563

弁理士 越柴 絵里

(72)発明者 ティモシー ジェイ ミレット

アメリカ合衆国 95014 カリフォルニア州 クパチーノ インフィニット ループ 1 エ
ムエス 305 - ジーエム

(72)発明者 エリック ピー マクニッキー

アメリカ合衆国 95014 カリフォルニア州 クパチーノ インフィニット ループ 1 エ
ムエス 23 - 3エスオーシー

(72)発明者 デニス バルカン

アメリカ合衆国 95014 カリフォルニア州 クパチーノ インフィニット ループ 1 エ
ムエス 23 - 3エスオーシー

(72)発明者 ヴィジャイ グプタ

アメリカ合衆国 95014 カリフォルニア州 クパチーノ インフィニット ループ 1 エ
ムエス 23 - 3エスオーシー

審査官 緑川 隆

(56)参考文献 特開2002 - 196846 (JP, A)

特表2010 - 529548 (JP, A)

特開2002 - 305475 (JP, A)

特開2010 - 061644 (JP, A)

特表2002 - 543486 (JP, A)

特表2007 - 536667 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 1/32

G06F 1/30

G06F 12/08