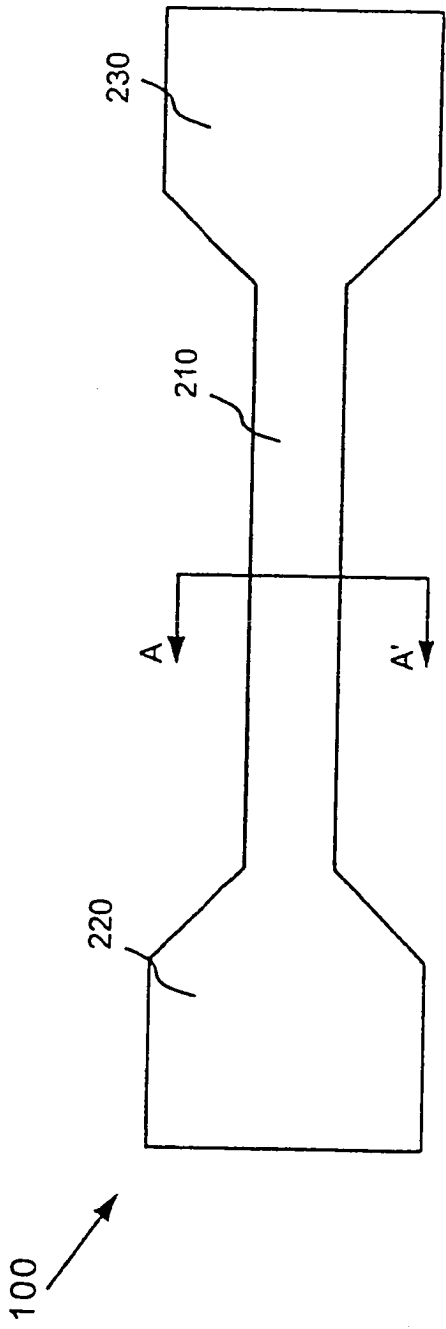
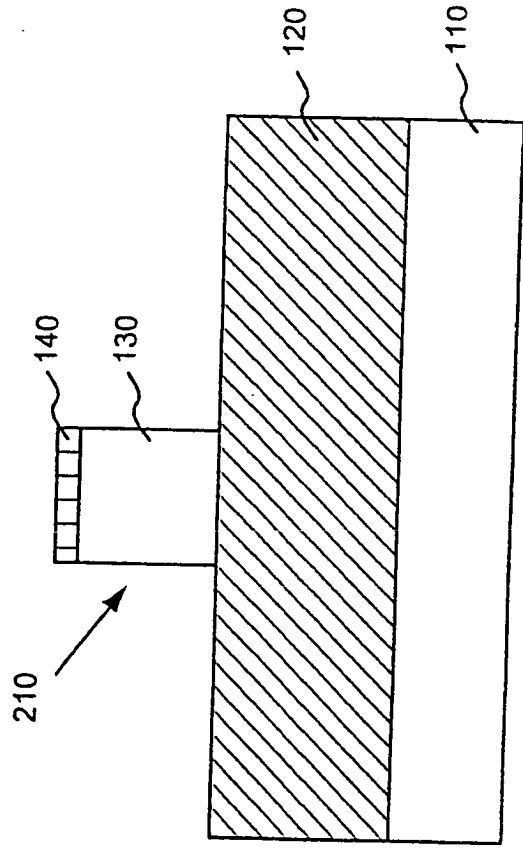


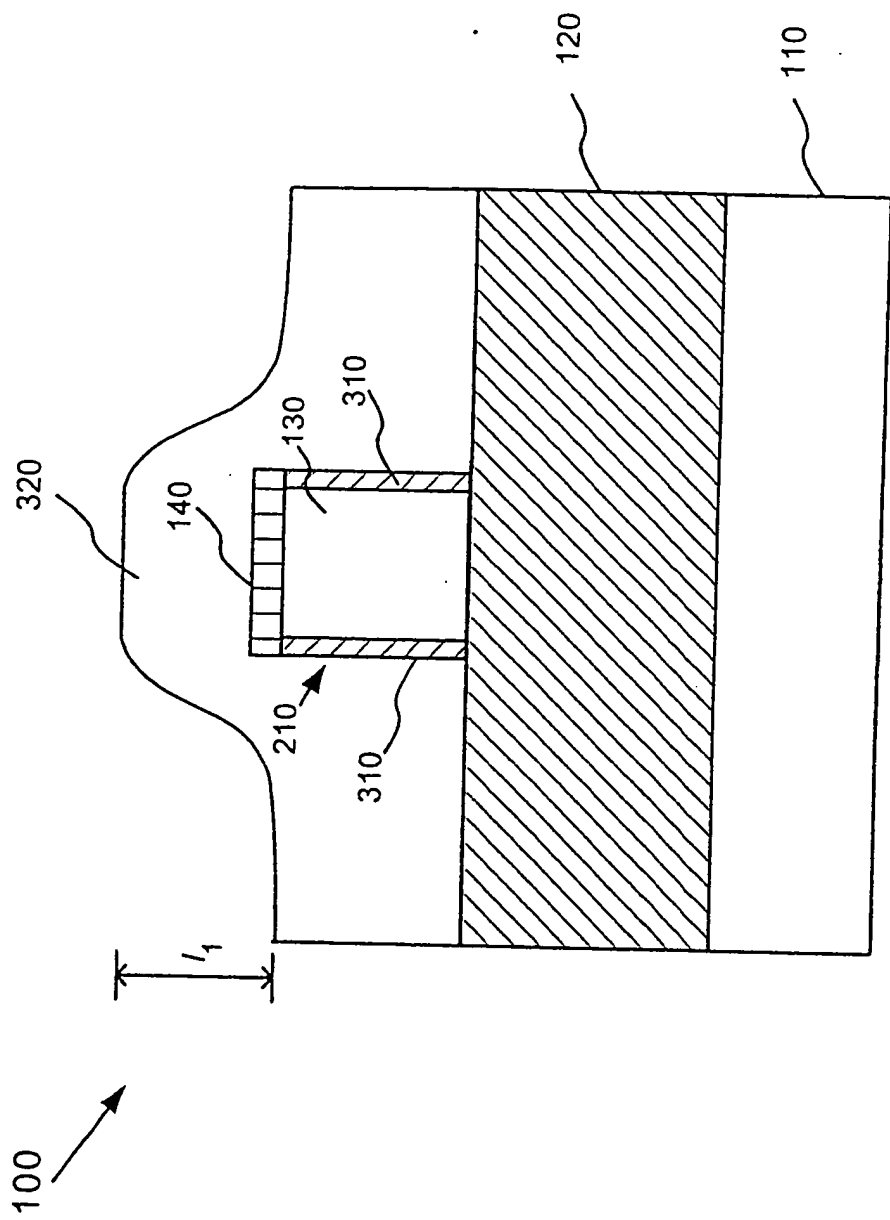
第1圖



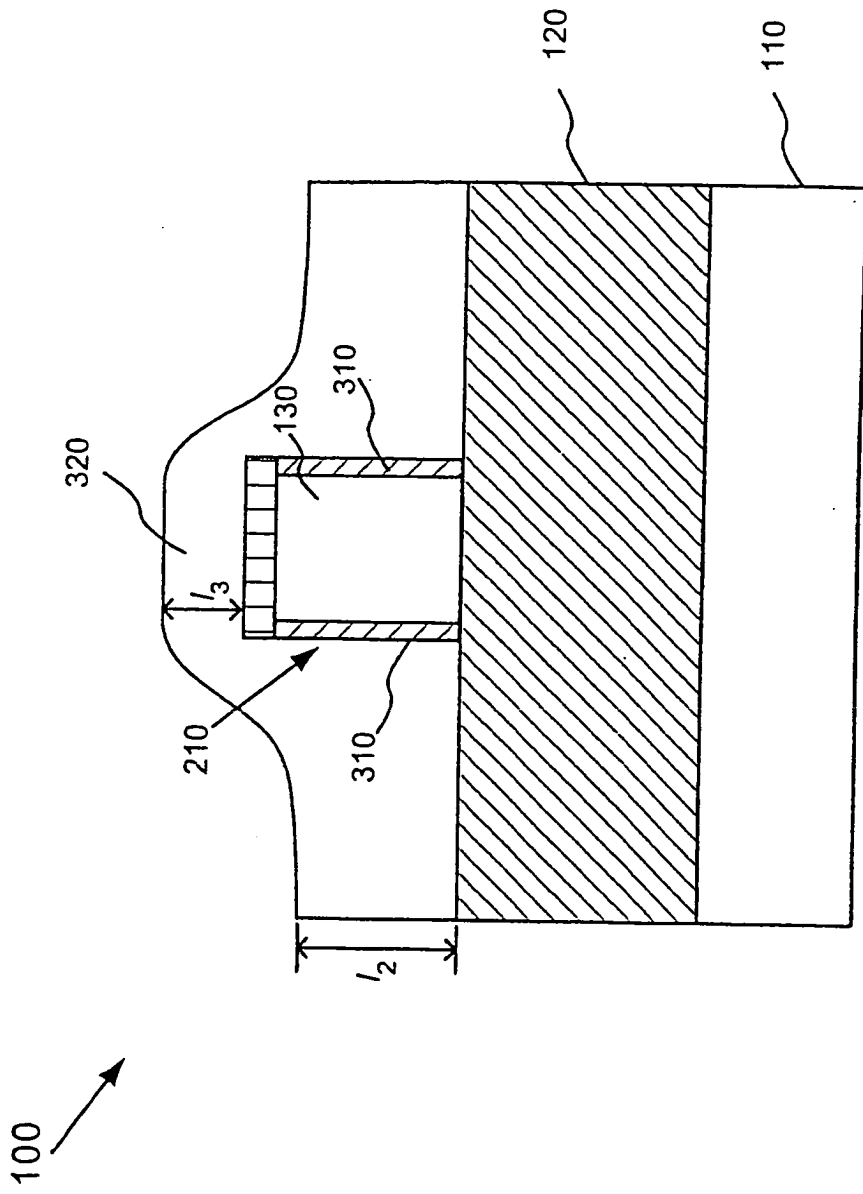
第2A圖



第2B圖

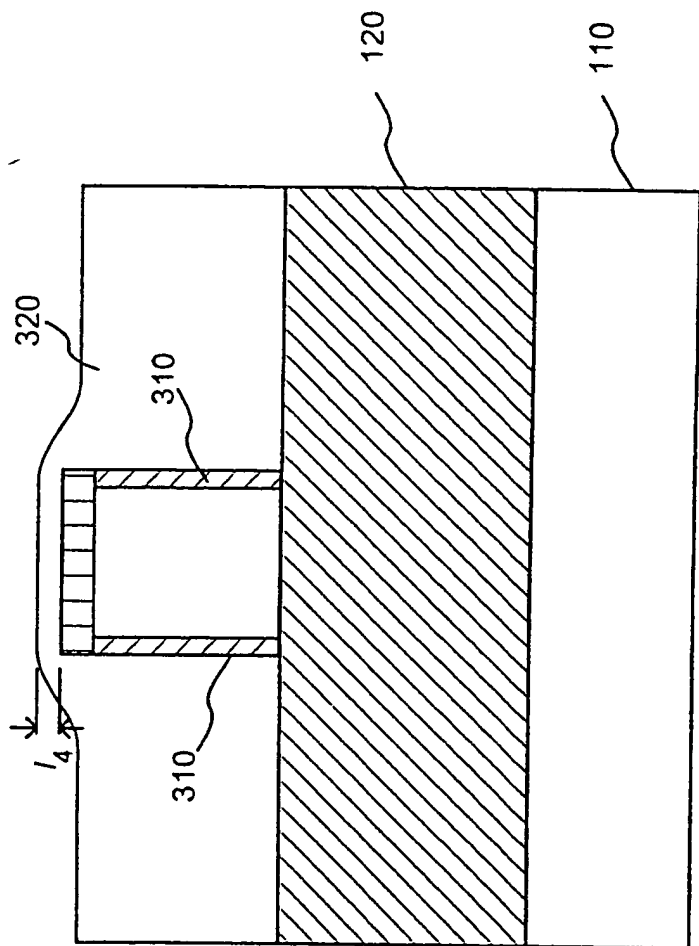


第3圖

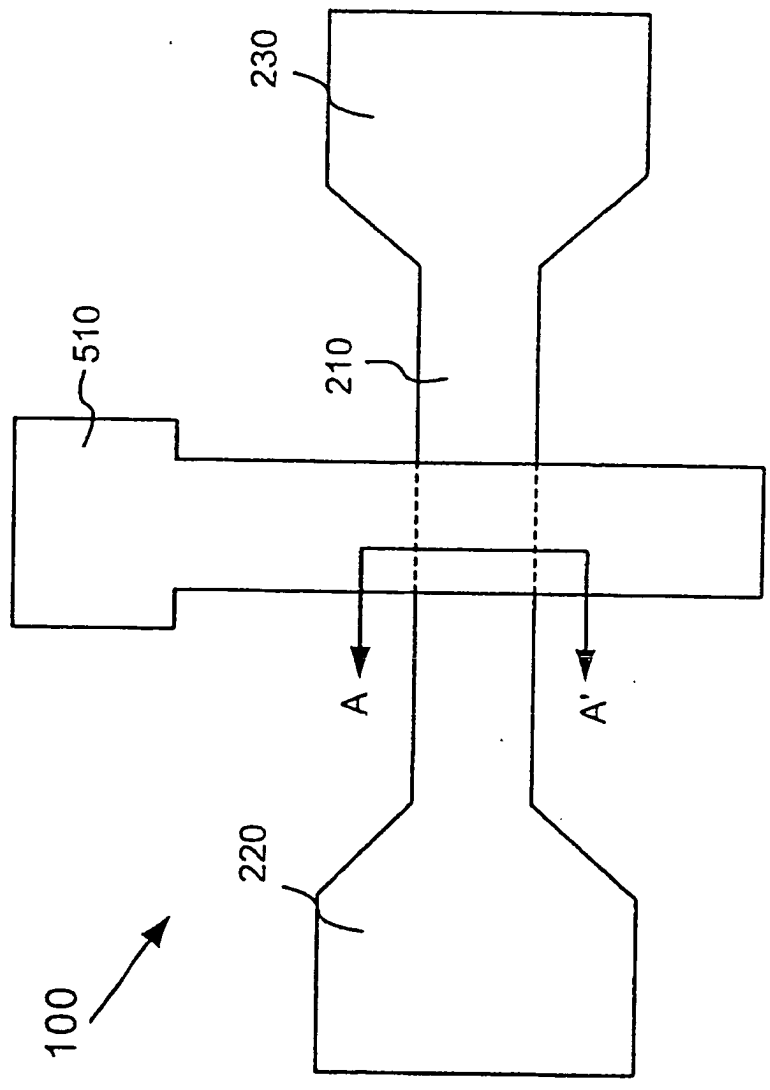


第4A圖

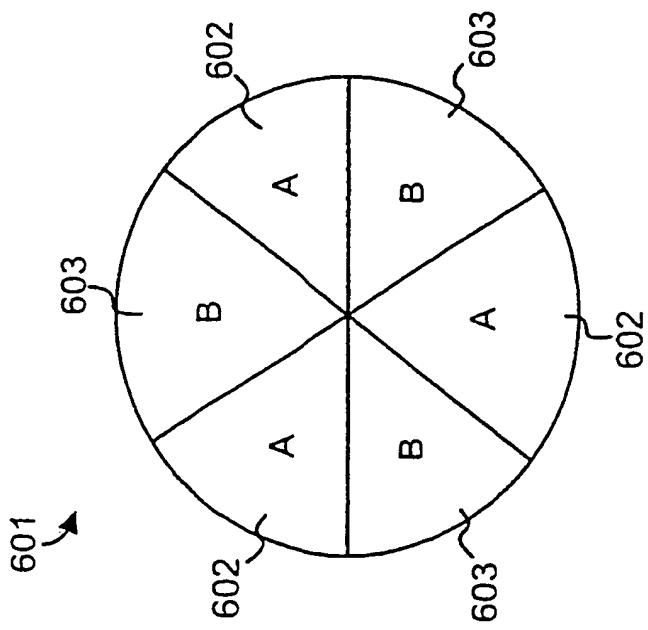
100 ↗



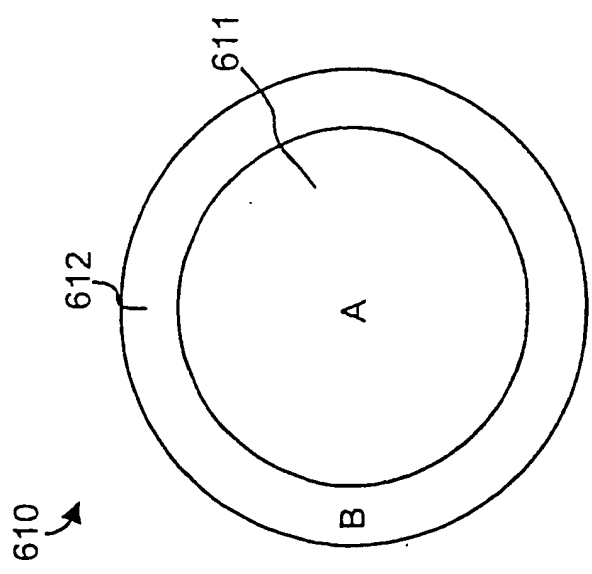
第4B圖



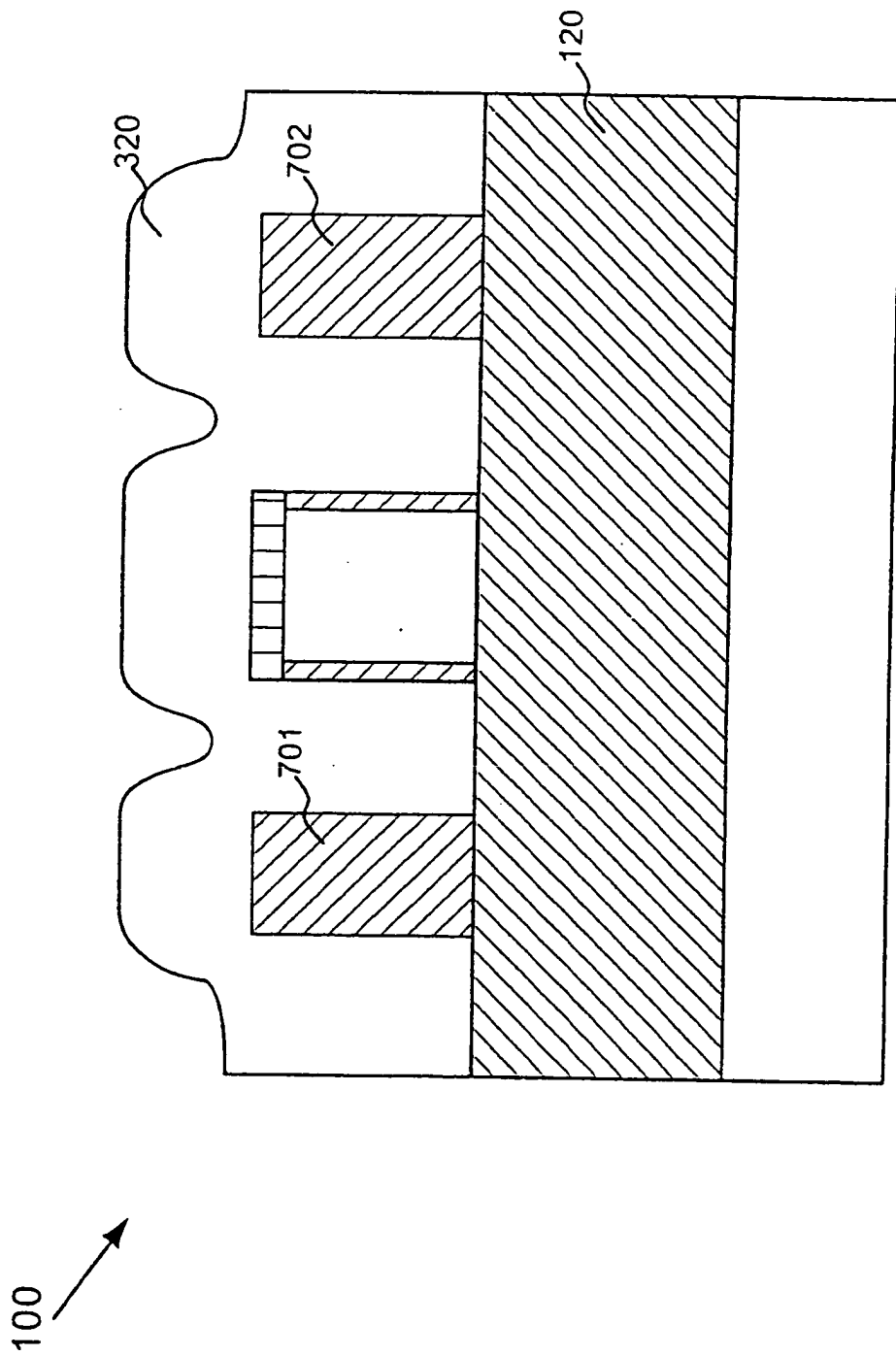
第5圖



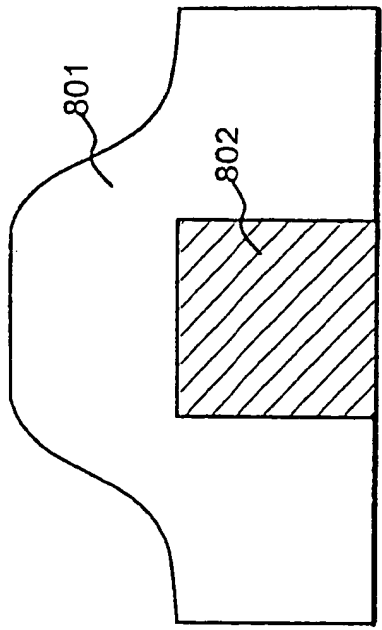
第6A圖



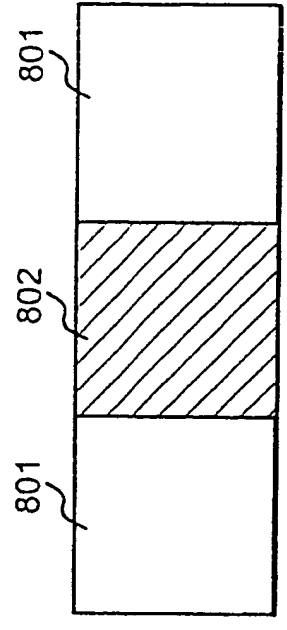
第6B圖



第7圖



第8A圖



第8B圖

I353011

100年2月17日修(三)正替換頁

第 93116517 號專利申請案
100 年 2 月 17 日修正替換頁

(此處由本局於收
文時黏貼條碼)

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93116517

※ 申請日期：93.6.9

※IPC 分類：

一、發明名稱：(中文/英文)

鰭狀場效電晶體中閘極區域之多步驟化學機械研磨

MULTI-STEP CHEMICAL MECHANICAL POLISHING OF A GATE AREA IN A FINFET

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商格羅方德半導體公司

GLOBALFOUNDRIES US INC.

代表人：(中文/英文) 阿柏格 傑西 / ABZUG, JESSE

住居所或營業所地址：(中文/英文)

美國·加州 95305·密爾皮塔斯·100 室·麥卡錫大道·北 880 號

880 N. McCarthy Blvd., Suite 100, Milpitas, California

95305, U. S. A.

國 籍：(中文/英文) 美國 / U.S.A.

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 亞丘森 可里斯那 / ACHUTHAN, KRISHNASHREE

2. 阿密 希普利 S / AHMED, SHIBLY S.

3. 王海宏 / WANG, HAIHONG

4. 俞賓 / YU, BIN

國 籍：(中文/英文)

1. 印度 / IN 2. 孟加拉 / BD 3. 4 中國大陸 / CN

96年6月5日(三) 3/3 換頁

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國 2003年06月12日 10/459,495（主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

I353011
96 6 5

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置和製造半導體裝置之方法。本發明係對雙閘極裝置(double-gate device)有特別的適用性。

【先前技術】

由於逐漸高升之高密度與高性能之需求，對超大積體電路(ultra large integration)半導體裝置(device)有關之設計特徵，就像閘極長度，需求100奈米(nanometer; nm)以下，高可靠度(reliability)以及製造產率(throughput)之增加。縮小設計特徵在100奈米以下將對傳統的製造方式極限是一種挑戰。

例如，當傳統平坦的金屬氧化物半導體場效電晶體(MOSFET)的閘極長度尺寸在100nm以下時，短通道效應(short channel effect)之問題則伴隨而來，而如在源極(source)與閘極(drain)之間有過多的漏電流(leakage)等問題很難克服。除此之外，電子移動率(mobility)的下降與一些製程上的問題也都將造成傳統的金屬氧化半導體場效電晶體在尺寸上其包含元件特徵逐漸縮小化之困難。為了要促進場效電晶體(FET)的性能與可以使元件尺寸縮小化，因此要探究新的元件結構。

雙閘極(double gate)金屬氧化物半導體場效電晶體(MOSFET)是代表被視為作為繼承現存之平坦之MOSFET結構之選擇之新結構。在許多方面，雙閘極的MOSFET比傳統

的原料矽 (conventional bulk silicon) 之 MOSFET 提供更好的特性質。這些改進產生於因雙閘極的 MOSFET 在通道的兩側各具有一個閘極，而不是像傳統的 MOSFET 只有一個閘極在其通道一側。當有兩個閘極時，則將由汲極 (drain) 所產生之電場從通道之源極 (source) 端遮開有較好效果 (screened)。同樣地，兩個閘極比起單一閘極大體上能控制兩倍多的電流，這樣的結果將造成較強的交換訊號 (switching signal)。

鰭狀場效電晶體 (FinFET) 是近來顯現優良的短通道性能 (short channel behavior) 之雙閘極結構。FinFET 是包含形成於一個垂直的鰭形電場裡之通道。鰭狀場效電晶體可使用那些用來製造傳統平坦的 MOSFET 之佈局 (layout) 與製程技術製造出來。

【發明內容】

本發明之實施例提供一種具有控制極為細微之閘極區域之雙閘極的 MOSFET。

本發明的一局面提供一種製造半導體裝置之方法。此方法包含在絕緣材料 (insulator) 上形成鰭狀結構並至少在部分的鰭狀結構和部份的絕緣材料之上形成閘極結構。此方法更進一步包含使用第一研磨液 (slurry) 來執行化學機械研磨 (chemical mechanical polish; 即 CMP) 閘極的結構藉以平坦閘極結構和使用不同於第一研磨液的第二研磨液來執行閘極結構的 CMP 藉以平坦閘極結構。第二次閘極結構的平坦化降低鰭形結構上面之閘極結構之高度而另

一方面提高鰭形結構周圍之閘極結構高度。

本發明的另一局面提供形成一個 MOSFET 的方法。此方法包含在一絕緣層 (insulator layer) 上形成源極、汲極和鰭形結構。部分的鰭形結構充當作 MOSFET 的通道。此方法更進一步包含在鰭形結構的側面形成介電層 (dielectric layer) 並在介電層的周圍沉積一多晶矽層 (polysilicon layer)。此多晶矽層充當作在 MOSFET 的閘極區域。再更進一步地，此方法包含以第一速率平坦化多晶矽層和以比在第一速率更慢的第二速率更進一步平坦化多晶矽層。

【實施方式】

[執行發明的最佳模式]

以下參照附圖詳細說明本發明。在不同圖上的相同參考件號表示相同或相似的元件。當然下面詳細的描述並不限定本發明。本發明之範圍係由附件之申請專利範圍及其等效技術來界定。

本文中所稱之鰭狀場效電晶體 FinFET，專有名詞，係指一種型式之 MOSFET，就是在垂直的矽”鰭”裡形成一傳導通道。這種 FinFET 為從所周知的技術。

第 1 圖表示根據本發明的具體實例而形成的半導體裝置 100。參照第 1 圖，半導體裝置 100 可包含絕緣層上有矽 (silicon on insulator；即 SOI) 之結構，而其中包含矽基材 110、埋藏氧化物層 120 (Buried oxide) 和在埋藏氧化物層 120 上方之矽層 130。以傳統的方式可在矽基材 110 上形成埋藏氧化物層 120 與矽層 130。

在一個模範的完成例子裡，埋藏氧化物層 120 可包含氧化矽其厚度範圍大約從 1000 Å 至 3000 Å。矽層 130 可包含單晶(monocrystalline)或多晶(polycrystalline)矽。矽層 130 是作為雙閘極電晶體裝置中用來形成鰭狀結構，正如以下有更詳細之描述。

另一與本發明有關之選擇性實施例，基材 110 與矽層 130 可包含其他半導體物質，就像鍺(germanium)，或複合半導體材料，就像矽-鍺。而埋藏氧化層 120 亦可包含其他介電材料。

在矽層 130 上可形成介電層 140，如氮化矽層或氧化矽層(例如， SiO_2)，俾以充當再隨後蝕刻製程其間之保護蓋(protective cap)。在一個示範的實施例子裡，介電層 140 可成長之厚度範圍大約從 150 Å 至 700 Å。接下來，可將光阻劑材料沉積並形成為續後的加工過程用之圖案之光阻劑光罩 150(photoresist mask)。可用任何傳統方式來沉積並圖案化光阻劑。

然後可蝕刻半導體裝置 100 並移除光阻劑光罩 150。在一個示範的實施例子裡，可用傳統方式來蝕刻矽層 130，在埋藏氧化物層 120 中止蝕刻而形成一鰭狀物。在鰭狀物形成之後，可在相鄰於各自之鰭狀物的端部上形成源極與汲極區域。例如，在一個示範的實施例子裡，可用傳統方式來沉積、圖案化與蝕刻矽層、鍺層或複合的矽鍺層俾以形成源極與汲極區域。在其他範例裡，可圖案化與蝕刻矽層 130 以同時形成源極與汲極範圍並具有鰭狀物。

第 2A 圖概略圖示以上述方法形成半導體裝置 100 上之鰭狀結構之上視圖。根據本發明之具體實施例，可在埋藏氧化物層 120 上相鄰於鰭狀物 210 之端部形成源極區域 220 與汲極 230 區域。

第 2B 圖是由第 2A 圖中沿著 A-A' 線之橫截面圖，其圖解說明鰭狀結構 210 之形成。如上所述，蝕刻介電層 140 與矽層 130 以形成具有介電蓋 140 (dielectric cap) 之鰭狀物 210。

第 3 圖為根據本發明之一具體實施例之截面圖表示閘極介電層 (gate dielectric layer) 與覆蓋在鰭狀物 210 上的閘極材料 (gate material) 之形成。在鰭狀物 210 上可形成一介電層。例如，在鰭狀物 210 上以熱處理成長出一薄的犧牲氧化物膜 310 (sacrificial oxide film)，如第 3 圖所示。這氧化物膜成長之厚度範圍大約從 50 Å 至 100 Å 並且在鰭狀物 210 之曝露一側的表面上形成。

氧化物膜 310 形成之後，可在半導體裝置 100 上沉積閘極材料層 320。在一個示範的實施例子裡，閘極材料層 320 可包含用傳統的化學氣相沉積法 (CVD) 或其他已知的技術沉積的多晶矽。沉積出來的閘極材料 320 其厚度範圍大約從 500 Å 至 2800 Å。其他一些可選擇的半導體材料，如鍍或矽與鍍之複合材料或各種金屬材料也可用來作閘極材料。閘極材料層 320 形成鰭狀場效電晶體 (FinFET) 100 的導電性閘極。

如第 3 圖所示，閘極材料層 320 在鰭狀 210 上方之區

域作垂直延伸。在一個示範的實施例子裡，閘極材料層 320 延伸一距離 l_1 ，其範圍可為大致從 500 Å 至 1500 Å。

而閘極材料層 320 可被平坦化。與本發明之一局面一致地，可藉由多步驟平坦化製程平坦閘極材料層 320。

化學機械研磨 (CMP) 為眾所週知的平坦化技術，為一般用來平坦化半導體表面。在化學機械研磨程序裡，將晶圓 (wafer) 面朝下放置在旋轉平台 (rotating platen) 上，而將晶圓保持在承載體 (carrier) 上，並以相同於旋轉平台之旋轉方向旋轉。在平台表面設有一個研磨墊 (polishing pad)，並於其上有研磨液 (slurry)。此研磨液可包含在承載溶液 (carrier solution) 裡有二氧化矽顆粒 (silica particles) 的膠體溶液 (colloidal solution)。研磨液的化學組成與其酸鹼值 (pH) 將影響化學機械研磨製程的效能。

第 4A 圖為表示根據與本發明一致之可實施平坦化製程之第一步驟說明閘極材料 320 之平坦化之橫截面圖。在此步驟，可實行“粗略的”平坦化。換言之，可在此製程對閘極材料 320 相對地以高移除率作快速研磨一部分的閘極材料 320。在一可實施的例子裡，在粗平坦化之間其一部分的閘極材料 320 可減少，正如第 4 圖所示。例如，閘極材料 320 之量可移除，而使距離 l_2 之閘極材料 320 之量之成為大約從 0 Å 至 1500 Å 之範圍。而距離 l_3 之範圍可從 0 Å 至 500 Å。此粗平坦化步驟可降低在鰭狀 210 上方部分和閘極材料 320 之周圍區域的閘極材料高度。

如第 4A 圖所示在此平坦化中使用多晶矽研磨液 (poly slurry) 將有大約從 10.5 至 11.5 之酸鹼值 (pH) 範圍。此研磨液為以二氧化矽基底之緩衝研磨液 (silica based buffered slurry) 其內有加入額外的鹼性成分 (alkali component)，就如四甲基氫氧化銨 (Tetra Methyl Ammonium Hydroxide; TMAH)、氫氧化銨或氫氧化鉀，其濃度範圍大約從 0.1% 至 4%。

第 4B 圖為橫截面圖其根據與本發明一致之可實施平坦化製程之第二步驟說明閘極材料 320 之平坦化。在此步驟，可實行精細的平坦化。換言之，在執行此製程之平坦化速率相對於第一步的研磨速率來的低。例如，使用此製程將以近乎 200 Å / 分鐘之速率研磨閘極材料 320。執行此製程研磨閘極材料 320 直至閘極材料 320 仍有近乎 300 Å 保留在鰭狀物 210 的上方為止，如第 4B 圖所示。此距離如第 4B 圖所示為 l_4 。

在第二步驟的平坦化製程裡，所選定之研磨液除了能達成低研磨速率 (lower polishing rate) 的要求之外還要能附著在閘極材料 320 較低的區域上。例如，研磨液 必須包含具有疏水性 (hydrophobic) 分子團之巨大分子量之化合物，這樣的化合物有附著在多晶矽的閘極材料層 320 之傾向。此平坦化製程將有提高閘極材料層 320 較低的區域之傾向，因此這樣的附著將有助於進閘極材料層 320 之平坦化。所得到閘極材料層 320 的結果是相當的平且有相當好的平面一致性 (uniformity)。

使用在第二步平坦化的研磨液其酸鹼值範圍大約在 10.5 至 11.5 之間。研磨液是以二氧化矽為基底之緩衝研磨液，而具有額外的鹼性成分，就如四甲基氫氧化銨 (TMHA)、氫氧化銨或氫氧化鉀，其濃度範圍大約從 0.1% 至 1%。

如上所討論到的多步驟平坦化步驟將容許得到一個高度可控制的 CMP 製程，這樣的製程能保留如 300 Å 這麼少之覆蓋在鰭狀物 210 之上的閘極材料 320 層。第一步驟是相對高速率研磨製程以平坦最初部分的閘極材料 320 層而第二步驟則是降低移除速率俾以達成鰭狀物 210 上閘極材料 320 層之所需要之量。雖然於此特別地描述二步驟的 CMP 製程，但熟悉此項技術者可以了解到將能使用超過二步驟以上的製程。

第 5 圖為概略表示半導體裝置 100 之上視圖，表示從閘極材料 320 層上圖案化一閘極結構 510。在完成 CMP 製程之後可圖案化及蝕刻閘極結構 510。閘極結構 510 延伸橫跨過鰭狀 210 的通道區域。閘極結構 510 可包含具有鄰接於鰭狀 210 的側邊之閘極區域和與鰭狀 210 物隔開之大電極部分。閘極結構 510 的電極部分可提供可使用的電接點 (electrical contact) 作為偏壓 (biasing) 與其他閘極部分之控制之用。

之後可摻雜源極/汲極 220 與 230 之區域。例如，在源極/汲極 220 與 230 之區域裡將 n 型或 p 型的雜質植入其內。基於特定之完成品之裝置之需要可選定特殊的植入

(implantation)之劑量與能量。熟悉此項技術者可基於電路之需要能採用最佳的源極/汲極的植入製程，而像這樣的技術於此處並未揭露以免模糊本專利重點。除此之外，基於特殊電路之需要，在為了控制源極/汲極的接合(junction)位置而進行源極/汲極的離子植入之先，可任意地形成側壁間隔層(sidewall spacer)(未圖示)。其後，可執行活化退火(activation annealing)處理俾以活化源極/汲極 220 與 230 之區域。

[其他的實施例]

如前所述，在 CMP 製程裡，可將研磨墊片(polishing pad)附裝在平台(platen)表面以攪動正在研磨的研磨液。研磨墊片可具有可影響平坦化之紋路(texture)。習慣性地，研磨墊片(以下簡稱為墊片)可分類為”硬”墊片又稱之為 A 型墊片，與”軟”墊片又稱之為 B 型墊片。A 型墊片特別是用來作快速平坦化而 B 型墊片一般更多是用來作均勻的平坦化。

為了從單一的墊片完成高度平坦化與高度均勻性，可開發一種包含 A 型與 B 型特徵之墊片。第 6A 圖為這類墊片之圖形。如其所示，墊片 601 包含多重薄片(multiple slices)(例如第 6 圖所示有 6 個薄片)，它們之間是以 A 型薄片 602 與 B 型薄片 603 相互間隔排列。可使用此單一墊片 601 同時提供有效的平坦化與均一性。

墊片 601 是以 50% 的 A 型物質 602 與 50% 的 B 型物質 603 製造而得的。藉由改變 A 型物質 602 與 B 型物質 603

的組成比例，可開發出提供不同程度的平坦化與均勻性之研磨墊片。例如，若在墊片 601 裡中有四片是 A 型薄片另外兩片是 B 型薄片則此墊片之作用有 67% 為平坦化而 37% 為均勻性之傾向。

第 6B 圖為圖示研磨墊片在設計上的另一種實施例。墊片 601 包含於第一墊片型態(例如 A 型)的內部區域 611 和第二墊片型態(例如 B 型)的外部環狀 612。墊片 610 提供具有其邊緣能均勻性控制的高速平坦化。此種功效是使用傳統個別的墊片很困難達成的。

如先前的參照第 3 圖、第 4A 圖與第 4B 圖所作的討論，當閘極材料層 320 層沉積覆蓋鰭狀物 210 上時，位於覆蓋鰭狀 210 上之中心將產生突出物(protrusion)。如上所述的多步驟 CMP 製程可平坦閘極材料層 320 而在閘極材料層 320 上形成更均勻的表面。在一些實施例裡，於緊鄰著鰭狀 210 額外地設置假的鰭狀結構(dummy fin structures)俾以幫助平坦化製程而產生更均勻的閘極材料層 320。

第 7 圖為說明假的鰭狀結構之橫截面圖。第 7 圖一般說來與第 3 圖所顯示出來的截面圖相似，除此之外，由第 7 圖裡可看出緊鄰於真正的鰭狀 210 已經形成假的鰭狀物 701 與假的鰭狀物 702。假的鰭狀物 701 與 702 並不是扮演在 FinFET 的最後操作角色。然而在靠近於鰭狀 210 的部位設置鰭狀物 701 與 702，當它們開始沉積時，將可使閘極材料層 320 形成更均勻之分佈。也就是說，在閘極材料層 320 裡假的鰭狀 701 與 702 造成低點(low point)於相鄰於

鰭狀物 210 附近的區域比起若鰭狀物 701 與 702 不存在時來的高。因此，如第 7 圖所示之實施例中，閘極材料層 320 在一開始就有比不具有假的鰭狀物 701 與 702 時更加均勻性。這將導致在平坦化之後有較好的均勻性。

假的鰭狀物 701 與 702 可於埋藏氧化物層 120 上之各種位置上以許多不同的形狀上能形成。例如，正方形、矩形或圓圈形，或其他形狀，就像多角形，的圖案。假的鰭狀物 701 與 702 得以。在許多 FinFET 的實施例中，氧化物基底層 (oxide-base layer) (例如，乙基烷氧化矽 (原矽酸乙酯) (tetraethylortho-silicate; TEOS)) 可用來作上述之多晶矽之閘極層。而這些實施例亦可使用假的鰭狀物 701 與 702。

在許多 CMP 的應用上，研磨 TEOS 層至多晶矽層。第 8A 圖說明一 TEOS 層 801 沉積覆蓋在多晶矽結構 802 上。第 8B 圖表示當平坦 TEOS 層 801 至多晶矽結構 802 之層後，其 TEOS 層 801 與多晶矽結構的情形。可使用高選擇率的研磨液 (highly selective slurry) (例如選擇率大於 60:1) 在這些平坦化製程裡。

然而，藉由添加介面活性劑和調整研磨液的酸鹼值，可調整氧化物 (oxide) 對多晶矽 (polysilicon) 的選擇率。尤其，使用聚氧乙烯或聚氧丙烯嵌段共聚物醚類型 (pluronic)、陽離子與非離子型的介面活性劑能開發出更有效的研磨液。

結論

在此處描述以多步驟的 CMP 製程而產生之 FinFET。多步驟的 CMP 製程提供有效的且具高度可控制性的 FinFET 之閘極多晶矽的平坦化。

在先前的描述中，提出許多特別的細節，諸如，特定的物質、結構、化學物質、製程...等等，為的是要提供能徹底了解本發明之說明。然而不需要求助於此說明的特定細節也能實施本發明。在其他的例子，像一些已知之製程結構，並未予以詳述，其理由是為了不要模糊本發明之要點。

用以製程根據本發明之半導體裝置的介電層與導電層可用傳統的沉積技術來沉積。例如，金屬化技術，就像各種不同的化學氣相沉積(CVD)製程，包含低壓化學氣相沉積(LCVD)與輔強化學氣相沉積(ECVD)均可使用。

本發明是適用在半導體裝置的製造，並且尤其是設計特徵在 100nm 或更小之半導體裝置而增加電晶體及電路之速度和增進可靠度。本發明是適用在任何各式各樣的半導體裝置，於此處並未詳盡地提出這些裝置之細節是因為要避免模糊了本發明的發明要點。在實施本發明時，仍然利用傳統的微影(photolithographic)與蝕刻技術，而於此處未詳盡地描述這些技術是因為要避免模糊了本發明的發明要點。

僅有本發明的這些較好的具體化實施例以及本發明所揭露如上所述之一些變化例子。可了解到本發明是能夠用在各式各樣其他的組合與狀況下並且於此處陳述的本發明

觀念內能夠改變。

【圖式簡單說明】

附圖中具有相同的元件符號表示遍佈於整個說明書中相似的元件。

第 1 圖表示半導體裝置之橫截面圖。

第 2A 圖表示第 1 圖所示之半導體裝置上形成鰭狀物結構之上視圖。

第 2B 圖表示第 2A 圖中沿著 A-A' 線所得到的橫截面圖。

第 3 圖表示覆蓋在整個如第 2B 圖所示的鰭狀物之閘極介電層與閘極材料之橫截面圖。

第 4A 圖表示根據與本發明一致的示範平坦化製程之閘極材料的平坦化圖。

第 4B 圖表示根據與本發明一致的示範平坦化製程之閘極材料之更進一步的平坦化圖。

第 5 圖是概略表示從第 3 圖所示的閘極材料顯示其圖案一閘極結構之 FinFET 的上視圖。

第 6A 圖與第 6B 圖表示研磨墊片之圖形。

第 7 圖表示具有假鰭狀物之 FinFET 的橫截面圖；而

第 8A 圖與第 8B 圖表示沉積在多晶矽層上之平坦化一 TEOS 層的橫截面圖。

【主要元件符號說明】

100	鰭狀場效電晶體		
100	半導體裝置	110	矽基材
120	埋藏氧化物層	130	矽層

140	介電蓋	140	介電層
150	光阻劑光罩	210	鰭狀物
220	源極範圍	230	汲極
310	犧牲氧化物膜	320	閘極材料層
320	閘極材料層	510	閘極結構
601	墊片	602A	型薄片
603A	型薄片	611	內部區域
612	外部環狀	701	假的鰭狀物
702	假的鰭狀物	801	TEOS 層
802	多晶矽結構		

五、中文發明摘要：

一個製造金屬氧化物半導體場效電晶體(MOSFET)型態之半導體裝置的方法包含將沈積於整個通道上之閘極材料層(320)平坦化之步驟。該平坦化步驟以包含初始的即”粗略的”平坦化和隨後的”精細的”平坦化之多步驟製程之方式施行。用來作精細平坦化的研磨液(slurry)可包含添加物質，該物質傾向於黏附在閘極材料較低的區域。

六、英文發明摘要：

A method of manufacturing a MOSFET type semiconductor device includes planarizing a gate material layer (320) that is deposited over a channel. The planarization is performed in a multi-step process that includes an initial “rough” planarization and then a “fine” planarization. The slurry used for the finer planarization may include added material that tends to adhere to low areas of the gate material.

十、申請專利範圍：

1. 一種製造半導體裝置的方法，包括：

在絕緣層(120)上形成鰭狀結構(210)，

在至少部分的該鰭狀結構(210)與部分的該絕緣層(120)上形成閘極結構(320)，

使用第一研磨液以執行該閘極結構的化學機械研磨(CMP)以進行該閘極結構之平坦化；以及

使用不同於該第一研磨液之第二研磨液以執行該閘極結構的化學機械研磨以進行該閘極結構(320)之第二次平坦化，該閘極結構(320)之第二次平坦化降低該半導體裝置的通道區域裡之該鰭狀結構上之該閘極結構高度，而提高該鰭狀結構周圍之該閘極結構之高度。

2. 如申請專利範圍第1項之方法，其中，使用該第一研磨液之該閘極結構(320)的化學機械研磨用以移除閘極材料之速率比使用該第二研磨液之該閘極結構的化學機械研磨更快。
3. 如申請專利範圍第1項之方法，其中，在使用該第一研磨液以執行該閘極結構的化學機械研磨以平坦化該閘極結構(320)之後，在該閘極結構伸出 500\AA 至大約 1500\AA 於該半導體裝置的通道區域裡之該鰭狀結構(210)上面。
4. 如申請專利範圍第3項之方法，其中，使用該第二研磨液以執行該閘極結構的化學機械研磨以平坦化該閘極結構(320)之後，該閘極結構伸出大略 300\AA 於該

半導體裝置的通道區域裡之該鰭狀結構上面。

5. 如申請專利範圍第 1 項之方法，其中，該半導體裝置為鰭狀場效電晶體(FinFET)。
6. 如申請專利範圍第 1 項之方法，其中，該第一研磨液為具有酸鹼值範圍大約從 10.5 至 11.5 之二氧化矽基底的緩衝研磨液並且包含濃度範圍大約從 0.1% 至 4% 的鹼性成分。
7. 如申請專利範圍第 1 項之方法，其中，該第二研磨液為具有酸鹼值範圍大約從 10.5 至 11.5 之二氧化矽基底的緩衝研磨液並且包含濃度範圍大約從 0.1% 至 1% 的鹼性成分。
8. 一種形成金屬氧化物半導體場效電晶體(MOSFET)裝置之方法，包括：

在絕緣層(120)上形成源極(220)、汲極(230)與鰭狀結構(210)，部分的該鰭狀結構(210)充當作為該 MOSFET 的通道，以及形成介電層(310,140)於該鰭狀結構之周圍；

沉積多晶矽層(320)於該鰭狀結構(210)之上，該多晶矽層充當作為該 MOSFET 的閘極區域；

以第一速率平坦化該多晶矽層(320)；以及

以比該第一速率更低的第二速率進一步平坦化該多晶矽層(320)，其中，該多晶矽層(320)之進一步的平坦化降低位於該鰭狀結構上方之該多晶矽層的高度，而提高在鄰近該鰭狀結構之區域之該多晶矽層之高度。

9. 如申請專利範圍第 8 項之方法，其中，以該第一速率與該第二速率來平坦化該多晶矽層 (320) 包含使用第一研磨液與第二研磨液之該多晶矽層的化學機械研磨 (CMP)。

七、指定代表圖：

(一)本案指定代表圖為：第 (4A) 圖。

(二)本代表圖之元件符號簡單說明：

- 100 鰭狀場效電晶體
- 100 半導體裝置 110 矽基材
- 120 埋藏氧化物層 130 矽層
- 210 鰭狀物 310 犧牲氧化物膜
- 320 閘極材料層 320 閘極材料層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：