

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成21年1月15日(2009.1.15)

【公開番号】特開2007-219205(P2007-219205A)

【公開日】平成19年8月30日(2007.8.30)

【年通号数】公開・登録公報2007-033

【出願番号】特願2006-40388(P2006-40388)

【国際特許分類】

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/34 (2006.01)

G 0 2 F 1/133 (2006.01)

【 F I 】

G 0 9 G 3/36

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 3 1 B

G 0 9 G 3/20 6 8 0 D

G 0 9 G 3/20 6 3 3 R

G 0 9 G 3/20 6 2 2 K

G 0 9 G 3/20 6 2 3 U

G 0 9 G 3/20 6 2 3 V

G 0 9 G 3/20 6 2 3 F

G 0 9 G 3/20 6 2 1 A

G 0 9 G 3/34 J

G 0 9 G 3/20 6 2 2 C

G 0 9 G 3/20 6 2 4 C

G 0 9 G 3/20 6 2 3 R

G 0 9 G 3/20 6 1 1 A

G 0 2 F 1/133 5 7 5

G 0 2 F 1/133 5 5 0

【手続補正書】

【提出日】平成20年11月26日(2008.11.26)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 表示領域に、複数の走査線と複数のデータ線との交差に対応して設けられ、各々は、前記走査線が選択されたときに前記データ線に供給されたデータ信号に応じた階調となる複数の第 1 画素と、

第 2 表示領域に、複数の行選択線と、複数のビット線との交差に対応して設けられ、各々は、1 ビットを保持するメモリ回路を有し、前記メモリ回路に保持された 1 ビットの論理レベルが一方である場合にオン表示となる一方、前記論理レベルが他方である場合にオフ表示となる複数の第 2 画素と、

前記走査線および前記行選択線を選択するための走査線駆動回路であって、第 1 表示モードである場合に、少なくとも前記複数の走査線を選択する一方、第 2 表示モードである

場合に、前記複数の走査線を選択しない走査線駆動回路と、

前記第 1 表示モードである場合、選択された走査線に対応する画素の階調に応じたデータ信号を、前記データ線に出力する一方、

前記第 2 表示モードである場合、選択された行選択線に対応する画素のオン表示またはオフ表示を指定するデータ信号を、前記ビット線に対応するデータ線に出力するデータ線駆動回路と、

を具備することを特徴とする電気光学装置。

【請求項 2】

前記複数のビット線は、前記複数のデータ線の一部に対応して設けられることを特徴とする請求項 1 に記載の電気光学装置。

【請求項 3】

前記複数のデータ線のうち一部に設けられるとともに、当該データ線に供給された論理信号を前記複数のビット線の一部であって指定された列のビット線に供給するデコーダを備えることを特徴とする請求項 1 に記載の電気光学装置。

【請求項 4】

前記データ線駆動回路は、

選択された走査線に対応する画素の階調を指定するデータを、当該階調に応じた電圧に変換する D / A 変換回路を備え、

前記第 2 表示モードである場合に、前記 D / A 変換回路による変換動作を停止させることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の電気光学装置。

【請求項 5】

前記第 2 表示領域に光を照射する光源を更に有し、

前記第 2 表示モードである場合に、前記光源による照射を停止させることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の電気光学装置。

【請求項 6】

前記第 1 画素は、前記走査線が選択されたときの論理レベルが一方または他方である場合に、オンするスイッチング素子を有し、

前記第 2 画素におけるメモリ回路は、前記行選択線が選択されたときの論理レベルが一方または他方である場合に、前記ビット線に供給されたデータ信号の論理レベルを保持し、

前記走査線の論理レベルの一方と他方との差である論理振幅は、前記行選択線の論理レベルの一方と他方との差である論理振幅よりも大きいことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の電気光学装置。

【請求項 7】

前記第 2 画素は、

前記メモリ回路に保持された 1 ビットの論理レベルが一方である場合に、前記コモン信号と同一論理のオフ信号を選択し、前記保持された 1 ビットの論理レベルが他方である場合に、前記オフ信号と論理反転の関係にあるオン信号を選択する選択回路と、

前記選択回路により選択されたオン信号またはオフ信号が印加される画素電極と、を備え、当該画素電極は、前記オフ信号と同一論理のコモン信号が印加されるコモン電極と対向することを特徴とする請求項 6 に記載の電気光学装置。

【請求項 8】

前記コモン信号、前記オン信号および前記オフ信号は、前記行選択線の論理振幅と同一の低振幅であることを特徴とする請求項 7 に記載の電気光学装置。

【請求項 9】

前記走査線駆動回路は、前記第 2 表示モードである場合に、前記メモリ回路に保持された 1 ビットのデータを書き換える第 2 画素に対応する行選択線を選択する、ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の電気光学装置。

【請求項 10】

前記複数のデータ線は、2 以上の所定列数毎にブロック化され、各ブロックに属する 1

列のデータ線に、前記ビット線が 1 列対応し、

前記データ線駆動回路は、

前記第 1 表示モードにおいて、前記各ブロックに属する所定列数のデータ線を、順次選択する一方、前記第 2 表示モードにおいて、前記各ブロックに属する所定列数のデータ線のうち、前記ビット線に対応するデータ線を選択するデマルチプレクサを備える、ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の電気光学装置。

【請求項 1 1】

請求項 1 乃至 1 0 のいずれか 1 項に記載の電気光学装置を備えることを特徴とする電子機器。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 4

【補正方法】変更

【補正の内容】

【0 0 0 4】

上記課題を解決するために本発明に係る電気光学装置は、第 1 表示領域に、複数の走査線と複数のデータ線との交差に対応して設けられ、各々は、前記走査線が選択されたときに前記データ線に供給されたデータ信号に応じた階調となる複数の第 1 画素と、第 2 表示領域に、複数の行選択線と、複数のビット線との交差に対応して設けられ、各々は、1 ビットを保持するメモリ回路を有し、前記メモリ回路に保持された 1 ビットの論理レベルが一方である場合にオン表示となる一方、前記論理レベルが他方である場合にオフ表示となる複数の第 2 画素と、前記走査線および前記行選択線を選択するための走査線駆動回路であって、第 1 表示モードである場合に、少なくとも前記複数の走査線を選択する一方、第 2 表示モードである場合に、前記複数の走査線を選択しない走査線駆動回路と、前記第 1 表示モードである場合、選択された走査線に対応する画素の階調に応じたデータ信号を、前記データ線に出力する一方、前記第 2 表示モードである場合、選択された行選択線に対応する画素のオン表示またはオフ表示を指定するデータ信号を、前記ビット線に対応するデータ線に出力するデータ線駆動回路と、を具備することを特徴とする。本発明によれば、第 1 表示モードとした場合には第 1 表示領域において高解像度な表示が可能となる一方、第 2 表示モードとした場合には少なくとも第 2 表示領域を用いた表示によって消費電力を抑えることが可能となる。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 5

【補正方法】変更

【補正の内容】

【0 0 0 5】

本発明において、前記複数のビット線は、前記複数のデータ線の一部に対応して設けられる構成としてもよい。

本発明において、前記複数のデータ線のうち、一部に設けられるとともに、当該データ線に供給された論理信号を前記複数のビット線の一部であって指定された列のビット線に供給するデコードを備える構成としてもよい。

本発明において、前記データ線駆動回路は、選択された走査線に対応する画素の階調を指定するデータを、当該階調に応じた電圧に変換する D / A 変換回路を備え、前記第 2 表示モードである場合に、前記 D / A 変換回路による変換動作を停止させる構成としても良い。

本発明において、前記第 2 表示領域に光を照射する光源を有し、前記第 2 表示モードである場合に、前記光源による照射を停止させる構成としても良い。

また、本発明において、前記第 1 画素は、前記走査線が選択されたときの論理レベルが一方または他方である場合に、オンするスイッチング素子を有し、前記第 2 画素における

メモリ回路は、前記行選択線が選択されたときの論理レベルが一方または他方である場合に、前記ビット線に供給されたデータ信号の論理レベルを保持し、前記走査線の論理レベルの一方と他方との差である論理振幅は、前記行選択線の論理レベルの一方と他方との差である論理振幅よりも大きい構成が好ましい。

この構成において、前記第2画素は、前記メモリ回路に保持された1ビットの論理レベルが一方である場合に、前記コモン信号と同一論理のオフ信号を選択し、前記保持された1ビットの論理レベルが他方である場合に、前記オフ信号と論理反転の関係にあるオン信号を選択する選択回路と、前記選択回路により選択されたオン信号またはオフ信号が印加される画素電極と、を備え、当該画素電極は、前記オフ信号と同一論理のコモン信号が印加されるコモン電極と対向しても良い。さらに、前記コモン信号、前記オン信号および前記オフ信号は、前記行選択線の論理振幅と同一の低振幅幅である構成が望ましい。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

なお、本発明は、電気光学装置のみならず、当該電気光学装置を有する電子機器としても概念することが可能である。