

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6439552号
(P6439552)

(45) 発行日 平成30年12月19日(2018.12.19)

(24) 登録日 平成30年11月30日(2018.11.30)

(51) Int.Cl.

F I

H O 1 L 25/07 (2006.01)

H O 1 L 25/04 C

H O 1 L 25/18 (2006.01)

H O 1 L 23/02 J

H O 1 L 23/02 (2006.01)

請求項の数 14 (全 23 頁)

(21) 出願番号 特願2015-75251 (P2015-75251)
 (22) 出願日 平成27年4月1日(2015.4.1)
 (65) 公開番号 特開2016-195216 (P2016-195216A)
 (43) 公開日 平成28年11月17日(2016.11.17)
 審査請求日 平成30年2月14日(2018.2.14)

(73) 特許権者 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 稲葉 哲也
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 (72) 発明者 池田 良成
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 (72) 発明者 堀 元人
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体モジュール及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

ドレイン板と、

おもて面にゲート電極とソース電極とを備え、裏面にドレイン電極を備え、前記ドレイン板のおもて面に配置され、前記ドレイン電極と前記ドレイン板とが電氣的に接続される、半導体素子と、

絶縁板と、前記絶縁板のおもて面に設けられた第1回路板及び第2回路板とを備え、前記ドレイン板のおもて面に配置され、前記第1回路板は前記ゲート電極と電氣的に接続され、前記第2回路板は前記ソース電極と電氣的に接続された、積層基板と、

前記第1回路板上に配置されたゲート端子と、

前記第2回路板上に配置されたソース端子と、

開口及びガイド溝を備え、前記ドレイン板のおもて面と対向して配置され、前記ゲート端子及び前記ソース端子が前記開口に位置し、前記ガイド溝は前記開口に接して外周部まで延伸されている、蓋と、

を備える半導体モジュール。

【請求項2】

前記ゲート端子と電氣的に接続され、前記ガイド溝に沿って外周部に延伸されたゲート板、

をさらに有する請求項1記載の半導体モジュール。

【請求項3】

10

20

前記第 2 回路板上に配置され、前記開口に位置する補助ソース端子と、
前記補助ソース端子と電氣的に接続され、前記ガイド溝に沿って前記ゲート板とは電氣的に絶縁されて外周部に延伸された補助ソース板と、
をさらに有する請求項 2 記載の半導体モジュール。

【請求項 4】

前記蓋に設けられた補助ガイド溝と、
前記補助ガイド溝に沿って外周部に延伸された補助ソース板と、
をさらに有し、
前記ガイド溝は前記開口の一方に接して形成され、
前記補助ガイド溝は前記開口の他方に接して形成され、
前記第 2 回路板と前記補助ソース板との間が、前記ソース端子及び前記蓋を経由して電氣的に接続されている、
請求項 2 記載の半導体モジュール。

10

【請求項 5】

前記第 2 回路板は、前記第 1 回路板を取り囲んで前記絶縁板のおもて面に配置されている請求項 1 乃至 4 のいずれかに記載の半導体モジュール。

【請求項 6】

前記ゲート端子は、前記ガイド溝の中間点を直交する線上に位置するように前記第 1 回路板上に設けられている請求項 5 記載の半導体モジュール。

20

【請求項 7】

前記ソース端子は、前記第 2 回路板上に一对設けられ、
前記ゲート端子と、一对の前記ソース端子とは前記ガイド溝と平行に直線状に配置されている請求項 6 記載の半導体モジュール。

【請求項 8】

前記ガイド溝の底部が、前記ゲート端子の上端部より上方に位置している、
請求項 1 から 4 のいずれか 1 項に記載の半導体モジュール。

【請求項 9】

請求項 2 記載の前記半導体モジュールを複数備え、
複数の前記半導体モジュールは、前記ガイド溝同士が連結されるように配置され、
当該連結された前記ガイド溝に沿って、一体化された前記ゲート板が配置されている、
半導体装置。

30

【請求項 10】

請求項 3 記載の前記半導体モジュールを複数備え、
複数の前記半導体モジュールは、前記ガイド溝同士が連結されるように配置され、
当該連結された前記ガイド溝に沿って、一体化された前記ゲート板及び一体化された前記補助ソース板が配置されている、
半導体装置。

【請求項 11】

請求項 4 記載の前記半導体モジュールを複数備え、
複数の前記半導体モジュールは、前記ガイド溝同士が連結されるように配置され、前記補助ガイド溝同士が連結されるように配置され、
当該連結された前記ガイド溝に沿って一体化された前記ゲート板が配置され、
当該連結された前記補助ガイド溝に沿って一体化された前記補助ソース板が配置されている、
半導体装置。

40

【請求項 12】

請求項 1 記載の前記半導体モジュールを複数備え、
複数の前記半導体モジュールは、前記半導体モジュールの前記ソース端子と、別の前記半導体モジュールの前記ドレイン板とが電氣的に接続されている、
半導体装置。

50

【請求項 13】

複数の前記半導体モジュールが積層して配置され、
前記半導体モジュールの前記ソース端子と、隣接する前記半導体モジュールの前記ドレイン板が電氣的に接続されている、
請求項 12 記載の半導体装置。

【請求項 14】

複数の前記半導体モジュールが並んで配置され、
前記半導体モジュールの前記ソース端子と、隣接する前記半導体モジュールの前記ドレイン板が導電部材を経由して電氣的に接続されている、
請求項 12 記載の半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体モジュール及びそれを備えた半導体装置に関する。

【背景技術】

【0002】

半導体装置の一つとして、I G B T (Insulated Gate Bipolar Transistor)、F W D (Free Wheeling Diode) 等の複数の半導体素子を含む半導体モジュールが広く用いられている。例えば、この半導体モジュールを並列接続することで、スイッチング、コンバータ等としての機能が実現される。このような半導体モジュールの内、モジュール内部に絶縁機能を有さない非絶縁型の半導体モジュールは、絶縁型の半導体モジュールに比べ、内部配線のインダクタンスを低減することができる。

20

【0003】

非絶縁型の半導体モジュールは、上面にゲート端子とソース端子を備え、下面にドレイン端子を備えている。そして、上面からゲート導体とソース導体が一体になったものを配置し、下面にドレイン導体を配置し、それらを上下から圧接することにより、外部と電氣的に接続されている（例えば、特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0004】

30

【特許文献 1】特開平 7 - 3 1 2 4 1 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、特許文献 1 の半導体モジュールでは、ゲート導体に圧接されたばね板形状のゲート端子は、半導体モジュールの動作中にゲート導体が摺動して、ゲート導体との接触面の電気抵抗が増加する。このため、半導体モジュールに動作不良が生じてしまうおそれがある。

【0006】

本発明は、このような点を鑑みてなされたものであり、動作不良の発生が抑制された半導体を提供することを目的とする。

40

【課題を解決するための手段】

【0007】

本発明の一観点によれば、ドレイン板と、おもて面にゲート電極とソース電極とを備え、裏面にドレイン電極を備え、前記ドレイン板のおもて面に配置され、前記ドレイン電極と前記ドレイン板が電氣的に接続される半導体素子と、絶縁板と、前記絶縁板のおもて面に設けられた第 1 回路板及び第 2 回路板を備え、前記ドレイン板のおもて面に配置され、前記第 1 回路板は前記ゲート電極と電氣的に接続され、前記第 2 回路板は前記ソース電極と電氣的に接続された、積層基板と、前記第 1 回路板上に配置されたゲート端子と、前記第 2 回路板上に配置されたソース端子と、開口及びガイド溝を備え、前記ドレイン板のお

50

もて面と対向して配置され、前記ゲート端子及び前記ソース端子が前記開口に位置し、前記ガイド溝は前記開口に接して外周部に延伸されている、蓋と、を備える半導体モジュールが提供される。

【発明の効果】

【0008】

開示の技術によれば、半導体装置の動作不良の発生を防止して、半導体装置の特性の低下を抑制することができるようになる。

【図面の簡単な説明】

【0009】

【図1】第1の実施の形態の半導体モジュールを示す図である。

10

【図2】第1の実施の形態の半導体モジュールの構成を示す図である。

【図3】第1の実施の形態の半導体モジュールの構成を示す図である。

【図4】第1の実施の形態の半導体モジュールの構成を示す図である。

【図5】第1の実施の形態の半導体モジュールの構成を示す図である。

【図6】第1の実施の形態の半導体モジュールの構成を示す図である。

【図7】第1の実施の形態の半導体モジュールの構成を示す図である。

【図8】第1の実施の形態の半導体モジュールの構成を示す図である。

【図9】第1の実施の形態の半導体モジュールの構成を示す図である。

【図10】第1の実施の形態の半導体モジュールの構成を示す図である。

【図11】第2の実施の形態の半導体装置を示す図である。

20

【図12】第2の実施の形態の半導体装置の配線板を示す図である。

【図13】第3の実施の形態の半導体モジュールを示す図である。

【図14】第4の実施の形態の半導体モジュールを示す図である。

【図15】第5の実施の形態の半導体モジュールに用いられるゲート板と補助ソース板とを含むプリント基板を示す図である。

【図16】第6の実施の形態の半導体装置を示す図である。

【図17】第7の実施の形態の半導体モジュールを示す図である。

【図18】第7の実施の形態の半導体モジュールを複数組み合わせた半導体装置を示す図である。

【図19】第8の実施の形態の半導体モジュールを示す図である。

30

【図20】第8の実施の形態の半導体モジュールを複数組み合わせた半導体装置を示す図である。

【図21】第9の実施の形態の半導体装置を示す側面図である。

【図22】第9の実施の形態の半導体装置を示す側面図である。

【発明を実施するための形態】

【0010】

以下、図面を参照して実施の形態について説明する。

[第1の実施の形態]

第1の実施の形態の半導体モジュールについて、図1～図10を用いて説明する。

【0011】

40

図1は、第1の実施の形態の半導体モジュールを示す図である。

なお、図1(A)は、半導体モジュールの平面図を、図1(B)は、図1(A)の一点鎖線X1-X1の断面図をそれぞれ示している。

【0012】

また、図2～図10は、第1の実施の形態の半導体モジュールの構成を示す図である。

図2(A)は、ドレイン板1010の平面図を、図2(B)は、図2(A)の一点鎖線X-Xにおける断面図をそれぞれ示している。

【0013】

図3(A)は、ドレイン板1010の平面図を、図3(B)は、図3(A)の矢視Yから見た側面図を、図3(C)は、図3(A)の矢視Xから見た側面図をそれぞれ示してい

50

る。

【 0 0 1 4 】

図 8 (A) は、蓋 1 3 0 0 の平面図を、図 8 (B) は、(ゲート板 1 4 0 0 及び補助ソース板 1 5 0 0 a , 1 5 0 0 b を配置していない) 半導体モジュールの斜視図をそれぞれ示している。

【 0 0 1 5 】

図 9 (A) は、ゲート板 1 4 0 0 の平面図を、図 9 (B) は、補助ソース板 1 5 0 0 a , 1 5 0 0 b の平面図をそれぞれ示している。なお、図 1 0 は、図 1 の一点鎖線 X 2 - X 2 の断面拡大図を示している。

【 0 0 1 6 】

非絶縁型の半導体モジュール 1 0 0 0 は、図 1 に示されるように、ドレイン板 1 0 1 0 と、半導体素子 1 0 2 0 と、積層基板 1 0 3 0 と、ゲート端子 1 0 4 0 と、補助ソース端子 1 0 5 0 と、蓋 1 3 0 0 とを備える。また、半導体モジュール 1 0 0 0 は、ゲート板 1 4 0 0 と、補助ソース端子 1 0 6 0 と、補助ソース板 1 5 0 0 a , 1 5 0 0 b と、絶縁性の枠 1 2 0 0 をさらに備えている。

【 0 0 1 7 】

ドレイン板 1 0 1 0 は、銅やアルミ等の導電性材料で構成される。ドレイン板 1 0 1 0 のおもて面には半導体モジュール 1 0 0 0 の各構成部材が搭載され、裏面に外部電源からの電力が入力される。すなわち、ドレイン板 1 0 1 0 は、非絶縁型の半導体モジュール 1 0 0 0 のドレイン端子としての機能を有する。

【 0 0 1 8 】

半導体素子 1 0 2 0 は、パワー M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) や I G B T 等の縦型のパワー半導体素子である。第 1 の実施の形態においては、半導体素子 1 0 2 0 がパワー M O S F E T の場合について説明する。半導体素子 1 0 2 0 は、おもて面にゲート電極とソース電極とを備え、裏面にドレイン電極を備える。半導体素子 1 0 2 0 は、ドレイン板 1 0 1 0 のおもて面に配置される。そして、半導体素子 1 0 2 0 の裏面のドレイン電極と、ドレイン板 1 0 1 0 が、はんだ等の導電性の接合材により接合され、電氣的に接続されている。

【 0 0 1 9 】

積層基板 1 0 3 0 は、図 2 に示されるように、絶縁板 1 0 3 2 と、第 1 回路板 1 0 3 1 a と、第 2 回路板 1 0 3 1 b とを備える。積層基板 1 0 3 0 は、ドレイン板 1 0 1 0 のおもて面のうち、半導体素子 1 0 2 0 が配置されている箇所とは異なる箇所に配置されている。また、第 1 回路板 1 0 3 1 a と半導体素子 1 0 2 0 のゲート電極が電氣的に接続され、第 2 回路板 1 0 3 1 b と半導体素子 1 0 2 0 のソース電極が電氣的に接続されている。これらの接続構成の詳細については後述する。

【 0 0 2 0 】

ゲート端子 1 0 4 0 は、第 1 回路板 1 0 3 1 a 上に配置されている。一対のソース端子 1 0 7 0 , 1 0 8 0 は、第 2 回路板 1 0 3 1 b 上に配置されている。一対の補助ソース端子 1 0 5 0 , 1 0 6 0 は、第 2 回路板 1 0 3 1 b 上に配置されている。いずれの端子も銅やアルミなどの導電性材料で構成される。また、いずれの端子も第 1 回路板 1 0 3 1 a もしくは第 2 回路板 1 0 3 1 b と、はんだなどの導電性の接合材により接合され、電氣的に接続されている。

【 0 0 2 1 】

図 8 に示すように、蓋 1 3 0 0 は、矩形状をなし、ガイド溝 1 3 0 3 , 1 3 0 4 を備える。蓋 1 3 0 0 は、ドレイン板 1 0 1 0 のおもて面に対向して配置されている。そして、開口 1 3 0 1 に、ゲート端子 1 0 4 0 、ソース端子 1 0 7 0 , 1 0 8 0 、及び補助ソース端子 1 0 5 0 , 1 0 6 0 が位置している。ガイド溝 1 3 0 3 , 1 3 0 4 は開口 1 3 0 1 に接し、開口 1 3 0 1 に接する箇所から外周部まで延伸されている。蓋 1 3 0 0 は、銅やアルミ等の導電性材料で構成されることが好ましい。

【 0 0 2 2 】

10

20

30

40

50

なお、蓋 1 3 0 0 は、ボルト孔 1 3 0 5 , 1 3 0 6 を用いて、ボルト 1 0 7 3 , 1 0 8 3 でソース端子 1 0 7 0 , 1 0 8 0 にねじ止めされ、固定されている。

ゲート板 1 4 0 0 は、ガイド溝 1 3 0 3 , 1 3 0 4 に配置され、ゲート端子 1 0 4 0 と電氣的に接続され、ガイド溝 1 3 0 3 , 1 3 0 4 に沿って外周部に延伸されている。なお、ゲート端子 1 0 4 0 は、ガイド溝 1 3 0 3 , 1 3 0 4 の中間点を直交する線上に位置している。

【 0 0 2 3 】

補助ソース板 1 5 0 0 a , 1 5 0 0 b は、ガイド溝 1 3 0 3 , 1 3 0 4 に配置されて、補助ソース端子 1 0 5 0 , 1 0 6 0 にそれぞれ電氣的に接続されている。また、補助ソース板 1 5 0 0 a , 1 5 0 0 b は、ゲート板 1 4 0 0 とは絶縁層 1 6 0 0 b により絶縁されながら、ガイド溝 1 3 0 3 , 1 3 0 4 に沿って外周部に延伸されている。

10

【 0 0 2 4 】

ゲート板 1 4 0 0 は、第 1 の実施の形態では、H 字型の形状をなしており、中心部でゲート端子 1 0 4 0 のボルト孔 1 0 4 1 にボルト 1 0 4 3 で固定されている。補助ソース板 1 5 0 0 a , 1 5 0 0 b も、補助ソース端子 1 0 5 0 及び補助ソース端子 1 0 6 0 のボルト孔 1 0 5 1 , 1 0 6 1 にボルト 1 0 5 3 , 1 0 6 3 で固定されている。

【 0 0 2 5 】

このような半導体モジュール 1 0 0 0 において、ドレイン板 1 0 1 0 にドレイン導体 1 8 0 0 を押圧し、ソース端子 1 0 7 0 , 1 0 8 0 にソース導体 1 7 0 0 を押圧して、上下から圧接する。これにより、外部電源と半導体モジュール 1 0 0 0 を電氣的に接続することができる。また、外周部に延伸され、半導体モジュール 1 0 0 0 の側部に取り出されたゲート板 1 4 0 0 に、ゲートドライバユニット（不図示）からゲート電圧を印加する。これにより、半導体素子 1 0 2 0 のスイッチング動作を制御することができる。

20

【 0 0 2 6 】

このような構成を有する半導体モジュールの構成、組み立てについて、以下で説明する。

まず、図 2 に示されるように、ドレイン板 1 0 1 0 の中央部に積層基板 1 0 3 0 と、積層基板 1 0 3 0 の両側に複数の半導体素子 1 0 2 0 とがそれぞれ配置されている。

【 0 0 2 7 】

絶縁板 1 0 3 2 のおもて面に、第 1 回路板 1 0 3 1 a と第 2 回路板 1 0 3 1 b とが配置されている。第 1 回路板 1 0 3 1 a 及び第 2 回路板 1 0 3 1 b は、銅やアルミ等の導電性材料により構成されている。第 1 回路板 1 0 3 1 a と第 2 回路板 1 0 3 1 b とは、電氣的に絶縁されており、第 2 回路板 1 0 3 1 b が第 1 回路板 1 0 3 1 a を取り囲んで配置されている。また、絶縁板 1 0 3 2 の裏面に、例えば、銅で構成された金属板 1 0 3 3 を備える。金属板 1 0 3 3 を配置することにより、ドレイン板 1 0 1 0 と積層基板 1 0 3 0 との間を、はんだ付けによる接合が可能となる。なお、ドレイン板 1 0 1 0 と積層基板 1 0 3 0 との間を接着剤で接合する場合は、金属板 1 0 3 3 は無くても良い。

30

【 0 0 2 8 】

次いで、図 3 に示されるように、積層基板 1 0 3 0 の第 1 回路板 1 0 3 1 a の中心部に、柱状であって、上面にボルト孔 1 0 4 1 が設けられたゲート端子 1 0 4 0 が設置される。

40

【 0 0 2 9 】

また、第 2 回路板 1 0 3 1 b には、一对のソース端子 1 0 7 0 , 1 0 8 0 が、第 1 回路板 1 0 3 1 a を挟んで設置される。ソース端子 1 0 7 0 , 1 0 8 0 には、それぞれ、段差面 1 0 7 2 , 1 0 8 2 が形成されており、段差面 1 0 7 2 , 1 0 8 2 には、ボルト孔 1 0 7 1 , 1 0 8 1 がそれぞれ形成されている。

【 0 0 3 0 】

さらに、第 2 回路板 1 0 3 1 b には、補助ソース端子 1 0 5 0 , 1 0 6 0 が設置される。補助ソース端子 1 0 5 0 , 1 0 6 0 は、例えば、第 1 回路板 1 0 3 1 a を挟んで、ソース端子 1 0 7 0 , 1 0 8 0 と並んで設置される。補助ソース端子 1 0 5 0 , 1 0 6 0 には

50

、ボルト孔 1 0 5 1 , 1 0 6 1 がそれぞれ形成されている。なお、図 3 (A) に示す補助ソース端子 1 0 5 0 , 1 0 6 0 の設置箇所は、一例であって、第 2 回路板 1 0 3 1 b 上であればどこでも構わない。

【 0 0 3 1 】

次いで、図 4 ~ 図 6 に示されるように、複数の半導体素子 1 0 2 0 と、第 1 回路板 1 0 3 1 a 及び第 2 回路板 1 0 3 1 b との間に、プリント基板 1 0 9 0 , 1 1 0 0 が設置される。設置の際、プリント基板 1 0 9 0 , 1 1 0 0 と、補助ソース端子 1 0 5 0 , 1 0 6 0 が干渉しないように、プリント基板 1 0 9 0 , 1 1 0 0 の形状が最適化されている。プリント基板 1 0 9 0 , 1 1 0 0 のおもて面に配置されたゲート配線層 1 0 9 1 , 1 1 0 1 と、複数の半導体素子 1 0 2 0 の各ゲート電極とは、導電ポスト 1 0 9 2 a , 1 1 0 2 a を経由してそれぞれ電氣的に接続されている。また、ゲート配線層 1 0 9 1 , 1 1 0 1 と、積層基板 1 0 3 0 の第 1 回路板 1 0 3 1 a とは、ゲート接続部 1 0 9 5 , 1 1 0 5 を経由して電氣的に接続されている。

10

【 0 0 3 2 】

また、プリント基板 1 0 9 0 , 1 1 0 0 の裏面に配置されたソース配線層 1 0 9 3 , 1 1 0 3 と、複数の半導体素子 1 0 2 0 の各ソース電極とは、導電ポスト 1 0 9 2 b , 1 1 0 2 b を経由してそれぞれ電氣的に接続されている。また、ソース配線層 1 0 9 3 , 1 1 0 3 と、積層基板 1 0 3 0 の第 2 回路板 1 0 3 1 b とは、ソース接続部 1 0 9 6 , 1 1 0 6 を経由して電氣的に接続されている。

【 0 0 3 3 】

このように、プリント基板 1 0 9 0 , 1 1 0 0 及び導電ポスト 1 0 9 2 a , 1 0 9 2 b , 1 1 0 2 a , 1 1 0 2 b を用いて、半導体素子 1 0 2 0 と積層基板 1 0 3 0 とが電氣的に接続される。

20

【 0 0 3 4 】

なお、ソース配線層 1 0 9 3 , 1 1 0 3 には貫通孔 1 0 9 4 , 1 1 0 4 が形成されている。プリント基板 1 0 9 0 , 1 1 0 0 のゲート配線層 1 0 9 1 , 1 1 0 1 に接続されている導電ポスト 1 0 9 2 a , 1 1 0 2 a は、貫通孔 1 0 9 4 , 1 1 0 4 に挿通されている。このため、導電ポスト 1 0 9 2 a , 1 1 0 2 a とソース配線層 1 0 9 3 , 1 1 0 3 とは電氣的絶縁性が保たれている。

【 0 0 3 5 】

このようにして各構成が設置されたドレイン板 1 0 1 0 を、図 7 に示されるように、四方が覆われた枠 1 2 0 0 内に設ける。

30

次いで、枠 1 2 0 0 に被せる蓋 1 3 0 0 は、図 8 (A) に示されるように、開口 1 3 0 1 と、ボルト孔 1 3 0 5 , 1 3 0 6 とがそれぞれ形成されている。さらに、蓋 1 3 0 0 は、図中上下方向に直線状のガイド溝 1 3 0 3 , 1 3 0 4 が開口 1 3 0 1 に接して、外周部まで延伸されて形成されている。

【 0 0 3 6 】

このような蓋 1 3 0 0 を枠 1 2 0 0 に被せると、図 8 (B) に示される半導体モジュール 1 0 0 0 となる。半導体モジュール 1 0 0 0 では、ゲート端子 1 0 4 0 と、ソース端子 1 0 7 0 , 1 0 8 0 と、補助ソース端子 1 0 5 0 , 1 0 6 0 とが、開口 1 3 0 1 に位置し、開口 1 3 0 1 から少なくとも一部が露出するように配置されている。また、ボルト孔 1 3 0 5 , 1 3 0 6 が、ソース端子 1 0 7 0 , 1 0 8 0 のボルト孔 1 0 7 1 , 1 0 8 1 に位置合わせされ、蓋 1 3 0 0 がボルト 1 0 7 3 , 1 0 8 3 で固定されている。

40

【 0 0 3 7 】

なお、蓋 1 3 0 0 に形成されたガイド溝 1 3 0 3 , 1 3 0 4 の溝の深さは、例えば、ゲート端子 1 0 4 0 と、補助ソース端子 1 0 5 0 , 1 0 6 0 との高さと一致するようにしている。

【 0 0 3 8 】

次いで、図 9 及び図 1 0 に示されるように、蓋 1 3 0 0 のガイド溝 1 3 0 3 に、絶縁層 1 6 0 0 a を配置して、補助ソース板 1 5 0 0 a を配置する。配置の際には、補助ソース

50

板 1 5 0 0 a のボルト孔 1 5 0 1 a が、補助ソース端子 1 0 6 0 のボルト孔 1 0 6 1 に位置合わせされ、ボルト 1 0 6 3 で固定される。補助ソース板 1 5 0 0 b も同様にしてガイド溝 1 3 0 4 に絶縁層 1 6 0 0 a を介して配置される。この際、補助ソース板 1 5 0 0 b のボルト孔 1 5 0 1 a が、補助ソース端子 1 0 5 0 のボルト孔 1 0 5 1 に位置合わせされ、ボルト 1 0 5 3 で固定される。

【 0 0 3 9 】

また、ガイド溝 1 3 0 3 , 1 3 0 4 に配置された補助ソース板 1 5 0 0 a , 1 5 0 0 b に、絶縁層 1 6 0 0 b を配置し、図 9 (A) に示されるゲート板 1 4 0 0 を配置する。配置の際には、ゲート板 1 4 0 0 のボルト孔 1 4 0 1 が、ゲート端子 1 0 4 0 のボルト孔 1 0 4 1 に位置合わせされ、ボルト 1 0 4 3 で固定される。ゲート板 1 4 0 0 上にはさらに絶縁層 1 6 0 0 c を配置する。

10

【 0 0 4 0 】

すなわち、ガイド溝 1 3 0 3 において、図 1 0 に示されるように、絶縁層 1 6 0 0 a 、補助ソース板 1 5 0 0 a 、絶縁層 1 6 0 0 b 、ゲート板 1 4 0 0 、絶縁層 1 6 0 0 c の順で積層される。また、ガイド溝 1 3 0 4 において、絶縁層 1 6 0 0 a 、補助ソース板 1 5 0 0 b 、絶縁層 1 6 0 0 b 、ゲート板 1 4 0 0 、絶縁層 1 6 0 0 c の順で積層される。

【 0 0 4 1 】

このようにして設置された補助ソース板 1 5 0 0 a , 1 5 0 0 b にゲートドライバユニットを接続すると、ゲートドライバユニットは、ゲート電圧に応じたソース電流を計測することができる。

20

【 0 0 4 2 】

第 1 の実施の形態の半導体モジュール 1 0 0 0 では、蓋 1 3 0 0 にガイド溝 1 3 0 3 , 1 3 0 4 が設けられることにより、ソース端子 1 0 7 0 , 1 0 8 0 の上面よりも低い位置にゲート板 1 4 0 0 を配置することができる。これにより、ゲート板 1 4 0 0 とゲート端子 1 0 4 0 を接合する、ボルト 1 0 4 3 を配置するのに必要なスペースを確保することができる。そして、ボルト 1 0 4 3 で強固に接合することにより、動作時におけるゲート端子 1 0 4 0 の摩耗の発生が抑制される。このため、ゲート端子 1 0 4 0 の電気抵抗の増加、並びに、発熱の発生が抑制されて、半導体モジュール 1 0 0 0 の動作不良の発生が防止される。

【 0 0 4 3 】

30

また、半導体モジュール 1 0 0 0 では、補助ソース端子 1 0 5 0 , 1 0 6 0 を設置して、補助ソース端子 1 0 5 0 , 1 0 6 0 に接合した補助ソース板 1 5 0 0 a , 1 5 0 0 b をガイド溝 1 3 0 3 , 1 3 0 4 から延伸させるようにした。このため、ゲート電圧に対するソース電流を計測することができ、所望のソース電流が出力されるように印加するゲート電圧を正確に制御することができる。

【 0 0 4 4 】

また、ガイド溝 1 3 0 3 , 1 3 0 4 にゲート板 1 4 0 0 及び補助ソース板 1 5 0 0 a , 1 5 0 0 b を積層配置している。このため、ゲート配線の配線インダクタンスを低減させることができ、半導体モジュールの高速動作が可能となる。

【 0 0 4 5 】

40

また、半導体モジュール 1 0 0 0 では、半導体素子 1 0 2 0 、積層基板 1 0 3 0 等が導電性の蓋 1 3 0 0 により覆われているために、半導体モジュール内部で発生するノイズを遮断することができる。

【 0 0 4 6 】

また、半導体モジュール 1 0 0 0 は、ゲート板 1 4 0 0 と補助ソース板 1 5 0 0 a , 1 5 0 0 b とがガイド溝 1 3 0 3 , 1 3 0 4 に収納されるために、コンパクト化される。

なお、第 1 の実施の形態では、ガイド溝 1 3 0 3 , 1 3 0 4 に補助ソース板 1 5 0 0 a , 1 5 0 0 b を先に配置して、ゲート板 1 4 0 0 を配置する場合を例に挙げて説明した。この場合に限らず、ゲート板 1 4 0 0 を先に配置して、補助ソース板 1 5 0 0 a , 1 5 0 0 b を配置することも可能である。

50

【 0 0 4 7 】

また、第 1 の実施の形態では、半導体素子 1 0 2 0 にパワー MOS F E T を用いる場合について説明したが、これに限定されるものではなく、半導体素子 1 0 2 0 を I G B T にしてもよい。この場合、上記実施の形態におけるドレイン電極はコレクタ電極に、ソース電極はエミッタ電極にそれぞれ置き換えればよい。また、その他のスイッチング素子を用いてもよい。

【 0 0 4 8 】

すなわち、第 1 の出願の明細書及び特許請求の範囲において、「ドレイン電極」とは半導体素子 1 0 2 0 の陽極側の電極の総称であり、「ソース電極」とは半導体素子 1 0 2 0 の陰極側の電極の総称である。

10

【 0 0 4 9 】

[第 2 の実施の形態]

第 2 の実施の形態では、第 1 の実施の形態で示した半導体モジュールを複数組み合わせた半導体装置について、図 1 1 及び図 1 2 を用いて説明する。

【 0 0 5 0 】

図 1 1 は、第 2 の実施の形態の半導体装置を示す図である。

また、図 1 2 は、第 2 の実施の形態の半導体装置の配線板を示す図である。

図 1 2 (A) はゲート板の平面図、図 1 2 (B) は補助ソース板の平面図をそれぞれ示している。

【 0 0 5 1 】

20

複数 (第 2 の実施の形態では 3 つ) の半導体モジュール (図 8 (B)) を用意して、ガイド溝 1 3 0 3 同士が連結し、またガイド溝 1 3 0 4 同士が連結するように配置する。

このようにガイド溝同士を連結した複数の半導体モジュールに対して、図 1 2 に示されるような、一体化したゲート板 2 4 0 0 と、一体化した補助ソース板 2 5 0 0 a , 2 5 0 0 b とを用意する。

【 0 0 5 2 】

複数を組み合わせた半導体モジュールの連結したガイド溝 1 3 0 3 に、絶縁層を介して一体化した補助ソース板 2 5 0 0 a を配置する。配置の際には、補助ソース板 2 5 0 0 a のボルト孔 2 5 0 1 a を、補助ソース端子 1 0 6 0 のボルト孔 1 0 6 1 に位置合わせする。補助ソース板 2 5 0 0 b についても同様に、連結したガイド溝 1 3 0 4 に、絶縁層を介して配置する。この際、補助ソース板 2 5 0 0 b のボルト孔 2 5 0 1 b を、補助ソース端子 1 0 5 0 のボルト孔 1 0 5 1 に位置合わせする。

30

【 0 0 5 3 】

続いて、第 1 の実施の形態と同様、補助ソース板 2 5 0 0 a , 2 5 0 0 b の上に、絶縁層を配置する。

さらに、連結したガイド溝 1 3 0 3 , 1 3 0 4 の絶縁層を介して、一体化したゲート板 2 4 0 0 を配置する。配置の際には、ゲート板 2 4 0 0 のボルト孔 2 4 0 1 を、ゲート端子 1 0 4 0 のボルト孔 1 0 4 1 に位置合わせする。

【 0 0 5 4 】

さらに、図 1 1 に示されるように、ゲート板 2 4 0 0 が、ボルト 1 0 4 3 で固定される。また、補助ソース板 2 5 0 0 a , 2 5 0 0 b が、ボルト 1 0 5 3 , 1 0 6 3 でそれぞれ固定される。

40

【 0 0 5 5 】

このようにして組み合わせられた半導体装置 1 0 0 の複数のソース端子 1 0 7 0 , 1 0 8 0 を、ソース導体 (不図示) で押圧する。そして同様に、半導体装置 1 0 0 の複数のドレイン板 1 0 1 0 を、ドレイン導体 (不図示) で押圧する。これにより、複数の半導体モジュール 1 0 0 0 を、容易に並列接続することができる。

【 0 0 5 6 】

このように、第 2 の実施の形態においては、複数の半導体モジュール 1 0 0 0 について、ガイド溝 1 3 0 3 , 1 3 0 4 が連結するように組み合わせで並列接続した、半導体装置

50

１００を構成することができる。これにより、半導体装置１００の大電流化を容易に図ることができる。

【００５７】

[第３の実施の形態]

第３の実施の形態では、補助ソース端子を設けずに、補助ソース電流を得ることができる半導体モジュールについて、図１３を用いて説明する。

【００５８】

図１３は、第３の実施の形態の半導体モジュールを示す図である。

図１３（Ａ）は、蓋２３００の平面図を、図１３（Ｂ）は、第３の実施の形態の半導体モジュール２０００の平面図をそれぞれ示している。

10

【００５９】

半導体モジュール２０００では、第１の実施の形態の半導体モジュール１０００に示した補助ソース端子１０５０，１０６０を配置していない。また、半導体モジュール２０００の蓋２３００は、図１３（Ａ）に示されるように、ソース端子１０７０，１０８０と、ゲート端子１０４０を表出する開口２３０１が形成されている。さらに、蓋２３００は、ガイド溝１３０３，１３０４と同じ深さ（高さ）に位置する凹部２３０２，２３０３と、凹部２３０２，２３０３に設けられたボルト孔２３０６，２３０７とを備える。その他は、半導体モジュール１０００と同様の構成をなしている。

【００６０】

このような蓋２３００を、第１の実施の形態と同様に、半導体素子１０２０、積層基板１０３０等を収納する枠１２００に被せる。ソース端子１０７０，１０８０のボルト孔１０７１，１０８１に位置合わせし、ボルト孔１３０４，１３０５をボルト１０８３，１０７３でねじ止めする。これにより、蓋２３００がソース端子１０７０，１０８０に固定される。

20

【００６１】

さらに、第１の実施の形態と同様に、補助ソース板１５００ａ，１５００ｂをガイド溝１３０３，１３０４に絶縁層を介して配置する。そして、補助ソース板１５００ａ，１５００ｂのボルト孔１５０１ａ，１５０１ｂを、ボルト孔２３０７，２３０６に位置合わせする。そして、補助ソース板１５００ａ，１５００ｂを、ボルト１０５３，１０６３でねじ止めして、蓋２３００に固定し、電氣的に接続する。ゲート板１４００も、第１の実施の形態と同様に、ゲート端子１０４０のボルト孔１０４１にボルト孔１４０１を位置合わせし、ボルト１０４３でねじ止めして、ゲート端子１０４０に固定される。

30

【００６２】

この際、蓋２３００は、ソース端子１０７０，１０８０とは電氣的に接続されているために、蓋２３００とソース端子１０７０，１０８０とは同電位となっている。この状態において、補助ソース板１５００ａ，１５００ｂが蓋２３００に電氣的に接続されているために、補助ソース板１５００ａ，１５００ｂも、ソース端子１０７０，１０８０と同電位となる。したがって、第２回路板１０３１ｂと、補助ソース板１５００ａ，１５００ｂとの間が、ソース端子１０７０，１０８０及び蓋２３００を経由して、電氣的に接続されている。これにより、第１の実施の形態と同様に、補助ソース板１５００ａ，１５００ｂから補助ソース電流を得ることが可能となる。

40

【００６３】

第３の実施の形態により、構成部材の増加を抑えて、補助ソース電流を得ることが可能となる。

[第４の実施の形態]

第４の実施の形態では、半導体モジュールのガイド溝の深さをゲート端子並びに補助ソース端子よりも浅くする場合について、図１４を用いて説明する。

【００６４】

図１４は、第４の実施の形態の半導体モジュールを示す図である。

図１４（Ａ）は、第４の実施の形態の半導体モジュール３０００の平面図、図１４（Ｂ

50

）は、図１４（Ａ）の一点鎖線 X - X における断面拡大図をそれぞれ示している。

【００６５】

半導体モジュール３０００は、ガイド溝３３０３，３３０４が、第１の実施の形態のガイド溝１３０３，１３０４よりも浅く構成されている。なお、半導体モジュール３０００の他の構成については、第１の実施の形態の半導体モジュールと同様の構成をなしている。このため、図１４（Ｂ）に示されるように、ガイド溝３３０３の底面３３０３ａが、ゲート端子１０４０の上端部よりも上方に位置しており、ガイド溝３３０３と、ゲート端子１０４０の上端部とに段差が生じている。

【００６６】

そこで、ガイド溝３３０３，３３０４に配置するゲート板１４００の中心部には、この段差に応じて傾斜が付けられている。この傾斜により、ゲート板３４００のボルト孔がゲート端子１０４０のボルト孔１０４１に位置合わせされ、ゲート板３４００がゲート端子１０４０にボルト１０４３で固定される。

【００６７】

また、補助ソース板３５００ａ，３５００ｂも、図示を省略するものの、ボルト孔が形成されている箇所に、ゲート板３４００と同様に傾斜が付けられている。

これにより、ゲート板３４００と補助ソース板３５００ａ，３５００ｂとが配置されるガイド溝３３０３，３３０４の隙間（空間）を小さくすることができる。このために、半導体モジュール３０００の低インダクタンス化を図ることができる。したがって、ガイド溝３３０３，３３０４の深さは、隙間が最も少ない、ゲート板３４００と、補助ソース板３５００ａ，３５００ｂと、絶縁層とを合わせた厚さ程度とすることが望ましい。

【００６８】

また、半導体モジュール３０００は、第２の実施の形態の半導体モジュール（図１１）と同様に、ガイド溝３３０３，３３０４が連結するように複数組み合わせることも可能である。

【００６９】

〔第５の実施の形態〕

第５の実施の形態では、第１の実施の形態のゲート板１４００と補助ソース板１５００ａ，１５００ｂとをプリント基板にして一体化した場合について、図１５を用いて説明する。

【００７０】

図１５は、第５の実施の形態の半導体モジュールに用いられるゲート板と補助ソース板とを含むプリント基板を示す図である。

図１５（Ａ）は、ゲート板１４００と補助ソース板１５００ａ，１５００ｂとを含むプリント基板の平面図を、図１５（Ｂ）は、図１５（Ａ）の矢視Ｙから見た側面図をそれぞれ示している。

【００７１】

プリント基板４５００は、第１の実施の形態のゲート板１４００と、補助ソース板１５００ａ，１５００ｂとの間に絶縁材料で構成された基材４５２０が挟まれている。ゲート板１４００上にはレジスト層４５１０ａ，４５１０ｂが形成され、またボルト孔１０４１部分が開口されている。また、補助ソース板１５００ａ，１５００ｂには、レジスト層４５１０ａ，４５１０ｂが形成され、ボルト孔１５０１ａ，１５０１ｂに対向する開口４５３１ａ，４５３１ｂが形成されている。

【００７２】

そして、第１の実施の形態の半導体モジュール１０００の開口１３０１、ガイド溝１３０３，１３０４にプリント基板４５００が嵌めこまれて、ボルト１０４３，１０５３，１０６３で固定される。

【００７３】

このようなプリント基板４５００を用いることにより、ゲート板１４００と、補助ソース板１５００ａ，１５００ｂの取り付けが容易になる。

なお、複数の半導体モジュールを組み合わせる場合には、例えば、第４の実施の形態に示したゲート板２４００と、補助ソース板２５００ａ，２５００ｂとを、プリント基板として一体化することが可能である。

【００７４】

[第６の実施の形態]

第６の実施の形態では半導体モジュールを６つ組み合わせた場合について、図１６を用いて説明する。

【００７５】

図１６は、第６の実施の形態の半導体装置を示す図である。

半導体モジュール１０００ａ～１０００ｆは、半導体モジュール１０００と同様の構成をなしている。但し、半導体モジュール１０００ａ～１０００ｆの蓋４３００には、ガイド溝１３０３，１３０４の中心部から外周部に通じるガイド溝１３０８，１３０９がさらに形成されている。なお、図１６では、半導体モジュール１０００ａにのみ符号を付しており、半導体モジュール１０００ｂ～１０００ｆに対する符号は省略している。

【００７６】

このような半導体モジュール１０００ａ～１０００ｆを、図１６のように縦３つ、横２つ並列に配置させている。

そして、ゲート板５４００ａが半導体モジュール１０００ａのガイド溝１３０３に配置され、半導体モジュール１０００ａのゲート端子１０４０にボルト１０４３で固定されている。

【００７７】

ゲート板５５００ａは、半導体モジュール１０００ａのガイド溝１３０４と、半導体モジュール１０００ｂのガイド溝１３０４，１３０８とに配置され、半導体モジュール１０００ｂのゲート端子１０４０にボルト１０４３で固定されている。

【００７８】

ゲート板５６００ａは、半導体モジュール１０００ｂのガイド溝１３０４と、半導体モジュール１０００ｃのガイド溝１３０４とに配置され、半導体モジュール１０００ｃのゲート端子１０４０にボルト１０４３で固定されている。

【００７９】

また、ゲート板５６００ｂは、半導体モジュール１０００ｄのガイド溝１３０３と、半導体モジュール１０００ｅのガイド溝１３０３とに配置され、半導体モジュール１０００ｄのゲート端子１０４０にボルト１０４３で固定されている。

【００８０】

ゲート板５５００ｂは、半導体モジュール１０００ｅのガイド溝１３０３，１３０９と、半導体モジュール１０００ｆのガイド溝１３０３とに配置され、半導体モジュール１０００ｅのゲート端子１０４０にボルト１０４３で固定されている。

【００８１】

ゲート板５４００ｂは、半導体モジュール１０００ｆのガイド溝１３０４に配置され、半導体モジュール１０００ｆのゲート端子１０４０にボルト１０４３で固定されている。

接続板５７００ａが、半導体モジュール１０００ａのガイド溝１３０９と半導体モジュール１０００ｄのガイド溝１３０８とに配置されている。接続板５７００ａと、ゲート板５４００ａ，５５００ａとが、ボルト５８０１で固定され、接続板５７００ａと、ゲート板５６００ｂとが、ボルト５８０４で固定されている。

【００８２】

接続板５７００ｂが、半導体モジュール１０００ｂのガイド溝１３０９と半導体モジュール１０００ｅのガイド溝１３０８とに配置されている。接続板５７００ｂと、ゲート板５５００ａ，５６００ａとが、ボルト５８０２で固定され、接続板５７００ｂと、ゲート板５６００ｂ，５５００ｂとが、ボルト５８０５で固定されている。

【００８３】

接続板５７００ｃが、半導体モジュール１０００ｃのガイド溝１３０９と半導体モジュ

10

20

30

40

50

ール 1 0 0 0 f のガイド溝 1 3 0 8 とに配置されている。接続板 5 7 0 0 c と、ゲート板 5 6 0 0 a とが、ボルト 5 8 0 3 で固定され、接続板 5 7 0 0 c とゲート板 5 5 0 0 b , 5 4 0 0 b とが、ボルト 5 8 0 6 で固定されている。

【 0 0 8 4 】

このようにして複数の半導体モジュール 1 0 0 0 a ~ 1 0 0 0 f が組み合わされた半導体装置 2 0 0 では、裏面のドレイン板 1 0 1 0 からドレイン電圧が印加される。そして、ゲートドライバユニットからゲート板 5 4 0 0 a , 5 5 0 0 a , 5 5 0 0 b , 5 4 0 0 b にそれぞれゲート電圧が印加されると、各ソース端子 1 0 7 0 , 1 0 8 0 からソース電流が出力される。

【 0 0 8 5 】

10

このように、半導体モジュールの蓋 4 3 0 0 に、外周部に通じるガイド溝 1 3 0 8 , 1 3 0 9 を配置することにより、複数の半導体モジュールの配置パターン数を増加することができる。これにより、より柔軟に半導体装置 2 0 0 の大電流化を図ることができる。

【 0 0 8 6 】

[第 7 の実施の形態]

第 7 の実施の形態では、第 1 の実施の形態の半導体モジュール 1 0 0 0 において、補助ソース板が配置されるガイド溝を新たに設けた場合について説明する。

【 0 0 8 7 】

図 1 7 は、第 7 の実施の形態の半導体モジュールを示す図である。

半導体モジュール 5 0 0 0 では、蓋 5 3 0 0 以外については、半導体モジュール 1 0 0 0 と同様の構成がなされている。

20

【 0 0 8 8 】

蓋 5 3 0 0 は、ゲート端子 1 0 4 0 と隣接し、開口 1 3 0 1 に接して形成されたガイド溝 5 3 0 3 を備える。さらに、当該ガイド溝 5 3 0 3 と平行に配置され、ボルト孔 5 3 0 5 a , 5 3 0 5 b を備えるガイド溝 5 3 0 4 が形成されている。そして、ガイド溝 5 3 0 4 に沿って、図示しない補助ソース板が配置され、補助ソース板はボルト孔 5 3 0 5 a , 5 3 0 5 b を用いて固定される。

【 0 0 8 9 】

また、蓋 5 3 0 0 は、ソース端子 1 0 7 0 , 1 0 8 0 にボルト 1 0 7 3 , 1 0 8 3 で固定されている。このため、蓋 5 3 0 0 は、ソース端子 1 0 7 0 , 1 0 8 0 と同電位である。したがって、第 2 回路板 1 0 3 1 b と、補助ソース板とを同電位にすることが可能となる。

30

【 0 0 9 0 】

なお、ゲート板が配置されるガイド溝 5 3 0 3 は、図 1 7 の形成位置に限らず、第 1 の実施の形態と同様に、開口 5 3 0 1 の両側に形成することも、または、開口 5 3 0 1 の図中左側のみに形成することも可能である。

【 0 0 9 1 】

また、半導体モジュール 5 0 0 0 を複数組み合わせた場合について、図 1 8 を用いて説明する。

図 1 8 は、第 7 の実施の形態の半導体モジュールを複数組み合わせた半導体装置を示す図である。

40

【 0 0 9 2 】

複数（第 7 の実施の形態では 3 つ）の半導体モジュール 5 0 0 0 を用意して、ガイド溝 5 3 0 3 , 5 3 0 4 がそれぞれ連結するように配置する。

連結したガイド溝 5 3 0 3 に絶縁層を介して、ゲート板 5 4 0 0 を配置して、ゲート板 5 4 0 0 をゲート端子 1 0 4 0 にボルト 1 0 4 3 で固定する。

【 0 0 9 3 】

同様にして、連結したガイド溝 5 3 0 4 に絶縁層を介して、補助ソース板 5 5 0 0 を配置して、補助ソース板 5 5 0 0 をガイド溝 5 3 0 4 にボルト 5 5 0 3 a , 5 5 0 3 b で固定する。

50

【 0 0 9 4 】

このようにして複数の半導体モジュール 5 0 0 0 を組み合わせた半導体装置 3 0 0 では、各半導体モジュール 5 0 0 0 から出力されるソース電流が合成されて、半導体装置の大電流化を図ることができる。

【 0 0 9 5 】

[第 8 の実施の形態]

第 8 の実施の形態では、第 7 の実施の形態の半導体モジュール 5 0 0 0 において、補助ソース板が配置されるガイド溝を別の箇所に設けた場合について説明する。

【 0 0 9 6 】

図 1 9 は、第 8 の実施の形態の半導体モジュールを示す図である。

10

図 1 9 (A) は、蓋 6 3 0 0 が設置された半導体モジュール 6 0 0 0 の平面図、図 1 9 (B) は、半導体モジュール 6 0 0 0 の内部平面図をそれぞれ示している。

【 0 0 9 7 】

半導体モジュール 6 0 0 0 は、蓋 6 3 0 0 及び補助ソース端子 6 0 6 0 以外については、半導体モジュール 1 0 0 0 と同様の構成がなされている。

蓋 6 3 0 0 は、ゲート端子 1 0 4 0 と隣接し、開口 6 3 0 1 に接して形成されたガイド溝 6 3 0 3 を備える。さらに、開口 6 3 0 1 の図中左側に、ガイド溝 6 3 0 3 と平行に配置され、ボルト孔 6 3 0 5 a を備える補助ガイド溝 6 3 0 4 が形成されている。

【 0 0 9 8 】

補助ソース端子 6 0 6 0 は、第 2 回路板 1 0 3 1 b 上に配置されている。蓋 6 3 0 0 が枠 1 2 0 0 に設置されると、補助ガイド溝 6 3 0 4 のボルト孔 6 3 0 5 a と、補助ソース端子 6 0 6 0 のボルト孔 6 0 6 1 とが位置合わせされる。

20

【 0 0 9 9 】

そして、補助ガイド溝 6 3 0 4 に沿って、図示しない補助ソース板が絶縁層を介して配置され、ボルト孔 6 3 0 5 a を用いて図示しないボルトにより固定される。

また、このような半導体モジュール 6 0 0 0 を複数組み合わせた半導体装置 4 0 0 について、図 2 0 を用いて説明する。

【 0 1 0 0 】

図 2 0 は、第 8 の実施の形態の半導体モジュールを複数組み合わせた半導体装置を示す図である。

30

複数（第 8 の実施の形態では 3 つ）の半導体モジュール 6 0 0 0 を用意して、ガイド溝 6 3 0 3 と補助ガイド溝 6 3 0 4 が連結するように配置する。

【 0 1 0 1 】

そして、連結したガイド溝 6 3 0 3 に絶縁層を介してゲート板 6 4 0 0 を配置して、ゲート板 6 4 0 0 をゲート端子 1 0 4 0 にボルト 1 0 4 3 で固定する。

同様にして、連結した補助ガイド溝 6 3 0 4 に絶縁層を介して、補助ソース板 6 5 0 0 を配置して、補助ソース板 6 5 0 0 を補助ガイド溝 6 3 0 4 のボルト孔 6 3 0 5 a に、ボルト 6 5 0 3 でねじ止めして固定する。

【 0 1 0 2 】

このようにして半導体モジュール 6 0 0 0 が組み合わされた半導体装置 4 0 0 では、各半導体モジュール 6 0 0 0 から出力されるソース電流が合成されて、半導体装置 4 0 0 の大電流化を図ることができる。

40

【 0 1 0 3 】

[第 9 の実施の形態]

第 9 の実施の形態では、半導体モジュール 1 0 0 0 を直列に組み合わせた場合について図 2 1 及び図 2 2 を用いて説明する。

【 0 1 0 4 】

図 2 1 及び図 2 2 は、第 9 の実施の形態の半導体装置を示す側面図である。

なお、図 2 1 では、複数の半導体モジュールを縦方向に配列して、図 2 2 は、複数の半導体モジュールを横方向に配列して、それぞれ直列に組み合わせた半導体装置を示す側面

50

図である。

【 0 1 0 5 】

図 2 1 に示すように、金属製の冷却フィン 7 6 0 0 b に、第 1 の実施の形態の半導体モジュール 1 0 0 0 g を載置して、半導体モジュール 1 0 0 0 g のドレイン板 1 0 1 0 と冷却フィン 7 6 0 0 b とを電氣的に接続させる。当該半導体モジュール 1 0 0 0 g 上に冷却フィン 7 6 0 0 a を載置して、半導体モジュール 1 0 0 0 g のソース端子 1 0 7 0 , 1 0 8 0 と冷却フィン 7 6 0 0 a とを電氣的に接続させる。

【 0 1 0 6 】

冷却フィン 7 6 0 0 a に、さらに、半導体モジュール 1 0 0 0 h を載置して、半導体モジュール 1 0 0 0 h のドレイン板 1 0 1 0 と冷却フィン 7 6 0 0 a とを電氣的に接続させる。半導体モジュール 1 0 0 0 h のソース端子 1 0 7 0 , 1 0 8 0 に、ソース板 7 5 0 0 を圧接させる。

10

【 0 1 0 7 】

なお、冷却フィン 7 6 0 0 a , 7 6 0 0 b には、水が流れるパイプ 7 6 1 0 a , 7 6 1 0 b が内部に形成されている。冷却フィン 7 6 0 0 a , 7 6 0 0 b はパイプ 7 6 1 0 a , 7 6 1 0 b に水が流れることで、半導体モジュール 1 0 0 0 h , 1 0 0 0 g をより効果的に冷却することができる。

【 0 1 0 8 】

このように半導体モジュール 1 0 0 0 h , 1 0 0 0 g を積層させて組み合わせた半導体装置 5 0 0 は、冷却フィン 7 6 0 0 b からドレイン電圧を印加して、各半導体モジュール 1 0 0 0 g , 1 0 0 0 h のゲート板 1 4 0 0 にゲートユニットドライバからゲート電圧を印加する。すると、半導体モジュール 1 0 0 0 g 、冷却フィン 7 6 0 0 a 、及び半導体モジュール 1 0 0 0 h を経由して出力したソース電流がソース板 7 5 0 0 から得られる。すなわち、第 9 の実施の形態の半導体装置 5 0 0 の定格電圧は、半導体モジュール 1 0 0 0 の定格電圧の 2 倍となる。

20

【 0 1 0 9 】

なお、第 9 の実施の形態において、半導体モジュール 1 0 0 0 h , 1 0 0 0 g は 2 つ、すなわち 2 段に限られず、3 段以上であっても積層して直列接続することが可能である。また、第 2 , 第 6 の実施の形態のように並列に組み合わせた半導体モジュール 1 0 0 0 を、さらに任意の段数直列に設置することも可能である。例えば、直列に 3 段積層させる場合であって、ドレイン板 1 0 1 0 からソース端子 1 0 7 0 , 1 0 8 0 に順に半導体モジュール 1 0 0 0 を 1 段目に 2 並列、2 段目に 4 並列、3 段目に 3 並列、合計 9 つの半導体モジュール 1 0 0 0 を設置することができる。この際の半導体装置の定格電圧、定格電流は 9 つの半導体モジュール 1 0 0 0 で一致する必要はない。定格電圧が一致しない場合、半導体装置の定格電圧は、各段における定格電圧が最低である半導体モジュール 1 0 0 0 の 3 つの和に等しい。また、定格電流が一致しない場合、半導体装置の定格電流は、各段の 3 つの定格電流のうち、最低となる段の定格電流に等しい。

30

【 0 1 1 0 】

また、冷却フィン 7 6 0 0 a , 7 6 0 0 b に限らず、導電部材を介して積層することや、半導体モジュール 1 0 0 0 h , 1 0 0 0 g 同士を直接積層することも可能である。

40

次いで、複数の半導体モジュール 1 0 0 0 を直列に接続するに当たって、半導体モジュール 1 0 0 0 を横方向に配置する場合について、図 2 2 を用いて説明する。

【 0 1 1 1 】

半導体装置 6 0 0 は、図 2 2 に示されるように、冷却フィン 7 6 0 0 a , 7 6 0 0 b を並列に配置し、冷却フィン 7 6 0 0 a に半導体モジュール 1 0 0 0 h を配置し、冷却フィン 7 6 0 0 b に半導体モジュール 1 0 0 0 g を配置する。半導体モジュール 1 0 0 0 h のドレイン板と接続された冷却フィン 7 6 0 0 a と、半導体モジュール 1 0 0 0 g のソース端子 1 0 7 0 , 1 0 8 0 とを、金属プレート 7 7 0 0 で圧接して電氣的に接続する。但し、冷却フィン 7 6 0 0 a , 7 6 0 0 b と金属プレート 7 7 0 0 との間には絶縁層 7 8 0 0 a , 7 8 0 0 b を挟んで電氣的に絶縁している。

50

【 0 1 1 2 】

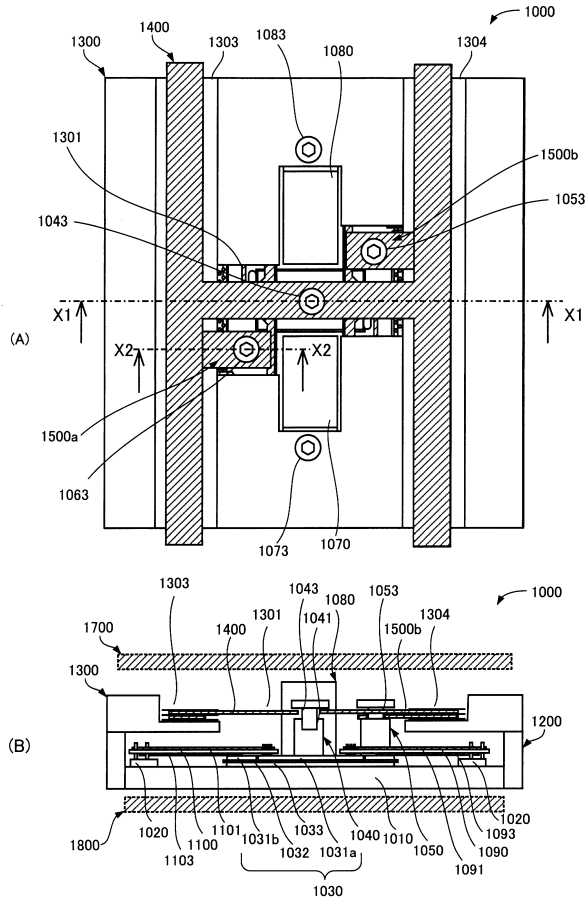
このようにして半導体モジュール 1 0 0 0 を横方向に配列して、直列接続することが可能である。

【 符号の説明 】

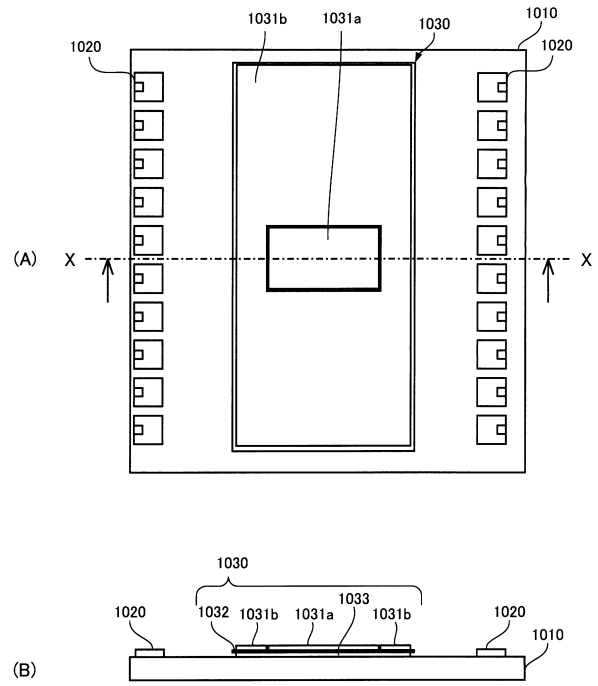
【 0 1 1 3 】

1 0 0	半導体装置	
1 0 0 0	半導体モジュール	
1 0 1 0	ドレイン板	
1 0 2 0	半導体素子	
1 0 3 0	積層基板	10
1 0 3 1 a	第 1 回路板	
1 0 3 1 b	第 2 回路板	
1 0 3 2	絶縁板	
1 0 3 3	金属板	
1 0 4 0	ゲート端子	
1 0 4 1 , 1 0 5 1 , 1 0 6 1 , 1 0 7 1 , 1 0 8 1 , 1 3 0 5 , 1 3 0 6 , 1 4 0 1 , 1 5 0 1 a , 1 5 0 1 b	ボルト孔	
1 0 4 3 , 1 0 5 3 , 1 0 6 3 , 1 0 7 3 , 1 0 8 3	ボルト	
1 0 5 0 , 1 0 6 0	補助ソース端子	
1 0 7 0 , 1 0 8 0	ソース端子	20
1 0 7 2 , 1 0 8 2	段差面	
1 0 9 0 , 1 1 0 0	プリント基板	
1 0 9 1 , 1 1 0 1	ゲート配線層	
1 0 9 3 , 1 1 0 3	ソース配線層	
1 0 9 2 a , 1 0 9 2 b , 1 1 0 2 a , 1 1 0 2 b	導電ポスト	
1 0 9 4 , 1 1 0 4	貫通孔	
1 0 9 5 , 1 1 0 5	ゲート接続部	
1 0 9 6 , 1 1 0 6	ソース接続部	
1 2 0 0	枠	
1 3 0 0	蓋	30
1 3 0 1	開口	
1 3 0 3 , 1 3 0 4	ガイド溝	
1 4 0 0	ゲート板	
1 5 0 0 a , 1 5 0 0 b	補助ソース板	
1 6 0 0 a , 1 6 0 0 b , 1 6 0 0 c	絶縁層	
1 7 0 0	ソース導体	
1 8 0 0	ドレイン導体	

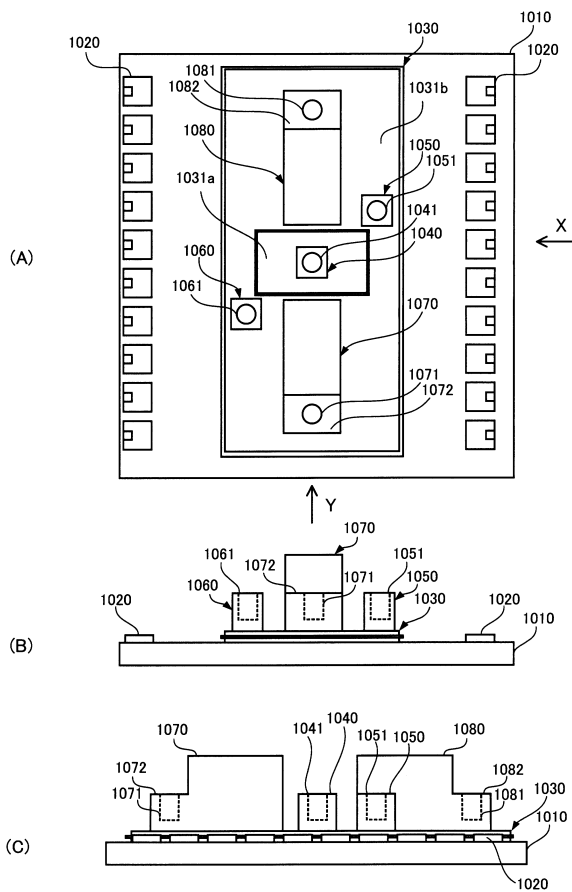
【図 1】



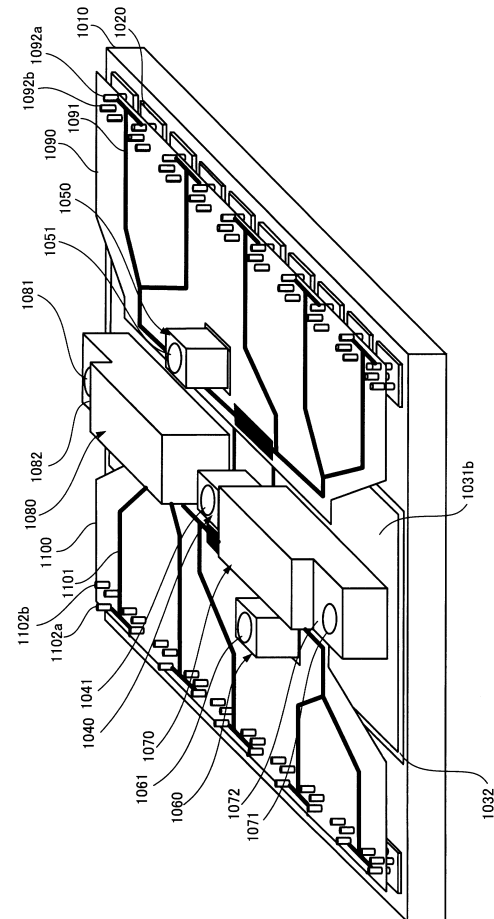
【図 2】



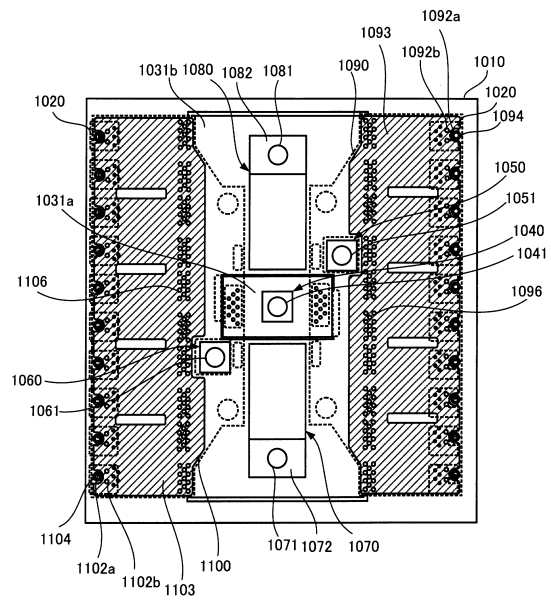
【図 3】



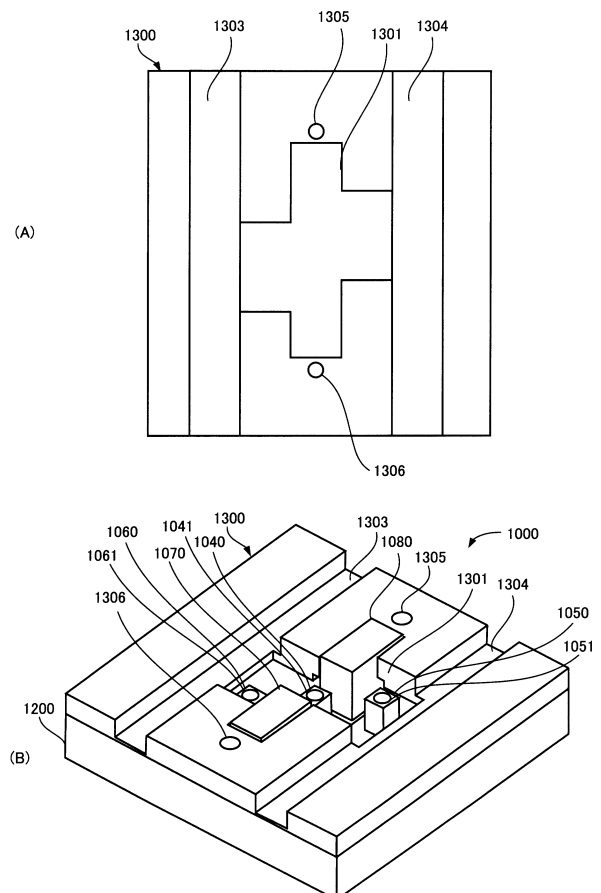
【図 4】



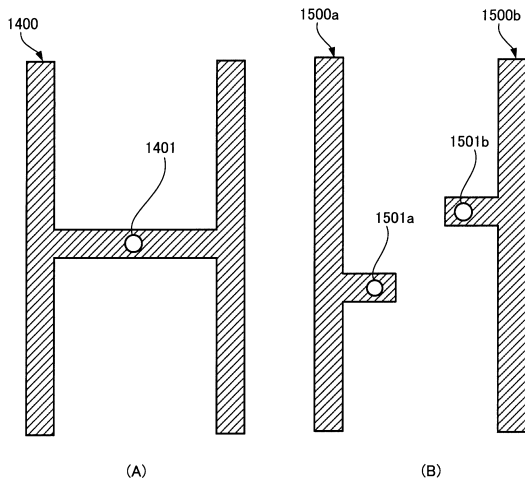
【 図 6 】



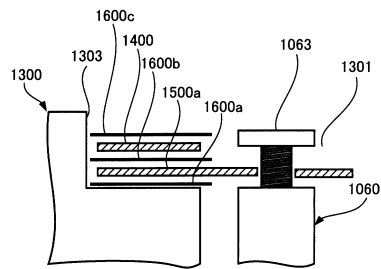
【 図 8 】



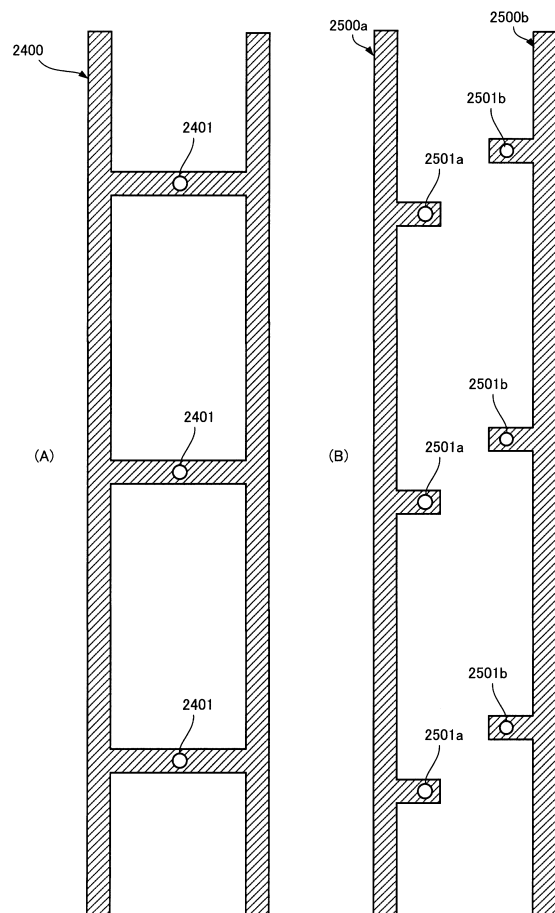
【図 9】



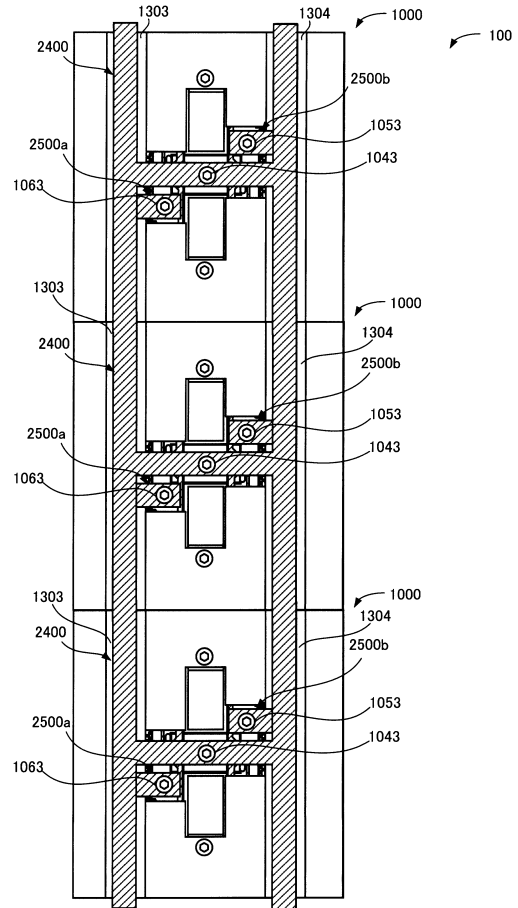
【図 10】



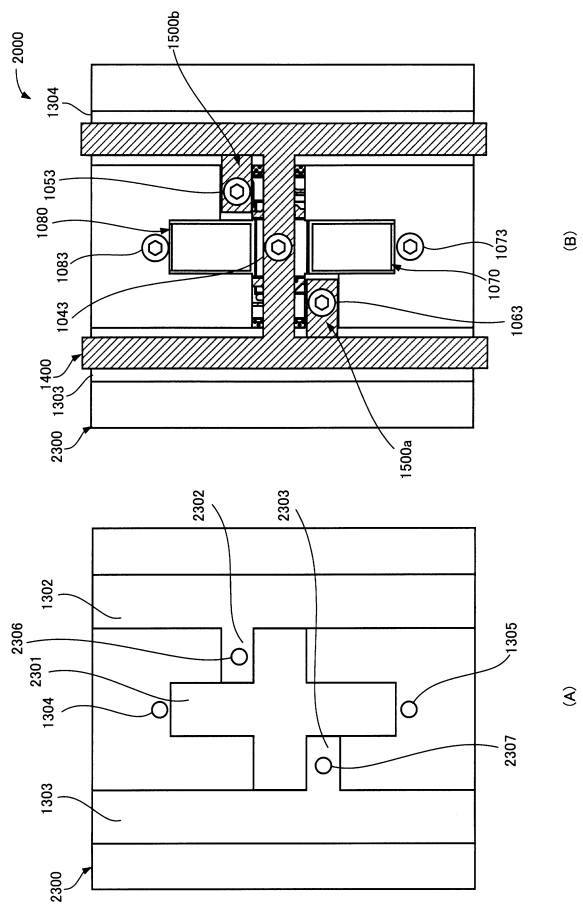
【図 12】



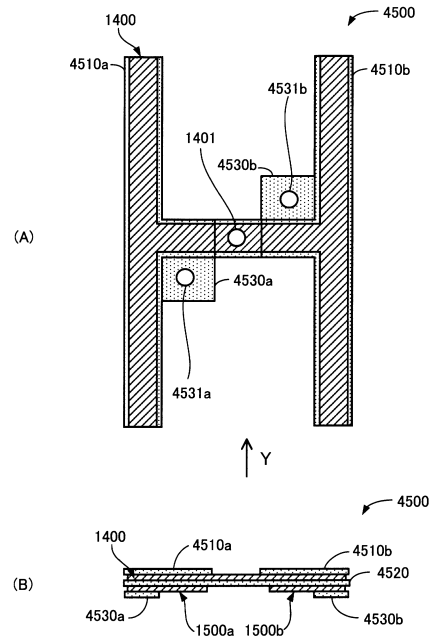
【図 11】



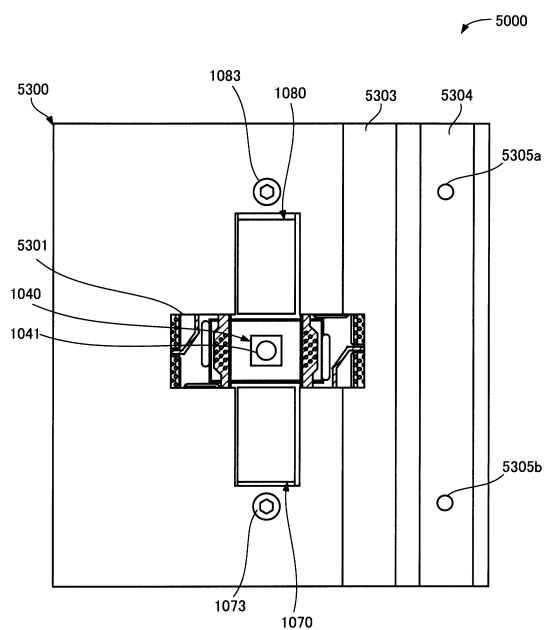
【図 13】



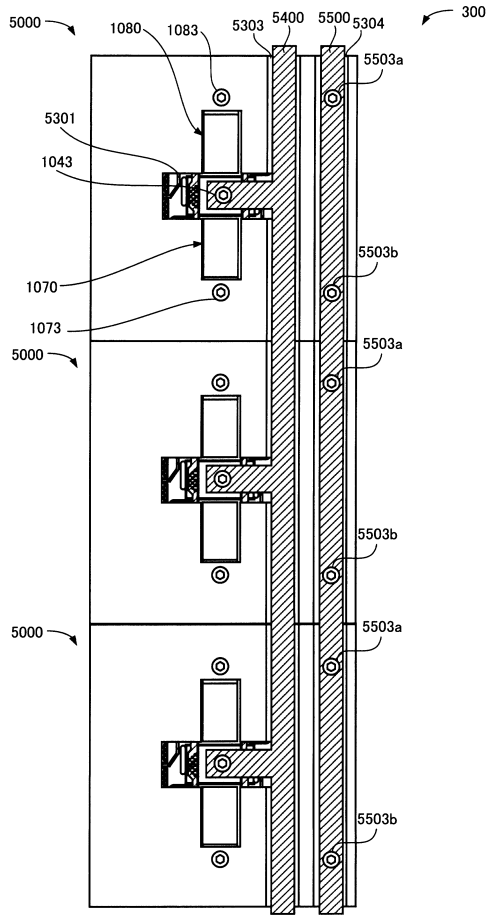
【 図 1 5 】



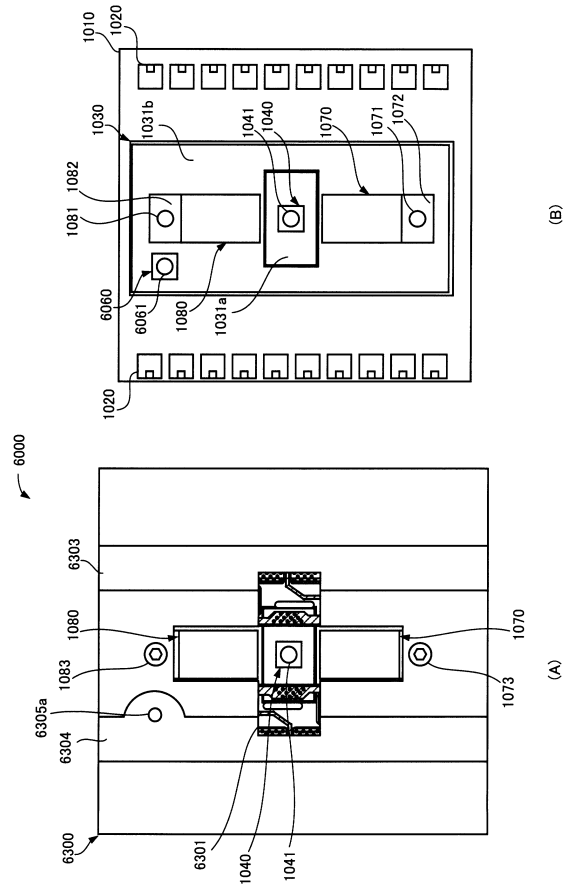
【 図 1 7 】



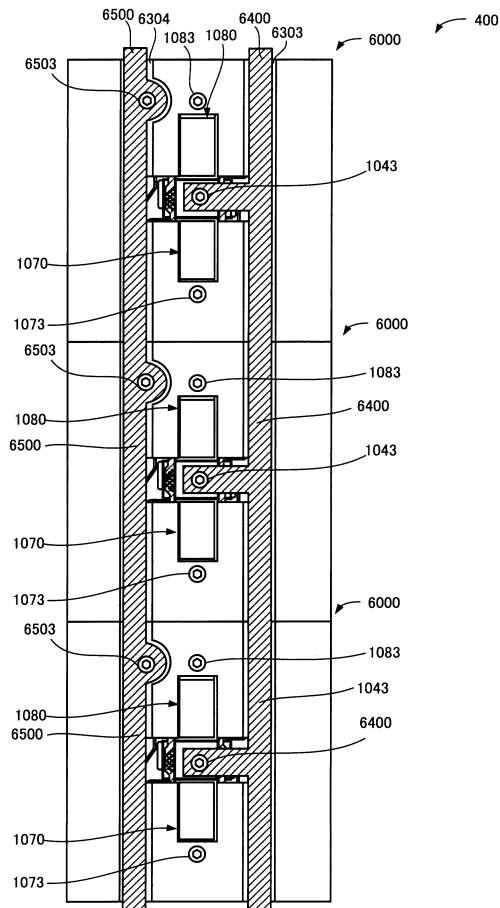
【図 18】



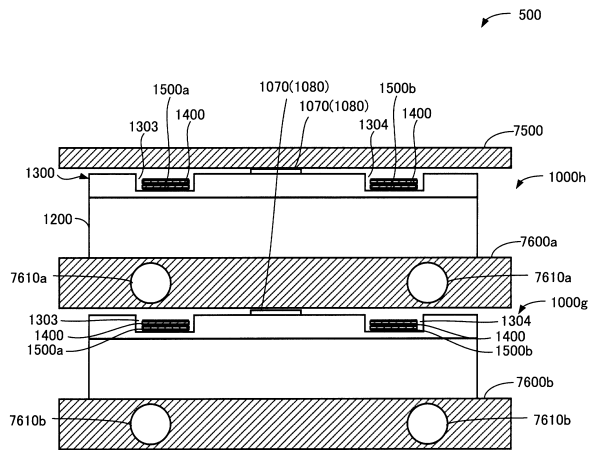
【図 19】



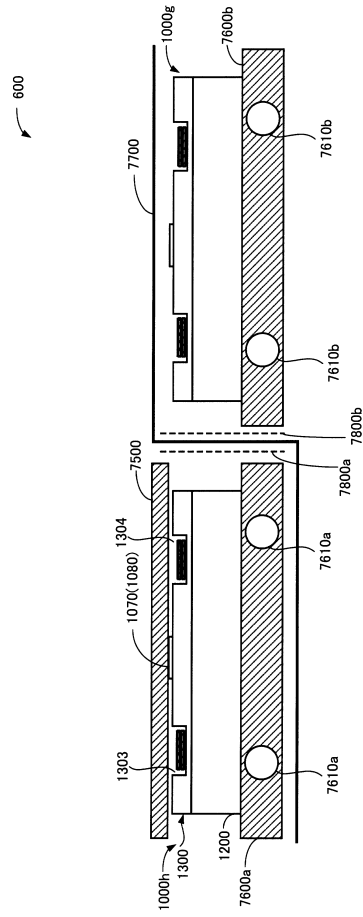
【図 20】



【図 21】



【 図 22 】



フロントページの続き

(72)発明者 君島 大輔

神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

審査官 木下 直哉

(56)参考文献 特開平 0 1 - 1 2 2 1 4 6 (J P , A)

特開平 0 1 - 2 5 5 2 5 7 (J P , A)

特開平 0 5 - 1 6 0 3 3 9 (J P , A)

実開昭 6 2 - 1 4 2 8 5 6 (J P , U)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 5 4

H 0 1 L 2 3 / 0 0 - 2 3 / 0 4

H 0 1 L 2 3 / 0 6 - 2 3 / 1 0

H 0 1 L 2 3 / 1 6 - 2 3 / 2 6

H 0 1 L 2 3 / 2 9

H 0 1 L 2 3 / 3 4 - 2 3 / 3 6

H 0 1 L 2 3 / 3 7 3 - 2 3 / 4 2 7

H 0 1 L 2 3 / 4 4

H 0 1 L 2 3 / 4 6 7 - 2 3 / 4 8

H 0 1 L 2 5 / 0 0 - 2 5 / 0 7

H 0 1 L 2 5 / 1 0 - 2 5 / 1 1

H 0 1 L 2 5 / 1 6 - 2 5 / 1 8

H 0 2 M 7 / 4 2 - 7 / 9 8