(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0157662
(43) 공개일자 2024년11월01일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01) *H01L 21/02* (2006.01)
H01L 21/285 (2006.01) *H01L 23/532* (2006.01)
(52) CPC특허분류
H01L 21/76879 (2013.01)
H01L 21/02068 (2013.01)
(21) 출원번호 10-2024-7028048
(22) 출원일자(국제) 2023년02월27일
심사청구일자 없음
(85) 번역문제출일자 2024년08월21일
(86) 국제출원번호 PCT/US2023/063327
(87) 국제공개번호 WO 2023/164685
국제공개일자 2023년08월31일
(30) 우선권주장
63/315,062 2022년02월28일 미국(US)
18/156,142 2023년01월18일 미국(US)

(71) 출원인
도쿄엘렉트론가부시키가이샤
일본 도쿄도 미나토쿠 아카사카 5쵸메 3반 1고
(72) 발명자
유 카이-훙
미국 뉴욕주 12203 올버니 풀러 로드 255 사우스 나노팹 300 스위트 214
클라크 로버트
미국 뉴욕주 12203 올버니 풀러 로드 255 사우스 나노팹 300 스위트 214
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

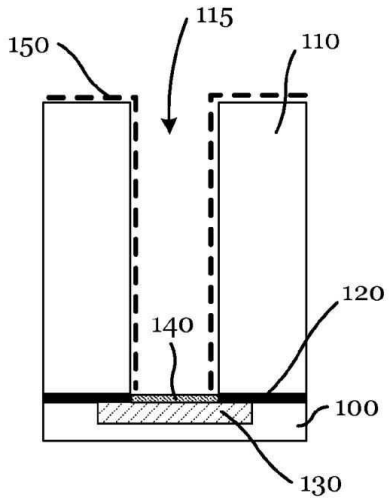
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **선택적 금속 증착을 위한 선택적 억제**

(57) 요 약

기판을 가공하는 방법은 기판을 소분자 억제제(SMI)로 처리하는 단계를 포함하고, 기판은 유전층에 형성된 오목부 및 오목부 내의 제1 금속층을 포함하고, SMI는 제1 금속층의 표면을 덮는다. 방법은 기판을 SMI로 처리한 후, 기판을 대분자 억제제(LMI)로 처리하는 단계를 더 포함하고, LMI는 오목부 내의 유전층의 측벽을 덮는다. 방법은, 기판을 가열하여 SMI를 제1 금속층으로부터 제거하고 오목부 내의 제1 금속층을 노출하는 단계를 더 포함하고, LMI는 SMI를 제1 금속층으로부터 제거한 후에 측벽 상에 남아 있다. 방법은 제2 금속을 오목부 내의 제1 금속층 위에 증착하는 단계를 더 포함하고, 측벽을 덮고 있는 LMI는 유전층 상의 제2 금속의 증착을 방지한다.

대 표 도 - 도2d



(52) CPC특허분류
H01L 21/28562 (2013.01)
H01L 23/53242 (2013.01)
H01L 2221/1063 (2013.01)
(72) 발명자
요네자와 료타
미국 뉴욕주 12203 올버니 풀러 로드 255 사우스 나노팹 300 스위트 214
니이미 히로아키
미국 뉴욕주 12203 올버니 풀러 로드 255 사우스 나노팹 300 스위트 214
스즈키 히데나오
미국 뉴욕주 12203 올버니 풀러 로드 255 사우스 나노팹 300 스위트 214
타필리 칸다바라
미국 뉴욕주 12203 올버니 풀러 로드 255 사우스 나노팹 300 스위트 214
미야하라 다카히로
미국 뉴욕주 12203 올버니 풀러 로드 255 사우스 나노팹 300 스위트 214
와즈다 코리
미국 뉴욕주 12203 올버니 풀러 로드 255 사우스 나노팹 300 스위트 214

명 세 서

청구범위

청구항 1

기판을 가공하는 방법으로서,

상기 기판을 소분자 억제제(small molecular inhibitor; SMI)로 처리하는 단계로서, 상기 기판은 유전층에 형성된 오목부 및 상기 오목부 내의 제1 금속층을 포함하고, 상기 SMI가 상기 제1 금속층의 표면을 덮는, 단계;

상기 기판을 상기 SMI로 처리한 후, 상기 기판을 대분자 억제제(LMI)로 처리하는 단계로서, 상기 LMI가 상기 오목부 내의 상기 유전층의 측벽을 덮는, 단계;

상기 기판을 가열하여 상기 SMI를 상기 제1 금속층으로부터 제거하고 상기 오목부 내의 상기 제1 금속층을 노출하는 단계로서, 상기 SMI를 상기 제1 금속층으로부터 제거한 후에 상기 LMI가 상기 측벽 상에 남아 있는, 단계; 및

제2 금속을 상기 오목부 내의 상기 제1 금속층 위에 증착하는 단계로서, 상기 측벽을 덮고 있는 상기 LMI는 상기 유전층 상의 상기 제2 금속의 증착을 방지하는, 단계를 포함하는, 방법.

청구항 2

제1항에 있어서, 상기 기판은 상기 제1 금속층 위에 표면 산화물층을 더 포함하고, 상기 기판을 상기 SMI로 처리하기 전에, 상기 표면 산화물층을 제거하여 상기 오목부 내의 상기 제1 금속층을 노출하는 단계를 더 포함하는, 방법.

청구항 3

제1항에 있어서, 상기 제2 금속을 증착하는 단계는 상기 측벽의 일부 상에 제2 금속 핵을 증착하고, 상기 제2 금속 핵을 제거하는 단계를 더 포함하는, 방법.

청구항 4

제1항에 있어서, 상기 제2 금속을 증착하는 단계는 상기 제2 금속의 상기 유전층으로부터의 성장 없이 상기 제1 금속층으로부터 상향식으로 달성되는, 방법.

청구항 5

제1항에 있어서, 상기 기판을 가열하는 단계는 상기 기판을 250℃ 내지 400℃의 온도로 가열하는 단계를 포함하는, 방법.

청구항 6

제1항에 있어서, 상기 기판을 가열하는 단계는 상기 기판을 이수소(H_2)를 포함하는 가스에 노출하는 단계를 포함하는, 방법.

청구항 7

제1항에 있어서, 상기 SMI는 질소-함유 화합물을 포함하는, 방법.

청구항 8

제7항에 있어서, 상기 질소-함유 화합물은 NH_3, N_2H_4, 또는 방향족 화합물을 포함하는, 방법.

청구항 9

제1항에 있어서, 상기 SMI는 R-PO_3H, R-COOH, R-SH, 또는 R-SO_x를 포함하는, 방법.

청구항 10

제1항에 있어서, 상기 LMI는 알킬 실란, 알콕시실란, 알킬 알콕시실란, 알킬 실록산, 알콕시실록산, 알킬 알콕시실록산, 아릴 실란, 아실 실란, 아릴 실록산, 아실 실록산, 실라잔, 디메틸실란 디메틸아민(DMSDMA), 트리메틸실란 디메틸아민(TMSDMA), 비스(디메틸아미노) 디메틸실란(BDMADMS), N,O 비스트리메틸실릴트리플루오로아세트아미드(BSTFA), 또는 트리메틸실릴-피롤(TMS-피롤)을 포함하는, 방법.

청구항 11

제1항에 있어서, 상기 제1 금속층은 Ru, Co, 또는 W를 포함하고, 상기 제2 금속은 Cu, Ru, Co, 또는 W를 포함하는, 방법.

청구항 12

기판을 가공하는 방법으로서,

순환 화학 기상 증착(CVD) 공정을 수행하는 단계로서, 상기 기판은 오목부를 갖는 유전층 및 상기 오목부의 바닥에 있는 제1 금속층을 포함하고, 상기 순환 CVD 공정의 한 사이클은,

상기 기판을 소분자 억제제(SMI)로 처리하는 단계로서, 상기 SMI가 상기 제1 금속층 위에 형성된 제2 금속의 표면을 덮는, 단계;

상기 기판을 상기 SMI로 처리한 후, 상기 기판을 대분자 억제제(LMI)로 처리하는 단계로서, 상기 LMI가 상기 오목부 내의 상기 유전층의 측벽을 덮는, 단계;

상기 기판을 가열하여 상기 SMI를 상기 제2 금속 위로부터 제거하고 상기 제2 금속을 노출하는 단계로서, 상기 LMI가 상기 측벽 상에 남아 있는, 단계; 및

제2 금속을 상기 오목부 내의 상기 제1 금속층 위에 증착하는 단계로서, 상기 측벽을 덮고 있는 상기 LMI는 상기 유전층 상의 상기 제2 금속의 증착을 방지하는, 단계를 포함하는, 방법.

청구항 13

제12항에 있어서, 상기 제2 금속을 증착하는 단계는 제2 금속 핵을 상기 측벽의 일부 상에 증착하고, 상기 순환 CVD 공정 중 하나는 상기 제2 금속 핵을 상기 측벽의 일부로부터 제거하는 단계를 더 포함하는, 방법.

청구항 14

제12항에 있어서, 상기 순환 CVD 공정은 임의의 공극을 형성하지 않고 상기 오목부를 충전하는, 방법.

청구항 15

제12항에 있어서, 상기 LMI는 실란을 포함하고, 상기 오목부를 충전하는 제2 금속에는 임의의 검출가능한 실리콘이나 실란 불순물이 없는, 방법.

청구항 16

기판을 가공하는 방법으로서,

기판을 소분자 억제제(SMI)를 포함하는 제1 증기에 노출하는 단계로서, 상기 기판은 유전면 및 제1 금속면을 포함하며, 상기 SMI는 상기 유전면에 대하여 선택적으로 제1 금속면에 흡착되는, 단계;

상기 기판을 대분자 억제제(LMI)를 포함하는 제2 증기에 노출하는 단계로서, 상기 LMI는 상기 유전면에 선택적으로 흡착되고, 흡착된 상기 SMI는 상기 LMI가 상기 제1 금속면에 흡착되는 것을 방지하는, 단계;

상기 LMI를 상기 유전면으로부터 제거하지 않고 상기 SMI를 제1 금속면으로부터 제거하는 단계; 및

화학 기상 증착(CVD)에 의해 제2 금속을 상기 제1 금속면 위에 증착하는 단계로서, 상기 제1 금속면 위의 증착 속도는 상기 유전면 위의 증착 속도보다 적어도 100배 더 빠른, 단계를 포함하는, 방법.

청구항 17

제16항에 있어서, 상기 제거하는 단계는 상기 기판을 250℃ 내지 400℃의 기판 온도에서 이수소(H_2)를 포함하는 가스로 처리하는 단계를 포함하는, 방법.

청구항 18

제16항에 있어서, 상기 제1 금속층은 Ru, Co, Mo, 또는 W를 포함하고, 상기 제2 금속은 Cu, Ru, Co, Mo, 또는 W를 포함하는, 방법.

청구항 19

제16항에 있어서, 상기 SMI에는 실리콘이 없고, 상기 LMI는 실리콘을 포함하는, 방법.

청구항 20

제16항에 있어서, 상기 기판은 오목부를 포함하고, 상기 오목부는 상기 유전면을 측벽으로서 그리고 상기 제1 금속면을 하부면으로서 포함하고, 상기 오목부는 10 nm 내지 65 nm의 임계 치수(CD)를 갖는, 방법.

발명의 설명

기 술 분 야

[0001] 관련 특허 및 출원에 대한 상호 참조

[0002] 본원은 2022년 2월 28일에 출원한 미국 가특허 출원번호 제63/315,062호 및 2023년 1월 18일에 출원한 미국 정규특허 출원번호 제18/156,142호의 출원일에 대한 이점과 이의 우선권을 주장하며, 이들의 전문은 본원에 참고로 원용된다.

[0003] 본 발명은 일반적으로 기판을 가공하는 방법에 관한 것으로서, 구체적인 실시예에서, 선택적 금속 증착을 위한 선택적 억제에 관한 것이다.

배 경 기 술

[0004] 일반적으로, 집적 회로(IC)와 같은 반도체 장치는, 기판 위에 유전성, 전도성 및 반도체 재료들의 층들을 순차적으로 증착하고 패터닝하여 모놀리식 구조에 통합된 전자 부품 및 상호연결 요소(예를 들어, 트랜지스터, 저항기, 커패시터, 금속 라인, 접점, 및 비아)의 네트워크를 형성함으로써 제조된다. 스케일링이 나노미터 규모의 반도체 장치 제조 노드에 진입함에 따라, 단위 면적당 상호연결 요소의 수를 증가시키기 위한 스케일링 노력이 더 큰 과제에 직면하고 있다. 따라서, 트랜지스터들이 서로의 상부에 적층된 3차원(3D) 반도체 장치에 대한 요구가 커지고 있다.

[0005] 장치 구조가 수직으로 치밀화되고 발전함에 따라, 예컨대, 증착 및 패터닝 동안 정밀 재료 처리에 대한 요구가 더욱 커지고 있다. 따라서, 무엇보다 충분한 증착 속도, 프로파일 제어, 막 등각성 및 막 품질을 제공하기 위해 화학 기상 증착(CVD), 물리 기상 증착(PVD), 및 원자층 증착(ALD)과 같은 다양한 증착 기술에서 더 많은 혁신이 필요하다.

발명의 내용

[0006] 본 발명의 일 실시예에 따르면, 기판을 가공하는 방법은 기판을 소분자 억제제(small molecular inhibitor; SMI)로 처리하는 단계를 포함하며, 기판은 유전층에 형성된 오목부 및 오목부 내의 제1 금속층을 포함하고, SMI는 제1 금속층의 표면을 덮는다. 방법은 기판을 SMI로 처리한 후, 기판을 대분자 억제제(large molecular inhibitor; LMI)로 처리하는 단계를 더 포함하며, LMI는 오목부 내의 유전층의 측벽을 덮는다. 방법은 기판을 가열하여 SMI를 제1 금속층으로부터 제거하고 오목부 내의 제1 금속층을 노출하는 단계를 더 포함하고, LMI는 SMI를 제1 금속층으로부터 제거한 후 측벽 상에 남아 있다. 방법은 제2 금속을 오목부 내의 제1 금속층 위에 증착하는 단계를 더 포함하고, 측벽을 덮고 있는 LMI는 유전층 상의 제2 금속의 증착을 방지한다.

[0007] 본 발명의 일 실시예에 따르면, 기판을 가공하는 방법은 순환 화학 기상 증착(CVD) 공정을 수행하는 단계를 포함하고, 기판은 오목부를 갖는 유전층 및 오목부의 바닥에 있는 제1 금속층을 포함한다. 본 방법에 따르면, 순환 CVD 공정의 한 사이클은, 기판을 소분자 억제제(SMI)로 처리하는 단계로서, SMI는 제1 금속층 위에 형성된 제2 금속의 표면을 덮는, 단계, 및 기판을 SMI로 처리한 후 기판을 대분자 억제제(LMI)로 처리하는 단계로서,

LMI가 오목부 내의 유전층의 측벽을 덮는, 단계를 포함한다. 본 방법에 따르면, 순환 CVD 공정의 한 사이클은, 기판을 가열하여 SMI를 제2 금속 위로부터 제거하고 제2 금속을 노출하는 단계로서, LMI가 측벽 상에 남아 있는, 단계, 및 제2 금속을 오목부 내의 제1 금속층 위에 증착하는 단계를 포함하고, 측벽을 덮고 있는 LMI는 유전층 상의 제2 금속의 증착을 방지한다.

[0008] 본 발명의 일 실시예에 따르면, 기판을 가공하는 방법은 기판을 소분자 억제제(SMI)를 포함하는 제1 증기에 노출하는 단계를 포함하며, 기판은 유전면 및 제1 금속면을 포함하고, SMI는 유전면에 대하여 선택적으로 제1 금속면에 흡착된다. 방법은 기판을 대분자 억제제(LMI)를 포함하는 제2 증기에 노출하는 단계를 포함하고, LMI는 유전면에 선택적으로 흡착되고, 흡착된 SMI는 LMI가 제1 금속면 상에 흡착되는 것을 방지한다. 방법은, LMI를 유전면으로부터 제거하지 않고 SMI를 제1 금속면으로부터 제거하는 단계, 및 화학 기상 증착(CVD)에 의해 제2 금속을 제1 금속면 위에 증착하는 단계를 포함하고, 제1 금속면 위의 증착 속도는 유전면 위의 증착 속도보다 적어도 100배 더 빠르다.

도면의 간단한 설명

[0009] 본 발명과 본 발명의 이점을 보다 완전하게 이해하기 위해, 이제 첨부 도면과 함께 다음 설명을 참조한다.

도 1a 및 도 1b는 금속 증착을 위한 종래의 화학 기상 증착(CVD) 공정에 의해 야기되는 불순물 계면 문제를 개략적으로 예시하고, 도 1a는 종래의 CVD 공정 동안 예시적인 기판의 단면도를 예시하고, 도 1b는 종래의 CVD 공정의 사이클 후의 기판의 단면도를 예시한다.

도 2a 내지 도 2h는 다양한 실시예에 따라 금속 증착 공정의 다양한 단계에서 기판의 단면도를 예시하고, 도 2a는 오목부 특징부를 갖는 유전층 및 제1 금속층을 포함하는 인입 기판을 예시하고, 도 2b는 제1 금속층을 노출하기 위한 전처리 후의 기판을 예시하고, 도 2c는 소분자 억제제(SMI)를 사용한 선택적 처리 후의 기판을 예시하고, 도 2d는 대분자 억제제(LMI)를 사용한 선택적 처리 후의 기판을 예시하고, 도 2e는 SMI를 제거한 후의 기판을 예시하고, 도 2f는 제2 금속을 증착한 후의 기판을 예시하고, 도 2g는 금속 핵 제거 에칭 후의 기판을 예시하고, 도 2h는 오목부를 제2 금속으로 충전하는 금속 증착 공정의 사이클 후의 기판을 예시한다.

도 3a 내지 도 3d는 일 실시예에 따라 금속 증착 공정의 단계별 영역-선택적 표면 개질을 개략적으로 예시하고, 도 3a는 금속으로의 소분자 억제제(SMI)의 선택적 흡착을 예시하고, 도 3b는 실리콘 산화물로의 대분자 억제제(LMI)의 선택적 흡착을 예시하고, 도 3c는 H_2 처리에 의한 SMI의 선택적 제거를 예시하고, 도 3d는 금속으로의 선택적 금속 증착을 예시한다.

도 4a 내지 도 4c는 다양한 실시예에 따라 금속 증착 공정 방법의 공정 흐름도를 예시하고, 도 4a는 일 실시예를 예시하고, 도 4b는 다른 일 실시예를 예시하고, 도 4c는 또 다른 일 실시예를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0010] 본원은 기판 가공 방법, 더욱 구체적으로는 두 가지 유형의 분자 억제제를 사용하는 선택적 금속 증착에 관한 것이다. 일반적으로, 반도체 장치에는 다양한 부품 간의 전기적 연결을 가능하게 하기 위해 전도성 재료가 사용된다. 구리(Cu)는 수십 년 동안 집적 회로(IC)의 상호연결에 사용되었지만, 전기 저항이 더 낮은 새로운 전도성 재료(예컨대, Ru, Mo, Co 및 W)가 서브-10 nm 노드 미들 오브 라인(Middle of Line; MOL) 및 백 엔드 오브 라인(Back End of Line; BEOL) 로직 상호연결과 같은 응용분야에 대한 우수한 후보로서 테스트되었다. 또한, Cu와는 달리, 이러한 새로운 전도성 재료들 중 일부는 확산 방지층을 필요로 하지 않을 수 있으며, 이는 유리하게 제조 공정을 단순화한다. 그러나, 이러한 금속 재료를 고종횡비(High-Aspect Ratio; HAR) 특징부에서 충분한 선택성을 갖고 소규모로 증착하고 패터닝하는 것은 어려웠다. 임의의 공극이나 핀치오프 문제 없이 고 HAR 오목부를 금속으로 충전하기 위해서는, 상향식 선택적 금속 증착이 필요하다. 한 가지 해결책은 증착 공정 동안 분자 억제제를 사용하는 것이며, 이는, 예를 들어, 유전체의 억제제로 덮인 표면에 비해 금속면 상에 금속을 우선적으로 증착할 수 있다. 그러나, 억제제는 금속면 상에 흡착되어 불순물 문제를 일으키고 금속 증착 속도를 감소시킬 수도 있다. 따라서, 선택적 금속 증착을 위한 새로운 방법이 필요할 수 있다.

[0011] 본원의 실시예는 두 개의 서로 다른 분자 억제제(하나는 금속면용이고 나머지 하나는 유전용임)를 사용하는 선택적 금속 증착 방법을 개시한다. 다양한 실시예에서, 금속면은 먼저 제1 분자 억제제(예를 들어, 소분자 억제제, SMI)로 처리되고 패시베이션될 수 있다. 이어서, 유전면이 제2 분자 억제제(예컨대, 대분자 억제제, LMI)로 처리되고 패시베이션될 수 있으며, 여기서 SMI가 존재함으로써 금속면 상의 불필요한 LMI 흡착을 방지할 수 있다. 유전면을 LMI로 패시베이션한 후, SMI는 이어서 금속면으로부터 제거되어 후속 금속 증착 공정(예컨대,

CVD)이 노출된 금속면에서 우선적으로 발생할 수 있는 한편 LMI는 유전체 상의 금속 증착을 방지할 수 있다. 이 방법은 고종횡비(HAR) 오목부를 충전하기 위한 순환 공정으로서 적용될 수 있다.

[0012] 본 개시내용에 설명된 방법은 다양한 금속 증착 방법의 선택성을 유리하게 개선할 수 있다. 개선된 선택성을 통해, 금속 증착 방법이 금속-금속 계면에서의 불순물 문제를 극복할 수 있다. 이 방법은 특히 서브-10 nm 노드 MOL 및 BEOL 논리 상호연결을 위한 제조 공정에 특히 유리할 수 있으며, 이러한 응용분야를 위해 Ru, Mo, Co 및 W와 같은 새로운 금속 재료를 사용하는 것이 가능할 수 있다. 본 개시내용에서는 방법의 다양한 실시예가 주로 CVD로서 설명되지만, 두 개의 분자 억제제의 사용이 원자층 증착(ALD) 및 습식 공정과 같은 다른 방법에도 적용될 수 있다.

[0013] 이하에서는, 종래의 CVD 방법의 불순물 계면 문제를 도 1a 내지 도 1b를 참조하여 먼저 설명한다. 후속하여, 두 개의 분자 억제제를 사용하는 CVD 방법의 단계들이 다양한 실시예에 따라 도 2a 내지 도 2h 및 도 3a 내지 도 3d를 참조하여 설명된다. 예시적인 공정 흐름도는 도 4a 내지 도 4c에 예시되어 있다. 본 개시내용의 모든 도면은 단지 예시 목적으로만 그려진 것이며 특징부의 종횡비를 포함하여 축척으로 그려진 것이 아니다.

[0014] 도 1a 및 도 1b는 금속 증착을 위한 종래의 화학 기상 증착(CVD) 공정에 의해 야기되는 불순물 계면 문제를 개략적으로 예시한다.

[0015] 도 1a에는, 분자 억제제를 사용하는 종래의 CVD 공정 동안 오목부를 갖는 예시적인 기판의 단면도가 예시되어 있으며, 여기서 종래의 CVD 공정은 제1 금속(102) 위에 제2 금속(104)을 선택적으로 증착하여 오목부를 충전한다. 분자 억제제는, 측벽 상의 금속 증착을 방지할 수 있지만, 제1 금속(102)과 제2 금속(104) 사이의 계면에 불순물층(106)(예를 들어, Si를 함유함)을 형성할 수도 있다. 종래의 CVD 공정이 주기적으로 수행되는 경우(도 1b), 각 금속-금속 계면에 불순물층(106)이 형성될 수 있다. 불순물층(106)은 종종 금속 상호연결부의 품질에 유해하고, 또한, CVD 공정 동안 금속 증착 속도를 감소시킬 수도 있다. 본원의 발명자들은 이러한 불순물 문제가 분자 억제제에 의한 금속면의 바람직하지 않은 패시베이션에 의해 야기된다는 것을 식별하였다. 도 2a 내지 도 2h 및 도 3a 내지 도 3d를 참조하여 이하에서 추가로 설명되는 바와 같이, 본 개시내용에 설명된 금속 증착 방법은 후속 단계에서 쉽게 이동할 수 있는 다른 분자 억제제를 사용하여 금속면을 미리 패시베이션함으로써 이러한 불순물 문제를 유리하게 해결할 수 있다.

[0016] 도 2a 내지 도 2h는 다양한 실시예에 따라 금속 증착 공정의 다양한 단계에서 기판(100)의 단면도를 예시한다. 금속 증착 공정의 선택적 표면 개질은 도 3a 내지 도 3d에 추가로 개략적으로 예시되어 있으며, 이는 각각 도 2c 내지 도 2f와 함께 설명된다.

[0017] 도 2a는 인입 기판(100)의 단면도를 예시한다. 다양한 실시예에서, 기판(100)은 반도체 장치의 일부일 수 있거나 이를 포함할 수 있으며, 예를 들어, 종래의 공정을 따르는 다수의 처리 단계를 거쳤을 수 있다. 이에 따라, 기판(100)은 다양한 마이크로일렉트로닉스에 유용한 반도체층을 포함할 수 있다. 예를 들어, 반도체 구조는 다양한 장치 영역이 형성되는 기판(100)을 포함할 수 있다.

[0018] 하나 이상의 실시예에서, 기판(100)은 실리콘 웨이퍼 또는 실리콘-온-인슐레이터(silicon-on-insulator; SOI) 웨이퍼일 수 있다. 소정의 실시예에서, 기판(100)은 실리콘 게르마늄 웨이퍼, 실리콘 탄화물 웨이퍼, 갈륨 비소 웨이퍼, 갈륨 질화물 웨이퍼, 및 기타 화합물 반도체를 포함할 수 있다. 다른 실시예에서, 기판(100)은 실리콘 상의 실리콘 게르마늄, 실리콘 상의 갈륨 질화물, 실리콘 상의 실리콘 탄화물과 같은 이종층뿐만 아니라 SOI 기판 또는 실리콘 상의 실리콘층과 같은 층도 포함한다. 다양한 실시예에서, 기판(100)은 반도체 장치의 다른 구성요소에 패터닝되거나 매립된다.

[0019] 도 2a에 추가로 예시된 바와 같이, 기판(100)은 유전층(110)에 형성된 오목부(115)를 포함할 수 있다. 소정의 실시예에서, 기판(100)은 유전층(110)의 바닥층으로서의 에칭 정지층(ESL)(120), 및 오목부(115)의 바닥에 있는 제1 금속층(130)을 더 포함할 수 있다. 도 2a에 예시된 바와 같이, 하나 이상의 실시예에서, 표면 산화물층(135)은 제1 금속층(130)의 표면 상에 존재할 수 있다.

[0020] 다양한 실시예에서, 유전층(110)은, 실리콘 산화물, 불소화 실리콘 유리(FSG)와 같은 저유전율(low-k) 재료, 탄소 도핑 산화물, 폴리머, SiCOH-함유 저유전율 재료, 비다공성 저유전율 재료, 다공성 저유전율 재료, CVD 저유전율 재료, 스핀온 유전체(SOD) 저유전율 재료, 또는 고유전율(high-k) 재료를 포함하는 임의의 다른 적합한 유전 재료를 포함할 수 있다. 소정의 실시예에서, 오목부(115)의 임계 치수(CD)는 비아 우세 구조에 대해 약 10 nm 내지 약 65 nm일 수 있거나, 다른 일 실시예에서 트렌치 우세 구조에 대해 약 10 nm 내지 약 100 nm일 수 있다. 하나 이상의 실시예에서, 오목부(115)의 깊이는 단일 다마신 구조의 경우에 약 40 nm 내지 약 80 nm일 수

있고, 또는 이중 다마신 구조의 경우에 약 80 nm 내지 약 150 nm일 수 있다. 다양한 실시예에서, 오목부(115)는 단일 다마신에 대해 약 4 내지 약 8, 또는 이중 다마신에 대해 약 6 내지 약 10의 종횡비를 가질 수 있다.

[0021] 제1 금속층(130)은 구리(Cu), 루테늄(Ru), 코발트(Co), 몰리브덴(Mo), 텅스텐(W) 등과 같은 저저항 금속을 포함할 수 있다. 도 2a에는 예시되지 않았지만, 소정의 실시예에서, 제1 금속층(130)은 두 개 이상의 적층된 전도성 층을 포함할 수 있다. 적층된 전도성 층의 예는 Cu 금속 상의 Co 금속(Co/Cu) 및 Cu 금속 상의 Ru 금속(Ru/Cu)을 포함한다.

[0022] ESL(120)은 실리콘 질화물, 실리콘 산질화물, 실리콘 탄화물, 또는 실리콘 탄질화물과 같은 유전체를 포함할 수 있다. ESL(120)은, 화학 기상 증착(CVD), 물리 기상 증착(PVD) 및 원자층 증착(ALD)을 포함하는 기상 증착뿐만 아니라 플라즈마 강화 CVD(PECVD), 스퍼터링 및 기타 공정 등의 다른 플라즈마 공정과 같은 증착 기술을 사용하여 증착될 수 있다. 소정의 실시예에서, ESL(120)의 두께는 2 nm 내지 5 nm일 수 있다.

[0023] 도 2b는 제1 금속층(130)을 노출하기 위한 전처리 후의 기판(100)의 단면도를 예시한다.

[0024] 다양한 실시예에서, 선택적 금속 증착을 위한 분자 억제제를 사용하는 임의의 처리 전에, 표면 산화물층(135)을 제거하고 제1 금속층(130)을 노출하기 위한 전처리가 수행될 수 있다. 전처리는, 예를 들어, 이수소(H_2)를 포함하는 플라즈마로 표면 산화물층(135)을 처리하는 것을 포함할 수 있다. 다른 실시예에서, 기판(100)에 이미 어떠한 표면 산화물도 없다면 전처리를 스킵할 수 있다.

[0025] 도 2c는 소분자 억제제(SMI)를 사용한 선택적 처리 후의 기판의 단면도를 예시한다.

[0026] 도 3a는 일 실시예에 따라 금속으로의 SMI의 선택적 흡착을 예시한다.

[0027] 도 2c에서, 기판(100)은 소분자 억제제(SMI)로 처리되어 제1 금속층(130)의 노출면을 선택적으로 덮고, 그 결과 패시베이션된 제1 금속면(140)을 생성할 수 있다. 일 실시예에서, 도 3a에 예시된 바와 같이, SMI는 실리콘 산화물과 같은 유전면에 대하여 선택적으로 금속에만 흡착될 수 있다. SMI가 제1 금속층(130)을 패시베이션함으로써, 후속 단계의 다른 분자 억제제가 유전층(110)에 선택적으로 유리하게 흡착될 수 있다. 다양한 실시예에서, SMI는 기화되어 캐리어 가스(예를 들어, N_2)에 희석된 증기로서 기판(100)에 전달될 수 있으며, 여기서 기판 온도는 대략 실온으로 유지될 수 있다. 일 실시예에서, SMI를 사용하는 이러한 노출은 가열 단계 또는 온도-상승 기술을 사용하여 1초 내지 120초 동안 수행될 수 있다.

[0028] 다양한 실시예에서, SMI는 질소-함유 화합물을 포함할 수 있고, 소정의 실시예에서, 질소-함유 화합물은 NH_3, N_2H_4, 또는 방향족 화합물을 포함한다. 질소성 방향족 SMI의 예는 피리딘, 피리미딘, 피라진, 피롤, 이미다졸, 피라졸, 아닐린, 및 벤조트리아졸(BTA)을 포함한다. 다른 실시예에서, SMI는 R-PO_3H, R-COOH, R-SH, 또는 R-SO_x를 포함할 수 있다. 다양한 실시예에서, 임의의 적합한 분자 억제제가 사용될 수 있으며, 여기서는 다음 기준을 충족한다: SMI가 다른 층(예를 들어, 유전층(110))에 대하여 선택적으로 금속층(예를 들어, 제1 금속층(130))에 흡착되고; 금속층은 SMI에 대한 이후의 제거 단계에 의해 재생될 수 있다. 하나 이상의 실시예에서, SMI에는, 산소가 금속과 상호작용하여 불순물 문제를 야기할 임의의 가능성을 방지하기 위해 산소가 없을 수 있다.

[0029] 도 2d는 대분자 억제제(LMI)를 사용한 선택적 처리 후의 기판(100)을 예시한다.

[0030] 도 3b는 실리콘 산화물 표면으로의 LMI의 선택적 흡착을 예시한다.

[0031] 도 2d에서, 기판(100)은 대분자 억제제(LMI)로 처리될 수 있다. LMI는 유전층(110)의 노출된 표면, 양쪽 측벽 및 상부 수평면을 선택적으로 덮을 수 있으며, 그 결과 패시베이션된 유전면(150)이 생성될 수 있다. SMI가 존재함으로써 제1 금속층(130) 상의 바람직하지 않은 LMI 흡착을 방지할 수 있다. 이는 LMI가 실리콘 산화물 표면에만 흡착되는 도 3b에 추가로 예시되어 있다. 임의의 이론에 의해 제한되기를 바라지는 않지만, LIM을 사용하는 처리는 유전층(110)의 표면을 더욱 소수성으로 만들 수 있으며, 이는 금속 증착 단계 동안 금속 전구체의 증착을 감소시키는 데 유리할 수 있다. 다양한 실시예에서, LMI는 기화되어 캐리어 가스(예를 들어, N_2)에 희석된 증기로서 기판(100)에 전달될 수 있다. 소정의 실시예에서, 처리는 약 80℃ 내지 약 250℃의 기판 온도, 약 1 Torr 내지 10 Torr의 공정 챔버 압력, 및 플라즈마 여기 없는 1초 내지 120초의 노출 시간으로 수행될 수 있다.

[0032] 다양한 실시예에서, LMI는, 알킬 실란, 알콕시실란, 알킬 알콕시실란, 알킬 실록산, 알콕시실록산, 알킬 알콕시실록산, 아릴 실란, 아실 실란, 아릴 실록산, 아실 실록산, 실라잔, 디메틸실란 디메틸아민(DMSDMA), 트리메틸실란 디메틸아민(TMSDMA), 비스(디메틸아미노) 디메틸실란(BDMADMS), N,O 비스트리메틸실릴트리플루오로아세트

아미드(BSTFA), 또는 트리메틸실릴-피롤(TMS-피롤)을 포함한다.

[0033] 본 개시내용에서, 금속면을 패시베이션하는 데 사용되는 제1 분자 억제제(예를 들어, 도 2c 및 도 3a)는 소분자 억제제(SMI)라고 하고, 유전면을 패시베이션하는 데 사용되는 제2 분자 억제제(예를 들어, 도 2c 및 도 3a)는 일반적으로 상대적인 분자 크기로 인해 대분자 억제제(LMI)라고 한다. 일 실시예에서, LMI는 SMI보다 큰 분자량을 가질 수 있다. 다른 일 실시예에서, LMI는 SMI보다 큰 분자 부피 또는 표면적을 가질 수 있다. 그러나, 다양한 실시예에서, 각 표면의 충분한 선택적 패시베이션을 가능하게 하는 한, 임의의 분자 크기를 갖는 분자 억제제가 사용될 수 있다.

[0034] 도 2e는 SMI를 제거한 후의 기판(100)의 단면도를 예시한다.

[0035] 도 3c는 H_2 처리에 의한 SMI의 선택적 제거를 예시한다.

[0036] 두 개의 분자 억제제로 처리하는 단계(예를 들어, 도 2c 및 도 2d) 후에, SMI 제거 단계가 수행될 수 있다. 다양한 실시예에서, SMI 제거 단계는 불활성 가스 흐름 또는 환원 환경(예를 들어, H_2) 하에서 400℃ 미만의 온도에서의 어닐링 공정일 수 있다. 어닐링 공정을 위한 환원 환경은 질화 및 산화와 같은 제1 금속층(130)에서의 금속의 바람직하지 않은 반응을 유리하게 최소화할 수 있다. 소정의 실시예에서, 어닐링 온도는 어닐링 공정이 타겟 반도체 장치를 제조하기 위한 열 예산을 초과하지 않도록 250℃ 내지 400℃일 수 있다. 도 2e 및 도 3d에 예시된 바와 같이, 어닐링 공정은 유전면(예를 들어, 유전층(110)) 상에 LMI를 유지하면서 SMI를 금속면(예를 들어, 제1 금속층(130))으로부터 선택적으로 제거할 수 있다. 이러한 선택적 SMI 제거를 통해, 금속면이 복구되어 후속 금속 증착 단계를 위해 접근 가능해질 수 있다.

[0037] 도 2f는 제2 금속(160)을 증착한 후의 기판(100)의 단면도를 예시한다.

[0038] 도 3d는 금속 상으로의 선택적 금속 증착을 예시한다.

[0039] 다양한 실시예에서, 금속 증착 단계는 화학 기상 증착(CVD)을 사용하여 수행될 수 있지만, 다른 실시예에서는, 습식 공정을 포함하는 다른 기술이 사용될 수 있다. 제2 금속(160)은, Cu, Ru, Co, 또는 W와 같은 저저항 금속을 포함할 수 있다. 제2 금속(160)은 제1 금속층(130)에 사용된 재료와 동일할 수도 있고 아닐 수도 있다. 도 2f에는 예시되지 않았지만, 소정의 실시예에서, 두 개 이상의 금속이 증착되어 합금 또는 적층된 전도성 층을 형성할 수 있다. 유전층(110)의 측벽과 상부면은 여전히 LMI로 패시베이션되어 있기 때문에, 제2 금속(160)은 제1 금속층(130) 위에 선택적으로 증착되어 상향식으로 성장할 수 있다.

[0040] 소정의 실시예에서, Ru 금속은 Ru-함유 전구체를 사용하여 화학 기상 증착(CVD) 또는 원자층 증착(ALD)에 의해 증착될 수 있다. Ru-함유 전구체의 예는, $RU_3(CO)_{12}$, (2,4-디메틸펜타디에닐)(에틸사이클로펜타디에닐) 루테늄(Ru(DMPD)(EtCp)), 비스(2,4-디메틸펜타디에닐) 루테늄(Ru(DMPD)2), 4-디메틸펜타디에닐)(메틸시클로펜타디에닐) 루테늄(Ru(DMPD)(MeCp)), 및 비스(에틸시클로펜타디에닐) 루테늄($Ru(EtCp)_2$)뿐만 아니라 이러한 전구체들 및 다른 전구체들의 조합을 포함한다. 일 실시예에서, Ru 금속 CVD 공정을 위한 공정 조건은, $RU_3(CO)_{12}$와 CO를 함유하는 공정 가스(예를 들어, 약 1:100의 가스 흐름 비), 약 100℃ 내지 약 250℃의 기판 온도, 약 1 mTorr 내지 약 500 mTorr의 공정 챔버 압력, 및 금속면 상에 약 10 nm 내지 20 nm의 Ru 금속을 증착하는 플라즈마 여기 없는 400초 노출을 포함할 수 있다.

[0041] 다양한 실시예에서, 도 2f에 추가로 예시된 바와 같이, 금속 증착 단계는 오목부(115)의 일부, 예를 들어, 오목부(115)의 초기 깊이의 약 4분의 1을 충전할 수 있다. 다른 실시예에서, 오목부(115)는 하나의 금속 증착 단계로 완전히 충전될 수 있다. 소정의 실시예에서, 금속 증착 단계는 유전층(110) 위에 금속 핵(165)이 과도하게 형성되는 것을 방지하도록 소정의 특정 높이에서 종료될 수 있다. 이들 금속 핵(165)은 LMI 상의 금속 전구체의 흡착 또는 LMI에 의한 유전층(110)의 불완전한 패시베이션으로 인해 형성될 수 있다. 유전층(110) 위, 특히 측벽 위의 금속 핵(165)은 제2 금속(160)의 측면 성장을 유도하여, 잠재적으로 제2 금속(160)에 공극을 생성하고 핀치오프 문제를 일으킬 수 있다. 이에 따라, 다양한 실시예에서, 금속 증착 단계는 후술하는 바와 같이 금속 핵 제거 에칭을 포함하는 순환 공정으로서 수행될 수 있으며(도 2g), 오목부(115)는 금속 증착 공정의 사이클로 충전될 수 있다.

[0042] 도 2g는 금속 핵 제거 에칭 후의 기판(100)의 단면도를 예시한다.

[0043] 바람직하지 않은 측면 금속 성장을 최소화하기 위해, 금속 증착 단계 후에, 금속 핵 제거 에칭이 수행되어 유전층(110)의 측벽 및 상부면을 세정할 수 있다. 금속 핵이 매우 커지고 효율적으로 제거하기가 더 어려워지기 전

에 금속 핵(165)을 제거하는 것이 바람직할 수 있다. 도 2g에 예시된 바와 같이, 금속 핵 제거 에칭 후에, LIM도 유전층(110)으로부터 제거될 수 있다. 소정의 실시예에서, 금속 핵 제거 에칭은, 예를 들어, 플라즈마 여기 O_2 가스를 사용하고 선택적으로 할로겐-함유 가스(예를 들어, Cl_2)를 첨가하는 반응성 이온 에칭(RIE)을 사용하여 수행될 수 있다. 일 실시예에서, 금속 핵 제거 에칭을 위한 O_2-Cl_2 RIE에 대한 공정 조건은, O_2 및 Cl_2를 포함하는 에칭(예를 들어, 약 100:1의 가스 흐름 비), 대략 실온 내지 대략 370℃의 기판 온도, 상부 전극에 약 1200 W의 RF 전력이 인가되고 하부 전극에 약 0 W 내지 약 300 W의 RF 전력이 인가되는 용량성 결합 플라즈마(CCP) 소스를 사용하는 플라즈마 여기, 약 5 mTorr의 공정 챔버 압력, 및 약 5 nm의 금속 핵의 등가물을 제거하기 위한 약 40초의 노출 시간을 포함할 수 있다. 소정의 실시예에서, 금속 핵 제거 에칭은 화학 기상 에칭(Chemical Vaper Etching; CVE)을 사용하여 수행될 수 있다. 다른 일 실시예에서는, 오존(O_3) 가스를 사용하는 처리가 금속 핵 제거 에칭에 사용될 수도 있다. 오존 처리를 위한 오존은, 다음과 같은 예시적인 공정 조건을 사용하여 UV 여기를 통해 이산소(O_2) 가스로부터 생성될 수 있다: 약 50℃ 내지 200℃의 공정 온도; Ar 가스로 희석된 약 500 mT 내지 10 Torr의 압력 범위; 1초 내지 60초의 오존 노출 기간; 및 100 g/m^3 내지 300 g/m^3의 오존 밀도. 오존 처리는 저유전율 유전체에 손상을 주지 않고 BEOL 금속화에 적용될 수 있으며 O_2-플라즈마-기반 RIE에 비해 유리할 수 있다.

[0044] 다른 실시예에서, 예시되지는 않았지만, 금속 증착(도 2f)은 유전층(110)의 측벽 위의 임의의 금속 핵(예를 들어, 도 2f의 금속 핵(165)) 없이 달성될 수 있고, 이러한 경우 금속 핵 제거 에칭을 스킵할 수 있다. 소정의 실시예에서, LMI는 유전층(110) 위의 금속 증착을 완전히 중단할 수 없는 반면, 증착 속도를 상당히 느리게 할 수 있다. 일례로, 제1 금속층(130) 위의 증착 속도는 유전층(110) 위의 증착 속도보다 적어도 100배 빠를 수 있다.

[0045] 도 2h는 오목부(115)를 제2 금속(160)으로 충전하는 금속 증착 공정의 사이클 후의 기판(100)의 단면도를 예시한다.

[0046] 다양한 실시예에서, 선택적 금속 증착 공정의 방법은 선택적 SMI 처리 단계(예를 들어, 도 2c 및 도 3a), 선택적 LMI 처리 단계(예를 들어, 도 2d 및 도 3b), 선택적 SMI 제거 단계(예를 들어, 도 2e 및 도 3c), 금속 증착 단계(예를 들어, 도 2f 및 도 3d), 및 금속 핵 제거 에칭 단계(예컨대, 도 2g)를 반복함으로써 순환 공정으로서 수행될 수 있다. 선택적 금속 증착 공정의 각 사이클은 오목부(115)의 일부를 제2 금속(160)으로 충전할 수 있으며, 오목부(115)가 완전히 충전될 때까지 반복될 수 있다. 도 2h에 예시된 바와 같이, 충전된 오목부에는 도 1a 및 도 1b에 예시된 종래 방법의 경우와는 달리 불순물이 없을 수 있다. 일 실시예에서, 충전된 오목부 내의 불순물 수준(예를 들어, Si)은, 원소 분석 또는 X선 광전자 분광법(XPS)과 같은 일반적인 기술의 검출 한계(예를 들어, ±0.1 원자%) 미만일 수 있다. 또한, 충전된 오목부에는 공극이 없을 수 있다. 일 실시예에서, 오목부(115)는 선택적 금속 증착 공정의 4회 사이클에 의해 완전히 충전될 수 있지만, 다른 실시예에서는, 임의의 수의 사이클이 수행될 수 있다. 소정의 실시예에서, 선택적 금속 증착 공정의 단계에 대한 공정 조건은 남아 있는 오목부의 종횡비를 고려하여 각 사이클마다 조정될 수 있다. 예를 들어, 제1 사이클에 대한 금속 증착을 위한 노출 시간은 후속 사이클에 대한 노출 시간보다 짧을 수 있으며, 그 이유는 측벽 위의 금속 핵 형성이 더 넓은 표면적으로 인해 발생할 가능성이 더 높을 수 있기 때문이다. 소정의 실시예에서, 선택적 금속 증착 공정의 사이클은, 방법에 있어서 두 개의 분자 억제제의 사용이 임의의 특정 증착 기술로 제한되지 않으므로, 하나 초과의 증착 기술을 사용할 수 있다. 다양한 실시예에서, 선택적 금속 증착 공정(예를 들어, 도 2a 내지 도 2h)의 각 단계는 타겟 반도체 장치를 제조하기 위한 열 예산 내에서, 예를 들어, 400℃ 미만에서 수행될 수 있다.

[0047] 도 4a 내지 도 4c는 다양한 실시예에 따라 금속 증착 공정의 방법의 공정 흐름도를 예시한다. 공정 흐름은 위에서 논의된 도면(도 2c 내지 도 2g)을 따를 수 있으므로 다시 설명하지 않다.

[0048] 도 4a에서, 공정 흐름(40)은 기판을 소분자 억제제(SMI)로 처리하는 것으로 시작되며, 여기서 기판은 유전층에 형성된 오목부 및 오목부 내의 제1 금속층을 포함한다(블록(410), 도 2c). 제1 금속층의 표면은 SMI로 선택적으로 덮일 수 있다. 기판을 SMI로 처리한 후, 기판은 이어서 오목부 내의 유전층의 측벽을 덮기 위해 대분자 억제제(LMI)로 처리될 수 있다(블록(420), 도 2d). 후속하여, 기판은 가열되어 SMI를 제1 금속층으로부터 제거하고 오목부 내의 제1 금속층을 노출하는 반면, LMI는 측벽 상에 남아 있다(블록(430), 도 2e). 이어서, 제2 금속이 오목부 내의 제1 금속층 위에 선택적으로 증착될 수 있으며, 여기서 측벽을 덮고 있는 LMI는 유전층 상의 제2 금속의 증착을 방지한다(블록(440), 도 2f).

[0049] 도 4b에서, 순환 화학 기상 증착(CVD) 공정(42)은, 금속면(예를 들어, 순환 CVD 공정의 제1 사이클에서의 제1 금속층 및 후속 사이클에서의 제2 금속의 표면)을 덮기 위해 기판을 SMI로 처리하는 것으로 시작된다(블록

(412), 도 2c). 기판은 오목부를 갖는 유전층 및 오목부의 바닥에 노출된 제1 금속층을 포함할 수 있다. 기판을 SMI로 처리한 후, 기판은 오목부 내 유전층의 측벽을 덮기 위해 LMI로 처리될 수 있다(블록(422), 도 2d). 후속하여, 기판은 가열되어 SMI를 제1 금속층으로부터 제거하고 오목부의 제1 금속층을 노출할 수 있으며, 여기서 LMI는 측벽 상에 남아 있다(블록(432), 도 2e). 이어서, 제2 금속이 오목부 내의 제1 금속층 위에 선택적으로 증착될 수 있으며, 여기서 측벽을 덮고 있는 LMI는 유전층 상의 제2 금속의 증착을 방지한다(블록(442), 도 2f). 이들 단계(블록(412, 422, 432 및 442))는 소정의 실시예에서 주기적으로 반복될 수 있다. 제2 금속을 증착하여 측벽의 일부 상에 제2 금속 핵을 증착하는 다른 실시예에서는, 제2 금속 핵을 측벽의 해당 일부로부터 제거하기 위해 순환 CVD 공정의 사이클들 중 하나 이상에 추가 에칭이 삽입될 수 있다(블록(452), 도 2g).

[0050] 도 4c에서, 다른 공정 흐름(44)은 기판을 SMI를 포함하는 제1 증기에 노출하는 것으로 시작되며, 여기서 기판은 유전층에 형성된 오목부 및 오목부 내의 제1 금속층을 포함한다(블록(414), 도 2c). SMI는 오목부 내의 유전층의 측벽에 대하여 선택적으로 제1 금속층에 흡착된다. 이어서, 기판은 LMI를 포함하는 제2 증기에 노출될 수 있으며(블록(424), 도 2d), 여기서 LMI는 측벽 상에 선택적으로 흡착되고, 흡착된 SMI는 LMI가 제1 금속층에 흡착되는 것을 방지한다. 후속하여, SMI는 측벽으로부터 LMI를 제거하지 않고 제1 금속층으로부터 제거될 수 있다(블록(434), 도 2e). 이어서, 제2 금속은 CVD에 의해 오목부 내의 제1 금속층 위에 선택적으로 증착될 수 있으며, 여기서 측벽을 덮고 있는 LMI는 유전층 상의 제2 금속의 증착을 방지한다(블록(444), 도 2f).

[0051] 다양한 실시예에서 두 가지 유형의 분자 억제제를 사용하는 선택적 금속 증착은 억제제 오염으로 인한 불순물 문제를 유리하게 제거하거나 최소화할 수 있다. 이 방법은, 심지어 매우 낮은 수준의 불순물이 전도성을 저하시키고 이에 따라 장치 성능을 저하시키는 서브-10 nm MOL 및 BEOL 논리 상호연결과 같은 응용분야에 대하여 HAR 오목부를 충전하기 위한 증기 금속 증착에 특히 유용하다. 본 개시내용은 저저항 금속(예를 들어, Cu, Ru, Co 및 W)의 화학 기상 증착에 대한 실시예를 주로 설명하지만, 방법은 원자층 증착(ALD) 또는 다른 증착 기술에도 적용될 수 있다. 또한, 소정의 실시예에서, 방법은 금속 화합물(예를 들어, 금속 산화물 및 금속 질화물)을 증착하는 데 사용될 수 있으며, 여기서 선택적 금속 증착 단계 후에는 증착된 금속을 금속 화합물로 변환하기 위한 추가 처리가 이어질 수 있다.

[0052] 본 발명의 예시적인 실시예들이 본원에 요약되어 있다. 다른 실시예들도 본원에 제출된 청구범위뿐만 아니라 명세서 전체로부터 이해될 수 있다.

[0053] 예 1. 기판을 가공하는 방법으로서, 이 방법은 상기 기판을 소분자 억제제(SMI)로 처리하는 단계를 포함하고, 상기 기판은 유전층에 형성된 오목부 및 상기 오목부 내의 제1 금속층을 포함하고, 상기 SMI가 상기 제1 금속층의 표면을 덮는다. 이 방법은 상기 기판을 상기 SMI로 처리한 후, 상기 기판을 대분자 억제제(LMI)로 처리하는 단계로서, 상기 LMI가 상기 오목부 내의 상기 유전층의 측벽을 덮는, 단계를 더 포함한다. 이 방법은 상기 기판을 가열하여 상기 SMI를 상기 제1 금속층으로부터 제거하고 상기 오목부 내의 상기 제1 금속층을 노출하는 단계를 더 포함하고, 상기 SMI를 상기 제1 금속층으로부터 제거한 후에 상기 LMI가 상기 측벽 상에 남아 있다. 이 방법은 제2 금속을 상기 오목부 내의 상기 제1 금속층 위에 증착하는 단계로서, 상기 측벽을 덮고 있는 상기 LMI는 상기 유전층 상의 상기 제2 금속의 증착을 방지하는, 단계를 더 포함한다.

[0054] 예 2. 예 1의 방법에 있어서, 상기 기판은 상기 제1 금속층 위에 표면 산화물층을 더 포함하고, 이 방법은, 상기 기판을 상기 SMI로 처리하기 전에, 상기 표면 산화물층을 제거하여 상기 오목부 내의 상기 제1 금속층을 노출하는 단계를 더 포함한다.

[0055] 예 3. 예 1 또는 예 2의 방법에 있어서, 상기 제2 금속을 증착하는 단계는 상기 측벽의 일부 상에 제2 금속 핵을 증착하고, 상기 제2 금속 핵을 제거하는 단계를 더 포함한다.

[0056] 예 4. 예 1 내지 예 3 중 한 예의 방법에 있어서, 상기 제2 금속을 증착하는 단계는 상기 제2 금속의 상기 유전층으로부터의 성장 없이 상기 제1 금속층으로부터 상향식으로 달성된다.

[0057] 예 5. 예 1 내지 예 4 중 한 예의 방법에 있어서, 상기 기판을 가열하는 단계는 상기 기판을 250℃ 내지 400℃의 온도로 가열하는 단계를 포함한다.

[0058] 예 6. 예 1 내지 예 5 중 한 예의 방법에 있어서, 상기 기판을 가열하는 단계는 상기 기판을 이수소(H_2)를 포함하는 가스에 노출하는 단계를 포함한다.

[0059] 예 7. 예 1 내지 예 6 중 한 예의 방법에 있어서, 상기 SMI는 질소-함유 화합물을 포함한다.

[0060] 예 8. 예 1 내지 예 7 중 한 예의 방법에 있어서, 상기 질소-함유 화합물은 NH_3, N_2H_4, 또는 방향족 화합물을 포

함한다.

[0061] 예 9. 예 1 내지 예 8 중 한 예의 방법에 있어서, 상기 SMI는 R-PO_3H, R-COOH, R-SH, 또는 R-SO_x를 포함한다.

[0062] 예 10. 예 1 내지 예 9 중 한 예의 방법에 있어서, 상기 LMI는 알킬 실란, 알콕시실란, 알킬 알콕시실란, 알킬 실록산, 알콕시실록산, 알킬 알콕시실록산, 아릴 실란, 아실 실란, 아릴 실록산, 아실 실록산, 실라잔, 디메틸 실란 디메틸아민(DMSDMA), 트리메틸실란 디메틸아민(TMSDMA), 비스(디메틸아미노) 디메틸실란(BDMADMS), N,O 비스트리메틸실릴트리플루오로아세트아미드(BSTFA), 또는 트리메틸실릴-피롤(TMS-피롤)을 포함한다.

[0063] 예 11. 예 1 내지 예 10 중 한 예의 방법에 있어서, 상기 제1 금속층은 Ru, Co, 또는 W를 포함하고, 상기 제2 금속은 Cu, Ru, Co, 또는 W를 포함한다.

[0064] 예 12. 기판을 가공하는 방법으로서, 이 방법은 순환 화학 기상 증착(CVD) 공정을 수행하는 단계를 포함하고, 상기 기판은 오목부를 갖는 유전층 및 상기 오목부의 바닥에 있는 제1 금속층을 포함한다. 이 방법에 따르면, 상기 순환 CVD 공정의 한 사이클은, 상기 기판을 소분자 억제제(SMI)로 처리하는 단계로서, 상기 SMI가 상기 제1 금속층 위에 형성된 제2 금속의 표면을 덮는, 단계, 및 상기 기판을 상기 SMI로 처리한 후, 상기 기판을 대분자 억제제(LMI)로 처리하는 단계로서, 상기 LMI가 상기 오목부 내의 상기 유전층의 측벽을 덮는, 단계를 포함한다. 이 방법에 따르면, 상기 순환 CVD 공정의 한 사이클은, 상기 기판을 가열하여 상기 SMI를 상기 제2 금속 위로부터 제거하고 상기 제2 금속을 노출하는 단계로서, 상기 LMI가 상기 측벽 상에 남아 있는, 단계, 및 제2 금속을 상기 오목부 내의 상기 제1 금속층 위에 증착하는 단계로서, 상기 측벽을 덮고 있는 상기 LMI는 상기 유전층 상의 상기 제2 금속의 증착을 방지하는, 단계를 포함한다.

[0065] 예 13. 예 12의 방법에 있어서, 상기 제2 금속을 증착하는 단계는 제2 금속 핵을 상기 측벽의 일부 상에 증착하고, 상기 순환 CVD 공정 중 하나는 상기 제2 금속 핵을 상기 측벽의 일부로부터 제거하는 단계를 더 포함한다.

[0066] 예 14. 예 12 또는 예 13의 방법에 있어서, 상기 순환 CVD 공정은 임의의 공극을 형성하지 않고 상기 오목부를 충전한다.

[0067] 예 15. 예 12 내지 예 14 중 한 예의 방법에 있어서, 상기 LMI는 실란을 포함하고, 상기 오목부를 충전하는 제2 금속에는 임의의 검출가능한 실리콘이나 실란 불순물이 없다.

[0068] 예 16. 기판을 가공하는 방법으로서, 이 방법은 기판을 소분자 억제제(SMI)를 포함하는 제1 증기에 노출하는 단계를 포함하고, 상기 기판은 유전면 및 제1 금속면을 포함하며, 상기 SMI는 제1 금속면 상에서 상기 유전면에 선택적으로 흡착된다. 이 방법은 상기 기판을 대분자 억제제(LMI)를 포함하는 제2 증기에 노출하는 단계로서, 상기 LMI는 상기 유전면에 선택적으로 흡착되고, 흡착된 상기 SMI는 상기 LMI가 상기 제1 금속면에 흡착되는 것을 방지하는, 단계를 포함한다. 이 방법은 상기 LMI를 상기 유전면으로부터 제거하지 않고 상기 SMI를 제1 금속면으로부터 제거하는 단계, 및 화학 기상 증착(CVD)에 의해 제2 금속을 상기 제1 금속면 위에 증착하는 단계로서, 상기 제1 금속면 위의 증착 속도는 상기 유전면 위의 증착 속도보다 적어도 100배 더 빠른, 단계를 포함한다.

[0069] 예 17. 예 16의 방법에 있어서, 상기 제거하는 단계는 상기 기판을 250℃ 내지 400℃의 기판 온도에서 이수소(H_2)를 포함하는 가스로 처리하는 단계를 포함한다.

[0070] 예 18. 예 16 또는 예 17의 방법에 있어서, 상기 제1 금속층은 Ru, Co, Mo, 또는 W를 포함하고, 상기 제2 금속은 Cu, Ru, Co, Mo, 또는 W를 포함한다.

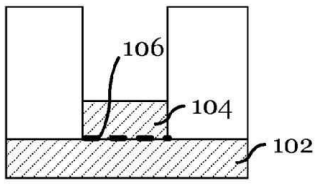
[0071] 예 19. 예 16 내지 예 18 중 한 예의 방법에 있어서, 상기 SMI에는 실리콘이 없고, 상기 LMI는 실리콘을 포함한다.

[0072] 예 20. 예 16 내지 예 19 중 한 예의 방법에 있어서, 상기 기판은 오목부를 포함하고, 상기 오목부는 상기 유전면을 측벽으로서 그리고 상기 제1 금속면을 하부면으로서 포함하고, 상기 오목부는 10 nm 내지 650 nm의 임계 치수(CD)를 갖는다.

[0073] 본 발명은 예시적인 실시예를 참조하여 설명되었지만, 이 설명은 제한적인 의미로 해석되도록 의도된 것이 아니다. 당업자에게는 설명을 참조하면 예시적인 실시예뿐만 아니라 본 발명의 다른 실시예의 다양한 수정과 조합이 명백해질 것이다. 따라서, 첨부된 청구범위는 이러한 수정 또는 실시예를 모두 포함하도록 의도된 것이다.

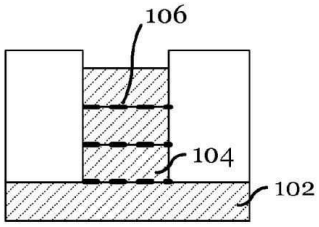
도면

도면1a



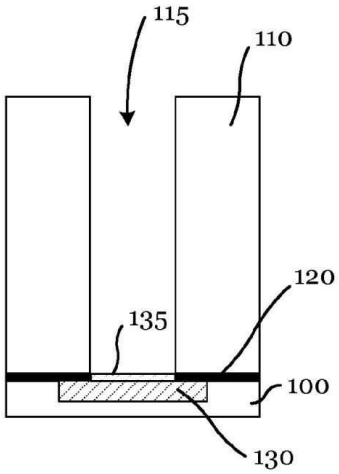
(종래 기술)

도면1b

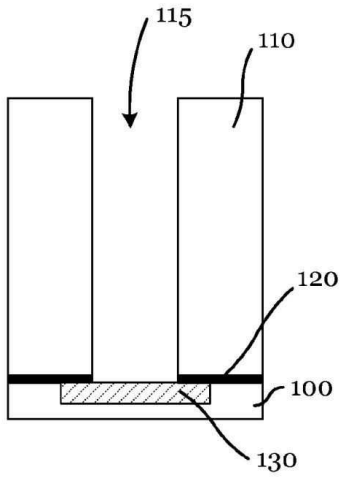


(종래 기술)

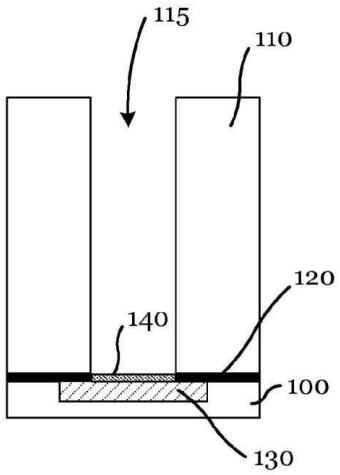
도면2a



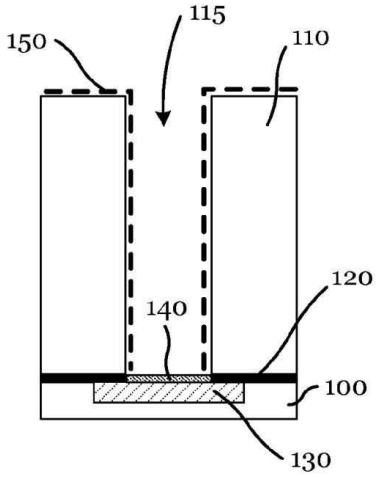
도면2b



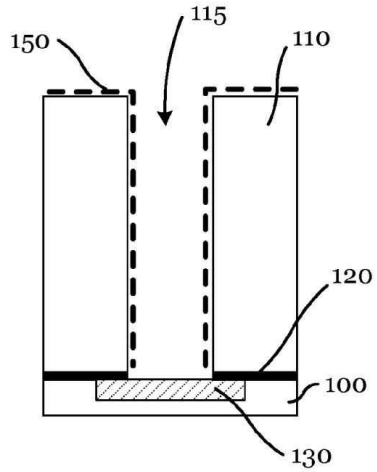
도면2c



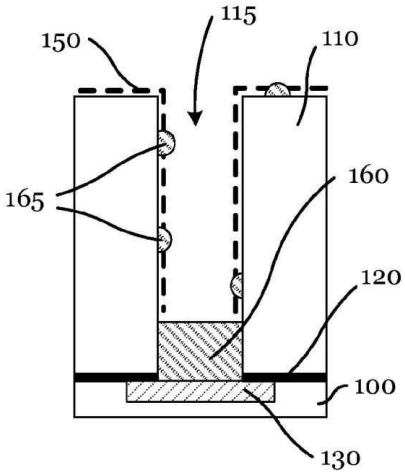
도면2d



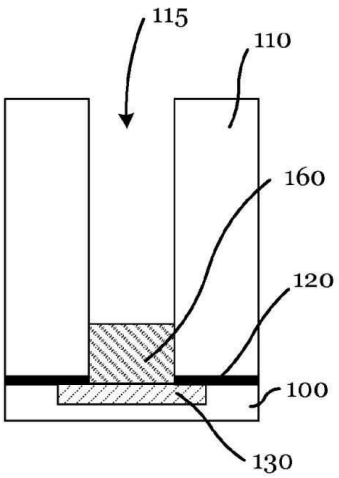
도면2e



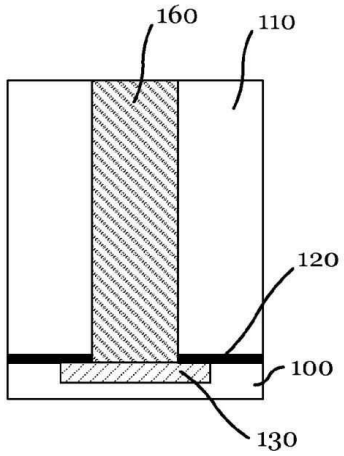
도면2f



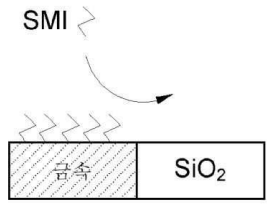
도면2g



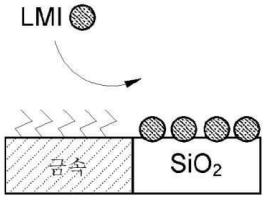
도면2h



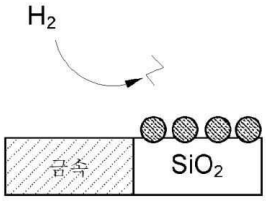
도면3a



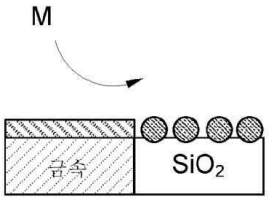
도면3b



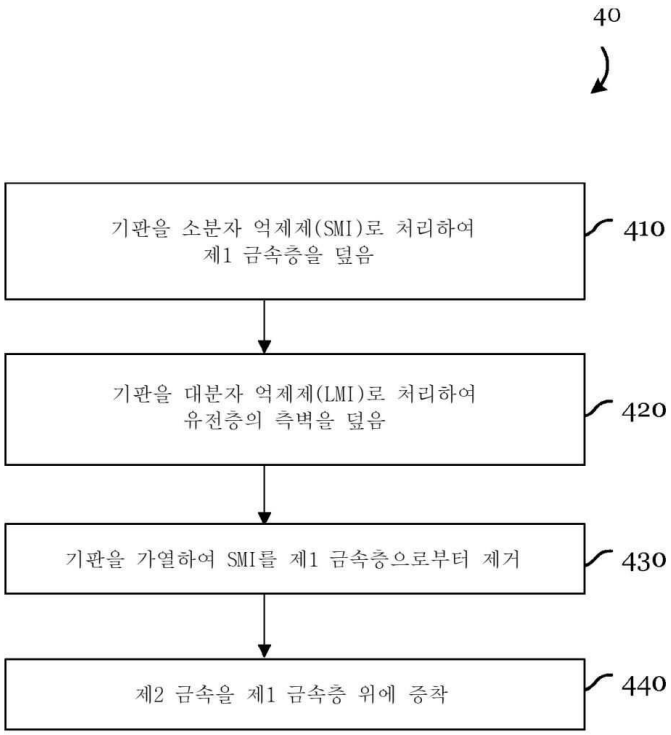
도면3c



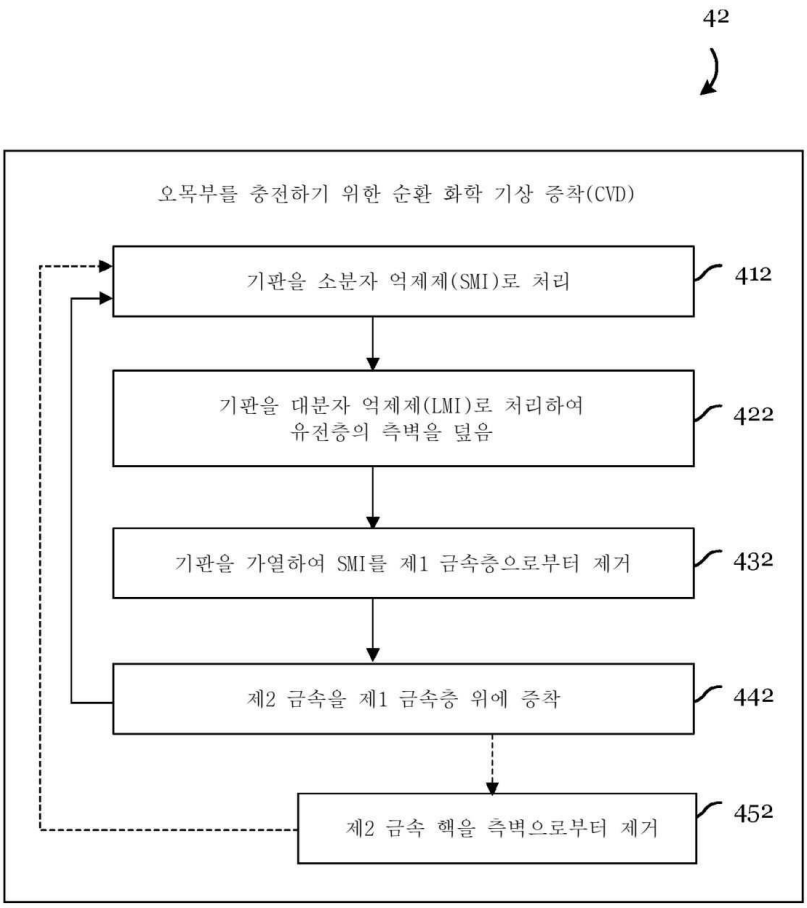
도면3d


M
금속
SiO2

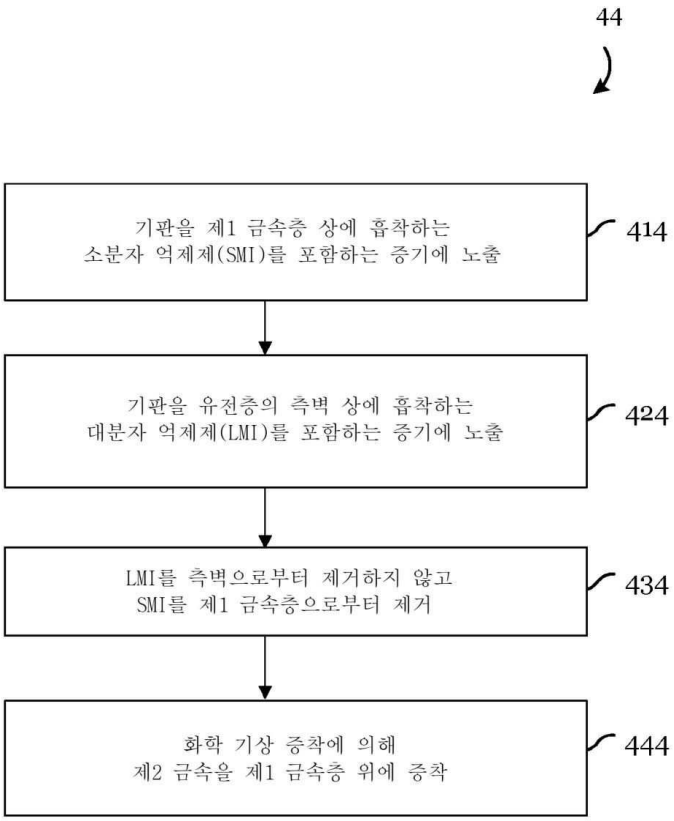
도면4a


40
기판을 소분자 억제제(SMI)로 처리하여
제1 금속층을 덮음
410
기판을 대분자 억제제(LMI)로 처리하여
유전층의 측벽을 덮음
420
기판을 가열하여 SMI를 제1 금속층으로부터 제거
430
제2 금속을 제1 금속층 위에 증착
440

도면4b


42
오목부를 충전하기 위한 순환 화학 기상 증착(CVD)
기판을 소분자 억제제(SMI)로 처리
412
기판을 대분자 억제제(LMI)로 처리하여
유전층의 측벽을 덮음
422
기판을 가열하여 SMI를 제1 금속층으로부터 제거
432
제2 금속을 제1 금속층 위에 증착
442
제2 금속 핵을 측벽으로부터 제거
452

도면4c


44
기판을 제1 금속층 상에 흡착하는
소분자 억제제(SMI)를 포함하는 증기에 노출
414
기판을 유전층의 측벽 상에 흡착하는
대분자 억제제(LMI)를 포함하는 증기에 노출
424
LMI를 측벽으로부터 제거하지 않고
SMI를 제1 금속층으로부터 제거
434
화학 기상 증착에 의해
제2 금속을 제1 금속층 위에 증착
444