(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 10 月 19 日(19.10.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/179591 A1

(51) 国際特許分類:
H01F 27/00 (2006.01) *H01F 27/29* (2006.01)
H01F 17/00 (2006.01)

(21) 国際出願番号: PCT/JP2017/014872

(22) 国際出願日: 2017 年 4 月 11 日(11.04.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-081477 2016 年 4 月 14 日(14.04.2016) JP
特願 2016-093485 2016 年 5 月 6 日(06.05.2016) JP

(71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 矢▲崎▼ 浩和 (YAZAKI, Hirokazu); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 米森 啓人 (YONEMORI, Keito); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 吉川 修一, 外 (YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島５丁目３番１０号タナカ・イトーピア新大阪ビル６階 新居国際特許事務所内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

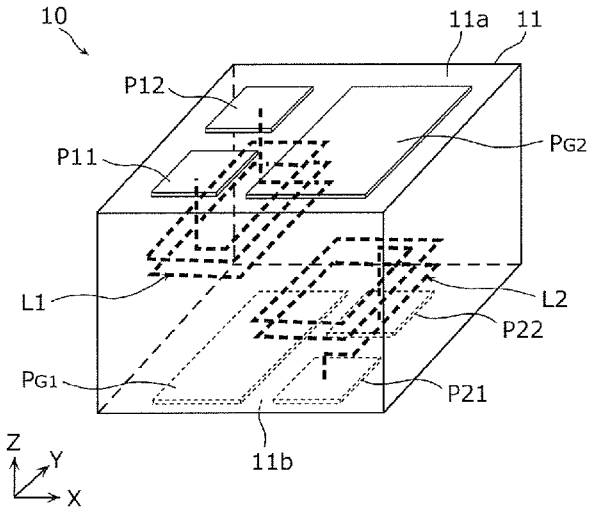
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: PASSIVE ELEMENT ARRAY AND PRINTED CIRCUIT BOARD

(54) 発明の名称 : 受動素子アレイおよびプリント配線板

図1



(57) **Abstract**: This passive element array (10) is provided with: an element body (11) obtained by laminating a plurality of base material layers (12); a first passive element (L1) and a second passive element (L2) which are provided inside the element body (11) and arrayed in a direction perpendicular to the laminating direction (Z) of the plurality of base material layers (12); a pair of first input/output terminals (P11, P12) provided on one primary surface (11a) of the element body (11) and connected to the first passive element (L1); and a pair of second input/output terminals (P21, P22) provided on another primary surface (11b) of the element body (11) and connected to the second passive element (L2).

(57) 要約: 受動素子アレイ（１０）は、複数の基材層（１２）を積層してなる素体（１１）と、素体（１１）内に設けられ、複数の基材層（１２）の積層方向（Ｚ）と垂直な方向に配列された第１受動素子（Ｌ１）および第２受動素子（Ｌ２）と、素体（１１）の一方主面（１１ａ）に設けられ、第１受動素子（Ｌ１）に接続された一対の第１入出力端子（Ｐ１１、Ｐ１２）と、素体（１１）の他方主面（１１ｂ）に設けられ、第２受動素子（Ｌ２）に接続された一対の第２入出力端子（Ｐ２１、Ｐ２２）とを備える。

WO 2017/179591 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 受動素子アレイおよびプリント配線板

技術分野

[0001] 本発明は、複数の受動素子を含む受動素子アレイ、および、この受動素子アレイを内蔵するプリント配線板に関する。

背景技術

[0002] 従来、複数の基材層を積層してなる素体内に、複数の受動素子が設けられたチップ型の受動素子アレイが知られている。

[0003] その種の受動素子アレイの一例として、特許文献１には、３つのコイル素子（受動素子）と、３つのコイル素子のそれぞれに対応する３組の入出力端子とを備えた受動素子アレイが開示されている。特許文献１に記載された受動素子アレイでは、各コイル素子の巻回軸（コイル軸）を異ならせることによって、各コイル素子間のアイソレーションを確保している。

[0004] また、特許文献２には、４つのコイル素子と、４つのコイル素子のそれぞれに対応する４組の入出力端子とを備えた受動素子アレイが開示されている。特許文献２に記載された受動素子アレイでは、隣り合うコイル素子の間に磁束遮蔽層を設けることで、各コイル素子間のアイソレーションを確保している。

先行技術文献

特許文献

[0005] 特許文献1：特開平８－２５０３３３号公報

特許文献2：特開平１１－２２４８１７号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献１および特許文献２に記載された受動素子アレイでは、各コイル素子間のアイソレーションを確保することはできるが、隣り合うコイル素子の入出力端子間のアイソレーションを確保することが困難で

ある。

[0007] 本発明は、上記問題を解決するためになされたものであり、各受動素子間の入出力端子間のアイソレーションを確保することができる受動素子アレイ等を提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するために、本発明の一態様に係る受動素子アレイは、プリント配線板に内蔵される受動素子アレイであって、複数の基材層を積層してなる素体と、前記素体内に設けられ、前記複数の基材層の積層方向と垂直な方向に配列された第１受動素子および第２受動素子と、前記素体の一方主面に設けられ、前記第１受動素子に接続された一対の第１入出力端子と、前記素体の他方主面に設けられ、前記第２受動素子に接続された一対の第２入出力端子とを備える。

[0009] これによれば、第１受動素子の第１入出力端子と第２受動素子の第２入出力端子とが、素体の異なる主面にそれぞれ設けられ、素体を介して配置されることになるので、第１入出力端子と第２入出力端子とのアイソレーションを確保することができる。

[0010] また、さらに、前記素体内に設けられ、前記第１受動素子に対して、前記積層方向と垂直な方向に配置された第３受動素子と、前記素体の前記一方主面に設けられ、前記第３受動素子に接続された一対の第３入出力端子と、前記素体の前記一方主面に設けられたグランド端子とを備え、前記グランド端子は、前記一対の第１入出力端子と前記一対の第３入出力端子との間に設けられていてもよい。

[0011] これによれば、第１入出力端子と第３入出力端子との間にグランド端子が設けられるので、第１入出力端子と第３入出力端子とのアイソレーションを確保することができる。また、第２入出力端子と第３入出力端子とが、素体の異なる主面にそれぞれ設けられ、素体を介して配置されることになるので、第２入出力端子と第３入出力端子とのアイソレーションを確保することができる。

[0012] また、前記第３受動素子は、前記第１受動素子および前記第２受動素子が配列された方向に沿って、前記第２受動素子を基準にして前記第１受動素子とは反対側に設けられていてもよい。

[0013] これによれば、第１受動素子、第２受動素子および第３受動素子が順に配列されるので、受動素子アレイをシンプルな構造としつつ、入出力端子間のアイソレーションを確保することができる。

[0014] また、前記素体を前記積層方向から見た場合に、前記一対の第１入出力端子は、前記第１受動素子と重なる位置に設けられ、前記一対の第２入出力端子は、前記第２受動素子と重なる位置に設けられ、前記一対の第３入出力端子は、前記第３受動素子と重なる位置に設けられ、前記グランド端子は、前記第２受動素子と重なる位置に設けられていてもよい。

[0015] これによれは、受動素子アレイの小型化を図るとともに、入出力端子間のアイソレーションを確保することができる。

[0016] また、前記グランド端子は、第２のグランド端子であり、さらに、前記素体の前記他方主面に設けられた第１のグランド端子および第３のグランド端子を備え、前記素体を積層方向から見た場合に、前記第１のグランド端子は、前記第１受動素子と重なる位置に設けられ、前記第３のグランド端子は、前記第３受動素子と重なる位置に設けられていてもよい。

[0017] これによれば、第２入出力端子の両側にグランド端子が設けられた構造となるので、例えば、受動素子アレイをプリント配線板に内蔵した場合に、第２入出力端子への入出力信号が他の信号と干渉することを抑制できる。また、素体の一方主面に設けられた第１入出力端子および第３入出力端子と対向するように、他方主面にそれぞれグランド端子が設けられる構造となるので、一方主面および他方主面に形成される端子の偏在分布が低減され、素体の製造過程で生じる素体のそりや歪みを抑制することが可能となる。

[0018] また、前記第１受動素子および前記第２受動素子は、前記積層方向の異なる位置に設けられていてもよい。

[0019] これによれば、第１受動素子と第２受動素子とのアイソレーションを確保

することができる。

[0020] 前記第１受動素子は、前記他方主面よりも前記一方主面に近い位置に設けられ、前記第２受動素子は、前記一方主面よりも前記他方主面に近い位置に設けられていてもよい。

[0021] これによれば、第１受動素子と第２受動素子との信号干渉を抑制することができる。

[0022] また、前記第１受動素子、前記第２受動素子および前記第３受動素子のそれぞれは、インダクタであってもよい。

[0023] これによれば、インダクタである第１受動素子の第１入出力端子と、インダクタである第２受動素子の第２入出力端子とのアイソレーションを確保することができる。これにより、それぞれのインダクタの電気的特性を安定化させることができる。

[0024] また、さらに、前記素体内に、第１のグランド端子に対向する第１対向電極、第２のグランド端子に対向する第２対向電極、および、第３のグランド端子に対向する第３対向電極を備え、前記第１対向電極は、前記第１受動素子の一端または他端に接続され、前記第２対向電極は、前記第２受動素子の一端または他端に接続され、前記第３対向電極は、前記第３受動素子の一端または他端に接続されていてもよい。

[0025] これによれば、第１のグランド端子および第１対向電極、第２のグランド端子および第２対向電極、並びに、第３のグランド端子および第３対向電極で、３つのコンデンサが形成される。また、第１受動素子、第２受動素子および第３受動素子のそれぞれがインダクタであるので、３つのＬＣフィルタを有する受動素子アレイを提供することができる。

[0026] また、本発明の一態様に係る受動素子アレイは、プリント配線板に実装される受動素子アレイであって、複数の基材層を積層してなる素体と、前記素体内に設けられ、前記複数の基材層の積層方向と垂直な方向に配列された第１受動素子および第２受動素子と、前記素体の一方主面に設けられ、前記第１受動素子に接続された一対の第１入出力端子と、前記素体の他方主面に設

けられ、前記第２受動素子に接続された一対の第２入出力端子と、を備え、前記第１入出力端子がフレキシブル配線板またはフレキシブルケーブルに接続され、前記第２入出力端子が前記プリント配線板に接続される。

[0027] これによれば、第１入出力端子に接続されるフレキシブル配線板またはフレキシブルケーブルと、第２入出力端子に接続されるプリント配線板とを、受動素子アレイの素体を介して配置することが可能となる。この受動素子アレイを用いることで、フレキシブル配線板またはフレキシブルケーブルと、プリント配線板とのアイソレーションを確保することができる。

[0028] また、本発明の一態様に係るプリント配線板は、複数の基材層を積層してなる素体と、前記素体内に設けられ、前記複数の基材層の積層方向と垂直な方向に配列された第１受動素子および第２受動素子と、前記素体の一方主面に設けられ、前記第１受動素子に接続された一対の第１入出力端子と、前記素体の他方主面に設けられ、前記第２受動素子に接続された一対の第２入出力端子と、を備える受動素子アレイを内蔵している。

[0029] これによれば、入出力端子間のアイソレーションが確保された受動素子アレイを内蔵したプリント配線板を提供することが可能になる。

[0030] また、本発明の一態様に係るプリント配線板は、複数の基材層を積層してなる素体と、前記素体内に設けられ、前記複数の基材層の積層方向と垂直な方向に配列された第１受動素子および第２受動素子と、前記素体の一方主面に設けられ、前記第１受動素子に接続された一対の第１入出力端子と、前記素体の他方主面に設けられ、前記第２受動素子に接続された一対の第２入出力端子と、を備え、前記第１入出力端子がフレキシブル配線板またはフレキシブルケーブルに接続され、前記第２入出力端子がプリント配線板に接続される、受動素子アレイを実装している。

[0031] これによれば、第１入出力端子に接続されるフレキシブル配線板またはフレキシブルケーブルと、第２入出力端子に接続されるプリント配線板とを、受動素子アレイの素体を介して配置することが可能となる。この受動素子アレイが実装されたプリント配線板を用いることで、フレキシブル配線板また

はフレキシブルケーブルと、プリント配線板とのアイソレーションを確保することができる。

発明の効果

[0032] 本発明によれば、各受動素子間の入出力端子間のアイソレーションを確保することができる受動素子アレイ等を提供できる。

図面の簡単な説明

[0033] [図1]図１は、実施の形態１に係る受動素子アレイの模式図である。

[図2A]図２Ａは、実施の形態１に係る受動素子アレイをＹ方向から見た場合の断面の模式図である。

[図2B]図２Ｂは、実施の形態１に係る受動素子アレイを積層方向から見た場合の図である。

[図3]図３は、実施の形態１に係る受動素子アレイの等価回路を示す図である。

[図4]図４は、実施の形態２に係る受動素子アレイの模式図である。

[図5A]図５Ａは、実施の形態２に係る受動素子アレイをＹ方向から見た場合の断面の模式図である。

[図5B]図５Ｂは、実施の形態２に係る受動素子アレイを積層方向から見た場合の図である。

[図6]図６は、実施の形態２に係る受動素子アレイの等価回路を示す図である。

[図7]図７は、実施の形態２に係る受動素子アレイを内蔵したプリント配線板の斜視図である。

[図8]図８は、実施の形態２に係るプリント配線板を図７に示すＶＩＩＩ－ＶＩＩＩ線で切断した場合の模式図である。

[図9A]図９Ａは、実施の形態２に係るプリント配線板に内蔵された受動素子アレイの一方主面の接続形態を示す図である。

[図9B]図９Ｂは、実施の形態２に係るプリント配線板に内蔵された受動素子アレイの他方主面の接続形態を示す図である。

[図10]図１０は、実施の形態３に係る受動素子アレイの模式図である。

[図11]図１１は、実施の形態３に係る受動素子アレイをＹ方向から見た場合の断面の模式図である。

[図12]図１２は、実施の形態３に係る受動素子アレイの等価回路を示す図である。

[図13A]図１３Ａは、実施の形態１の受動素子アレイを実装したプリント配線板を示す斜視図である。

[図13B]図１３Ｂは、実施の形態１の受動素子アレイを実装したプリント配線板の他の例を示す斜視図である。

発明を実施するための形態

[0034] 以下、図面を参照しながら、本発明の実施の形態に係る受動素子アレイおよびプリント配線板について説明する。なお、以下で説明する実施の形態は、いずれも本発明の好ましい一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、製造工程、及び、製造工程の順序などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、図面に示される構成要素の大きさまたは大きさの比は、必ずしも厳密ではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する。また、以下の実施の形態において、「接続される」とは、直接接続される場合だけでなく、他の素子等を介して電気的に接続される場合も含まれる。

[0035] （実施の形態１）

本実施の形態に係る受動素子アレイは、プリント配線板に内蔵されるチップ型の受動素子アレイである。受動素子アレイを構成する受動素子としては、例えば、インダクタ、コンデンサ、抵抗などが挙げられる。本実施の形態では、受動素子として、インダクタを例に挙げて説明する。

[0036] 図１は、実施の形態１に係る受動素子アレイ１０の模式図である。図２Ａ

は、受動素子アレイ１０をＹ方向から見た場合の断面の模式図である。図２Ｂは、受動素子アレイ１０を積層方向から見た場合の図である。図３は、受動素子アレイ１０の等価回路を示す図である。

[0037] 受動素子アレイ１０は、図１、図２Ａおよび図２Ｂに示されるように、複数の基材層１２を積層してなる素体１１と、素体１１内に設けられた第１受動素子Ｌ１および第２受動素子Ｌ２と、第１受動素子Ｌ１に接続された一対の第１入出力端子Ｐ１１、Ｐ１２と、第２受動素子Ｌ２に接続された一対の第２入出力端子Ｐ２１、Ｐ２２とを備えている。また、受動素子アレイ１０は、第１受動素子Ｌ１に対応する第１のグランド端子P_{G1}と、第２受動素子Ｌ２に対応する第２のグランド端子P_{G2}とを備えている。受動素子アレイ１０は、図３に示されるように、２つのコイル素子により構成されている。

[0038] なお、図２Ａおよび図２Ｂでは、第１受動素子Ｌ１または第２受動素子Ｌ２のそれぞれに含まれる層間導体（ビア導体）、および、引き出し導体の図示を省略している。

[0039] また、以降において、複数の基材層１２が積層されている方向を積層方向Ｚ、積層方向Ｚに垂直な方向であって第１受動素子Ｌ１と第２受動素子Ｌ２とが並んで配列されている方向をＸ方向、積層方向ＺおよびＸ方向の両方に垂直な方向をＹ方向と呼ぶ。

[0040] 素体１１は、直方体状であり、積層方向Ｚの軸に垂直な一方主面１１ａと、一方主面１１ａの反対に位置する他方主面１１ｂとを有している。素体１１は、例えば、磁性フェライトセラミックスなどの磁性体である。つまり、各基材層１２は磁性体層である。具体的には、素体１１の材料としては、酸化鉄を主成分とし、亜鉛、ニッケル及び銅のうち少なくとも１つ以上を含むフェライトが用いられる。また、素体１１の材料としては、プリント配線板を構成する基板材料と電気的特性（透磁率、誘電率など）が異なるものが用いられる。

[0041] 第１受動素子Ｌ１は、Ｚ方向に巻回軸を有し、巻回軸方向から見たときの外形が矩形状のコイル素子であり、複数の基材層１２に形成されたそれぞれ

のコイルパターンを層間導体で繋ぐことで形成されたヘリカル型コイル素子である。コイル素子である第１受動素子Ｌ１は、Ｘ方向に短辺、Ｙ方向に長辺を有し、そのコイル軸は積層方向Ｚの軸と平行である。また、第１受動素子Ｌ１は、素体１１の他方主面１１ｂよりも一方主面１１ａに近い位置に設けられている。

[0042] 第１入出力端子Ｐ１１、Ｐ１２のそれぞれは、素体１１の一方主面１１ａの面内のみに設けられた平面電極端子（つまり、ＬＧＡ（Land Grid Array）型電極端子）である。第１入出力端子Ｐ１１は第１受動素子Ｌ１の一端に接続され、第１入出力端子Ｐ１２は第１受動素子Ｌ１の他端に接続されている。第１入出力端子Ｐ１１、Ｐ１２のそれぞれは、長方形状であり、Ｙ方向に隣り合って配置されている。図２Ｂに示されるように、第１入出力端子Ｐ１１、Ｐ１２のそれぞれは、積層方向Ｚから見た場合に、第１受動素子Ｌ１と重なる位置に設けられている。

[0043] 第２受動素子Ｌ２は、第１受動素子Ｌ１に対して、積層方向Ｚと垂直な方向に配置されている。具体的には、第１受動素子Ｌ１および第２受動素子Ｌ２は、Ｘ方向に隣り合うように配列されている。

[0044] 第２受動素子Ｌ２は、Ｚ方向に巻回軸を有し、巻回軸方向から見たときの外形が矩形状のコイル素子であり、複数の基材層１２に形成されたそれぞれのコイルパターンを層間導体で繋ぐことで形成されたヘリカル型コイル素子である。コイル素子である第２受動素子Ｌ２は、Ｘ方向に短辺、Ｙ方向に長辺を有し、そのコイル軸は積層方向Ｚの軸と平行である。すなわち、第１受動素子Ｌ１および第２受動素子Ｌ２のそれぞれのコイル軸は互いに平行である。なお、図１では、第２受動素子Ｌ２のコイル巻き方向は、第１受動素子Ｌ１のコイル巻き方向と同じである。

[0045] また、第２受動素子Ｌ２は、素体１１の一方主面１１ａよりも他方主面１１ｂに近い位置であって、第１受動素子Ｌ１に対して、積層方向Ｚに所定距離ずれて配置されている。具体的には、第１受動素子Ｌ１および第２受動素子Ｌ２は、積層方向Ｚの異なる位置に設けられ（異なる基材層１２に設けら

れ）、Ｘ方向から見た場合に、互いに重ならないように設けられている。

[0046] 第２入出力端子Ｐ２１、Ｐ２２のそれぞれは、素体１１の他方主面１１ｂの面内のみに設けられた平面電極端子である。第２入出力端子Ｐ２１は第２受動素子Ｌ２の一端に接続され、第２入出力端子Ｐ２２は第２受動素子Ｌ２の他端に接続されている。第２入出力端子Ｐ２１、Ｐ２２のそれぞれは、長方形状であり、Ｙ方向に隣り合って配置されている。図２Ｂに示されるように、第２入出力端子Ｐ２１、Ｐ２２のそれぞれは、積層方向Ｚから見た場合に、第２受動素子Ｌ２と重なる位置に設けられている。

[0047] 第１のグランド端子P_{G1}は、素体１１の他方主面１１ｂの面内のみに設けられた平面電極端子である。第１のグランド端子P_{G1}は、積層方向Ｚから見て、コイル素子である第１受動素子Ｌ１のコイル軸および一対の第１入出力端子Ｐ１１、Ｐ１２と重なる位置に設けられている。また、第１のグランド端子P_{G1}は、長方形状であり、積層方向Ｚから見て、第１受動素子Ｌ１および一対の第１入出力端子Ｐ１１、Ｐ１２を包含するように形成されている。

[0048] 第２のグランド端子P_{G2}は、素体１１の一方主面１１ａの面内のみに設けられた平面電極端子である。第２のグランド端子P_{G2}は、積層方向Ｚから見て、コイル素子である第２受動素子Ｌ２のコイル軸および一対の第２入出力端子Ｐ２１、Ｐ２２と重なる位置に設けられている。また、第２のグランド端子P_{G2}は、長方形状であり、積層方向Ｚから見て、第２受動素子Ｌ２および一対の第２入出力端子Ｐ２１、Ｐ２２を包含するように形成されている。

[0049] なお、第１受動素子Ｌ１、第２受動素子Ｌ２、第１入出力端子Ｐ１１、Ｐ１２、第２入出力端子Ｐ２１、Ｐ２２、第１のグランド端子P_{G1}および第２のグランド端子P_{G2}の材料としては、例えば、銀を主成分とする金属または合金が用いられる。また、第１入出力端子Ｐ１１、Ｐ１２、第２入出力端子Ｐ２１、Ｐ２２、第１のグランド端子P_{G1}および第２のグランド端子P_{G2}は、これらの材料に、例えば、ニッケル、パラジウム、または金によるめっきが施されていてもよい。

[0050] 次に、受動素子アレイ１０の製造工程について説明する。

[0051] まず、基材層１２となるグリーンシートを複数準備する。具体的には、磁性体セラミック粉末を含んだスラリーをシート成形することによって磁性体のグリーンシートを準備する。

[0052] 次いで、所定のグリーンシートに複数の貫通孔を形成する。そして、当該貫通孔内に導体ペーストを充填して複数のビア導体を形成するとともに、グリーンシート上に導体ペーストを所定パターンで印刷する。これにより、第１受動素子Ｌ１を構成するループ状の第１コイルパターンを形成する。また、上記と異なるグリーンシートに複数の貫通孔を形成する。そして、当該貫通孔内に導体ペーストを充填して複数のビア導体を形成するとともに、グリーンシート上に導体ペーストを所定パターンで印刷する。これにより、第２受動素子Ｌ２を構成するループ状の第２コイルパターンを形成する。貫通孔は、例えば、レーザー加工により形成される。

[0053] また、一方の最外層となるグリーンシートにビア導体を形成するとともに、導体ペーストを所定パターンで印刷し、一対の第１入出力パターンおよび第２のグランドパターンを形成する。また、他方の最外層となるグリーンシートにビア導体を形成するとともに、一対の第２入出力パターンおよび第１のグランドパターンを形成する。

[0054] これらのコイルパターン、入出力パターンおよびグランドパターンは、例えば、Ａｇ粉末を含んだ導体ペーストをスクリーン印刷することで形成される。なお、入出力パターンおよびグランドパターンは、印刷工法でなく、焼成後におけるスパッタなどの薄膜形成法で形成されてもよい。

[0055] 次いで、コイルパターン、入出力パターン、グランドパターン等が形成された上記複数のグリーンシートを積層・圧着した後、個片化し、その後、一括して焼成する。この焼成により、各グリーンシート中の磁性体セラミック粉末が焼結し、また、導体ペースト中のＡｇ粉末が焼結する。これらの工程により受動素子アレイ１０を作製する。

[0056] 以上説明したように、本実施の形態に係る受動素子アレイ１０は、プリント配線板に内蔵される受動素子アレイ１０であって、複数の基材層１２を積

層してなる素体１１と、素体１１内に設けられ、複数の基材層１２の積層方向Ｚと垂直な方向に配列された第１受動素子Ｌ１および第２受動素子Ｌ２と、素体１１の一方主面１１ａに設けられ、第１受動素子Ｌ１に接続された一対の第１入出力端子Ｐ１１、Ｐ１２と、素体１１の他方主面１１ｂに設けられ、第２受動素子Ｌ２に接続された一対の第２入出力端子Ｐ２１、Ｐ２２とを備える。

[0057] これによれば、第１受動素子Ｌ１の第１入出力端子Ｐ１１、Ｐ１２と第２受動素子Ｌ２の第２入出力端子Ｐ２１、Ｐ２２とが、素体１１の異なる主面にそれぞれ設けられ、素体１１を介して配置されることになるので、第１入出力端子Ｐ１１、Ｐ１２と第２入出力端子Ｐ２１、Ｐ２２とのアイソレーションを確保することができる。

[0058] なお、本実施の形態では、第１受動素子Ｌ１および第２受動素子Ｌ２をＸ方向から見た場合に、互いに重ならないように配置されているが、それに限られず、第１受動素子Ｌ１および第２受動素子Ｌ２のそれぞれの一部が重なるように配置されていてもよい。

[0059] また、本実施の形態では、第１受動素子Ｌ１が一方主面１１ａ側寄りに、第２受動素子Ｌ２が他方主面１１ｂ側寄りに配置されているが、それぞれの受動素子と入出力端子とを繋ぐ引き出し導体を積層方向Ｚに延ばして設け、第１受動素子Ｌ１を他方主面１１ｂ側寄りに、第２受動素子Ｌ２を一方主面１１ａ側寄りに配置してもよい。

[0060] また、本実施の形態では、第１受動素子Ｌ１が１つのコイル素子で構成されているが、それに限られず、第１受動素子Ｌ１は、Ｙ方向に並べて配置した２つのコイル素子を直列接続することで構成されてもよい。また、第２受動素子Ｌ２は、Ｙ方向に並べて配置した２つのコイル素子を直列接続することで構成されてもよい。

[0061] （実施の形態２）

実施の形態２に係る受動素子アレイ１０Ａは、実施の形態１に係る受動素子アレイ１０に対して、さらに、第３受動素子Ｌ３、一対の第３入出力端子

Ｐ３１、Ｐ３２、および、第３のグランド端子P_{G3}を備えている。

[0062] 図４は、実施の形態２に係る受動素子アレイ１０Ａの模式図である。図５Ａは、受動素子アレイ１０ＡをＹ方向から見た場合の断面の模式図である。図５Ｂは、受動素子アレイ１０Ａを積層方向Ｚから見た場合の図である。図６は、受動素子アレイ１０Ａの等価回路を示す図である。

[0063] 受動素子アレイ１０Ａは、図４、図５Ａおよび図５Ｂに示されるように、複数の基材層１２を積層してなる素体１１、素体１１内に設けられた第１受動素子Ｌ１、第２受動素子Ｌ２および第３受動素子Ｌ３と、第１受動素子Ｌ１に接続された一対の第１入出力端子Ｐ１１、Ｐ１２と、第２受動素子Ｌ２に接続された一対の第２入出力端子Ｐ２１、Ｐ２２と、第３受動素子Ｌ３に接続された一対の第３入出力端子Ｐ３１、Ｐ３２とを備えている。また、受動素子アレイ１０Ａは、第１受動素子Ｌ１に対応する第１のグランド端子P_{G1}と、第２受動素子Ｌ２に対応する第２のグランド端子P_{G2}と、第３受動素子Ｌ３に対応する第３のグランド端子P_{G3}とを備えている。受動素子アレイ１０Ａは、図６に示されるように、３つのコイル素子により構成されている。

[0064] なお、図５Ａおよび図５Ｂでは、第１受動素子Ｌ１、第２受動素子Ｌ２および第３受動素子Ｌ３のそれぞれに含まれる層間導体（ビア導体）や引き回し導体の図示を省略している。

[0065] 素体１１は、直方体状であり、積層方向Ｚの軸に垂直な一方主面１１ａと、一方主面の反対に位置する他方主面１１ｂとを有している。

[0066] 第３受動素子Ｌ３は、第１受動素子Ｌ１および第２受動素子Ｌ２が設けられた方向（Ｘ方向）に沿って、第２受動素子Ｌ２を基準にして第１受動素子Ｌ１とは反対側に設けられている。すなわち、第１受動素子Ｌ１、第２受動素子Ｌ２および第３受動素子Ｌ３は、Ｘ方向に沿って順に配列されている。

[0067] 第３受動素子Ｌ３は、外形が矩形状のコイル素子であり、Ｘ方向に短辺、Ｙ方向に長辺を有し、そのコイル軸は積層方向Ｚの軸と平行である。すなわち、第１受動素子Ｌ１、第２受動素子Ｌ２および第３受動素子Ｌ３のそれぞれのコイル軸は互いに平行である。なお、第３受動素子Ｌ３のコイル巻き方

向は、第１受動素子Ｌ１のコイル巻き方向と同じである。

[0068] また、第３受動素子Ｌ３は、素体１１の他方主面１１ｂよりも一方主面１１ａに近い位置であって、第２受動素子Ｌ２に対して、積層方向Ｚに所定距離ずれて配置されている。具体的には、第３受動素子Ｌ３は、Ｘ方向から見た場合に、第１受動素子Ｌ１に重なり、第２受動素子Ｌ２に重ならないように設けられている。

[0069] 第３入出力端子Ｐ３１、Ｐ３２のそれぞれは、素体１１の一方主面１１ａの面内のみに設けられた平面電極端子である。第３入出力端子Ｐ３１は第３受動素子Ｌ３の一端に接続され、第３入出力端子Ｐ３２は第３受動素子Ｌ３の他端に接続されている。第３入出力端子Ｐ３１、Ｐ３２のそれぞれは、長方形状であり、Ｙ方向に隣り合って配置されている。図５Ｂに示されるように、第３入出力端子Ｐ３１、Ｐ３２のそれぞれは、積層方向Ｚから見た場合に、第３受動素子Ｌ３と重なる位置に設けられている。

[0070] 第３のグランド端子$Ｐ_{Ｇ3}$は、素体１１の他方主面１１ｂの面内のみに設けられた平面電極端子である。第３のグランド端子$Ｐ_{Ｇ3}$は、積層方向Ｚから見て、コイル素子である第３受動素子Ｌ３のコイル軸および一対の第３入出力端子Ｐ３１、Ｐ３２と重なる位置に設けられている。また、第３のグランド端子$Ｐ_{Ｇ3}$は、長方形状であり、積層方向Ｚから見て、第３受動素子Ｌ３および一対の第３入出力端子Ｐ３１、Ｐ３２を包含するように形成されている。

[0071] そして、第２のグランド端子$Ｐ_{Ｇ2}$は、一対の第１入出力端子Ｐ１１、Ｐ１２と一対の第３入出力端子Ｐ３１、Ｐ３２との間に設けられている。具体的には、第２のグランド端子$Ｐ_{Ｇ2}$は、第１入出力端子Ｐ１１と第３入出力端子Ｐ３１との間から、第１入出力端子Ｐ１２と第３入出力端子Ｐ３２との間に渡って、Ｙ方向に延びて設けられている。

[0072] すなわち、本実施の形態に係る受動素子アレイ１０Ａは、素体１１内に設けられ、積層方向Ｚと垂直な方向に順次配列された第１受動素子Ｌ１、第２受動素子Ｌ２および第３受動素子Ｌ３と、素体１１の一方主面１１ａに設けられ、第１受動素子Ｌ１に接続された一対の第１入出力端子Ｐ１１、Ｐ１２

と、素体１１の他方主面１１ｂに設けられ、第２受動素子Ｌ２に接続された一対の第２入出力端子Ｐ２１、Ｐ２２と、素体１１の一方主面１１ａに設けられ、第３受動素子Ｌ３に接続された一対の第３入出力端子Ｐ３１、Ｐ３２と、素体１１の一方主面１１ａに設けられたグランド端子$Ｐ_{Ｇ２}$とを備え、グランド端子$Ｐ_{Ｇ２}$は、一対の第１入出力端子Ｐ１１、Ｐ１２と一対の第３入出力端子Ｐ３１、Ｐ３２との間に設けられている。

[0073] このように、グランド端子$Ｐ_{Ｇ２}$を第１入出力端子Ｐ１１、Ｐ１２と第３入出力端子Ｐ３１、Ｐ３２との間に設けることで、第１入出力端子Ｐ１１、Ｐ１２と第３入出力端子Ｐ３１、Ｐ３２とのアイソレーションを確保することができる。

[0074] また、第１入出力端子Ｐ１１、Ｐ１２と第２入出力端子Ｐ２１、Ｐ２２とが、素体１１の異なる主面にそれぞれ設けられ、素体１１を介して配置されることになるので、第１入出力端子Ｐ１１、Ｐ１２と第２入出力端子Ｐ２１、Ｐ２２とのアイソレーションを確保することができる。また、第２入出力端子Ｐ２１、Ｐ２２と第３入出力端子Ｐ３１、Ｐ３２とが、素体１１の異なる主面にそれぞれ設けられ、素体１１を介して配置されることになるので、第２入出力端子Ｐ２１、Ｐ２２と第３入出力端子Ｐ３１、Ｐ３２とのアイソレーションを確保することができる。

[0075] 次に、受動素子アレイ１０Ａを、プリント配線板に内蔵した場合について説明する。

[0076] 図７は、受動素子アレイ１０Ａを内蔵したプリント配線板２０の斜視図である。図８は、プリント配線板２０を図７に示すＶＩＩＩ－ＶＩＩＩ線で切断した場合の模式図である。

[0077] 本実施の形態に係るプリント配線板２０は、例えば、高周波モジュール５０を構成する基板として用いられる。高周波モジュール５０は、例えば、ＤＣ－ＤＣコンバータであり、図７に示されるように、受動素子アレイ１０Ａを内蔵したプリント配線板２０と、プリント配線板２０に搭載された実装部品３０（スイッチングＩＣ３１、チップコンデンサ３２、３３など）とを備

えている。スイッチングＩＣ３１は、入力端子に入力される電圧をスイッチングして出力端子から出力するＩＣである。チップコンデンサ３２、３３は入力側および出力側の平滑コンデンサである。受動素子アレイ１０Ａのコイル素子の１つは、チョークコイルとして用いられる。

[0078] プリント配線板２０は、各種の電子部品を実装し、これらを接続する配線パターンを備えた回路基板である。例えば、複数の樹脂基材層１１２が積層圧着されることで形成された基板である。樹脂基材層１１２の材料としては、例えば、液晶ポリマー（ＬＣＰ）またはポリイミドなどの熱可塑性樹脂シートが用いられる。プリント配線板２０には、面内導体、層間導体、表面導体などの各種の導体が設けられる。受動素子アレイ１０Ａは、その全体がプリント配線板２０に埋め込まれ、上記各種の導体を介して実装部品３０に接続される。なお、プリント配線板２０は、樹脂基材層１１２の積層体に限られず、磁性体材料よりも透磁率が低い材料からなる基材の積層体であってもよい。

[0079] 次に、プリント配線板２０内における、受動素子アレイ１０Ａの各入出力端子および各グランド端子の接続形態について説明する。

[0080] 図９Ａは、プリント配線板２０に内蔵された受動素子アレイ１０Ａの一方主面１１ａの接続形態を示す図である。図９Ｂは、プリント配線板２０に内蔵された受動素子アレイ１０Ａの他方主面１１ｂの接続形態を示す図である。

[0081] 図９Ａに示されるように、受動素子アレイ１０Ａの一方主面１１ａ側において、第１入出力端子Ｐ１１、Ｐ１２は、層間導体２５１、２５２を介して、第１信号ライン２１１、２１２にそれぞれ接続される。第１信号ライン２１１、２１２のそれぞれはＸ方向に沿って引き出され、所定の実装部品３０に接続される。第３入出力端子Ｐ３１、Ｐ３２は、層間導体２５５、２５６を介して第３信号ライン２３１、２３２にそれぞれ接続される。第３信号ライン２３１、２３２のそれぞれはＸ方向に沿って引き出され、所定の実装部品３０に接続される。また、第２のグランド端子P_{G2}は、層間導体２５３、

２５４を介して、第２のグランドライン２４２に接続される。第２のグランドライン２４２は、Ｙ方向に沿って引き出され、プリント配線板２０のほぼ全面に設けられたグランド電極に接続される。

[0082] 本実施の形態では、受動素子アレイ１０Ａが、第１入出力端子Ｐ１１、Ｐ１２と第３入出力端子Ｐ３１、Ｐ３２との間に第２のグランド端子P_{G2}を有しているので、受動素子アレイ１０Ａをプリント配線板２０に内蔵した場合に、第１信号ライン２１１、２１２と第３信号ライン２３１、２３２との間に第２のグランドライン２４２が配置された構造となる。これらの構造により、プリント配線板２０における第１信号ライン２１１、２１２と第３信号ライン２３１、２３２とのアイソレーションを確保することができる。

[0083] また、図９Ｂに示されるように、受動素子アレイ１０Ａの他方主面１１ｂ側において、第２入出力端子Ｐ２１、Ｐ２２は、層間導体２６３、２６４を介して、第２信号ライン２２１、２２２にそれぞれ接続される。第２信号ライン２２１、２２２のそれぞれは、Ｙ方向に沿ってそれぞれ引き出されている。また、第１のグランド端子P_{G1}は、層間導体２６１、２６２を介して、第１のグランドライン２４１に接続される。第１のグランドライン２４１は、Ｘ方向に沿って引き出され、グランドに接続される。また、第３のグランド端子P_{G3}は、層間導体２６５、２６６を介して第３のグランドライン２４３に接続される。第３のグランドライン２４３は、Ｘ方向に沿って引き出され、プリント配線板２０のほぼ全面に設けられたグランド電極に接続される。

[0084] 本実施の形態では、受動素子アレイ１０Ａが、第２入出力端子Ｐ２１、Ｐ２２のＸ方向負側に第１のグランド端子P_{G1}を有し、第２入出力端子Ｐ２１、Ｐ２２のＸ方向正側に第３のグランド端子P_{G3}を有しているので、受動素子アレイ１０Ａをプリント配線板２０に内蔵した場合に、受動素子アレイ１０Ａの近傍における第２信号ライン２２１、２２２が、第１のグランドライン２４１および第３のグランドライン２４３で挟まれた構造となる。これらの構造により、第２信号ライン２２１、２２２の信号と、プリント配線板２

０内の他の信号ラインの信号との干渉を抑制することができる。

[0085] なお、本実施の形態では、第１入出力端子Ｐ１１、Ｐ１２と第３入出力端子Ｐ３１、Ｐ３２との間に、長方形状の第２のグランド端子$Ｐ_{Ｇ２}$を設けているが、第２のグランド端子$Ｐ_{Ｇ２}$の形状はこれに限られない。例えば、第２のグランド端子$Ｐ_{Ｇ２}$の一部にメッシュが形成されていてもよい。また、第２のグランド端子$Ｐ_{Ｇ２}$に、Ｙ方向に沿ったスリットなどが形成されていてもよい。

[0086] また、第２のグランド端子$Ｐ_{Ｇ２}$は、第１入出力端子Ｐ１１、Ｐ１２と第３入出力端子Ｐ３１、Ｐ３２との間を完全に割り込むように設けられているが、これに限られず、第１入出力端子Ｐ１１、Ｐ１２と第３入出力端子Ｐ３１、Ｐ３２との間の一部を割り込むように設けられていてもよい。すなわち、第２のグランド端子$Ｐ_{Ｇ２}$は、Ｘ方向から見た場合に、第１入出力端子Ｐ１１、Ｐ１２の一部および第３入出力端子Ｐ３１、Ｐ３２の一部に重なっていればよい。

[0087] （実施の形態３）

実施の形態３に係る受動素子アレイ１０Ｂは、実施の形態２で示した３つのコイル素子に対応する３つのコンデンサをそれぞれ備えている。

[0088] 図１０は、実施の形態３に係る受動素子アレイ１０Ｂの模式図である。図１１は、受動素子アレイ１０ＢをＹ方向から見た場合の断面の模式図である。図１２は、受動素子アレイ１０Ｂの等価回路を示す図である。

[0089] 実施の形態３に係る受動素子アレイ１０Ｂは、素体１１内に、第１対向電極ＯＰ１、第２対向電極ＯＰ２および第３対向電極ＯＰ３を備えている。

[0090] 第１対向電極ＯＰ１は、平型状の内部電極であり、第１のグランド端子$Ｐ_{Ｇ１}$と対向して設けられる。第１対向電極ＯＰ１と第１のグランド端子$Ｐ_{Ｇ１}$とが対向することで、第１コンデンサＣ１が形成される。第１対向電極ＯＰ１は、第１受動素子Ｌ１の一端または他端に接続される。本実施の形態では、第１対向電極ＯＰ１は、第１受動素子Ｌ１と第１入出力端子Ｐ１２との間に接続されている。

[0091] 第２対向電極ＯＰ２は、平型状の内部電極であり、第２のグランド端子P_{G2}と対向して設けられる。第２対向電極ＯＰ２と第２のグランド端子P_{G2}とが対向することで、第２コンデンサＣ２が形成される。第２対向電極ＯＰ２は、第２受動素子Ｌ２の一端または他端に接続される。本実施の形態では、第２対向電極ＯＰ２は、第２受動素子Ｌ２と第２入出力端子Ｐ２２との間に接続されている。

[0092] 第３対向電極ＯＰ３は、平型状の内部電極であり、第３のグランド端子P_{G3}と対向して設けられる。第３対向電極ＯＰ３と第３のグランド端子P_{G3}とが対向することで、第３コンデンサＣ３が形成される。第３対向電極ＯＰ３は、第３受動素子Ｌ３の一端または他端に接続される。本実施の形態では、第３対向電極ＯＰ３は、第３受動素子Ｌ３と第３入出力端子Ｐ３２との間に接続されている。

[0093] これらにより、受動素子アレイ１０Ｂは、図１２に示されるように、３つのＬＣフィルタ（ローパスフィルタ）を有する構造となっている。

[0094] なお、本実施の形態では、第１受動素子Ｌ１、第２受動素子Ｌ２および第３受動素子Ｌ３をＸ方向から見た場合に、第２受動素子Ｌ２が、第１受動素子Ｌ１の一部および第３受動素子Ｌ３の一部に重なるように配置されている。

[0095] なお、第１対向電極ＯＰ１と第１のグランド端子P_{G1}との間、第２対向電極ＯＰ２と第２のグランド端子P_{G2}との間、および、第３対向電極ＯＰ３と第３グランドの端子P_{G3}との間の層を、誘電体材料により形成してもよい。その場合、第１コンデンサＣ１、第２コンデンサＣ２および第３コンデンサＣ３の容量を大きくすることが可能である。

[0096] （実施の形態４）

実施の形態４では、実施の形態１に示す受動素子アレイ１０が実装されたプリント配線板３２０について説明する。図１３Ａは、受動素子アレイ１０が実装されたプリント配線板３２０を示す斜視図である。なお、図１３Ａでは、フレキシブルケーブル３４０の一部を切り欠いた状態で示している。

[0097] 本実施の形態のプリント配線板３２０は、電子機器に内蔵されるマザーボードであり、図１３Ａに示すように受動素子アレイ１０および複数の表面実装部品３３０（例えば、スイッチングＩＣ、チップコンデンサなど）が搭載されている。

[0098] プリント配線板３２０に実装された受動素子アレイ１０には、フレキシブルケーブル３４０が接続されている。具体的には、受動素子アレイ１０の一方主面１１ａ側の第１入出力端子Ｐ１１、Ｐ１２および第２のグランド端子P_{G2}のそれぞれが、フレキシブルケーブル３４０にはんだ等で接合されている。また、受動素子アレイ１０の他方主面１１ｂ側の第２入出力端子Ｐ２１、Ｐ２２および第１のグランド端子P_{G1}のそれぞれが、プリント配線板３２０にはんだ等で接合されている。すなわち、フレキシブルケーブル３４０とプリント配線板３２０とは、受動素子アレイ１０の素体１１を間に挟んで接続されており、受動素子アレイ１０は、フレキシブルケーブル３４０およびプリント配線板３２０のインターポーザとして用いられている。

[0099] 本実施の形態のプリント配線板３２０には、実施の形態１に示す受動素子アレイ１０が実装されている。そして、受動素子アレイ１０の第２入出力端子Ｐ２１、Ｐ２２は、プリント配線板３２０に接続されている。また、受動素子アレイ１０の第１入出力端子Ｐ１１、Ｐ１２は、フレキシブルケーブル３４０に接続される構造となっている。

[0100] このプリント配線板３２０によれば、第１入出力端子Ｐ１１、Ｐ１２に接続されるフレキシブルケーブル３４０と、第２入出力端子Ｐ２１、Ｐ２２に接続されるプリント配線板３２０とが受動素子アレイ１０の素体１１を介して配置されるため、フレキシブルケーブル３４０とプリント配線板３２０とのアイソレーションを確保することができる。

[0101] なお、図１３Ａでは、受動素子アレイ１０にフレキシブルケーブル３４０が接続される例を示したが、これに限られず、例えば、図１３Ｂに示すように、受動素子アレイ１０にフレキシブル配線板３５０が接続されてもよい。すなわち、プリント配線板３２０には、実施の形態１に示す受動素子アレイ

１０が実装され、受動素子アレイ１０の第１入出力端子Ｐ１１、Ｐ１２が、フレキシブル配線板３５０に接続される構造であってもよい。

[0102] また、上記実施の形態では、受動素子アレイとして実施の形態１に示す受動素子アレイ１０を例に挙げて説明したが、それに限られず、プリント配線板３２０には、実施の形態２に示す受動素子アレイ１０Ａが実装されてもよいし、実施の形態３に示す受動素子アレイ１０Ｂが実装されてもよい。

[0103] すなわち、プリント配線板３２０には、実施の形態２に示す受動素子アレイ１０Ａが実装され、受動素子アレイ１０Ａの第２入出力端子Ｐ２１、Ｐ２２、第１のグランド端子P_{G1}および第３のグランド端子P_{G3}のそれぞれが、プリント配線板３２０に接続され、受動素子アレイ１０Ａの第１入出力端子Ｐ１１、Ｐ１２、第３入出力端子Ｐ３１、Ｐ３２および第２のグランド端子P_{G2}のそれぞれが、フレキシブルケーブル３４０またはフレキシブル配線板３５０に接続される構造であってもよい。

[0104] また、プリント配線板３２０には、実施の形態３に示す受動素子アレイ１０Ｂが実装され、受動素子アレイ１０Ｂの第２入出力端子Ｐ２１、Ｐ２２、第１のグランド端子P_{G1}および第３のグランド端子P_{G3}のそれぞれが、プリント配線板３２０に接続され、受動素子アレイ１０Ｂの第１入出力端子Ｐ１１、Ｐ１２、第３入出力端子Ｐ３１、Ｐ３２および第２のグランド端子P_{G2}のそれぞれが、フレキシブルケーブル３４０またはフレキシブル配線板３５０に接続される構造であってもよい。

[0105] （その他の実施の形態）

以上、本発明の実施の形態１、２、３、４に係る受動素子アレイおよびプリント配線板２０、３２０について説明したが、本発明は、個々の実施の形態１、２、３、４には限定されない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を実施の形態１、２、３、４に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本発明の一つ又は複数の態様の範囲内に含まれてもよい。

[0106] 例えば、受動素子アレイは、受動素子を４つ以上備えていてもよい。

[0107] すなわち、受動素子アレイは、受動素子、一対の入出力端子およびグランド端子を一組とする複数の受動素子ユニットが順次配列され、素体１１の一方主面１１ａには、奇数番目の受動素子ユニットの一対の入出力端子および偶数番目の受動素子ユニットのグランド端子が順に設けられ、素体１１の他方主面１１ｂには、奇数番目の受動素子ユニットのグランド端子および偶数番目の受動素子ユニットの一対の入出力端子が順に設けられた構造であってもよい。これにより、奇数番目に配置された入出力端子間に偶数番目のグランド端子が設けられるので、奇数番目に配置された入出力端子間のアイソレーションを確保することができる。また、偶数番目に配置された入出力端子間に奇数番目のグランド端子が設けられるので、偶数番目に配置された入出力端子間のアイソレーションを確保することができる。

[0108] また、実施の形態１、２、３、４では、受動素子としてインダクタを例に挙げて説明したが、それに限られず、受動素子は複数の対向電極を有するコンデンサであってもよい。その場合、コンデンサである第１受動素子Ｌ１の一端および他端に第１入出力端子Ｐ１１、Ｐ１２をそれぞれ接続し、コンデンサである第２受動素子Ｌ２の一端および他端に第２入出力端子Ｐ２１、Ｐ２２をそれぞれ接続し、コンデンサである第３受動素子Ｌ３の一端および他端に第３入出力端子Ｐ３１、Ｐ３２をそれぞれ接続すればよい。

産業上の利用可能性

[0109] 本発明の受動素子アレイは、例えば、プリント配線板に内蔵される形態で利用することができる。また、本発明のプリント配線板は、ＤＣ－ＤＣコンバータなどの高周波モジュールに用いられる基板として広く利用することができる。

符号の説明

[0110] １０、１０Ａ、１０Ｂ　受動素子アレイ

１１　　素体

１１ａ　一方主面

１１ｂ　他方主面

１２　基材層

２０　プリント配線板

３０　実装部品

３１　スイッチングＩＣ

３２、３３　チップコンデンサ

５０　高周波モジュール

１１２　樹脂基材層

２１１、２１２　第１信号ライン

２２１、２２２　第２信号ライン

２３１、２３２　第３信号ライン

２４１　第１のグランドライン

２４２　第２のグランドライン

２４３　第３のグランドライン

２５１、２５２、２５３、２５４、２５５、２５６、２６１、２６２、２６３、２６４、２６５、２６６　層間導体

３２０　プリント配線板

３３０　表面実装部品

３４０　フレキシブルケーブル

３５０　フレキシブル配線板

Ｃ１　第１コンデンサ

Ｃ２　第２コンデンサ

Ｃ３　第３コンデンサ

Ｌ１　第１受動素子

Ｌ２　第２受動素子

Ｌ３　第３受動素子

ＯＰ１　第１対向電極

ＯＰ２　第２対向電極

ＯＰ３　第３対向電極

Ｐ１１、Ｐ１２　第１入出力端子

Ｐ２１、Ｐ２２　第２入出力端子

Ｐ３１、Ｐ３２　第３入出力端子

P_{G1}　第１のグランド端子

P_{G2}　第２のグランド端子

P_{G3}　第３のグランド端子

Ｘ　受動素子が配列されている方向

Ｙ　積層方向ＺおよびＸ方向の両方に垂直な方向

Ｚ　積層方向

請求の範囲

[請求項1] プリント配線板に内蔵される受動素子アレイであって、

複数の基材層を積層してなる素体と、

前記素体内に設けられ、前記複数の基材層の積層方向と垂直な方向に配列された第１受動素子および第２受動素子と、

前記素体の一方主面に設けられ、前記第１受動素子に接続された一対の第１入出力端子と、

前記素体の他方主面に設けられ、前記第２受動素子に接続された一対の第２入出力端子と、

を備える

受動素子アレイ。

[請求項2] さらに、

前記素体内に設けられ、前記第１受動素子に対して、前記積層方向と垂直な方向に配置された第３受動素子と、

前記素体の前記一方主面に設けられ、前記第３受動素子に接続された一対の第３入出力端子と、

前記素体の前記一方主面に設けられたグランド端子と

を備え、

前記グランド端子は、前記一対の第１入出力端子と前記一対の第３入出力端子との間に設けられている

請求項１に記載の受動素子アレイ。

[請求項3] 前記第３受動素子は、前記第１受動素子および前記第２受動素子が配列された方向に沿って、前記第２受動素子を基準にして前記第１受動素子とは反対側に設けられている

請求項２に記載の受動素子アレイ。

[請求項4] 前記素体を前記積層方向から見た場合に、

前記一対の第１入出力端子は、前記第１受動素子と重なる位置に設けられ、

前記一対の第２入出力端子は、前記第２受動素子と重なる位置に設けられ、

前記一対の第３入出力端子は、前記第３受動素子と重なる位置に設けられ、

前記グランド端子は、前記第２受動素子と重なる位置に設けられている

請求項２または３に記載の受動素子アレイ。

[請求項5] 前記グランド端子は、第２のグランド端子であり、

さらに、

前記素体の前記他方主面に設けられた第１のグランド端子および第３のグランド端子を備え、

前記素体を積層方向から見た場合に、

前記第１のグランド端子は、前記第１受動素子と重なる位置に設けられ、

前記第３のグランド端子は、前記第３受動素子と重なる位置に設けられている

請求項４に記載の受動素子アレイ。

[請求項6] 前記第１受動素子および前記第２受動素子は、前記積層方向の異なる位置に設けられている

請求項１～５のいずれか１項に記載の受動素子アレイ。

[請求項7] 前記第１受動素子は、前記他方主面よりも前記一方主面に近い位置に設けられ、前記第２受動素子は、前記一方主面よりも前記他方主面に近い位置に設けられている

請求項１～６のいずれか１項に記載の受動素子アレイ。

[請求項8] 前記第１受動素子、前記第２受動素子および前記第３受動素子のそれぞれは、インダクタである

請求項２～７のいずれか１項に記載の受動素子アレイ。

[請求項9] さらに、

前記素体内に、第１のグランド端子に対向する第１対向電極、第２のグランド端子に対向する第２対向電極、および、第３のグランド端子に対向する第３対向電極を備え、

前記第１対向電極は、前記第１受動素子の一端または他端に接続され、

前記第２対向電極は、前記第２受動素子の一端または他端に接続され、

前記第３対向電極は、前記第３受動素子の一端または他端に接続されている

請求項８に記載の受動素子アレイ。

[請求項10] プリント配線板に実装される受動素子アレイであって、

複数の基材層を積層してなる素体と、

前記素体内に設けられ、前記複数の基材層の積層方向と垂直な方向に配列された第１受動素子および第２受動素子と、

前記素体の一方主面に設けられ、前記第１受動素子に接続された一対の第１入出力端子と、

前記素体の他方主面に設けられ、前記第２受動素子に接続された一対の第２入出力端子と、を備え、

前記第１入出力端子がフレキシブル配線板またはフレキシブルケーブルに接続され、前記第２入出力端子が前記プリント配線板に接続される、

受動素子アレイ。

[請求項11] 複数の基材層を積層してなる素体と、

前記素体内に設けられ、前記複数の基材層の積層方向と垂直な方向に配列された第１受動素子および第２受動素子と、

前記素体の一方主面に設けられ、前記第１受動素子に接続された一対の第１入出力端子と、

前記素体の他方主面に設けられ、前記第２受動素子に接続された一

対の第２入出力端子と、

を備える受動素子アレイを内蔵したプリント配線板。

[請求項12] 複数の基材層を積層してなる素体と、

前記素体内に設けられ、前記複数の基材層の積層方向と垂直な方向に配列された第１受動素子および第２受動素子と、

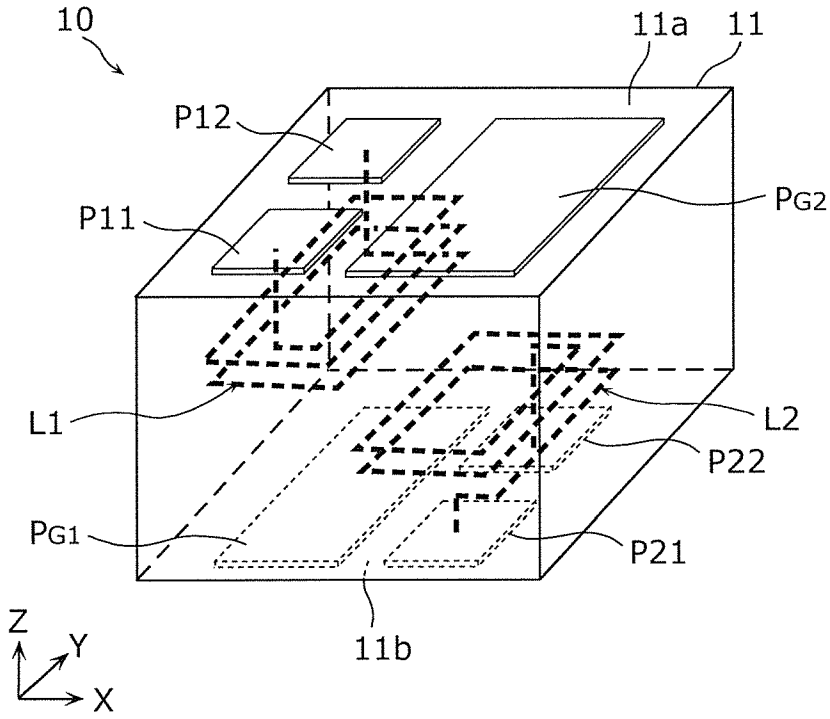
前記素体の一方主面に設けられ、前記第１受動素子に接続された一対の第１入出力端子と、

前記素体の他方主面に設けられ、前記第２受動素子に接続された一対の第２入出力端子と、を備え、

前記第１入出力端子がフレキシブル配線板またはフレキシブルケーブルに接続され、前記第２入出力端子がプリント配線板に接続される、

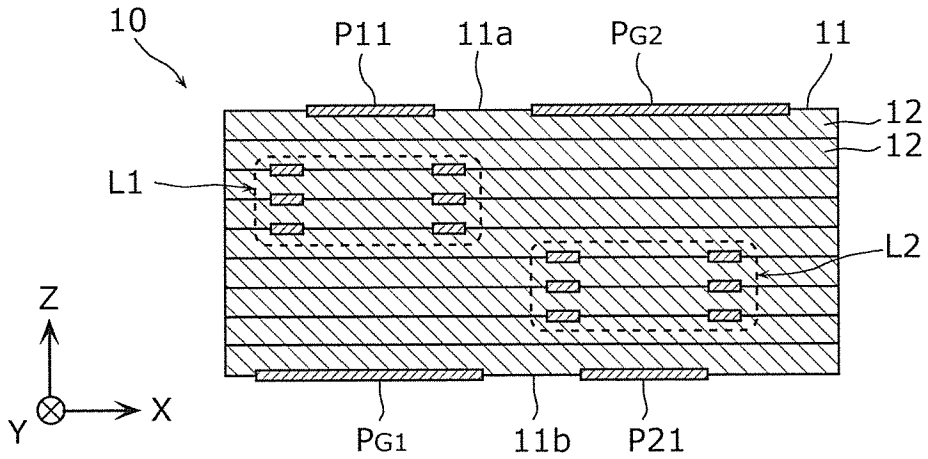
受動素子アレイを実装したプリント配線板。

[図1]
図1



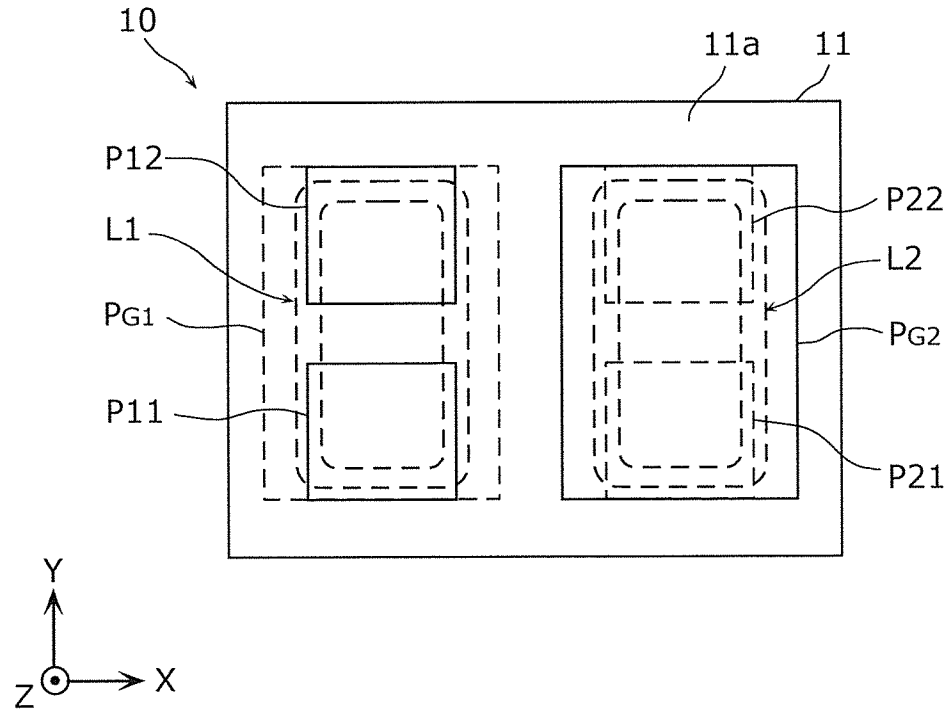
[図2A]

図2A



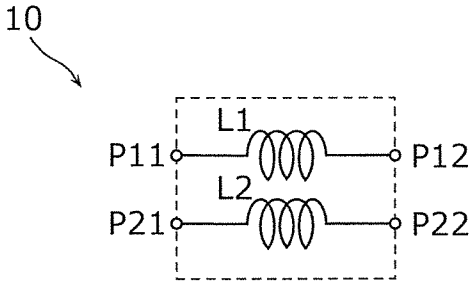
[図2B]

図2B



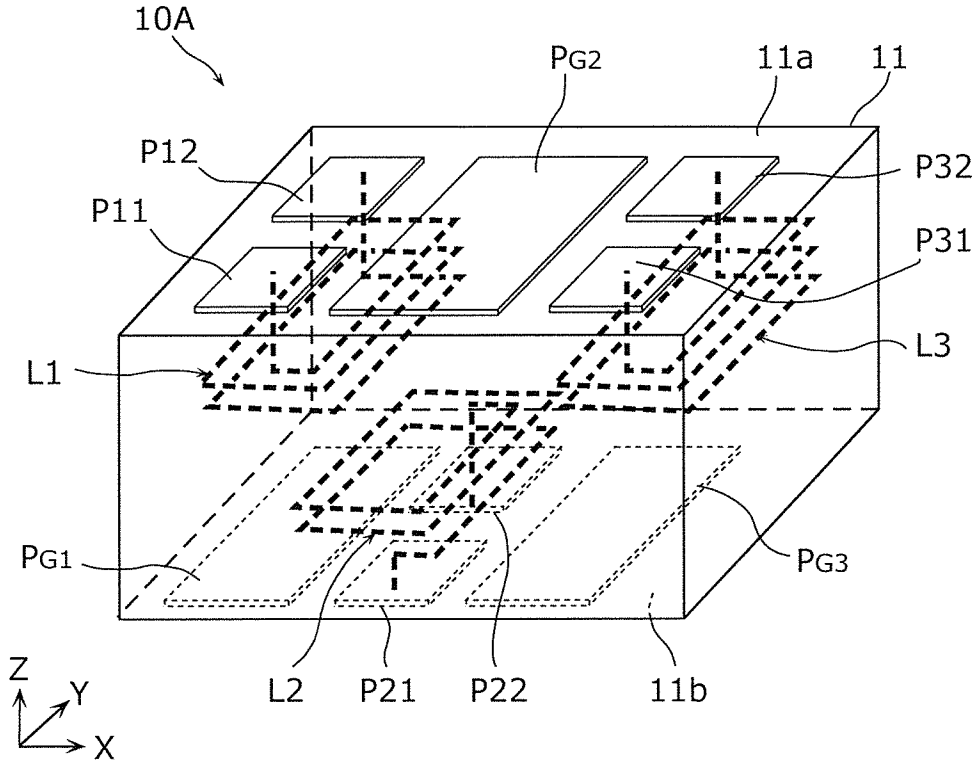
[図3]

図3


10
L1
P11
P12
L2
P21
P22

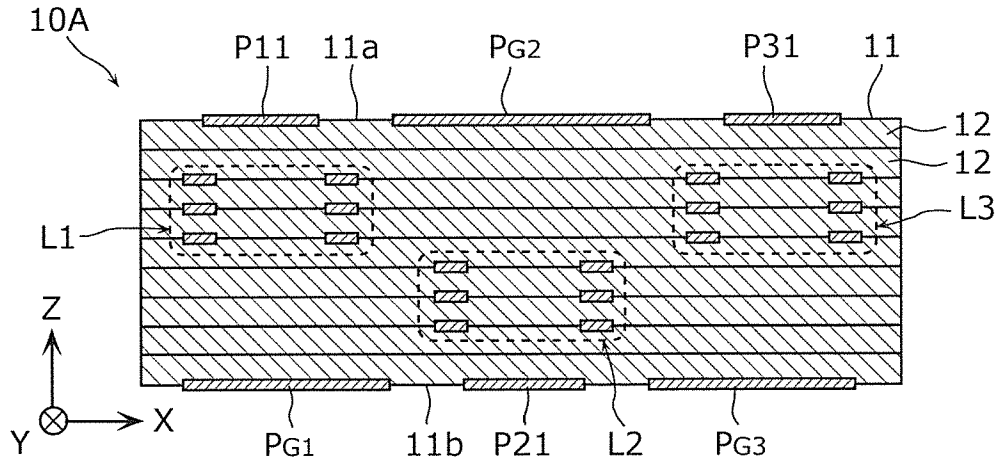
[図4]

図4


10A
PG2
11a
11
P12
P32
P11
P31
L3
L1
PG1
PG3
Z
Y
X
L2
P21
P22
11b

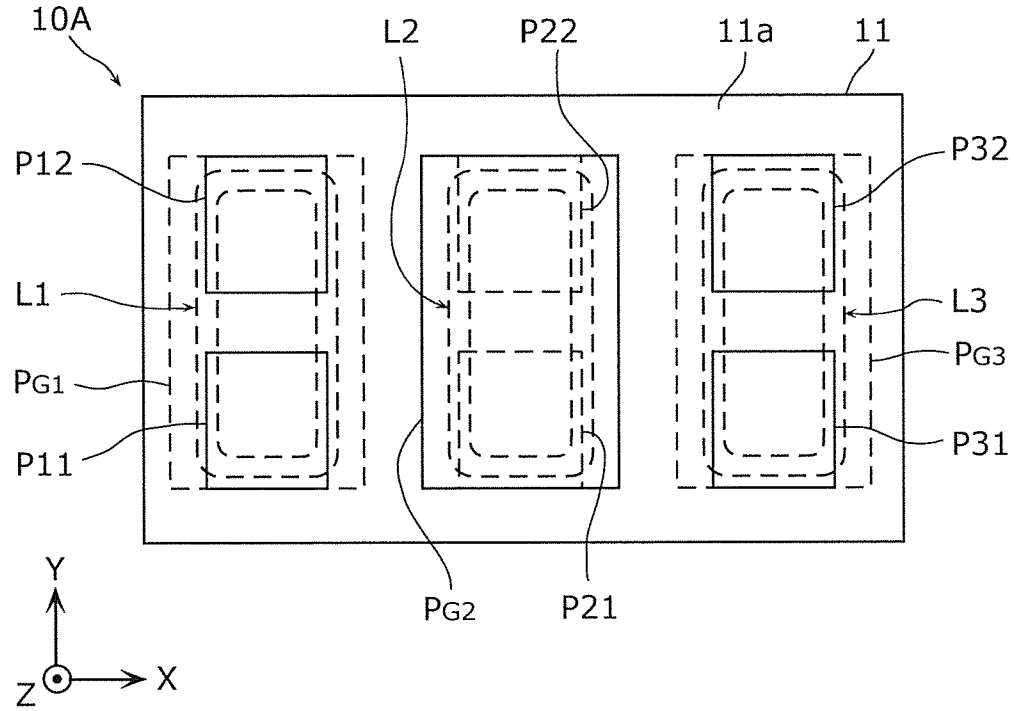
[図5A]

図5A



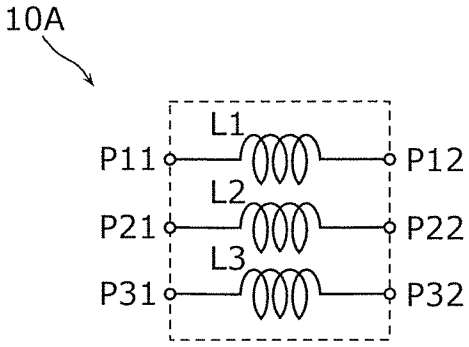
[図5B]

図5B



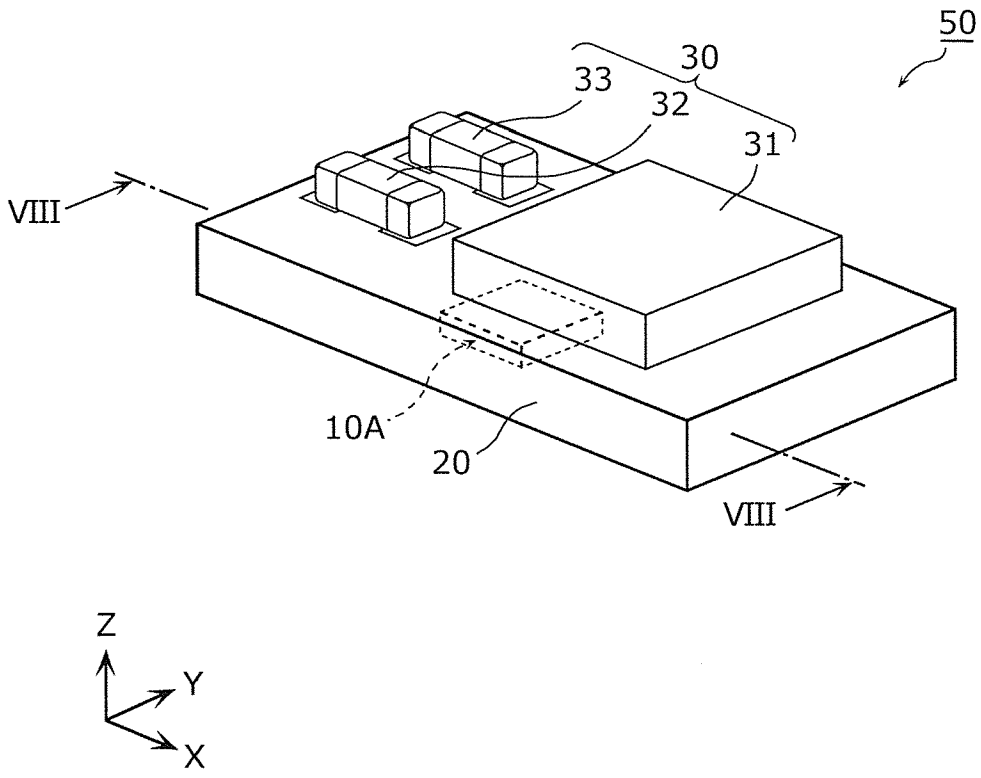
[図6]

図6


10A
L1
P11
P12
L2
P21
P22
L3
P31
P32

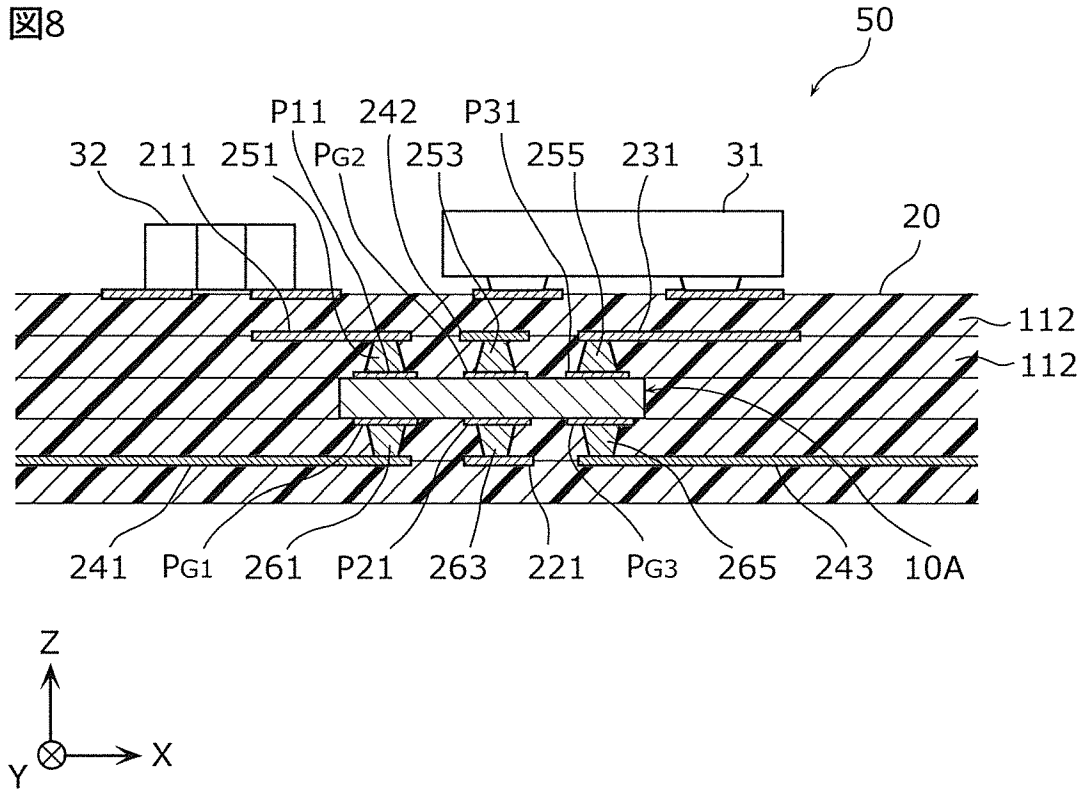
[図7]

図7


50
30
33
32
31
VIII
10A
20
VIII
Z
Y
X

[図8]

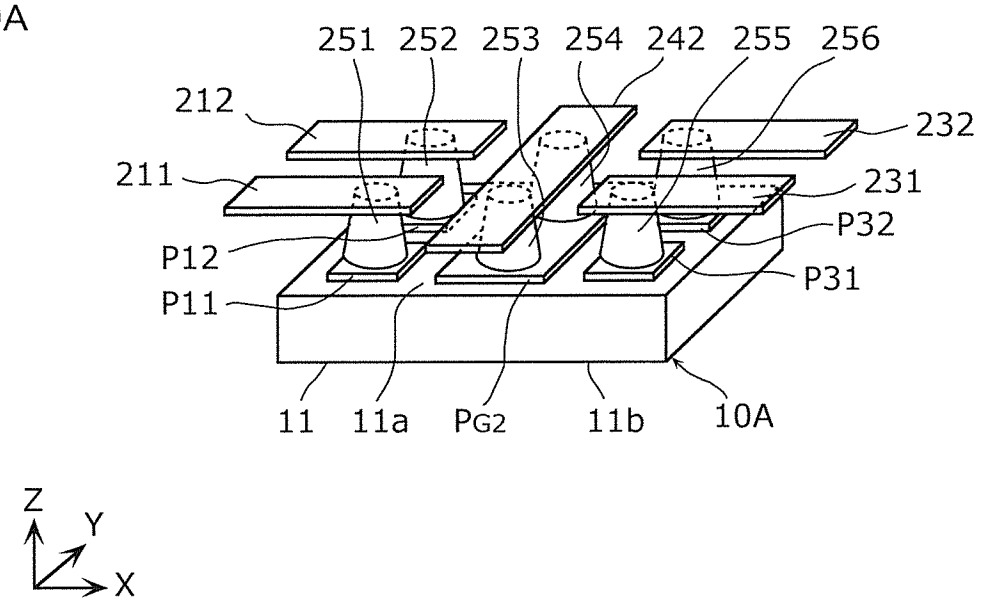
図8


50
P11
242
P31
32
211
251
PG2
253
255
231
31
20
112
112
241
PG1
261
P21
263
221
PG3
265
243
10A

Z
Y
X

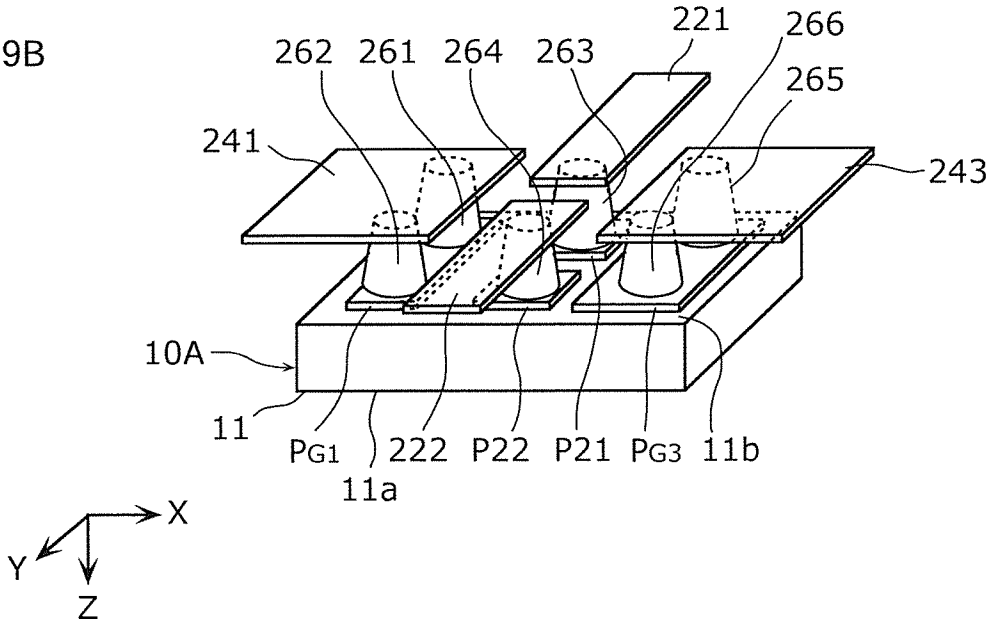
[図9A]

図9A



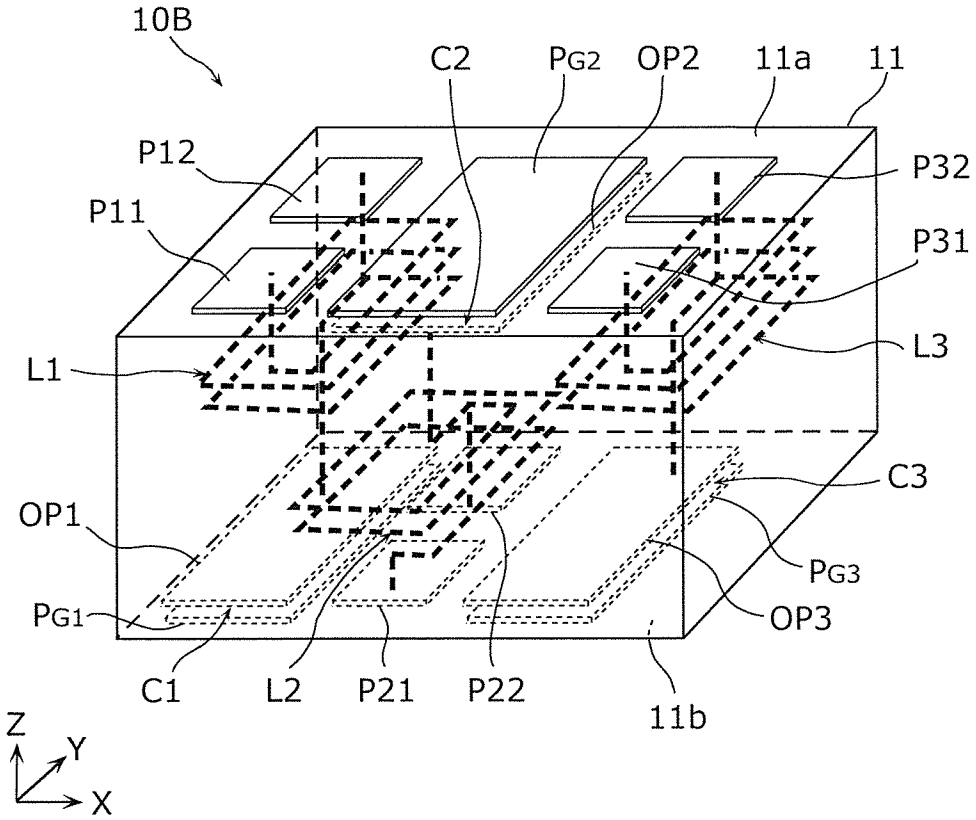
[図9B]

図9B



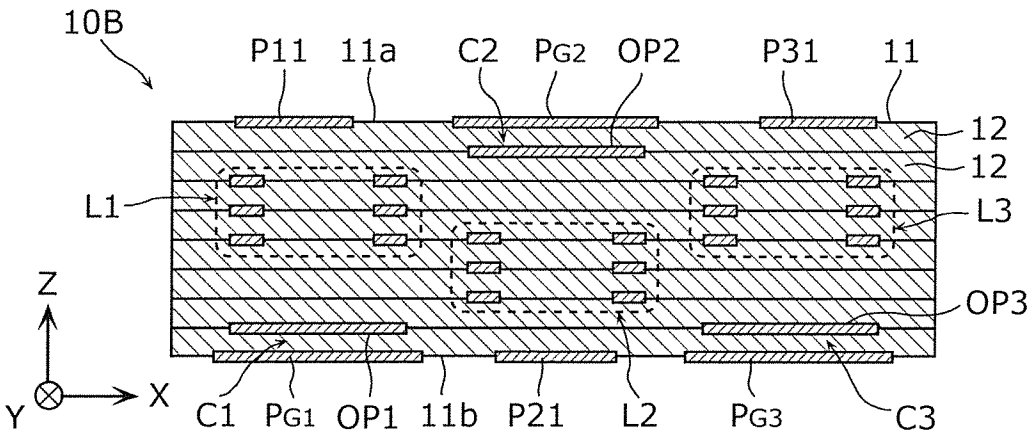
[図10]

図10


10B
C2
PG2
OP2
11a
11
P12
P32
P11
P31
L3
L1
C3
OP1
PG3
PG1
OP3
C1
L2
P21
P22
11b
Z
Y
X

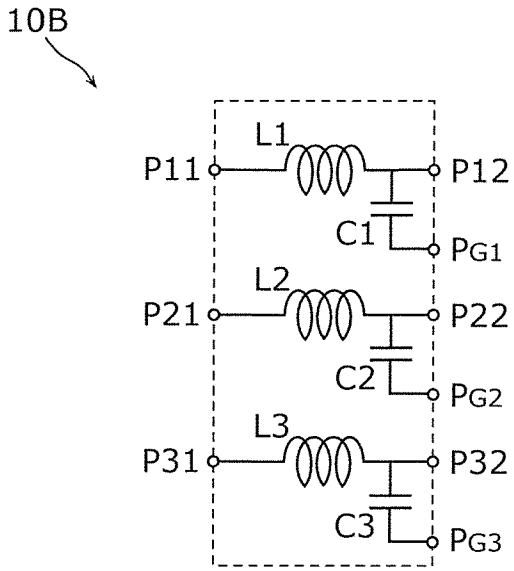
[図11]

図11



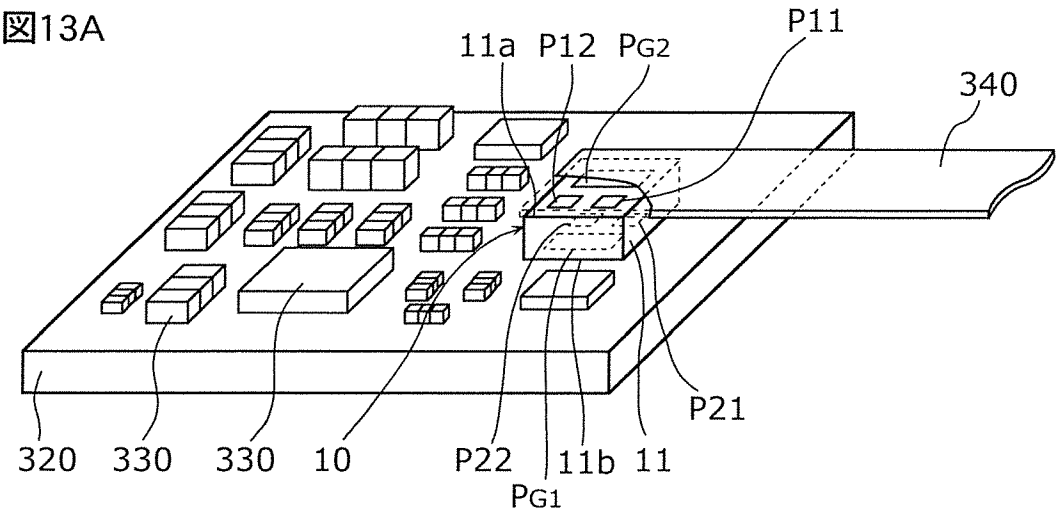
[図12]

図12



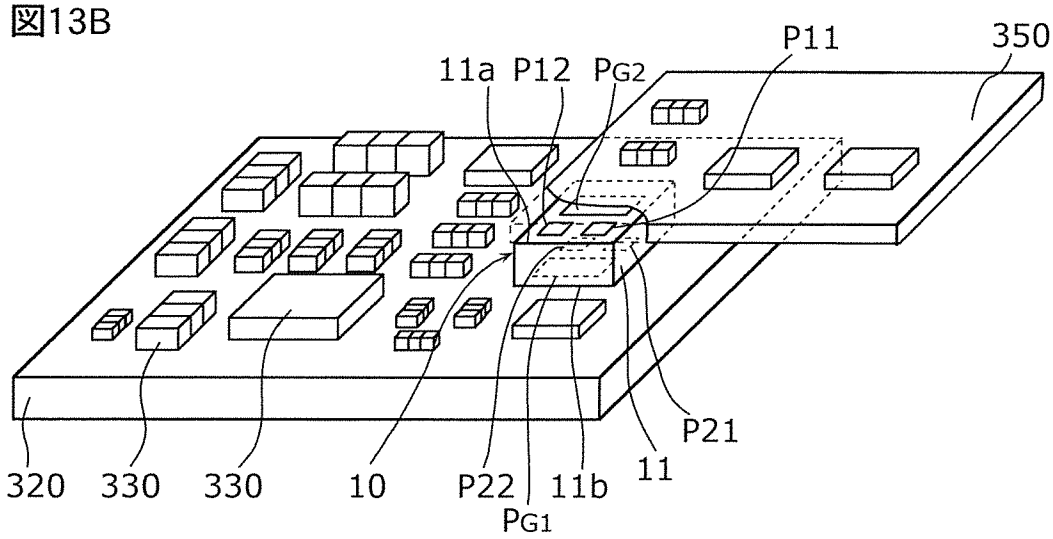
[図13A]

図13A



[図13B]

図13B



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/014872

A. CLASSIFICATION OF SUBJECT MATTER
H01F27/00(2006.01)i, *H01F17/00*(2006.01)i, *H01F27/29*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01F27/00, H01F17/00, H01F27/29

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-66973 A (Taiyo Yuden Co., Ltd.), 15 March 2007 (15.03.2007), claim 5; paragraphs [0009], [0010], [0036] to [0044], [0050]; fig. 10 to 13	1,6-8,11
Y	claim 5; paragraphs [0009], [0010], [0036] to [0044], [0050]; fig. 10 to 13	9
A	claim 5; paragraphs [0009], [0010], [0036] to [0044], [0050]; fig. 10 to 13 (Family: none)	2-5,10,12
Y	JP 2012-19443 A (Murata Mfg. Co., Ltd.), 26 January 2012 (26.01.2012), paragraphs [0025], [0060]; fig. 1 to 5	9
A	paragraphs [0025], [0060]; fig. 1 to 5 (Family: none)	2-5,10,12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 June 2017 (22.06.17)	04 July 2017 (04.07.17)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０１４８７２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01F27/00(2006.01)i, H01F17/00(2006.01)i, H01F27/29(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01F27/00, H01F17/00, H01F27/29

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	ＪＰ　２００７－６６９７３　Ａ（太陽誘電株式会社） ２００７．０３．１５， 【請求項５】， 段落【０００９】【００１０】【００３６】－【００４４】【００５０】， 第１０－１３図	1, 6-8, 11
Y	【請求項５】， 段落【０００９】【００１０】【００３６】－【００４４】【００５０】， 第１０－１３図	9

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２２．０６．２０１７	０４．０７．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｄ　９３６８
五貫　昭一
電話番号　０３－３５８１－１１０１　内線　３５５１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	【請求項５】, 段落【０００９】【００１０】【００３６】－【００４４】【００５０】, 第１０－１３図 （ファミリーなし）	2-5, 10, 12
Ｙ	ＪＰ　２０１２－１９４４３　Ａ（株式会社村田製作所） ２０１２．０１．２６, 段落【００２５】【００６０】, 第１－５図	9
Ａ	段落【００２５】【００６０】, 第１－５図 （ファミリーなし）	2-5, 10, 12