



(12)发明专利

(10)授权公告号 CN 105051876 B

(45)授权公告日 2018.03.27

(21)申请号 201380071294.0

(72)发明人 T.E.哈林顿三世

(22)申请日 2013.11.26

(74)专利代理机构 中国专利代理(香港)有限公司 72001

(65)同一申请的已公布的文献号

申请公布号 CN 105051876 A

代理人 王岳 刘春元

(43)申请公布日 2015.11.11

(51)Int.Cl.

H01L 21/66(2006.01)

(30)优先权数据

61/729720 2012.11.26 US

(56)对比文件

US 2009/0039869 A1, 2009.02.12,

US 5446310 A, 1995.08.29,

US 5831291 A, 1998.11.03,

US 5563447 A, 1996.10.08,

US 2009/0200578 A1, 2009.08.13,

(85)PCT国际申请进入国家阶段日

2015.07.24

(86)PCT国际申请的申请数据

PCT/US2013/072111 2013.11.26

(87)PCT国际申请的公布数据

W02014/082098 EN 2014.05.30

审查员 王顺冲

(73)专利权人 D3半导体有限公司

地址 美国德克萨斯州

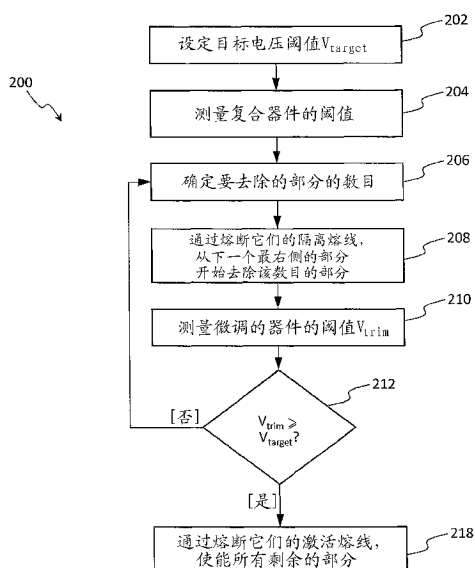
权利要求书2页 说明书14页 附图14页

(54)发明名称

用于垂直半导体器件的精度提高的器件体系结构和方法

(57)摘要

通常在已知为分立半导体的器件类别中找到的垂直半导体器件的关键电气规格的改进对于这些器件在其中使用的系统的性能实现和功率效率有直接的影响。不精确的垂直器件规格使系统建构者或者针对他们需要的规格目标筛选进入的器件,或者以比所期望的更低性能或更低的效率来设计他们的系统。公开了一种用于针对垂直半导体器件实现所期望目标规格的体系结构和方法。阈值电压的精确微调改进了导通电阻和开关时间两者的达到目标。栅极电阻的精确微调还改进了开关时间的达到目标。器件的有效宽度的精确微调改进了导通电阻和电流携载能力两者的达到目标。器件参数被微调以改进单个器件,或者达到参数规格的目标来匹配在两个或更多器件上的规格。



1. 一种可微调垂直半导体器件,包括:

第一垂直半导体器件;

与所述第一垂直半导体器件并联连接的第二垂直半导体器件的集合;并且

所述第二垂直半导体器件的集合中的每一个具有激活链路,连接至所述第一垂直半导体器件,用于微调所述可微调垂直半导体器件,并且具有隔离链路,连接至所述第一垂直半导体器件,用于创建所述第二垂直半导体器件的集合的级联隔离。

2. 根据权利要求1所述的可微调垂直半导体器件,其中,所述第二垂直半导体器件的集合中的每一个还包括:

连接至所述激活链路的电阻器。

3. 根据权利要求1所述的可微调垂直半导体器件,其中,所述激活链路是激光熔线。

4. 根据权利要求1所述的可微调垂直半导体器件,其中,所述激活链路是电可编程熔线。

5. 根据权利要求4所述的可微调垂直半导体器件,其中,所述电可编程熔线具有非易失性存储器元件。

6. 根据权利要求1所述的可微调垂直半导体器件,其中,所述垂直半导体器件是场效应器件。

7. 一种可微调垂直半导体器件,包括:

具有第一栅极端子、第一源极端子和第一漏极端子的第一垂直半导体器件;

具有第二栅极端子、第二源极端子和第二漏极端子的第二垂直半导体器件;

所述第一垂直半导体器件与所述第二垂直半导体器件并联连接;

连接在所述第一栅极端子与所述第二栅极端子之间的隔离熔线;以及

串联连接在所述第一源极端子与所述第二栅极端子之间的激活熔线。

8. 根据权利要求7所述的可微调垂直半导体器件,还包括:

第三垂直半导体器件的集合;

所述第三垂直半导体器件的集合中的每一个具有第三栅极端子、第三源极端子以及第三漏极端子;

所述第三垂直半导体器件的集合中的每一个与所述第一垂直半导体器件并联连接;

第二隔离熔线的集合,所述第二隔离熔线的集合中的每一个连接在所述第一栅极端子与所述第三垂直半导体器件的集合中的每一个第三栅极端子之间;以及

第二激活熔线的集合,所述第二激活熔线的集合中的每一个连接在所述第一源极端子与所述第三垂直半导体器件的集合中的每一个第三栅极端子之间。

9. 根据权利要求8所述的可微调垂直半导体器件,还包括:

第一电阻器的集合;并且

所述第一电阻器的集合中的每一个电阻器连接在所述第二隔离熔线的集合中的每一个与所述第三垂直半导体器件的集合中的每一个第三栅极端子之间。

10. 根据权利要求7所述的可微调垂直半导体器件,还包括:

连接在所述激活熔线与所述第二栅极端子之间的第一电阻器。

11. 根据权利要求7所述的可微调垂直半导体器件,其中,所述第一垂直半导体器件是MOSFET器件并且所述第二垂直半导体器件是MOSFET器件。

12. 根据权利要求7所述的可微调垂直半导体器件, 其中, 所述第一垂直半导体器件是IGBT器件并且所述第二垂直半导体器件是IGBT器件。

13. 根据权利要求7所述的可微调垂直半导体器件, 其中, 所述第一垂直半导体器件是VDMOS并且所述第二垂直半导体器件是VDMOS器件。

14. 一种制成垂直场效应器件的方法, 所述垂直场效应器件具有漏极端子、源极端子以及栅极端子, 所述方法包括:

提供连接至所述漏极端子、所述源极端子以及所述栅极端子的第一场效应器件;

提供由并行激活熔线的集合连接至所述源极端子以及由串行隔离熔线的集合连接至所述栅极端子的第二场效应器件的集合;

测量器件参数;

将所述器件参数与目标值进行比较; 以及

如果所述器件参数满足所述目标值, 则熔断所述并行激活熔线的集合中的并行激活熔线。

15. 根据权利要求14所述的方法, 其中, 所述熔断的步骤还包括熔断所述并行激活熔线的集合中的多个并行激活熔线。

16. 根据权利要求14所述的方法, 包括以下进一步的步骤:

如果所述器件参数不满足所述目标值, 则熔断所述串行隔离熔线的集合中的串行隔离熔线。

17. 根据权利要求14所述的方法, 其中, 所述测量的步骤还包括测量阈值电压。

18. 根据权利要求14所述的方法, 其中, 所述测量的步骤还包括测量导通电阻电压。

19. 根据权利要求14所述的方法, 其中, 所述提供第二场效应器件的集合的步骤还包括以下步骤:

提供连接至所述并行激活熔线的集合的电阻器的集合。

20. 根据权利要求14所述的方法, 其中, 所述栅极端子还连接至可微调并行电阻器网络并且还包括以下步骤:

熔断所述并行电阻器网络中的并行电阻器熔线。

用于垂直半导体器件的精度提高的器件体系结构和方法

技术领域

[0001] 本发明一般地涉及用于改进垂直半导体器件的规格的方法和技术。具体地,本发明详细说明了用于利用器件微调来改进垂直半导体器件的各种参数规格的新颖方法。

背景技术

[0002] 半导体制造工艺必须平衡成本、产量和性能的竞争目标。当市场需求驱动制造商减少成本时,改进的系统性能驱动不断更紧密的元件公差。在许多应用中,系统性能要求超过了成本有效制造工艺中所能达到的地步。

[0003] 类似的问题存在于供电元件的制造中,例如,诸如VDMOS、IGBT的分立元件以及垂直功率二极管的参数分布的变化限制了系统设计的效率和开关速度。

[0004] 供电设计者感兴趣的两个主要设计参数是开关VDMOS器件的阈值电压(V_t)和栅极电阻。 V_t 和栅极电阻的变化确定了系统定时约束,其传播到对于利用该器件的电路的总体供电效率等级中。 V_t 和栅极电阻分布的更紧密和更精确的控制提供了许多优点。例如,这些优点中的一些包括更接近的系统定时、保护带的减小、更低的开关损耗以及增加的效率。存在若干这种性质的器件参数,其中参数的绝对值不如针对该参数所观测的变化宽度重要。这些分布的更紧密的控制将让设计者具有在系统设计中做出权衡的灵活性,从而改进如对于特别的应用所需要的特别的性能特性。

[0005] 多年来已经采用了各种技术以收紧来自成本有效的制造工艺的参数分布,但是这些技术中的没有一个能令人完全满意。

[0006] 现有技术的一个解决方案已经关注于低成本处理,测试所得到的元件,并且将所制造的器件分选为各种参数分布类别,并且仅仅选择处于可接受范围内的那些。然而,这种方法提高了成本,因为来自总体产品中处于分布范围以外的大量部件必须被丢弃。

[0007] 现有技术的另一方法已经略微修改了元件的设计以允许利用激光或其他后制造技术进行微调来使大量部件偏移进入期望的参数范围。然而,这一方法还未成功地应用于垂直半导体器件。微调技术难以应用于垂直半导体器件的原因在于,因为构成垂直器件的内部单元全部具有在晶片的底面上的公共连接。例如,用于VDMOS的晶片的底面是构成该器件的所有内部单元的公共漏极端子。用于IGBT的晶片的底面是构成该器件的所有内部单元的公共集电极端子。为了对类似具有公共端子的这些器件的器件实现微调,可以利用诸如在本发明中描述的那些技术的新颖技术。

发明内容

[0008] “垂直”半导体器件是其中电流流动的主方向是垂直的半导体器件。功率分立半导体器件常常被构建为垂直半导体器件。

[0009] 根据优选实施例,提供了用于经由激光微调来确定使用至少两个并行器件组的VDMOS、IGBT、或垂直栅控二极管的特定阈值电压的目标的方法,其中每一组具有不同的阈值电压,这些不同的阈值电压留出(bracket)目标阈值电压。相同的方法可以用于匹配在相

同或分开的管芯上的两个或更多VDMOS、IGBT或垂直栅控二极管的阈值电压。

[0010] 根据另一优选实施例,提供了用于经由激光微调确定使用多个并行器件段(segment)的VDMOS、IGBT或垂直二极管的特定导通电阻或载流能力的目标的方法。相同的方法可以用于匹配在相同或分开的管芯上的两个或更多VDMOS、IGBT或垂直二极管的导通电阻或载流能力。

[0011] 根据另一优选实施例,提供了用于经由激光微调来确定使用多个并行栅极电阻器的VDMOS或IGBT的特定开关时间的目标的方法。相同的方法可以用于匹配在相同或分开的管芯上的两个或更多VDMOS或IGBT的开关时间。

[0012] 根据另一优选实施例,提供了用于经由激光微调来确定使用具有至少两个不同阈值电压的多个并行器件段以及多个并行栅极电阻器的VDMOS或IGBT的特定开关时间的目标的方法。相同的方法可以用于匹配在相同或分开的管芯上的两个或更多VDMOS或IGBT的开关时间。

[0013] 根据另一优选实施例,提供了用于经由激光微调来确定使用多个并行栅极电阻器的VDMOS或IGBT的特定栅极电阻的目标的方法。相同的方法可以用于匹配在相同或分开的管芯上的两个或更多VDMOS或IGBT的栅极电阻。

[0014] 根据另一优选实施例,提供了用于经由激光微调来确定使用多个并行器件元件的垂直二极管的特定击穿电压的目标的方法,所述多个并行器件元件具有留出目标击穿电压的至少两个不同击穿电压。相同的方法可以用于匹配在相同或分开的管芯上的两个或更多垂直二极管的击穿电压。

附图说明

[0015] 图1A图示在复合VDMOS器件中使用的具有第一阈值电压的不可微调部分的主元件组。

[0016] 图1B图示具有两个不同阈值电压的微调部分的两个元件组的组合。

[0017] 图1C图示在可微调复合VDMOS器件中使用的具有多个微调部分和第n个阈值电压的第n个元件组。

[0018] 图1D图示在具有多个微调部分的可微调复合VDMOS器件内使用的元件组的示例配置。

[0019] 图2图示从未微调的复合阈值电压微调具有多个微调部分的元件组以实现目标阈值电压的过程。

[0020] 图3A图示具有与多个微调部分的元件组互相连接的主器件的可微调复合VDMOS器件。

[0021] 图3B图示用于可微调复合VDMOS器件的器件布局。

[0022] 图4图示用于微调具有多个微调部分的可微调复合VDMOS器件以实现目标导通电阻的过程。

[0023] 图5A图示具有可微调栅极电阻器的复合VDMOS器件,其中可微调部分并联连接并且其中每个可微调部分具有与微调熔线串联的电阻器。

[0024] 图5B图示可微调栅极电阻器的示例配置。

[0025] 图6图示用于微调具有可微调栅极电阻器的复合VDMOS的开关时间的过程,其中开

关时间被微调以实现目标开关时间。

[0026] 图7图示具有与可微调复合器件的集合串联连接的可微调栅极电阻器的复合VDMOS器件,其中复合VDMOS器件具有通过首先微调阈值电压并且随后微调栅极电阻来实现的可微调开关时间。

[0027] 图8图示用于微调具有可微调栅极电阻器和可微调复合器件的集合的复合VDMOS器件的开关时间和阈值电压的过程。

[0028] 图9A图示具有可微调栅极电阻器的复合VDMOS器件,其中减小的寄生电容包括并联连接的可微调部分,并且其中每个可微调部分具有与一对微调熔线串联的电阻器。

[0029] 图9B图示具有减小的寄生电容的可微调栅极电阻器的示例配置。

[0030] 图10图示用于从未微调的复合栅极电阻微调具有可微调栅极电阻器的复合VDMOS器件的栅极电阻以实现目标栅极电阻的过程。

[0031] 图11A图示在复合二极管器件中使用的具有单个不可微调元件和第一击穿电压的主元件组。

[0032] 图11B图示在具有至少两个微调元件和可选择的击穿电压的可微调复合二极管器件中使用的元件组。

[0033] 图11C图示在可微调复合二极管器件中使用的具有一个或多个微调元件和第n个击穿电压的第n个元件组。

[0034] 图11D图示在可微调复合二极管器件中使用的具有多个微调元件和配置强度的击穿电压 V_n 的元件组的示例配置。

[0035] 图12图示用于以单调增大击穿电压微调具有多个微调元件的可微调复合二极管器件的击穿电压的过程。

具体实施方式

[0036] 虽然以下详细论述了本公开的各种实施例的形成和使用,但是应理解本公开提供了许多可应用的创造性概念,其可以体现在广泛多样的特定上下文中。在此论述的具体实施例仅是说明性的特定方式,以形成和使用所公开的内容并且不限制其范围。

[0037] 具有栅极端子、源极端子和漏极端子的MOSFET晶体管器件中的“阈值电压”被理解为意指在器件的传导沟道刚开始连接器件的源极端子和漏极端子时的栅极-源极电压 V_{GS} 的值,从而允许显著的电流在源极与漏极端子之间流动。

[0038] “导通电阻”通常被理解为是在通过施加特定电压和/或电流至半导体器件的端子而将其偏置于导通状态时该半导体器件的电阻。对于例如VDMOS器件,导通电阻通常被定义为在 V_{ds} 被设定为0.1V而栅极-源极电压(V_{gs})被设定为10V时漏极电流(I_d)除以漏极-源极电压(V_{ds})。

[0039] “开关时间”指的是器件从其“断开”状态到其“导通”状态或者从其“导通”状态到其“断开”状态所花的时间。开关时间通过计算断开状态从电压或电流的其平均导通状态值的10%上升至90%,由此导通该器件所需要的时间,或者导通状态从电压或电流的其平均导通状态值的90%下降至10%,由此断开该器件所需要的时间。半导体器件的“有效宽度”是器件的传导区域的宽度。较大的有效宽度允许器件携带较大的电流,而较小的有效宽度限制器件携带较小量的电流。具有较大有效宽度的器件也将比具有较小有效宽度的器件具有

较小的导通电阻。

[0040] 垂直扩散MOSFET或垂直漂移MOSFET (VDMOS) 是其中电流的流动是垂直的, 通常从顶部至底部的MOSFET晶体管。在较早代的处理中, 这一器件类型的沟道区域(对于器件的源极和漏极是相反掺杂极性的)是通过高温扩散步骤来创建, 由此称为“扩散”。所谓的“扩散”今天有时由术语“漂移”来取代, 因为大多数现代器件采用某种类型的漂移区域来支持高电压。

[0041] 垂直二极管是其中阳极位于器件的一个表面上而阴极位于器件的相反表面上, 使得电流流动的主方向垂直于这些表面的二极管。

[0042] 垂直二极管的击穿电压通常被定义为其处断开状态器件开始电击穿并且传递特定水平的电流的电压。

[0043] 绝缘栅极双极晶体管(或IGBT)是采用绝缘栅极端子(非常类似于MOSFET的栅极端子)以导通器件并且启动电流流动, 并且用于断开器件和停止电流的垂直电流流动双极晶体管。

[0044] 参照图1A, 器件元件100包括VDMOS器件104, 其具有栅极电极102、源极电极108以及漏极电极106。VDMOS器件104具有阈值电压 V_{t1} 。在使用中, 电压 V_{DS} 被施加在漏极电极与源极电极之间并且电压 V_{GS} 被施加在栅极电极与源极电极之间。器件元件100形成在具有多个微调部分的器件元件组的一微调部分中使用的基本器件。

[0045] 参照图1B, 元件组110包括两个互相连接的VDMOS器件微调部分, 微调部分111和微调部分112。元件组110具有栅极端子119、漏极端子122以及源极端子123。在使用中, 电压 V_{DS} 被施加在漏极端子与源极端子之间而电压 V_{GS} 被施加在栅极端子与源极端子之间。

[0046] 微调部分111包括器件113, 其漏极电极连接至漏极端子122而其源极电极连接至源极端子123。器件113的栅极电极通过隔离熔线120连接至栅极端子119。器件113的栅极电极还通过与激活熔线117串联的下拉电阻器115连接至源极端子123。器件113展现阈值电压 V_{t2} 。

[0047] 微调部分112包括器件114, 其中其漏极电极连接至漏极端子122而其源极电极连接至源极端子123。器件114的栅极电极通过串联连接的隔离熔线121和隔离熔线120连接至栅极端子119。器件114的栅极电极还通过与激活熔线118串联的下拉电阻器116连接至源极端子123。器件114展现阈值电压 V_{t3} 。元件组110具有 V_{t2} 或 V_{t3} 的可选择的阈值电压。

[0048] 参照图1C, 示例的复合VDMOS器件130包括n个互相连接的VDMOS器件部分, 包括不可微调部分131和微调部分132和133。存在互相连接在微调部分132与微调部分133之间的(n-3)个微调部分。复合器件130具有栅极端子143、漏极端子147以及源极端子148。包括隔离熔线145和146的n个隔离熔线的集合与栅极端子143串联连接。在使用中, 电压 V_{DS} 被施加在漏极端子与源极端子之间并且电压 V_{GS} 被施加在栅极端子与源极端子之间。

[0049] 不可微调部分131包括器件134, 其中其漏极电极连接至漏极端子147而其源极电极连接至源极端子148。器件134的栅极电极连接至栅极端子143。器件134展现阈值电压 V_{t1} 。

[0050] 微调部分132包括器件135, 其中其漏极电极连接至漏极端子147而其源极电极连接至源极端子148。器件135的栅极电极通过隔离熔线145连接至栅极端子143。器件135的栅极电极还通过与激活熔线141串联的下拉电阻器138连接至源极端子148。可替换地, 激活熔线141可以被放置在下拉电阻器138与器件135的栅极之间, 以便减小与下拉电阻器相关联

的任何寄生电阻。器件135展现阈值电压 V_{t2} 。

[0051] 微调部分133包括器件136,其中其漏极电极连接至漏极端子147而其源极电极连接至源极端子148。器件136的栅极电极通过隔离熔线145、隔离熔线146以及隔离熔线146与隔离熔线145之间串联连接的所有中间隔离熔线连接至栅极端子143。器件136的栅极电极还通过与激活熔线142串联的下拉电阻器139连接至源极端子148。器件136展现阈值电压 V_{tn} 。

[0052] 在复合器件130中的微调部分132与133之间存在与微调部分132和133类似地互连接至栅极端子143、漏极端子147和源极端子148的 $(n-3)$ 个中间微调部分。为了微调目的,一个或多个微调部分可以具有相同的阈值电压。示例复合器件130具有在 V_{tn} 与 V_{t1} 之间的阈值电压范围中的可选择阈值电压,其中 $V_{tn} < V_{t2} < V_{t1}$ 。

[0053] 当激活熔线被连接,例如如在激活熔线142中,通过下拉电阻器139和激活熔线142形成分路,其中电流从栅极端子流动至源极端子。由于该分路,不充足的电流通过器件136从栅极端子流动至源极端子,以便使器件136传导。

[0054] 微调部分在其对应的激活熔线被“熔断”时“激活”。在微调部分与栅极端子143之间的至少一个隔离熔线被“熔断”时,微调部分与元件组电“隔离”。在图1C的实施例中,没有微调部分被“隔离”并且没有微调部分被“激活”。在大量附加实施例中,存在通过熔断隔离和激活熔线而可选择的复合器件130的大量不同配置。

[0055] 参照图1D,提供了微调部分的隔离和激活的另外的示例。在图1D中,元件组150包括 n 个互相连接的VDMOS器件部分,包括不可微调部分151以及微调部分152、153和154。每个微调部分包括VDMOS器件,其具有栅极电极、源极电极和漏极电极。在微调部分153与154之间存在 $(n-4)$ 个微调部分155。元件组150具有栅极端子156、漏极端子157和源极端子158。在使用中,电压 V_{DS} 被施加在漏极端子与源极端子之间而电压 V_{GS} 被施加在栅极端子与源极端子之间。

[0056] 包括隔离熔线172、173和174的 n 个隔离熔线的集合串联连接至栅极端子156。隔离熔线173和174被熔断,从而将栅极端子156与微调部分153和微调部分154断开连接。熔断隔离熔线173还导致也与栅极端子断开连接的微调部分155的级联隔离。微调部分153、154和155因此与栅极端子电隔离并且由于 V_{GS} 和 V_{DS} 而不汲取任何电流,并且不会对元件组150的操作做出贡献。

[0057] n 个激活熔线的集合包括将每个微调部分中的栅极电极通过下拉电阻器连接至源极端子的激活熔线162、163和164。激活熔线162被熔断。激活熔线163和164被连接。由于激活熔线162被熔断,微调部分152的器件可以将电流从漏极端子传导至源极端子。由此,微调部分151和152根据漏源电压 V_{DS} 并且如由栅源电压 V_{GS} 控制的那样有效地传导电流。元件组150的阈值电压是部分151和152的最小阈值电压。

[0058] 参照图2,用于微调元件组至特定阈值电压的示例过程200如下。在步骤202,选择目标阈值电压。在步骤204,取决于特定应用,使用标准线性 V_t 测量,或饱和 V_t 测量或基于面积加权的漏电流规格的 V_t 测量,来测量复合器件的阈值电压。可以使用复合器件的阈值电压的测量,或使用在半导体制造工艺中通常找到的各个测试器件的测量来确定每个具有不同阈值电压的元件组的阈值电压。在步骤206,基于从步骤204测量的阈值电压,计算要去除的微调部分的数目以实现目标阈值电压。在步骤208,从仍然活跃的元件组中最右侧的隔离

熔断开始,微调部分的隔离熔断线从右至左熔断,直到所计算的数目的微调部分被去除。例如在图1D中,从隔离熔断线174开始熔断并且以隔离熔断线173结束。从右至左熔断隔离熔断线将器件的总的复合阈值电压增加至接近目标阈值电压的阈值电压。

[0059] 在步骤210,测量复合器件的微调的阈值电压。在步骤212,如果所微调的阈值电压仍然低于目标阈值电压,则从步骤206开始重复该过程,直到获得目标阈值电压。

[0060] 在步骤212,如果在预先限定容差范围内所微调的阈值电压大于目标阈值电压,或者等于目标阈值电压,则过程进行至步骤218,其中元件组中的每个剩余的微调部分(至最后熔断的隔离熔断线的左侧的每个微调部分)通过熔断其对应的激活熔断线来永久地使能。例如,在图1D中,由于隔离熔断线173是最后熔断的隔离熔断线,激活熔断线162被熔断。

[0061] 参照图3A,复合VDMOS器件300包括m个器件微调部分的集合,其包括彼此并联连接并且连接至主器件301的器件微调部分332、334和336。主器件301的栅极电极连接至栅极端子322,主器件301的漏极电极连接至漏极端子338,以及主器件301的源极电极连接至源极端子340。

[0062] 器件微调部分332通过隔离熔断线324并联连接至主器件301。(m-3)个器件微调部分335的附加集合连接在器件微调部分334与器件微调部分336之间。包括隔离熔断线324、326和330的m个隔离熔断线的集合串联连接至栅极端子322。电压 V_{DS} 被施加在漏极端子与源极端子之间并且电压 V_{GS} 被施加在栅极端子与源极端子之间。

[0063] 微调部分332包括器件302,其中其漏极电极连接至漏极端子338而其源极电极连接至源极端子340。器件302的栅极电极通过隔离熔断线324连接至栅极端子322。器件302的栅极电极还通过与激活熔断线314串联的下拉电阻器308连接至源极端子340。

[0064] 微调部分334包括器件304,其中其漏极电极连接至漏极端子338而其源极电极连接至源极端子340。器件304的栅极电极通过隔离熔断线326和隔离熔断线324连接至栅极端子322。器件304的栅极电极还通过与激活熔断线316串联的下拉电阻器310连接至源极端子340。

[0065] 微调部分336包括器件306,其中其漏极电极连接至漏极端子338而其源极电极连接至源极端子340。器件306的栅极电极通过隔离熔断线330、隔离熔断线326、隔离熔断线324以及所有串联连接在隔离熔断线330与隔离熔断线326之间的中间隔离熔断线连接至栅极端子322。器件306的栅极电极还通过与激活熔断线318串联的下拉电阻器312连接至源极端子340。

[0066] 在元件组300中的微调部分334与336之间存在与微调部分332、334和336类似地互相连接至栅极端子322、漏极端子338以及源极端子340的(m-3)个中间微调部分。

[0067] 参照图3B,用于复合器件300的示例性器件布局具有传导面积 A_{total} ,其主器件301的传导面积 A_0 与器件微调部分332、334、335以及336的集合的传导面积 A_{trim} 之和之间被除。具有传导面积 A_0 的主器件对于复合器件的传导性贡献面积比 $F_0=A_0/A_{total}$ 。具有传导面积 A_{trim} 的单个器件微调部分对于复合器件的传导性以及对于复合器件的对应的导通电阻贡献面积比 $F_{trim}=A_{trim}/A_{total}$ 。

[0068] 在复合器件300的实施例中,在没有电隔离微调部分的情况下,复合器件300具有小于所期望导通电阻的导通电阻。在复合器件300的另一实施例中,在没有电隔离微调部分的情况下,复合器件300具有大于所期望电流承载能力的电流承载能力。在附加的实施例中,通过电隔离微调部分的子集,复合器件300的导通电阻在所期望容差范围内是可选择的。在另一实施例中,通过电隔离微调部分的子集,复合器件300的电流承载能力在所期望

容差范围内是可选择的。

[0069] 参照图4,用于微调复合器件300至目标导通电阻的示例过程400描述如下。在步骤402,选择目标导通电阻 R_{target} ,其中 R_{target} 大于未微调的复合VDMOS器件的导通电阻。在步骤404,测量未微调的复合VDMOS器件的导通电阻。在优选实施例中,在复合VDMOS器件的线性区域中执行导通电阻的测量。用于测量导通电阻的示例条件是当 V_{gs} 被设定为10V并且当 V_{ds} 被设定为0.1V时测量 I_{d} (漏极电流);随后将导通电阻计算为 $I_{\text{d}}/V_{\text{ds}}$ 。

[0070] 在步骤406,基于从步骤404测量的导通电阻,进行计算以确定要去除多少微调部分以实现目标导通电阻。当所测量的导通电阻小于目标导通电阻时,存在由 $\Delta R = (R_{\text{target}} - R_{\text{meas}})/R_{\text{meas}}$ 给出的目标导通电阻与所测量复合导通电阻之间的正百分比差。随后,由 $N_{\text{remove}} = \Delta R / F_{\text{trim}}$ 给出的要去除的微调部分的数目。

[0071] 例如,考虑如图3B中的复合VDMOS器件,其具有主器件以及 $n=20$ (二十)个器件微调部分,其中主器件具有复合器件的传导面积 A_{total} 的一半(50%),并且每个器件微调部分具有复合器件的传导面积的四十分之一的面积 A_{trim} 。则 $F_{\text{trim}} = A_{\text{trim}}/A_{\text{total}}$ 是2.5%。如果目标导通电阻大于未微调的复合器件的所测量的导通电阻5%,则 $\Delta R = 5\%$ 除以 $F_{\text{trim}} = 2.5\%$ 指示器件部分中的两个器件部分应该被微调以接近目标。如果目标导通电阻大于所测量的导通电阻7%,则7%除以2.5%指示大约器件部分中的三个器件部分应该被微调以接近目标导通电阻。这一示例实施方式并不意图是限制性的。通过设计,其他实施方式可以涉及更多或更少的器件微调部分和/或具有不等的传导面积的器件微调部分。

[0072] 在步骤408,过程400继续进行,其中从仍然活跃的最右侧的隔离熔线开始,熔断隔离熔线直到所计算的数目的微调部分被去除。从右至左熔断隔离熔线增加了器件的总导通电阻。例如,在图3A中,熔断隔离熔线开始于隔离熔线330并且结束于隔离熔线324。在步骤410,测量复合器件的所微调的导通电阻。

[0073] 在步骤412,将所微调的导通电阻与目标导通电阻进行比较,如果所微调的导通电阻仍然低于目标导通电阻并且不在目标导通电阻的预先得定的容差内,则重复该过程,开始于步骤406,直到获得目标导通电阻。

[0074] 在步骤412,如果所微调的导通电阻在目标导通电阻的预先得定的容差范围内,则执行步骤418,其中每个剩余的微调部分(至最后熔断的隔离熔线的左侧的每个微调部分)通过熔断其对应的激活熔线来永久地使能。例如,在图3A中,当隔离熔线326被熔断时激活熔线314被熔断。

[0075] 接着是与过程400类似的过程,用于微调复合器件的电流承载能力(传导性)以满足目标电流承载能力,其中未微调的复合电流承载能力大于微调的电流承载能力。这一相同过程可以用于匹配在相同或分开的管芯上的两个或更多IGBT或者两个或更多垂直二极管的导通电阻或电流承载能力。

[0076] 参照图5A,描述了VDMOS器件体系结构的第三实施例,其中可微调VDMOS器件元件500包括与可微调栅极电阻器505串联连接至栅极端子514的VDMOS器件512。VDMOS器件512具有源极电极518、漏极电极516以及栅极电极510,其中栅极电极具有本征电阻506。栅极电极510连接至可微调栅极电阻器505,可微调栅极电阻器505包括通过栅极熔线504的集合并并联连接的 r 个栅极电阻器502的集合。通过熔断栅极熔线504的集合中的一个或多个,可微调VDMOS器件元件500的开关时间是可选择的。基于器件大小限制和微调精度要求,并行栅极

电阻器 r 的数目可以是任何大于1的数目。在相关实施例中, r 个栅极电阻器的集合中的每个并行栅极电阻器具有不同的电阻并且在另一相关实施例中,每个并行栅极电阻器具有相同的电阻。

[0077] 参照图5B,示出了可微调栅极电阻器的示例配置。可微调栅极电阻器525连接在栅极端子534与栅极电极530之间。可微调栅极电阻器525包括通过栅极熔线551-555并联连接的可微调电阻器540-544。栅极熔线551和栅极熔线552被熔断。栅极熔线553-555被连接。如图5B中配置的可微调栅极电阻器的电阻是电阻器542-544的并行电阻网络的电阻,其大于电阻器540-544的原始并行电阻网络的电阻。

[0078] 参照图6,用于微调VDMOS器件元件500至特定开关时间的示例过程600如下。在步骤602,选择目标开关时间。在步骤604,使用工业中公知的技术来测量未微调器件的开关时间。在步骤606,将所测量的开关时间与目标开关时间比较并且对必须被熔断以实现目标开关时间的并行栅极熔线的数目做出预测。在步骤608,该数目的并行栅极熔线被熔断,从可微调的栅极电阻器505去除它们对应的并行栅极电阻器。在步骤610,测量微调的VDMOS器件元件的开关时间 T_{trim} 。在步骤612,将微调的VDMOS器件元件的开关时间 T_{trim} 与目标开关时间 T_{target} 比较。如果在预先限定的容差内 T_{trim} 大于或等于 T_{target} ,则过程结束。如果 T_{trim} 仍然小于 T_{target} ,则在步骤606,过程重复。

[0079] 在步骤606,要熔断的并行栅极熔线的数目被确定如下。开关时间与栅极电阻成比例;因此,特定百分比的栅极电阻的增加以相同百分比增加开关时间。对于数目 r 的并行电阻器,其中每个并行栅极电阻器具有相同电阻,从可微调电阻器器件去除一个并行电阻器提高可微调电阻器器件的电阻百分之 $(1/r)$ 。当目标开关时间大于所测量的开关时间时,目标开关时间与所测量的开关时间之间存在由 $\Delta T = (T_{target} - T_{meas}) / T_{meas}$ 给出的正百分比差。随后,由 $N_{remove} = r\Delta T$ 给出要从可微调电阻器器件中去除的并行栅极电阻器的数目以及对应的要熔断的栅极熔线的数目。

[0080] 例如,考虑图5B中示出的配置,其中 $r=5$ (五)个可微调栅极电阻器。在该示例中,五个可微调电阻器中的每一个具有相同的电阻值,所以微调掉每个电阻器增加原始复合栅极电阻20%(五分之一)。如果目标开关时间值是高于初始测量的开关时间值 $\Delta T = 20\%$,则 $r\Delta T = 1$,指示可微调电阻器中的一个可微调电阻器应该被微调以使开关时间接近目标开关时间。如果目标开关时间值高于初始测量的栅极电阻值65%,则 $r\Delta T = (5)(0.65)$,指示大约可微调栅极电阻器中的三个可微调栅极电阻器应该被微调以接近目标。在图5B中,两个可微调栅极电阻器被去除,导致在所有可微调栅极熔线被连接的情况下目标开关时间高于栅极电阻40%。这仅仅是实施方式的示例。通过设计,类似的实施方式可以包括更多或更少的可微调栅极电阻器和/或具有不等电阻值的栅极电阻器。

[0081] 图7图示用于VDMOS器件体系结构的第四实施例。复合器件700包括连接至内部栅极端子703的 m 个可微调复合器件706的集合。内部栅极端子703通过可微调栅极电阻器702连接至栅极端子701。可微调栅极电阻器702包括通过 r 个栅极电阻器熔线705的集合并联连接的 r 个栅极电阻器704的集合。基于器件大小限制和微调精度要求,可微调栅极电阻器702中的并行元件的数目 r 可以是大于1的任何数目。

[0082] m 个可微调复合器件706的集合包括通过可微调复合器件740的可微调复合器件

710。可微调复合器件710包括 n_1 个连接至主器件723的互相连接的器件微调部分。 n_1 个互相连接的器件微调部分包括微调部分711-713。主器件723的栅极电极连接至内部栅极端子703。包括隔离熔线727-729的 n_1 个隔离熔线的集合串联连接至内部栅极端子703。主器件723的漏极电极连接至漏极端子724。主器件723的源极电极连接至源极端子726。漏极-源极电压 V_{DS} 被施加在源极端子726与漏极端子724之间。栅极-源极电压 V_{GS} 被施加在源极端子726与栅极端子703之间。

[0083] 微调部分711包括VDMOS器件714,其漏极电极连接至漏极端子724而其源极电极连接至源极端子726。VDMOS器件714的栅极电极通过隔离熔线727连接至内部栅极端子703。VDMOS器件714的栅极电极还通过与激活熔线720串联的下拉电阻器717连接至源极端子726。

[0084] 微调部分712包括VDMOS器件715,其中其漏极电极连接至漏极端子724而其源极电极连接至源极端子726。VDMOS器件715的栅极电极通过隔离熔线728和隔离熔线727连接至内部栅极端子703。VDMOS器件715的栅极电极还通过与激活熔线721串联的下拉电阻器718连接至源极端子726。

[0085] 微调部分713包括VDMOS器件716,其中其漏极电极连接至漏极端子724而其源极电极连接至源极端子726。VDMOS器件716的栅极电极通过隔离熔线727-729和连接隔离熔线728和729的所有中间隔离熔线连接至内部栅极端子703。VDMOS器件716的栅极电极还通过与激活熔线722串联的下拉电阻器719连接至源极端子726。

[0086] 可微调复合器件740包括连接至主器件753的 n_m 个互相连接的器件微调部分。 n_m 个互相连接的器件微调部分包括微调部分741-743。主器件753的栅极电极连接至内部栅极端子703。包括隔离熔线757-759的 n_m 个隔离熔线的集合串联连接至内部栅极端子703。主器件753的漏极电极连接至漏极端子754。主器件753的源极电极连接至源极端子756。漏极-源极电压 V_{DS} 被施加在源极端子756与漏极端子754之间。栅极-源极电压 V_{GS} 被施加在源极端子756与栅极端子703之间。

[0087] 微调部分741包括VDMOS器件744,其中其漏极电极连接至漏极端子754而其源极电极连接至源极端子756。VDMOS器件744的栅极电极通过隔离熔线757连接至内部栅极端子703。VDMOS器件744的栅极电极还通过与激活熔线750串联的下拉电阻器747连接至源极端子756。

[0088] 微调部分742包括VDMOS器件745,其中其漏极电极连接至漏极端子754而其源极电极连接至源极端子756。VDMOS器件745的栅极电极通过隔离熔线758和隔离熔线757连接至内部栅极端子703。VDMOS器件745的栅极电极还通过与激活熔线751串联的下拉电阻器748连接至源极端子756。

[0089] 微调部分743包括VDMOS器件746,其中其漏极电极连接至漏极端子754而其源极电极连接至源极端子756。VDMOS器件746的栅极电极通过隔离熔线757-759和连接隔离熔线758和759的所有中间隔离熔线连接至内部栅极端子703。VDMOS器件746的栅极电极还通过与激活熔线752串联的下拉电阻器749连接至源极端子756。

[0090] 通过熔断 r 个栅极电阻器熔线705的集合中的一个或多个,复合器件700的开关时间是可配置的。通过熔断可微调复合器件中的隔离熔线的集合中的一个或多个, m 个可微调复合器件的集合中的可微调复合器件的阈值电压、导通电阻和传导性是单独或可组合地

配置的。

[0091] 参照图8,用于微调复合器件700的开关时间以及独立地微调阈值电压的示例过程800如下。在步骤801,选择目标开关时间。在步骤802,选择目标阈值电压 V_{target} 。在步骤804,测量复合器件的阈值电压 V_{meas} 。在步骤806,将 V_{meas} 与 V_{target} 比较。如果在步骤806,在预先限定的阈值电压容差内 V_{meas} 大于或等于 V_{target} ,则在步骤812,剩余的微调部分通过熔断它们的激活熔线来激活并且在步骤824,过程继续进行。如果在步骤806, V_{meas} 小于 V_{target} ,则在步骤808,过程继续进行,其中计算要去除的剩余微调部分的数目。随后,在步骤810,熔断要去掉的剩余微调部分的数目的隔离熔线,从最右侧的微调部分开始进行到左侧。在步骤804,该过程重复,直到在预先限定的阈值电压容差内 V_{meas} 大于或等于 V_{target} 。

[0092] 在步骤824,测量微调的复合器件的开关时间 T_{meas} 。在步骤826,将所测量的开关时间 T_{meas} 与目标开关时间 T_{target} 比较。如果在步骤826,在预先限定的开关时间容差内 T_{meas} 大于或等于 T_{target} ,则过程800结束。如果在步骤826, T_{meas} 小于 T_{target} ,则在步骤808,计算要去除的栅极电阻器的数目。在步骤830,熔断所计算数目的栅极熔线。在步骤824,该过程重复,直到在预先限定的开关时间容差内 T_{meas} 大于或等于 T_{target} 。

[0093] 参照图9A,由可微调VDMOS器件元件900图示VDMOS器件体系结构的第五实施例,其中可微调栅极电阻器905由每栅极电阻段两个熔线组成。可微调栅极电阻器905可以在需要可微调电阻器元件的实施例中的任何实施例中替代。

[0094] 可微调VDMOS器件元件900包括与可微调栅极电阻器905串联连接至栅极端子914的VDMOS器件912。VDMOS器件912具有源极电极918、漏极电极916以及内部栅极电极910,其中内部栅极电极具有本征电阻906。内部栅极电极910连接至可微调栅极电阻器905,其包括通过栅极熔线903的第一集合以及栅极熔线904的第二集合并联连接的 r 个栅极电阻器902的集合,其中在 r 个栅极电阻器的集合中的每个栅极电阻器通过第一栅极熔线串联连接至栅极端子并且还通过第二栅极熔线串联连接至内部栅极电极。在这一配置中,与可微调栅极电阻器905中断开连接的任何电阻器相关联的寄生电容通过熔断两个连接熔线至所断开连接的电阻器来减小。

[0095] 基于器件大小限制和微调精度要求,并行栅极电阻器的数目 r 可以是任何大于一的数目。在相关实施例中, r 个栅极电阻器的集合中的每个并行栅极电阻器具有不同的电阻,而在另一相关实施例中,每个并行栅极电阻器具有相同的电阻。

[0096] 参照图9B,示出可微调栅极电阻器的示例配置。可微调栅极电阻器925连接在栅极端子934与栅极电极930之间。可微调栅极电阻器925包括通过栅极熔线940连接至栅极端子934并且通过栅极熔线960连接至内部栅极电极930的可微调电阻器950。可微调栅极电阻器925还包括通过栅极熔线941连接至栅极端子934并且通过栅极熔线961连接至内部栅极电极930的可微调电阻器951。可微调栅极电阻器925还包括连接至栅极熔线942并且连接至栅极熔线962的可微调电阻器952。可微调栅极电阻器925还包括连接至栅极熔线943并且连接至栅极熔线963的可微调电阻器953。可微调栅极电阻器925还包括连接至栅极熔线944并且连接至栅极熔线964的可微调电阻器954。

[0097] 栅极熔线942-944以及栅极熔线962-964被熔断。栅极熔线940-941和960-962被连接。栅极电阻器952-954与栅极端子934并且与栅极端子930断开连接,从而去除与它们相关联的任何寄生电容。如图9B中配置的可微调栅极电阻器的电阻是电阻器950-951的并行电

阻网络的电阻,其大于电阻器950-954的原始并行电阻网络的电阻。

[0098] 参照图10,在使用图5A的第三实施例或者图9A的第五实施例的可微调栅极电阻器时,过程1000可以用于针对特定栅极电阻微调栅极电阻。例如,使用过程1000,可以匹配在相同或分开的管芯上的两个或更多VDMOS或IGBT的栅极电阻。

[0099] 在步骤1002,确定目标栅极电阻 R_{target} 。在步骤1004,使用探针垫直接测量或者使用采样器件或测试结构的测量估计未微调器件的栅极端子与内部栅极电极之间的栅极电阻 R_{gate} 。在步骤1006,所测量的栅极电阻 R_{gate} 与目标栅极电阻 R_{target} 比较,并且基于 R_{gate} 与 R_{target} 之差以及设计中的可微调电阻器的数目,执行计算以预测必须被熔断以实现目标栅极电阻的栅极熔断线的数目。在步骤1008,熔断所计算数目的栅极熔断线。在步骤1010,测量微调的器件的栅极电阻 R_{gate} 。在步骤1012,比较微调的栅极电阻与目标栅极电阻。如果在步骤1012,所测量的栅极电阻大于或在目标栅极电阻的所期望容差内,则过程停止。如果在步骤1012,所测量的栅极电阻小于目标栅极电阻并且在所期望容差以外,则重复步骤1006、1008和1010,直到栅极电阻大于或在目标栅极电阻的所期望容差内。

[0100] 在步骤1006,确定要熔断的栅极熔断线的数目。对于可微调电阻器器件中的 r 数目的电阻器,在每个电阻器具有相同电阻的情况下,从可微调电阻器器件去除一个电阻器以分数 $1/r$ 提高了可微调电阻器器件的电阻。当所测量的电阻小于目标电阻时,目标电阻与所测量的电阻之间存在由 $\Delta R_{\text{gate}} = (R_{\text{target}} - R_{\text{gate}}) / R_{\text{gate}}$ 给出的正百分比差。随后,要去除的电阻器的数目以及要熔断的栅极熔断线的数目由 $N_{\text{remove}} = r \Delta R_{\text{gate}}$ 给出。

[0101] 例如,考虑与图5A示出的类似的配置,其中具有 $r=5$ (五)个可微调栅极电阻器以及一个不可微调本征栅极电阻器。该示例中的不可微调栅极电阻器具有与可微调电阻器的值相比可以忽略的值。在该示例中,可微调电阻器中的每个可微调电阻器具有相同的电阻值,因此微调掉每个电阻器增加原始复合栅极电阻20%(五分之一)。如果目标栅极电阻值高于初始测量的栅极电阻值 $\Delta R_{\text{gate}}=20\%$,则 $N=r \Delta R_{\text{gate}} = (5) (0.20)$,指示可微调电阻器中的一个要被微调以接近目标。如果目标栅极电阻值高于初始测量的栅极电阻值65%,则 $N=r \Delta R_{\text{gate}} = (5) (0.65)$,指示大约可微调栅极电阻器中的三个要被微调以接近目标,如图9B的示例中所示的。

[0102] 对于图9A的配置,两个串联连接的熔断线必须被熔断以去除可微调栅极电阻器及其相关的寄生电容。通过设计,类似的实施方式可以包括更多或更少的可微调栅极电阻器和/或具有不相等的电阻值的栅极电阻器。

[0103] 在另一实施例中,通过使用具有留出目标击穿电压的至少两个不同击穿电压的多个并行器件元件,经由激光微调来获得垂直二极管的特定击穿电压。这也可以用于匹配在相同或分开的管芯上的两个或更多垂直二极管的击穿电压。图11A-11D图示这一实施例。第一元件组包含具有第一击穿电压(V_1)的一个或多个二极管,而第二元件组包含具有第二击穿电压(V_2)的一个或多个二极管等等,其中第 n 个元件组具有第 n 个击穿电压电平(V_n)。在该实施例中,击穿电压 V_1 被设定为高于击穿电压 V_2 等等,其中击穿电压 V_{n-1} 设定为大于击穿电压 V_n 。通过具有击穿电压 V_1, V_2 等至 V_n 的元件的组合和大小,整个器件的复合击穿电压被设定为低于该器件的最低可选择目标击穿电压。微调熔断线可以用于元件组中以禁用元件组内的特别的二极管微调部分。

[0104] 击穿电压通常被定义为断开状态的器件开始电击穿并传递特定水平的电流时的

电压。通常通过相对于低电压(V-低)节点斜线上升在高电压(V-高)节点上的电压,直到到达通常在毫微安范围内的特定电流值,来测量击穿电压。

[0105] 所有的击穿电压通过标准半导体MOS处理技术,诸如离子注入来设定。复合器件的复合击穿电压通过在微调之后剩余的微调元件的最低击穿电压来设定。如在该实施例中的,由于二极管击穿是击穿漏电流现象,当去除并行元件时,击穿电压可以仅仅被微调为更正的值。因此,可微调二极管器件的复合击穿电压有意地被设定为低于目标范围,以便正地微调击穿电压到目标范围中。在熔断任何熔断线之前,使能(或激活)所有二极管微调元件。微调熔断线用于通过将二极管微调部分与高压节点(V-高)断开连接来使二极管微调部分断开连接。

[0106] 参照图11A,二极管元件1100包括以反向偏置配置连接在低电压端子1103与高电压端子1102之间的一个或多个二极管器件1101。二极管器件1101实现 V_1 的器件电压击穿。在与二极管元件1100的并联连接中,是与二极管元件1100并联连接的一个或多个二极管元件组(图11B和图11C中图示),其包含二极管微调部分,其中每个二极管微调部分包括与各自微调熔断线串联连接至各自二极管的一个或多个二极管。

[0107] 参照图11B,元件组1110包括并联连接在低电压端子1121与高电压端子1120之间的一个或多个二极管微调部分(在该示例中, m 个二极管微调部分)。二极管微调部分1111包括以反向偏置配置与微调熔断线1115串联连接在低电压端子1121与高电压端子1120之间的二极管1114。二极管微调部分1112包括以反向偏置配置与微调熔断线1117串联连接在低电压端子1121与高电压端子1120之间的二极管1116。二极管微调部分1113包括以反向偏置配置与微调熔断线1119串联连接在低电压端子1121与高电压端子1120之间的二极管1118。在元件组1110中存在连接在低电压端子1121与高电压端子1120之间的 $(m-3)$ 个附加的二极管微调部分。所有的二极管微调部分并联连接在低电压端子1121与高电压端子1120之间。

[0108] 元件组1110中的所有二极管具有相同的击穿电压 V_2 ,其中 V_2 低于 V_1 。通过微调(或禁用)元件组中的特别的二极管,可以实现对于总体复合二极管器件的在特别的击穿电压处传递的电流的目标量。

[0109] 参照图11C,元件组1130包括并联连接的一个或多个二极管微调部分(在该示例中, k 个二极管微调部分),其包括二极管微调部分1131、1132和1133。二极管微调部分1131包括以反向偏置配置与微调熔断线1134串联连接在低电压端子1141与高电压端子1140之间的二极管1137。二极管微调部分1132包括以反向偏置配置与微调熔断线1135串联连接在低电压端子1141与高电压端子1140之间的二极管1138。二极管微调部分1133包括以反向偏置配置与微调熔断线1136同样串联连接在低电压端子1141与高电压端子1140之间的二极管1139。存在连接在低电压端子1141与高电压端子1140之间的 $(k-3)$ 个附加的二极管微调部分。所有的二极管微调部分并联连接在低电压端子1141与高电压端子1140之间。

[0110] 元件组1130中的所有二极管具有击穿电压 V_n ,其中 V_n 低于 V_1 和 V_2 。再次,通过微调(或禁用)元件组中的特别的二极管,可以实现对于总体复合二极管器件的在特别的击穿电压处传递的电流的目标量。将二极管元件组,诸如1110和1130与二极管元件1100并行组合,通过选择性地禁用二极管元件组中的一个或多个二极管元件组内的二极管,可以选择对于总体复合二极管器件的目标击穿电压。

[0111] 参照图11D,示出二极管元件组的配置。元件组1150包括并联连接的 j 个二极管微

调部分,其包括二极管微调部分1151、1152、1153和1154。二极管微调部分1151包括以反向偏置与微调熔线1171串联连接在低电压端子1181与高电压端子1180之间的二极管1161。二极管微调部分1152包括以反向偏置与微调熔线1172同样串联连接在低电压端子1181与高电压端子1180之间的二极管1162。二极管微调部分1153包括以反向偏置与微调熔线1173同样串联连接在低电压端子1181与高电压端子1180之间的二极管1163。二极管微调部分1154包括以反向偏置与微调熔线1174同样串联连接在低电压端子1181与高电压端子1180之间的二极管1164。存在连接在低电压端子1181与高电压端子1180之间的(j-4)个中间二极管微调部分1155。所有的二极管微调部分并联连接在低电压端子1181与高电压端子1180之间。

[0112] 元件组1150中的所有二极管具有相同的击穿电压 V_n ,其中 V_n 低于击穿电压 V_i 。

[0113] 在图11D的配置中,元件组1150中的除了微调熔线1171和微调熔线1172以外的所有的微调熔线被熔断。元件组1150的复合击穿电压由二极管微调部分1151和1152的击穿电压来确定。在器件元件1100与元件组1150并联连接的复合二极管器件中,复合器件的复合击穿电压将是器件元件1100中的(多个)二极管的击穿电压与元件组1150中的使能(或激活)二极管的击穿电压的组合。

[0114] 参照图12,用于微调包含器件元件1100和元件组1130的复合二极管器件至特定击穿电压的示例过程1200如下。在步骤1202,选择目标击穿电压。在步骤1204,在V-高和V-低端子之间测量未微调的复合器件的击穿电压。在步骤1206,基于所测量的击穿电压,目标击穿电压以及击穿微调元件中的每个击穿微调元件之间的击穿电压的所预期的差,进行计算以确定元件组中哪些二极管微调元件要被微调。在步骤1208,随后针对指示要被微调的二极管微调元件熔断熔线。熔断与所指示的二极管微调元件对应的微调熔线将留下在V-高与V-低端子之间并联连接的剩余二极管微调元件的集合。在步骤1210,测量微调的复合器件的击穿电压 $V_{B_{trim}}$ 。

[0115] 在步骤1212,如果所测量的击穿电压大于或在预先限定的容差内等于目标击穿电压,则过程结束。如果在步骤1212,所测量的击穿电压 $V_{B_{trim}}$ 仍然低于目标击穿电压 $V_{B_{target}}$ 并且在预先限定的容差以外,则过程重复步骤1206、1208、1210和1212直到获得目标击穿电压。

[0116] 例如,复合击穿电压目标被选择为495V。如果复合可微调二极管器件包含 $m=10$ 个二极管元件组,每个包含一个微调元件,并且可微调元件组之间的击穿电压的所预期的差是1V,则二极管微调元件#10、#9、#8、#7以及#6(对应于490V、491V、492V、493V和494V的击穿电压)将要被微调以便所得到的复合击穿电压被设定为495V。

[0117] 这仅仅是实施方式的示例。类似的实施方式可以包括可微调元件组,其包含多于一个和/或不等数目的元件。元件组和其中的元件也可以被设计为具有预期击穿电压中的不等的差,包括器件面积加权差。

[0118] 虽然前述实施例图示了示例,其中器件微调元件从复合器件操作禁用或去除以便变更器件参数,诸如针对复合器件,增加阈值电压,增加导通电阻,降低电流携载能力,增加开关时间或增加击穿电压,但是所描述的体系结构可以被修改,使得通过熔断熔线链路以添加微调元件或以其它方式使能微调元件相对于总体复合器件的操作,微调元件可以被使能或者添加到复合器件操作中,从而由此使用上述相同技术增加或降低复合器件的所期望

参数。

[0119] 在本公开中呈现的实施例意图提供本发明的可实施示例,但不旨在限制本发明。除了VDMOS以外的其他器件类型可以用作可微调元件组中的基础器件。例如,使用本公开的方法和体系结构,可以构造复合可微调绝缘栅极双极晶体管器件以及其他垂直MOSFET器件。所公开的实施例也并不旨在由具体的微调器件和方法限制。例如,利用通过施加来自合适激光器的激光熔断的激光熔断线,诸如与电荷俘获非易失性存储器元件结合使用的电可编程熔断线的电可编程熔断线,以及电可熔断熔断线和反熔断线可以实现微调。

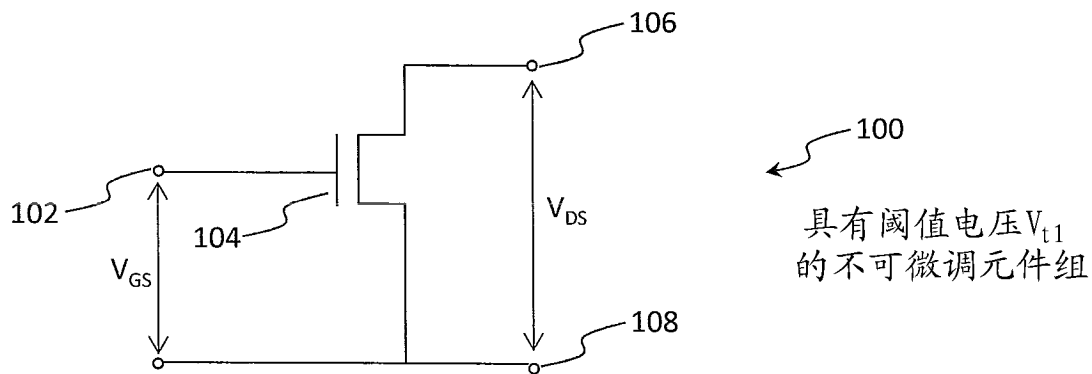


图 1A

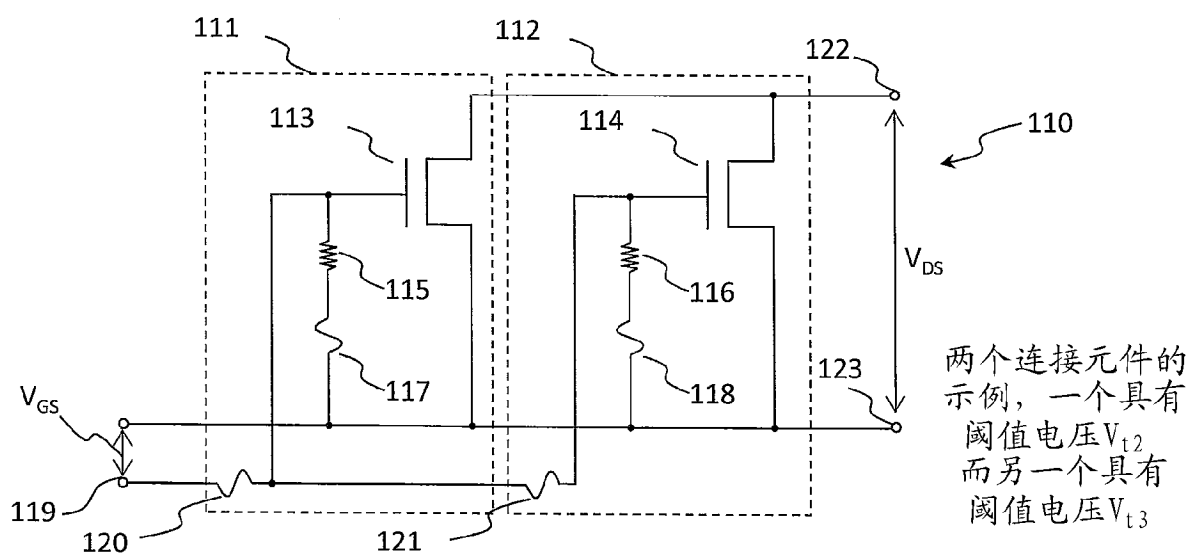


图 1B

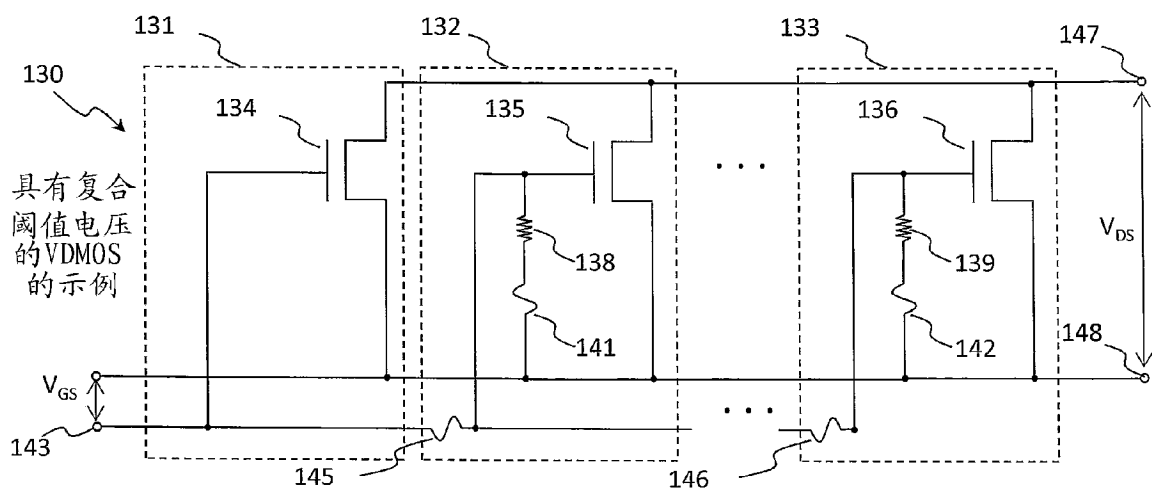


图 1C

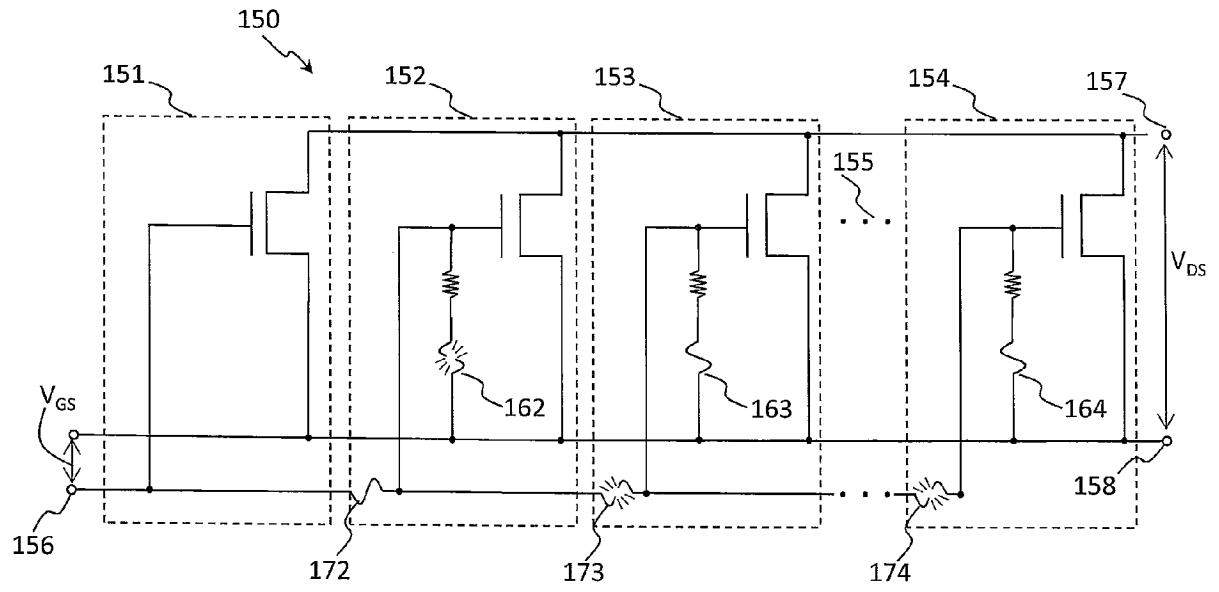


图 1D

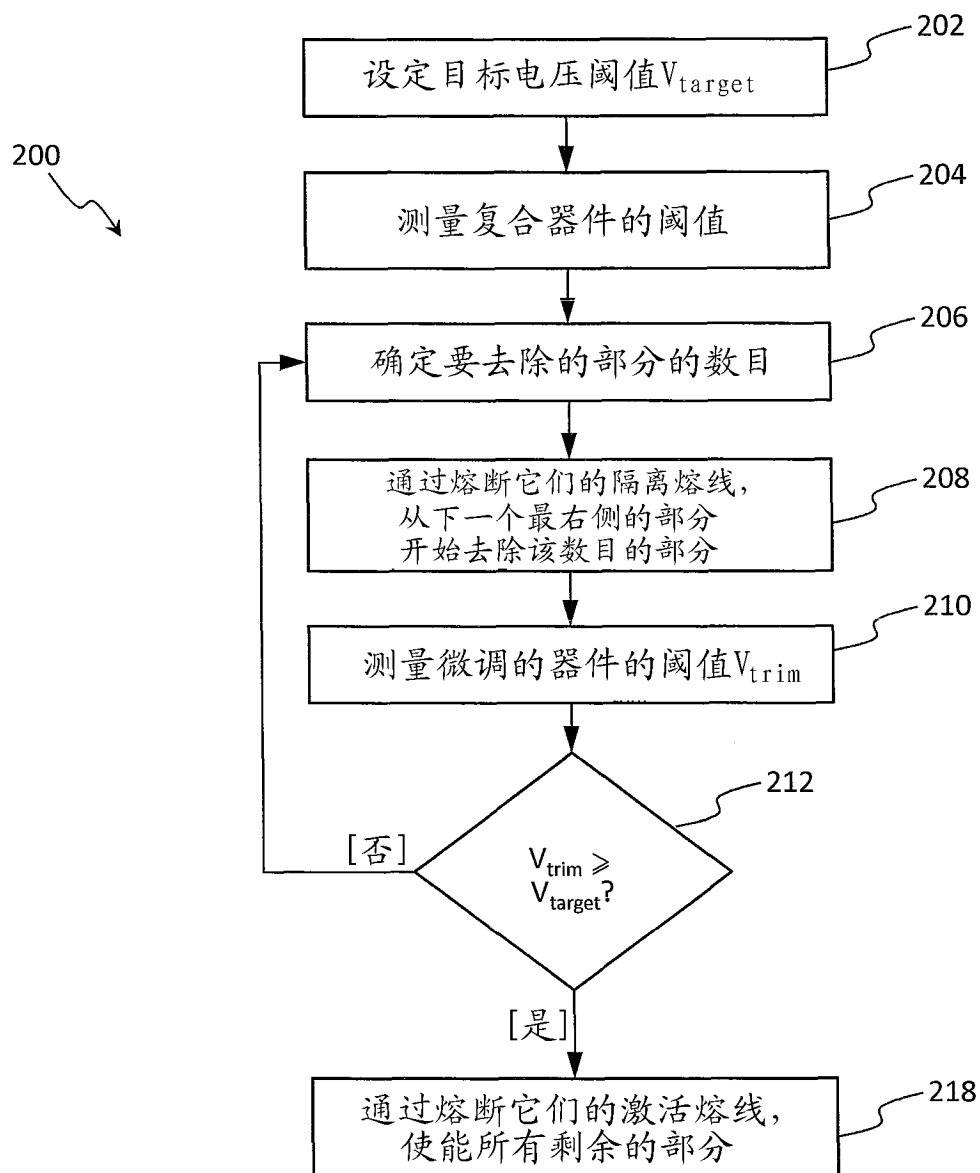


图 2

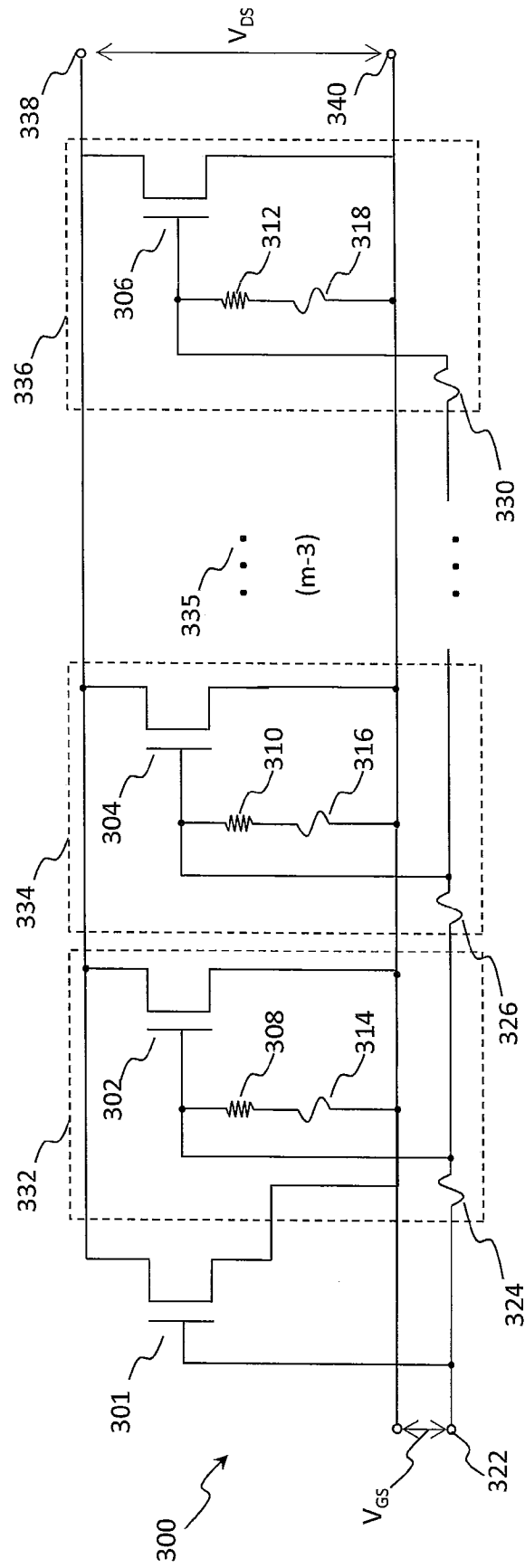


图 3A

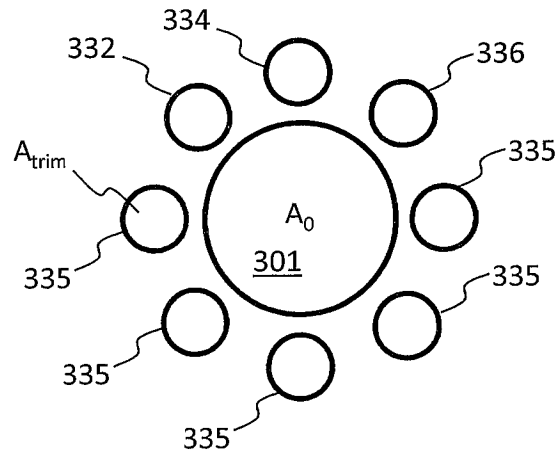


图 3B

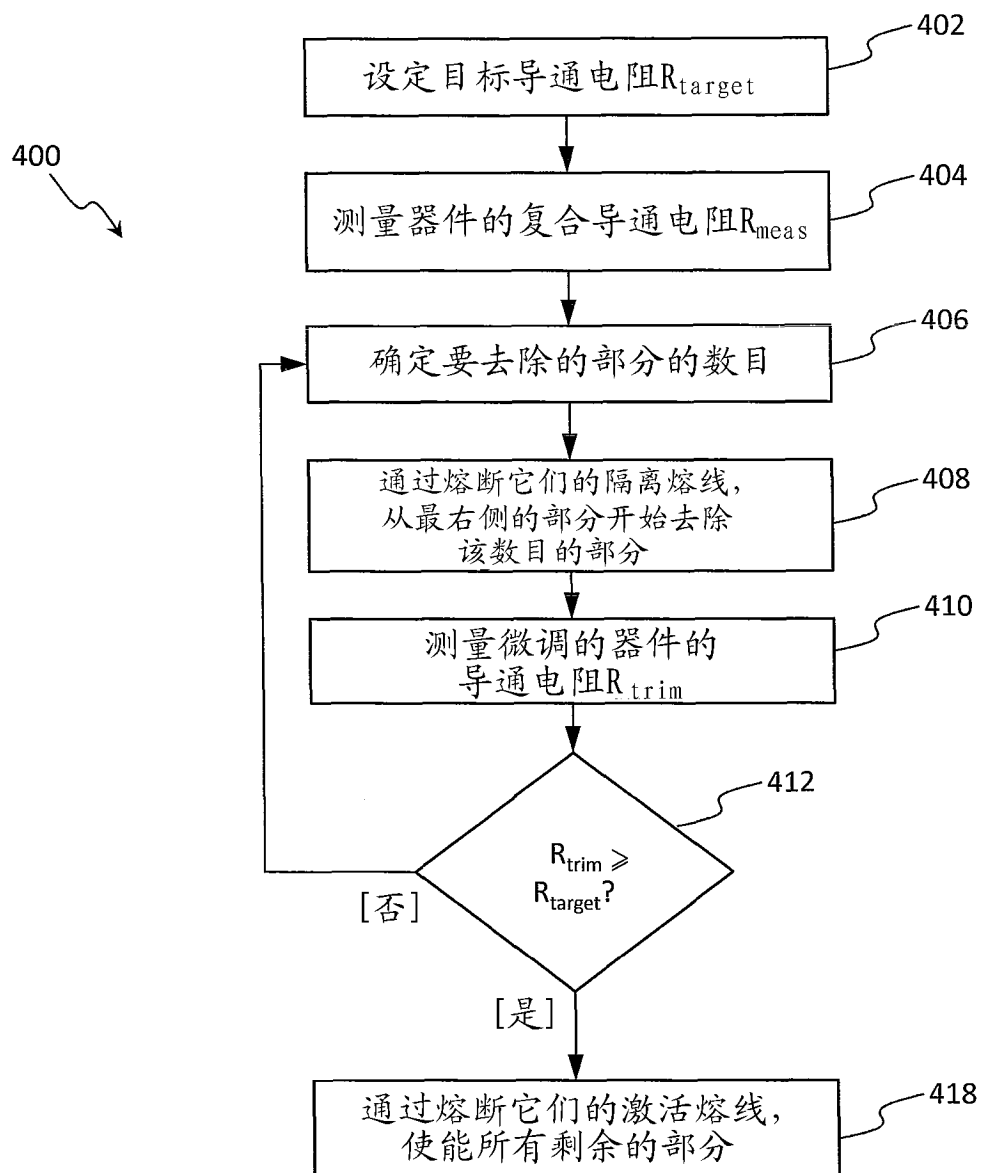


图 4

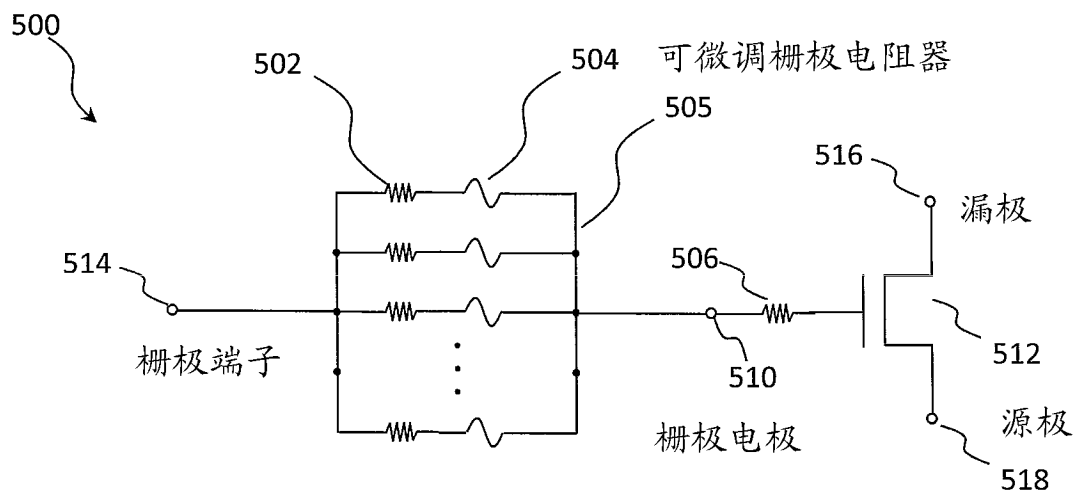


图 5A

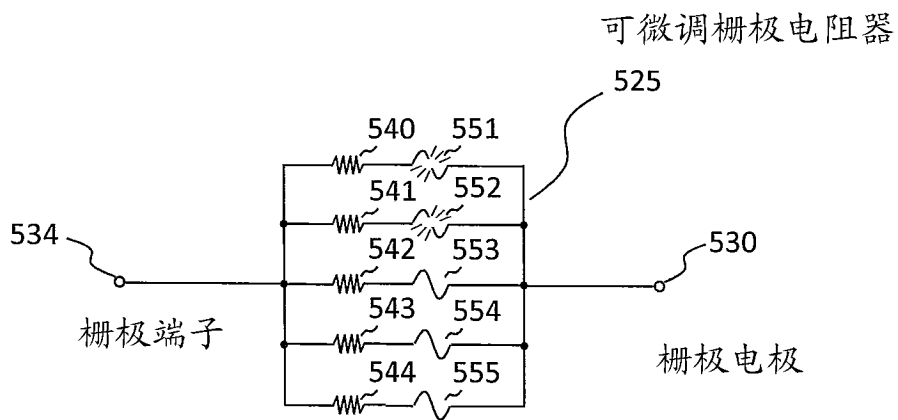


图 5B

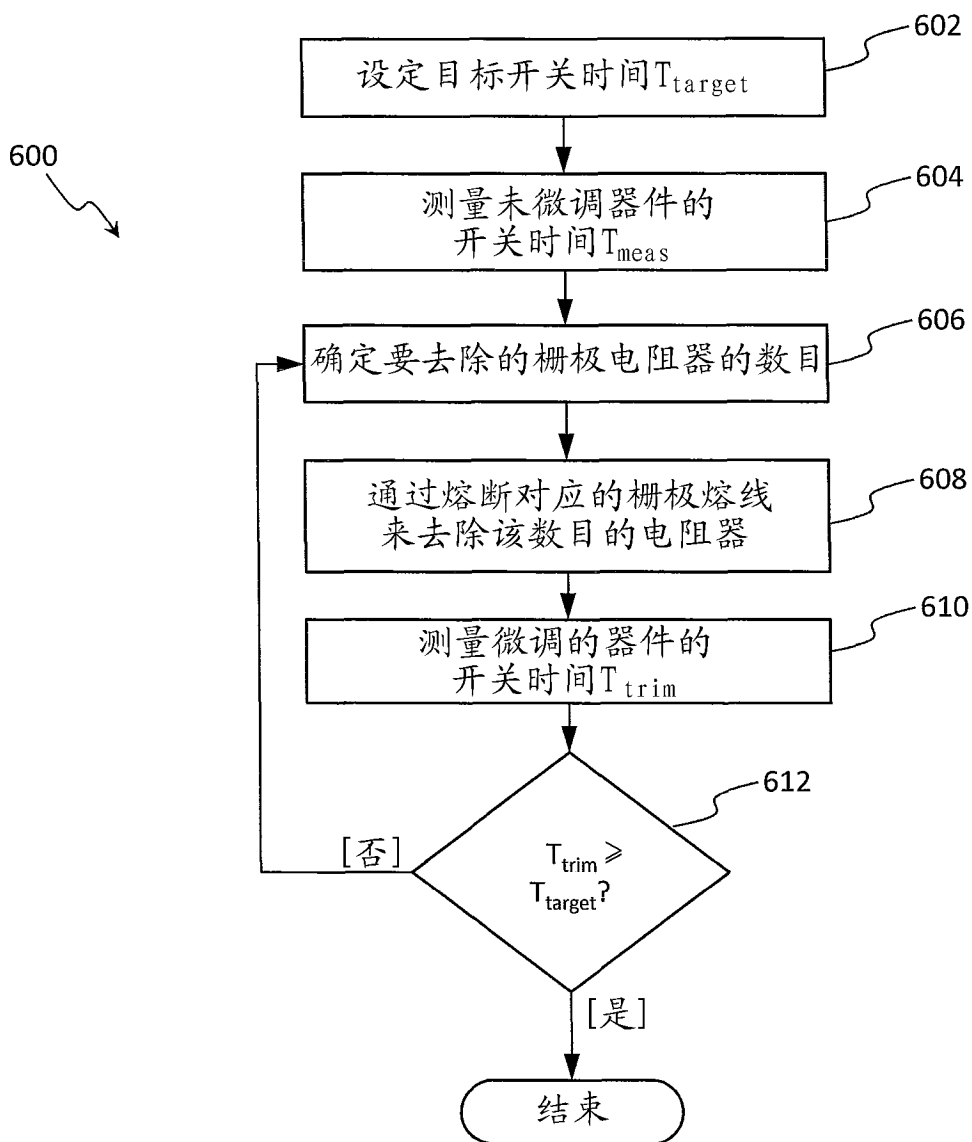


图 6

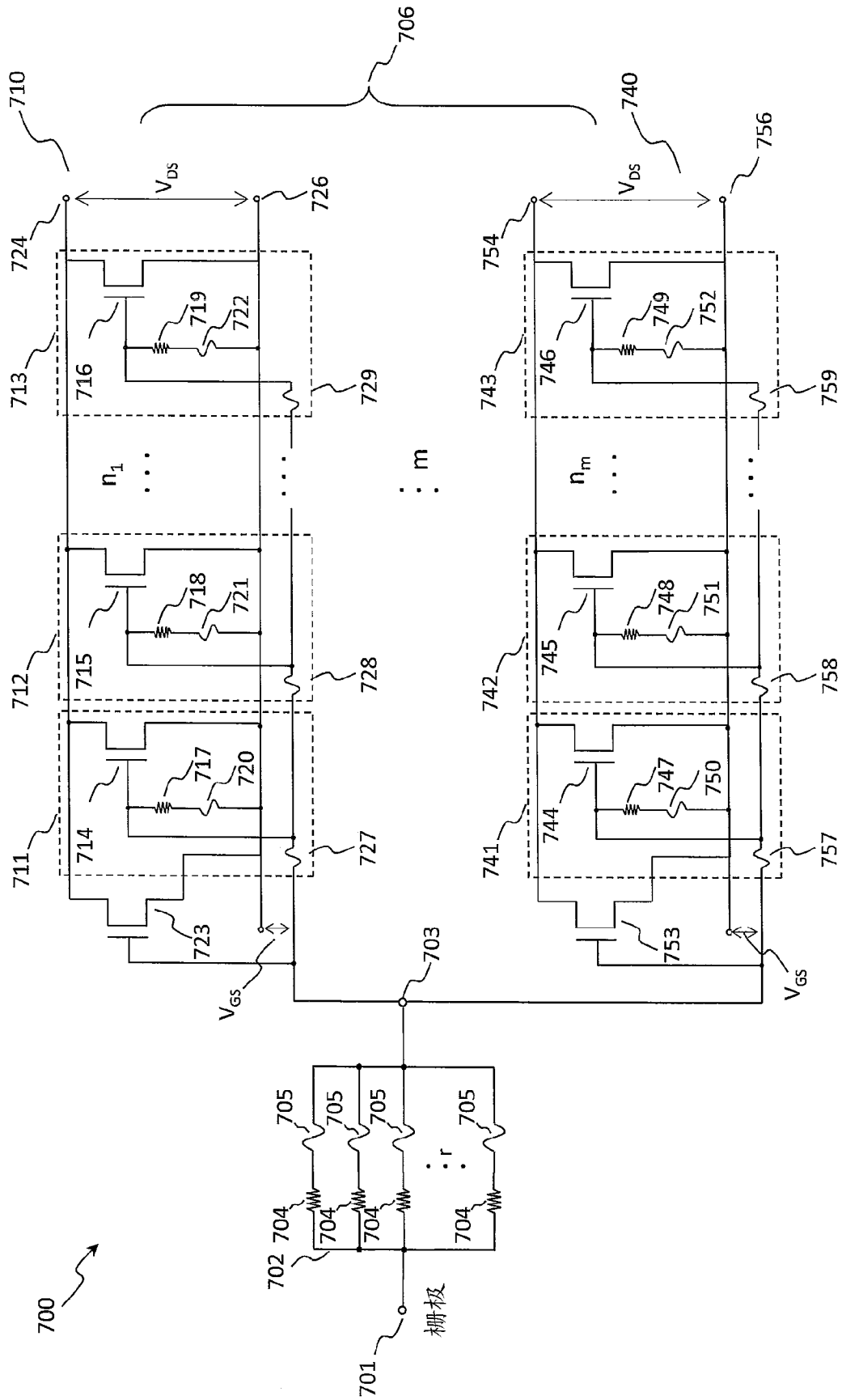


图 7

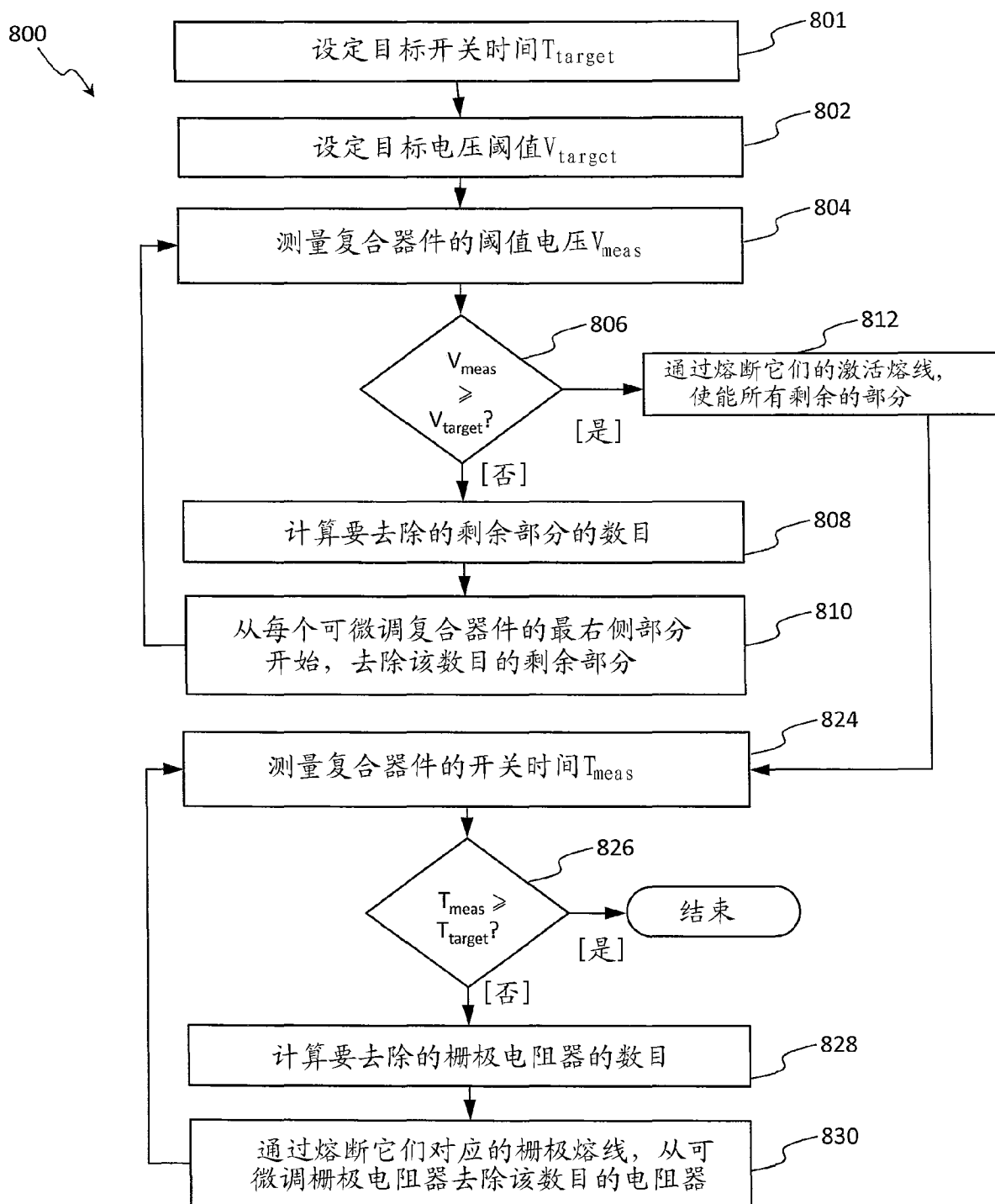


图 8

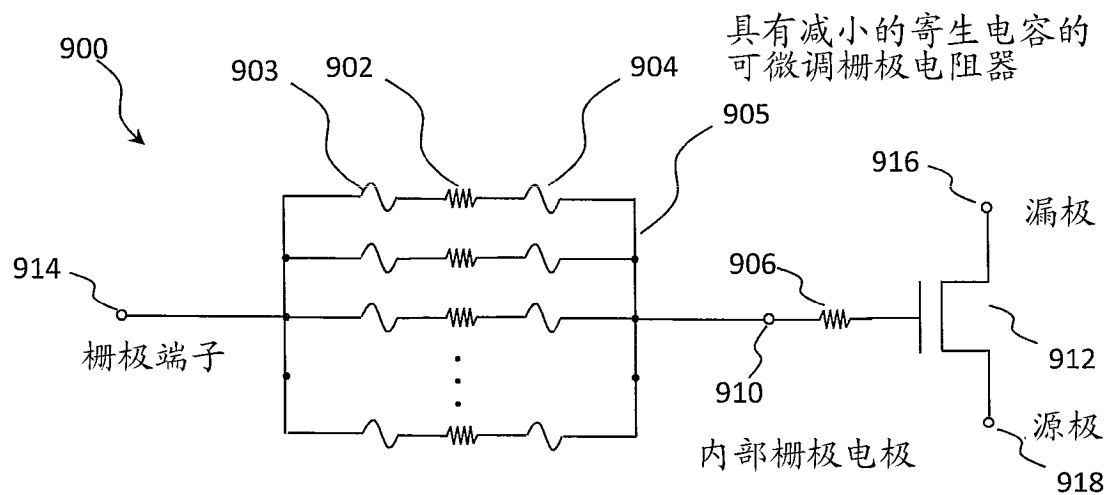


图 9A

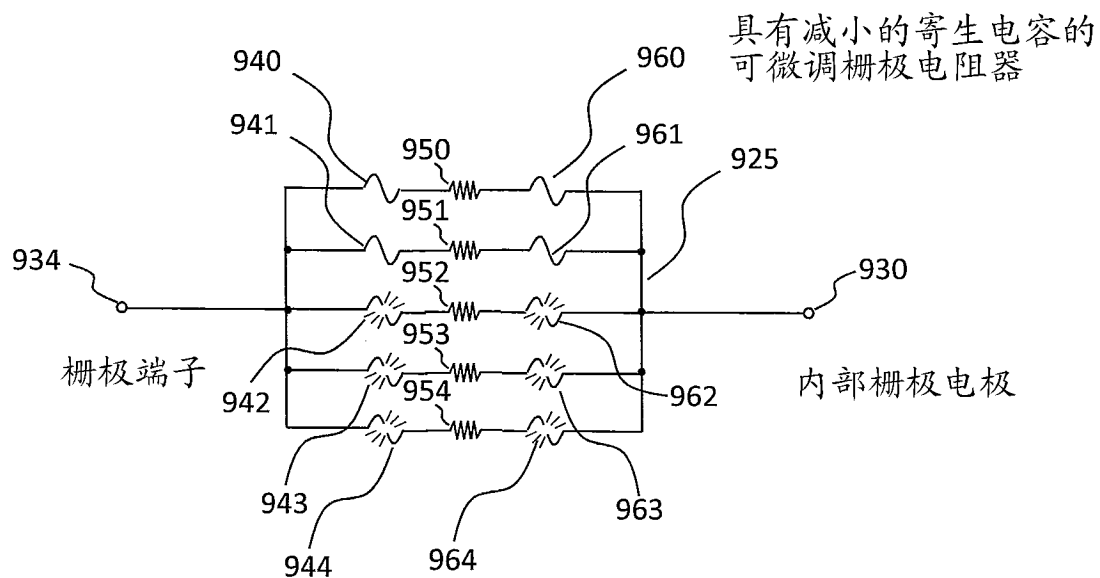


图 9B

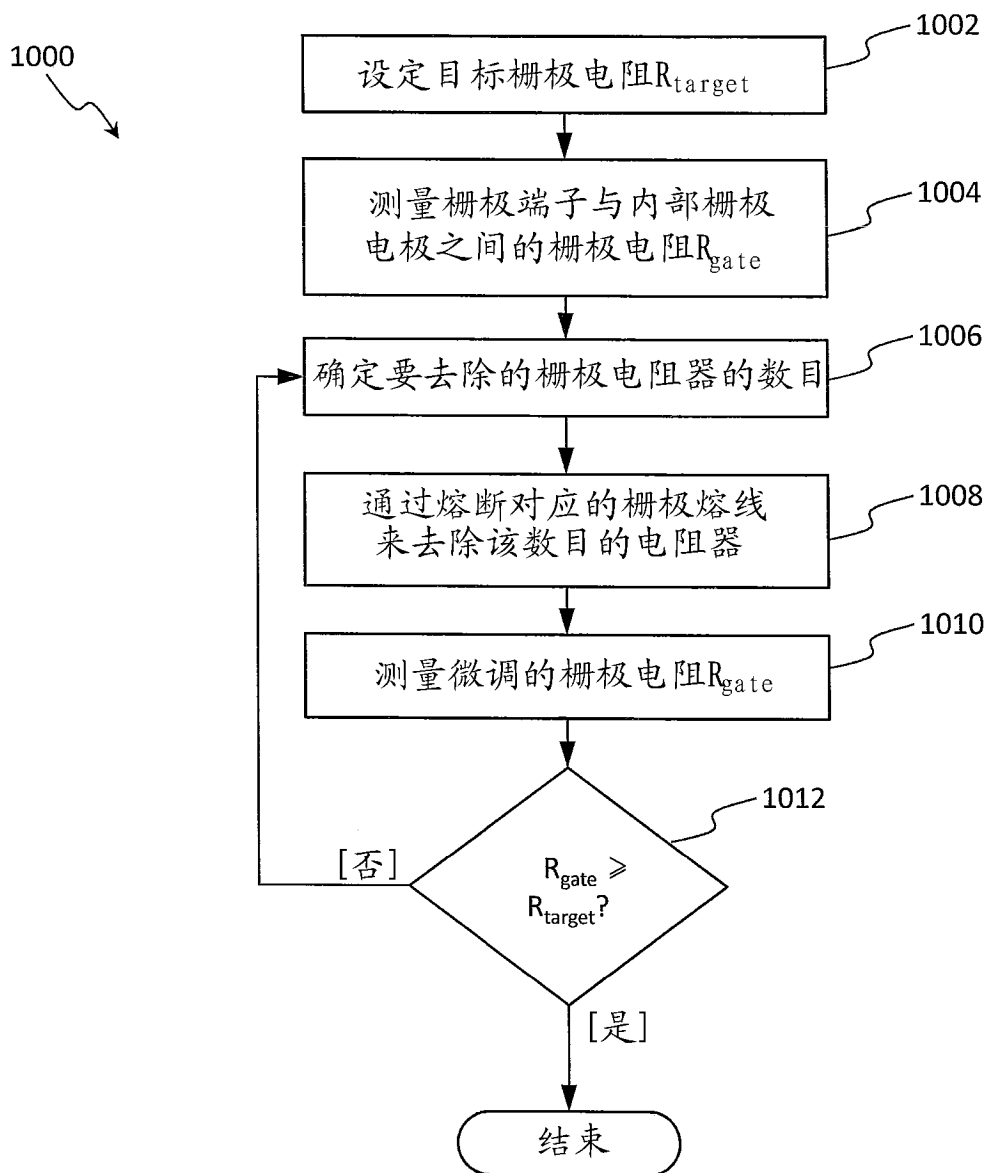


图 10

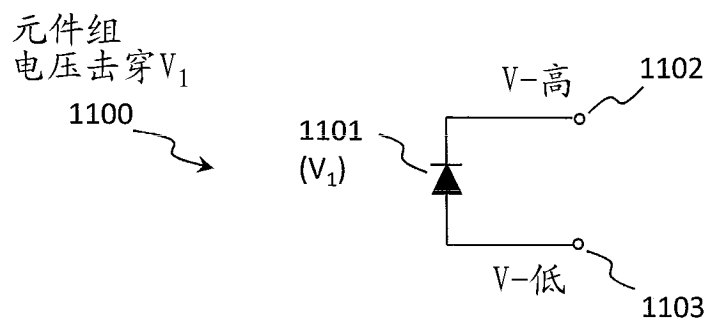


图 11A

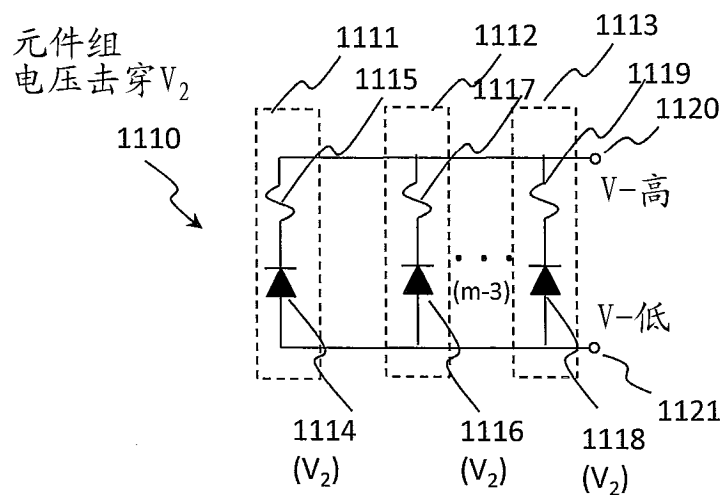


图 11B

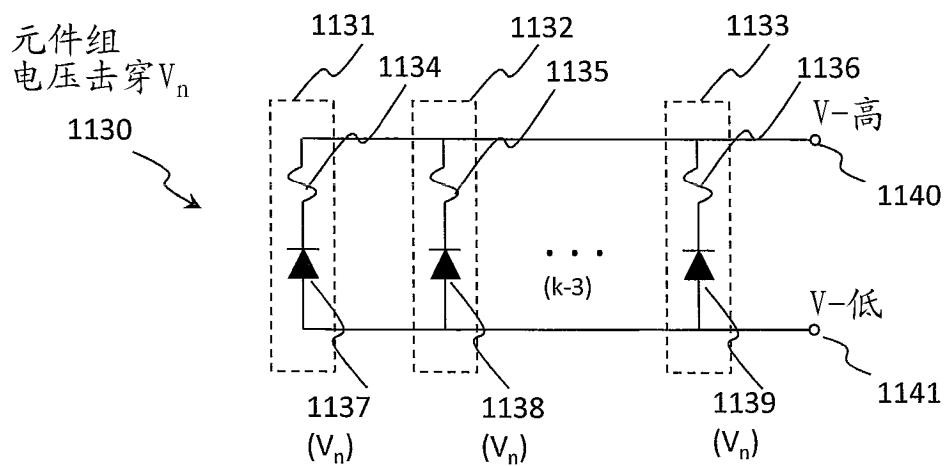


图 11C

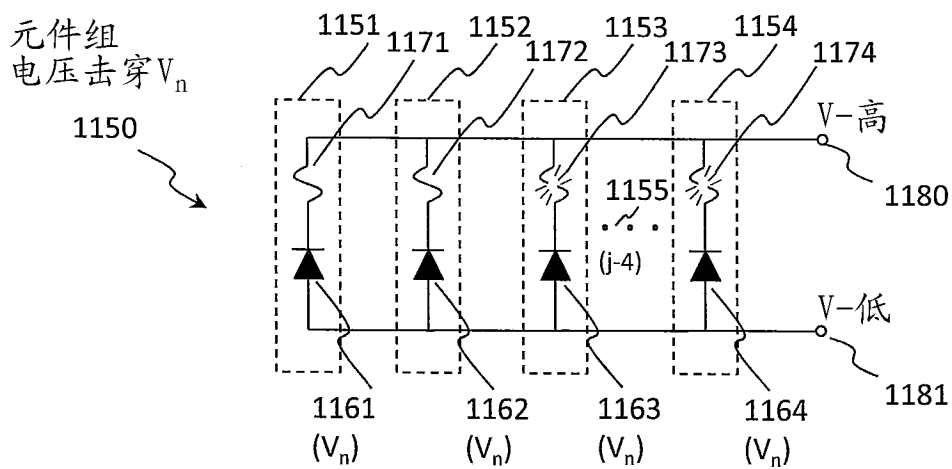


图 11D

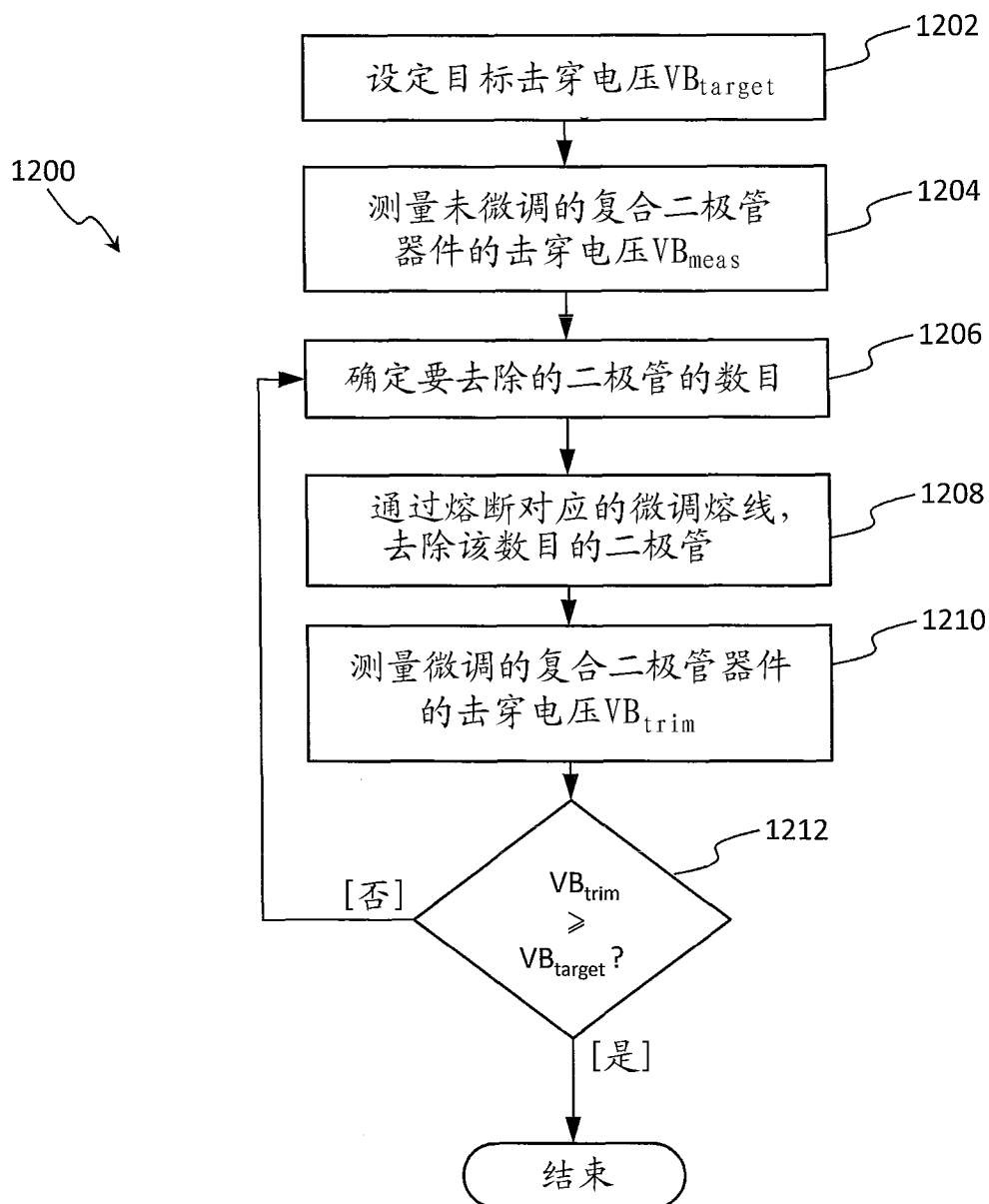


图 12