

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6196952号
(P6196952)

(45) 発行日 平成29年9月13日(2017.9.13)

(24) 登録日 平成29年8月25日(2017.8.25)

(51) Int.Cl.

F 1

G09G	3/36	(2006.01)	G09G	3/36
G09G	3/20	(2006.01)	G09G	3/20
G02F	1/133	(2006.01)	G09G	3/20
G02F	1/1368	(2006.01)	G09G	3/20

G09G 3/20

G09G 3/20

G09G 3/20

G09G 3/20

請求項の数 18 (全 31 頁) 最終頁に続く

(21) 出願番号

特願2014-181926 (P2014-181926)

(22) 出願日

平成26年9月8日(2014.9.8)

(65) 公開番号

特開2015-79242 (P2015-79242A)

(43) 公開日

平成27年4月23日(2015.4.23)

審査請求日 平成28年2月9日(2016.2.9)

(31) 優先権主張番号 特願2013-189539 (P2013-189539)

(32) 優先日 平成25年9月12日(2013.9.12)

(33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 三宅 博之

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】表示装置、表示モジュール、及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

第1の走査線と、第2の走査線と、第1のスイッチと、第2のスイッチと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、

前記第2の走査線駆動回路は、前記第2の走査線の一端から第2の選択信号を前記第2の走査線に供給する機能と、前記第2の走査線の一端から第2の非選択信号を前記第2の走査線に供給する機能と、を有し、

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のスイッチを介して供給され、

前記第2の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のスイッチを介して供給され、

前記第1のスイッチと前記第2のスイッチとの間には、画素部が位置し、

前記第1のスイッチのオンまたはオフは、前記第2の走査線駆動回路によって制御されており、

前記第2のスイッチのオンまたはオフは、前記第1の走査線駆動回路によって制御されている表示装置。

【請求項 2】

10

20

第1の走査線と、第2の走査線と、第1のスイッチと、第2のスイッチと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、

前記第2の走査線駆動回路は、前記第2の走査線の一端から第2の選択信号を前記第2の走査線に供給する機能と、前記第2の走査線の一端から第2の非選択信号を前記第2の走査線に供給する機能と、を有し、

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のスイッチを介して供給され、

10

前記第2の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のスイッチを介して供給され、

前記第1のスイッチの第1の端子は、前記第2のスイッチの第1の端子と同じ電位が与えられており、

前記第1のスイッチの第2の端子は、前記第1の走査線と電気的に接続されており、

前記第2のスイッチの第2の端子は、前記第2の走査線と電気的に接続されており、

前記第1のスイッチと前記第2のスイッチとの間には、画素部が位置し、

前記第1のスイッチのオンまたはオフは、前記第2の走査線駆動回路によって制御されており、

前記第2のスイッチのオンまたはオフは、前記第1の走査線駆動回路によって制御されている表示装置。

20

【請求項3】

第1の走査線と、第2の走査線と、第3の走査線と、第4の走査線と、第1のスイッチと、第2のスイッチと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、

前記第2の走査線駆動回路は、前記第3の走査線の一端から第2の選択信号を前記第3の走査線に供給する機能と、前記第3の走査線の一端から第2の非選択信号を前記第3の走査線に供給する機能と、を有し、

30

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のスイッチを介して供給され、

前記第3の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のスイッチを介して供給され、

前記第1のスイッチのオンまたはオフは、前記第2の走査線の電位に従って制御されており、

前記第2のスイッチのオンまたはオフは、前記第4の走査線の電位に従って制御されており、

前記第1のスイッチと前記第2のスイッチとの間には、画素部が位置し、

前記第1の走査線駆動回路は、前記第4の走査線の電位を制御する機能を有し、

40

前記第2の走査線駆動回路は、前記第2の走査線の電位を制御する機能を有する表示装置。

【請求項4】

第1の走査線と、第2の走査線と、第3の走査線と、第4の走査線と、第1のスイッチと、第2のスイッチと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、

前記第2の走査線駆動回路は、前記第3の走査線の一端から第2の選択信号を前記第3の走査線に供給する機能と、前記第3の走査線の一端から第2の非選択信号を前記第3の

50

走査線に供給する機能と、を有し、

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のスイッチを介して供給され、

前記第3の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のスイッチを介して供給され、

前記第1のスイッチのオンまたはオフは、前記第2の走査線の電位に従って制御されており、

前記第2のスイッチのオンまたはオフは、前記第4の走査線の電位に従って制御されており、

前記第1のスイッチの第1の端子は、前記第2のスイッチの第1の端子と同じ電位が与えられており、

前記第1のスイッチの第2の端子は、前記第1の走査線と電気的に接続されており、

前記第2のスイッチの第2の端子は、前記第3の走査線と電気的に接続されており、

前記第1のスイッチと前記第2のスイッチとの間には、画素部が位置し、

前記第1の走査線駆動回路は、前記第4の走査線の電位を制御する機能を有し、

前記第2の走査線駆動回路は、前記第2の走査線の電位を制御する機能を有する表示装置。

【請求項5】

第1の走査線と、第2の走査線と、第1のトランジスタと、第2のトランジスタと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、

前記第2の走査線駆動回路は、前記第2の走査線の一端から第2の選択信号を前記第2の走査線に供給する機能と、前記第2の走査線の一端から第2の非選択信号を前記第2の走査線に供給する機能と、を有し、

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のトランジスタを介して供給され、

前記第2の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のトランジスタを介して供給され、

前記第1のトランジスタと前記第2のトランジスタとの間には、画素部が位置し、

前記第1のトランジスタのオンまたはオフは、前記第2の走査線駆動回路によって制御されており、

前記第2のトランジスタのオンまたはオフは、前記第1の走査線駆動回路によって制御されている表示装置。

【請求項6】

第1の走査線と、第2の走査線と、第1のトランジスタと、第2のトランジスタと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、

前記第2の走査線駆動回路は、前記第2の走査線の一端から第2の選択信号を前記第2の走査線に供給する機能と、前記第2の走査線の一端から第2の非選択信号を前記第2の走査線に供給する機能と、を有し、

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のトランジスタを介して供給され、

前記第2の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のトランジスタを介して供給され、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と同じ電位が与えられており、

10

20

30

40

50

前記第1のトランジスタのソース又はドレインの他方は、前記第1の走査線と電気的に接続されており、

前記第2のトランジスタのソース又はドレインの他方は、前記第2の走査線と電気的に接続されており、

前記第1のトランジスタと前記第2のトランジスタとの間には、画素部が位置し、

前記第1のトランジスタのオンまたはオフは、前記第2の走査線駆動回路によって制御されており、

前記第2のトランジスタのオンまたはオフは、前記第1の走査線駆動回路によって制御されている表示装置。

【請求項7】

10

第1の走査線と、第2の走査線と、第3の走査線と、第4の走査線と、第1のトランジスタと、第2のトランジスタと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、

前記第2の走査線駆動回路は、前記第3の走査線の一端から第2の選択信号を前記第3の走査線に供給する機能と、前記第3の走査線の一端から第2の非選択信号を前記第3の走査線に供給する機能と、を有し、

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のトランジスタを介して供給され、

20

前記第3の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のトランジスタを介して供給され、

前記第1のトランジスタのゲートは、前記第2の走査線と電気的に接続されており、
前記第2のトランジスタのゲートは、前記第4の走査線と電気的に接続されており、
前記第1のトランジスタと前記第2のトランジスタとの間には、画素部が位置し、
前記第1の走査線駆動回路は、前記第4の走査線の電位を制御する機能を有し、
前記第2の走査線駆動回路は、前記第2の走査線の電位を制御する機能を有する表示装置。

【請求項8】

30

第1の走査線と、第2の走査線と、第3の走査線と、第4の走査線と、第1のトランジスタと、第2のトランジスタと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、

前記第2の走査線駆動回路は、前記第3の走査線の一端から第2の選択信号を前記第3の走査線に供給する機能と、前記第3の走査線の一端から第2の非選択信号を前記第3の走査線に供給する機能と、を有し、

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のトランジスタを介して供給され、

40

前記第3の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のトランジスタを介して供給され、

前記第1のトランジスタのゲートは、前記第2の走査線と電気的に接続されており、
前記第2のトランジスタのゲートは、前記第4の走査線と電気的に接続されており、
前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と同じ電位が与えられており、

前記第1のトランジスタのソース又はドレインの他方は、前記第1の走査線と電気的に接続されており、

前記第2のトランジスタのソース又はドレインの他方は、前記第3の走査線と電気的に

50

接続されており、

前記第1のトランジスタと前記第2のトランジスタとの間には、画素部が位置し、

前記第1の走査線駆動回路は、前記第4の走査線の電位を制御する機能を有し、

前記第2の走査線駆動回路は、前記第2の走査線の電位を制御する機能を有する表示装置。

【請求項9】

第1の走査線と、第2の走査線と、第1のトランジスタと、第2のトランジスタと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、10

前記第2の走査線駆動回路は、前記第2の走査線の一端から第2の選択信号を前記第2の走査線に供給する機能と、前記第2の走査線の一端から第2の非選択信号を前記第2の走査線に供給する機能と、を有し、

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のトランジスタを介して供給され、

前記第2の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のトランジスタを介して供給され、

前記第1のトランジスタと前記第2のトランジスタとの間には、画素部が位置し、

前記第1のトランジスタのゲートは、前記第2の走査線駆動回路に電気的に接続されており、20

前記第2のトランジスタのゲートは、前記第1の走査線駆動回路に電気的に接続されており、

前記第1のトランジスタ及び前記第2のトランジスタは、チャネル形成領域に酸化物半導体を有する表示装置。

【請求項10】

第1の走査線と、第2の走査線と、第1のトランジスタと、第2のトランジスタと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、30

前記第2の走査線駆動回路は、前記第2の走査線の一端から第2の選択信号を前記第2の走査線に供給する機能と、前記第2の走査線の一端から第2の非選択信号を前記第2の走査線に供給する機能と、を有し、

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のトランジスタを介して供給され、

前記第2の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のトランジスタを介して供給され、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と同じ電位が与えられており、40

前記第1のトランジスタのソース又はドレインの他方は、前記第1の走査線と電気的に接続されており、

前記第2のトランジスタのソース又はドレインの他方は、前記第2の走査線と電気的に接続されており、

前記第1のトランジスタと前記第2のトランジスタとの間には、画素部が位置し、

前記第1のトランジスタのゲートは、前記第2の走査線駆動回路に電気的に接続されており、

前記第2のトランジスタのゲートは、前記第1の走査線駆動回路に電気的に接続されており、

前記第1のトランジスタ及び前記第2のトランジスタは、チャネル形成領域に酸化物半

導体を有する表示装置。

【請求項 1 1】

第1の走査線と、第2の走査線と、第3の走査線と、第4の走査線と、第1のトランジスタと、第2のトランジスタと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、

前記第2の走査線駆動回路は、前記第3の走査線の一端から第2の選択信号を前記第3の走査線に供給する機能と、前記第3の走査線の一端から第2の非選択信号を前記第3の走査線に供給する機能と、を有し、10

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のトランジスタを介して供給され、

前記第3の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のトランジスタを介して供給され、

前記第1のトランジスタのゲートは、前記第2の走査線と電気的に接続されており、

前記第2のトランジスタのゲートは、前記第4の走査線と電気的に接続されており、

前記第1のトランジスタと前記第2のトランジスタとの間には、画素部が位置し、

前記第1の走査線駆動回路は、前記第4の走査線の電位を制御する機能を有し、

前記第2の走査線駆動回路は、前記第2の走査線の電位を制御する機能を有し、20

前記第1のトランジスタ及び前記第2のトランジスタは、チャネル形成領域に酸化物半導体を有する表示装置。

【請求項 1 2】

第1の走査線と、第2の走査線と、第3の走査線と、第4の走査線と、第1のトランジスタと、第2のトランジスタと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、

前記第2の走査線駆動回路は、前記第3の走査線の一端から第2の選択信号を前記第3の走査線に供給する機能と、前記第3の走査線の一端から第2の非選択信号を前記第3の走査線に供給する機能と、を有し、30

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のトランジスタを介して供給され、

前記第3の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のトランジスタを介して供給され、

前記第1のトランジスタのゲートは、前記第2の走査線と電気的に接続されており、

前記第2のトランジスタのゲートは、前記第4の走査線と電気的に接続されており、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と同じ電位が与えられており、40

前記第1のトランジスタのソース又はドレインの他方は、前記第1の走査線と電気的に接続されており、

前記第2のトランジスタのソース又はドレインの他方は、前記第3の走査線と電気的に接続されており、

前記第1のトランジスタと前記第2のトランジスタとの間には、画素部が位置し、

前記第1の走査線駆動回路は、前記第4の走査線の電位を制御する機能を有し、

前記第2の走査線駆動回路は、前記第2の走査線の電位を制御する機能を有し、

前記第1のトランジスタ及び前記第2のトランジスタは、チャネル形成領域に酸化物半導体を有する表示装置。

【請求項 1 3】

第1の走査線と、第2の走査線と、第1のトランジスタと、第2のトランジスタと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、

前記第2の走査線駆動回路は、前記第2の走査線の一端から第2の選択信号を前記第2の走査線に供給する機能と、前記第2の走査線の一端から第2の非選択信号を前記第2の走査線に供給する機能と、を有し、

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のトランジスタを介して供給され、

10

前記第2の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のトランジスタを介して供給され、

前記第1のトランジスタと前記第2のトランジスタとの間には、画素部が位置し、

前記第1のトランジスタのゲートは、前記第2の走査線駆動回路に電気的に接続されており、

前記第2のトランジスタのゲートは、前記第1の走査線駆動回路に電気的に接続されており、

前記第1のトランジスタ及び前記第2のトランジスタは、チャネル形成領域にシリコンを有する表示装置。

【請求項14】

20

第1の走査線と、第2の走査線と、第1のトランジスタと、第2のトランジスタと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、

前記第2の走査線駆動回路は、前記第2の走査線の一端から第2の選択信号を前記第2の走査線に供給する機能と、前記第2の走査線の一端から第2の非選択信号を前記第2の走査線に供給する機能と、を有し、

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のトランジスタを介して供給され、

30

前記第2の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のトランジスタを介して供給され、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と同じ電位が与えられており、

前記第1のトランジスタのソース又はドレインの他方は、前記第1の走査線と電気的に接続されており、

前記第2のトランジスタのソース又はドレインの他方は、前記第2の走査線と電気的に接続されており、

前記第1のトランジスタと前記第2のトランジスタとの間には、画素部が位置し、

前記第1のトランジスタのゲートは、前記第2の走査線駆動回路に電気的に接続されており、

40

前記第2のトランジスタのゲートは、前記第1の走査線駆動回路に電気的に接続されており、

前記第1のトランジスタ及び前記第2のトランジスタは、チャネル形成領域にシリコンを有する表示装置。

【請求項15】

第1の走査線と、第2の走査線と、第3の走査線と、第4の走査線と、第1のトランジスタと、第2のトランジスタと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1

50

の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、

前記第2の走査線駆動回路は、前記第3の走査線の一端から第2の選択信号を前記第3の走査線に供給する機能と、前記第3の走査線の一端から第2の非選択信号を前記第3の走査線に供給する機能と、を有し、

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のトランジスタを介して供給され、

前記第3の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のトランジスタを介して供給され、

前記第1のトランジスタのゲートは、前記第2の走査線と電気的に接続されており、

10

前記第2のトランジスタのゲートは、前記第4の走査線と電気的に接続されており、

前記第1のトランジスタと前記第2のトランジスタとの間には、画素部が位置し、

前記第1の走査線駆動回路は、前記第4の走査線の電位を制御する機能を有し、

前記第2の走査線駆動回路は、前記第2の走査線の電位を制御する機能を有し、

前記第1のトランジスタ及び前記第2のトランジスタは、チャネル形成領域にシリコンを有する表示装置。

【請求項16】

第1の走査線と、第2の走査線と、第3の走査線と、第4の走査線と、第1のトランジスタと、第2のトランジスタと、第1の走査線駆動回路と、第2の走査線駆動回路と、を有し、

20

前記第1の走査線駆動回路は、前記第1の走査線の一端から第1の選択信号を前記第1の走査線に供給する機能と、前記第1の走査線の一端から第1の非選択信号を前記第1の走査線に供給する機能と、を有し、

前記第2の走査線駆動回路は、前記第3の走査線の一端から第2の選択信号を前記第3の走査線に供給する機能と、前記第3の走査線の一端から第2の非選択信号を前記第3の走査線に供給する機能と、を有し、

前記第1の走査線の他端には、前記第1の選択信号と前記第1の非選択信号のうち前記第1の非選択信号のみが前記第1のトランジスタを介して供給され、

前記第3の走査線の他端には、前記第2の選択信号と前記第2の非選択信号のうち前記第2の非選択信号のみが前記第2のトランジスタを介して供給され、

30

前記第1のトランジスタのゲートは、前記第2の走査線と電気的に接続されており、

前記第2のトランジスタのゲートは、前記第4の走査線と電気的に接続されており、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と同じ電位が与えられており、

前記第1のトランジスタのソース又はドレインの他方は、前記第1の走査線と電気的に接続されており、

前記第2のトランジスタのソース又はドレインの他方は、前記第3の走査線と電気的に接続されており、

前記第1のトランジスタと前記第2のトランジスタとの間には、画素部が位置し、

前記第1の走査線駆動回路は、前記第4の走査線の電位を制御する機能を有し、

40

前記第2の走査線駆動回路は、前記第2の走査線の電位を制御する機能を有し、

前記第1のトランジスタ及び前記第2のトランジスタは、チャネル形成領域にシリコンを有する表示装置。

【請求項17】

請求項1乃至請求項16のいずれか一に記載の表示装置と、FPCと、を有する表示モジュール。

【請求項18】

請求項17に記載の表示モジュールと、筐体、操作ボタン、スピーカ、またはマイクと、を有する電子機器。

【発明の詳細な説明】

50

【技術分野】**【0001】**

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、それらの駆動方法、または、それらの製造方法に関する。特に、本発明の一態様は、アクティブマトリクス型の表示装置に関する。

【背景技術】**【0002】**

アクティブマトリクス型の表示装置では、マトリクス状に複数の画素が配設されている。
10 そして、画素毎に画像信号に応じた特定の色を表示することで、表示装置全体として所
望の画像を表示している。

【0003】

各画素には、当該画像信号の書き換えを行うためにトランジスタが設けられている。そ
して、当該トランジスタのゲートは走査線に接続され、当該走査線の電位を制御するこ
とで当該トランジスタのスイッチングが制御されている。なお、当該走査線は、マトリクス
状に配設されている複数の画素のうち特定の一行に配設されている複数の画素の各々に含
まれるトランジスタのゲートに接続されている。すなわち、アクティブマトリクス型の表
示装置においては、特定の一行毎に画像信号の書き換えが行われている。

【0004】

アクティブマトリクス型の表示装置においては、マトリクス状に配設されている複数の
画素の行数と同じ数の走査線が設けられている。そして、それらの走査線の電位を制御す
る走査線駆動回路が設けられている。当該走査線駆動回路は、マトリクス状に配設されて
いる複数の画素の一辺側にまとめて設けることも可能であるが、両側に分割して設ける（
第1の走査線駆動回路と第2の走査線駆動回路を設ける）ことも可能である（特許文献1
及び特許文献2参照）。

【先行技術文献】**【特許文献】****【0005】****【特許文献1】米国特許番号第8462098号明細書**

30

【特許文献2】米国特許公開公報2012/0062528**【発明の概要】****【発明が解決しようとする課題】****【0006】**

走査線では配線抵抗及び寄生容量の影響が顕在化しやすい。具体的には、走査線は、特
定の一行に配設されている複数の画素に沿って延在する。そのため、必然的に走査線の全
長が長くなり、配線抵抗が大きくなりやすい。また、走査線は、複数の信号線（各画素に
対する画像信号の入力経路となる配線）と交差し、且つ複数のトランジスタのゲートと接
続されている。そのため、走査線には、信号線との交差箇所に生じる寄生容量や、走査線
と接続されたトランジスタのゲート容量が付加され、寄生容量が大きくなりやすい。加え
て、表示装置の大型化及び画素数の増加を図った場合にはこれらの影響がさらに大きくなる。
40 なぜなら、表示装置の大型化に伴って走査線の全長がさらに長くなり、また、表示装置の画素数の増加に伴って走査線と交差する信号線数及び接続されるトランジスタ数が増
加するからである。

【0007】

ここで、配線抵抗及び寄生容量が大きくなると表示装置に不具合を生じることがある。
具体的には、走査線に信号が入力された場合には、まず、信号の入力箇所の電位が変化し
、その後に入力箇所から離れた箇所の電位が変化することになる。すなわち、走査線にお
いては場所によって電位が変化するタイミングが異なる。そして、当該タイミングのずれ
は、配線抵抗及び寄生容量に比例して大きくなる。そのため、走査線の配線抵抗及び寄生
50

容量が大きくなると、当該走査線にゲートが接続されている複数のトランジスタのスイッチングのタイミングのずれが大きくなる。その結果、表示装置に不具合を生じることがある。

【0008】

なお、トランジスタのスイッチングのタイミングがずれるという表現には、2つの場合が含まれる。具体的には、当該トランジスタがオフ状態からオン状態になるタイミングがずれる場合と、オン状態からオフ状態になるタイミングがずれる場合との2つである。そして、アクティブマトリクス型の表示装置においては特に後者の場合に不具合が生じやすい。なぜなら、トランジスタがオン状態からオフ状態になるタイミングがずれると、所望の画像信号とは異なる画像信号が画素に入力されてしまう蓋然性が高くなるからである。

10

【0009】

以上の点に鑑み、本発明の一態様は、走査線の各箇所における電位変化のタイミングのずれを抑制することを目的の一とする。また、本発明の一態様は、走査線にゲートが接続されている複数のトランジスタのスイッチングのずれを抑制することを目的の一とする。また、本発明の一態様は、表示装置において生じる不具合を抑制することを目的の一とする。また、本発明の一態様は、新規な表示装置を提供することを目的の一とする。なお、本発明の一態様は、これらの課題の少なくとも一を解決することを目的とする。また、これらの課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

20

【課題を解決するための手段】

【0010】

本発明の一態様は、走査線に入力される信号が選択信号から非選択信号に切り替わる際に、当該走査線の一端のみならず両端から非選択信号を入力することを要旨とする。なお、本明細書において、選択信号とは走査線にゲートが接続されているトランジスタをオン状態とするための信号をいい、非選択信号とはオフ状態とするための信号をいうこととする。

【0011】

例えば、本発明の一態様は、一端から選択信号又は非選択信号が入力される走査線と、ゲートにクロック信号が入力され、ソースに非選択信号が入力されるトランジスタと、を有し、走査線の他端とトランジスタのドレインは電気的に接続され、一端から走査線に入力される信号が選択信号から非選択信号に切り替わるタイミングが、トランジスタがオフ状態からオン状態となるタイミングと、同一又は略同一である表示装置である。

30

【発明の効果】

【0012】

本発明の一態様の表示装置においては、走査線の一端のみならず両端から非選択信号が入力される。そのため、当該走査線の各箇所における電位変化のタイミングのずれを抑制することが可能となる。そして、当該走査線にゲートが接続されている複数のトランジスタのスイッチングのタイミングがずれることを抑制することが可能となる。その結果、表示装置において生じる不具合を抑制することが可能となる。

40

【図面の簡単な説明】

【0013】

【図1】(A)、(B)、(D)表示装置の構成例を示す図、(C)、(E)信号の波形を示す図。

【図2】(A)表示装置の構成例を示す図、(B)信号の波形を示す図。

【図3】表示装置の構成例を示す図。

【図4】(A)表示装置の具体例を示す図、(B)画素の構成例を示す図。

【図5】走査線駆動回路の構成例を示す図。

【図6】(A)クロック信号の波形を示す図、(B)パルス出力回路を示す図。

【図7】(A)パルス出力回路の構成例を示す図、(B)、(C)信号の波形及びノード

50

の電位の変化を示す図。

【図8】(A)走査線駆動回路の構成例を示す図、(B)信号の波形を示す図。

【図9】走査線駆動回路の構成例を示す図。

【図10】表示モジュールの一例を示す図。

【図11】(A)携帯電話機の一例を示す図、(B)バングル型の表示装置の一例を示す図。

【図12】(A)、(B)携帯用製品の一例を示す図。

【発明を実施するための形態】

【0014】

以下では、本発明の一態様について詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態を々々に変更し得る。したがって、本発明は以下に示す記載内容に限定して解釈されるものではない。10

【0015】

また、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電気的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

【0016】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。20

【0017】

XとYとが直接的に接続されている場合の一例としては、XとYとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。30

【0018】

XとYとが電気的に接続されている場合の一例としては、XとYとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電気的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

【0019】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、增幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動增幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電気的に接続されている場合とを含むものとする。4050

【 0 0 2 0 】

なお、XとYとが電気的に接続されている、と明示的に記載されている場合は、XとYとが電気的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等に開示されているものとする。つまり、電気的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に開示されているものとする。

【 0 0 2 1 】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電気的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電気的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

【 0 0 2 2 】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電気的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電気的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電気的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電気的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電気的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電気的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

【 0 0 2 3 】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電気的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を介して、Yと電気的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を経由し、Z1を介して、Xと電気的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を経由し、Z2を介して、Yと電気的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の電気的バスを経由し、Z1を介して、Xと電気的に接続され、前記第1の電気的バスは、第2の電気的バスを有しておらず、前記第2の電気的バスは、トランジスタのソース（又は第1の端子など）からトランジスタのドレイン（又は第2の端子など）への

10

20

30

40

50

電気的バスであり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の電気的バスを経由し、Z2を介して、Yと電気的に接続され、前記第3の電気的バスは、前記第4の電気的バスを有しておらず、前記第4の電気的バスは、トランジスタのドレイン（又は第2の端子など）からトランジスタのソース（又は第1の端子など）への電気的バスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

【0024】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0025】

なお、回路図上は独立している構成要素同士が電気的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0026】

<1. 表示装置の構成例>

本発明の一態様の表示装置について、図1(A)を参照して説明する。図1(A)は、当該表示装置の一部を示す図である。図1(A)では、一端に選択信号(Sel)又は非選択信号(n-Sel)が入力される走査線10と、ゲートにクロック信号(CK)が入力され、ソースに非選択信号(n-Sel)が入力されるトランジスタ11とを示している。また、走査線10の他端はトランジスタ11のドレインと接続されている。そして、図1(A)に示す走査線10では、一端から入力される信号が選択信号(Sel)から非選択信号(n-Sel)に切り替わるタイミングが、トランジスタ11がオフ状態からオン状態となるタイミングと同一又は略同一となるように信号の入力が行われる。なお、図1(A)においては、トランジスタ11としてNチャネル型トランジスタを図示しているがトランジスタ11をPチャネル型トランジスタに置換してもよい。

【0027】

実際の表示装置においては、走査線10は特定の一行に配設されている複数の画素の各々に含まれるトランジスタのゲートと接続されている。図1(B)では、図1(A)に示す構成に画素12_1、12_2及び画素12_1、12_2が有するトランジスタ13_1、13_2（以下、画素トランジスタともいう）を追加して図示している。そして、図1(B)に示すようにトランジスタ13_1、13_2がNチャネル型トランジスタである場合、高電源電位(VDD)が選択信号となり、低電源電位(VSS)が非選択信号となる。図1(C)は、図1(B)に示す信号の波形の一例を示す図である。図1(C)に示すように、図1(B)に示す走査線10では、一端から入力される信号が高電源電位(VDD)から低電源電位(VSS)に切り替わるタイミング(TA)が、クロック信号(CK)が低電源電位(VSS)から高電源電位(VDD)に切り替わるタイミングと一致するように信号が入力される。なお、図1(C)では、クロック信号(CK)として、高電源電位(VDD)と低電源電位(VSS)を繰り返すデューティ比が1/2の信号を図示しているが、高電源電位(VDD)及び低電源電位(VSS)の少なくとも一方を他の電位に置換してもよく、また、1/2以外のデューティ比をとる信号を適用してもよい。

【0028】

また、図1(C)に示すように走査線10に高電源電位(VDD)が供給されている期間においては、トランジスタ11がオフ状態を維持することが好ましい。すなわち、当該

10

20

30

40

50

期間において、クロック信号（CK）が低電源電位（VSS）を維持することが好ましい。これにより、走査線10の一端から他端に無駄な電流が流れることを抑制し、表示装置の動作不良及び消費電力の増加を抑制することができるからである。

【0029】

図1(D)は、図1(B)に示すトランジスタ11、13_1、13_2をPチャネル型トランジスタ14、15_1、15_2に置換した構成を示す図である。この場合、高電源電位（VDD）が非選択信号となり、低電源電位（VSS）が選択信号となる。図1(E)は、図1(D)に示す信号の波形の一例を示す図である。図1(E)に示すように、図1(D)に示す走査線10では、一端から入力される信号が低電源電位（VSS）から高電源電位（VDD）に切り替わるタイミング（TB）が、クロック信号（CK）が高電源電位（VDD）から低電源電位（VSS）に切り替わるタイミングと一致するように信号が入力される。
10

【0030】

なお、図1(B)に示すように、ドレインが走査線10の他端と接続されたトランジスタ11と、ゲートが走査線10と接続されたトランジスタ13_1、13_2とは同じ極性のトランジスタであることが好ましい。また、図1(D)に示すように、ドレインが走査線10の他端と接続されたトランジスタ14と、ゲートが走査線10と接続されたトランジスタ15_1、15_2とは同じ極性のトランジスタであることが好ましい。具体的には、両者が異なる極性のトランジスタである場合と比較して製造プロセス数を低減することが可能となる点で好ましい。また、両者が異なる極性のトランジスタであってクロック信号（CK）が選択信号に対応する電位及び非選択信号に対応する電位によって構成される場合、非選択信号が入力される端子がトランジスタ11、14のソースではなくドレインとなる。この場合、ゲートが走査線10に接続されたトランジスタのゲートには、非選択信号に対応する電位ではなく、非選択信号に対応する電位からトランジスタ11、14のしきい値電圧分変動した電位が入力されることになる。
20

【0031】

図2(A)は、本発明の一態様の表示装置の一部を示す図である。図2(A)では、紙面の左側から信号（A1）が入力される走査線101と、紙面の右側から信号（A2）が入力される走査線102と、ゲートにクロック信号（CK2）が入力され、ソースに低電源電位（VSS）が入力されるトランジスタ111と、ゲートにクロック信号（CK1）が入力され、ソースに低電源電位（VSS）が入力されるトランジスタ112とを示している。また、走査線101の紙面の右側の端はトランジスタ111のドレインと接続され、走査線102の紙面の左側の端はトランジスタ112のドレインと接続されている。また、図2(A)では、画素121_1、121_2、122_1、122_2及びトランジスタ131_1、131_2、132_1、132_2も図示している。なお、トランジスタ111、112、131_1、131_2、132_1、132_2はNチャネル型トランジスタである。
30

【0032】

図2(B)は、図2(A)に示す信号の波形を示す図である。図2(B)に示すように、図2(A)に示す走査線101、102では、入力される信号が高電源電位（VDD）から低電源電位（VSS）に切り替わるタイミング（TA1、TA2）が、クロック信号（CK1、CK2）が低電源電位（VSS）から高電源電位（VDD）に切り替わるタイミングと一致するように信号が入力される。なお、クロック信号（CK1、CK2）のデューティ比等は適宜変更することが可能である。
40

【0033】

図2(A)に示すような構成の場合、クロック信号（CK1、CK2）の入力経路となる配線を表示領域の一辺側にまとめて設けるのではなく対向する両側に分割して設けることが可能となる。そのため、表示領域が中央部に存在する表示装置の額縁の幅を狭く（狭額縁化）することが可能である。

【0034】

なお、図2(A)、(B)では、表示装置に含まれるトランジスタがNチャネル型トランジスタである場合について示したが、当該トランジスタとしてPチャネル型トランジスタを適用してもよい。

【0035】

図3では、図2(A)に示す構成に、紙面の左側に設けられるシフトレジスタ141と、紙面の右側に設けられるシフトレジスタ142とを追加して図示している。なお、シフトレジスタ141は、クロック信号(CK1)が入力され、走査線101に対して信号を出力する回路である。また、シフトレジスタ142は、クロック信号(CK2)が入力され、走査線102に対して信号を出力する回路である。

【0036】

図3に示す構成では、図2(A)に示す構成と同様に狭額縁化を図ることが可能である。加えて、図3に示す構成では、クロック信号(CK1、CK2)がトランジスタ111、112のスイッチングを制御するためのみならずシフトレジスタ141、142を動作させるためにも利用されている。よって、図3に示す構成では、効率よく狭額縁化を図ることが可能である。

【0037】

なお、シフトレジスタ141、142の構成は、特定の構成に限定されない。例えば、Pチャネル型トランジスタ及びNチャネル型トランジスタの双方を用いた相補型金属酸化物半導体(CMOS)回路を用いてシフトレジスタ141、142を構成してもよいし、いずれか一方のみを用いてシフトレジスタ141、142を構成してもよい。シフトレジスタ141、142がCMOS回路を用いて構成される場合、シフトレジスタ141、142における消費電力を低減することが可能となる点で好ましい。他方、シフトレジスタ141、142がトランジスタ111、112、131_1、131_2、132_1、132_2と同じ極性のトランジスタのみから構成される場合、製造プロセス数を低減することが可能となる点で好ましい。

【0038】

<2. 表示装置の具体例>

図4(A)は、表示装置の具体例を示す図である。図4(A)に示す表示装置は、m行n列(m、nは偶数)に配設されているm×n個の画素20と、当該画素間において紙面の左右方向に延在するm本の走査線21と、当該画素間において紙面の上下方向に延在するn本の信号線22と、各々が当該m本の走査線21に接続されている走査線駆動回路23、24と、当該n本の信号線22に接続されている信号線駆動回路25とを有する。

【0039】

<(1) 画素20の構成例>

図4(B)は、図4(A)に示す表示装置が有する画素20の回路図の一例を示す図である。図4(B)に示す画素20は、ゲートが走査線21に接続され、ソース又はドレインの一方が信号線22に接続されているトランジスタ201と、一方の電極がトランジスタ201のソース又はドレインの他方に接続され、他方の電極が容量電位を供給する配線(容量線ともいう)に接続されている容量素子202と、一方の電極がトランジスタ201のソース又はドレインの他方及び容量素子202の一方の電極に接続され、他方の電極が共通電位を供給する配線(共通電位線ともいう)に電気的に接続されている液晶素子203とを有する。なお、容量電位と共に電位を同一の電位とすることが可能である。また、図4(B)においては、画素20に液晶素子203が設けられる構成を示しているが、本明細書で開示される表示装置の画素は当該構成に限定されない。例えば、本明細書で開示される表示装置においては、画素に発光素子を設けることも可能である。

【0040】

<(2) 走査線駆動回路23、24の構成例>

図5は、図4(A)に示す表示装置が有する走査線駆動回路23、24の構成例を示す図である。図5に示す走査線駆動回路23は、各々がクロック信号(CKL1乃至4)のいずれか一を供給する4本の配線と、各々が奇数行目に配設されている複数の走査線21

10

20

30

40

50

—1、21_3 · · · 21_m - 1のいずれか一に接続されている複数のパルス出力回路
 23_1、23_3 · · · 23_m - 1と、各々のゲートが当該4本の配線のいずれか一に接続され、ソースが低電源電位(VSS)を供給する配線(以下、低電源電位線という)に接続され、且つドレインが偶数行目に配設された複数の走査線21_2、21_4 · · · 21_mのいずれか一に接続されている複数のトランジスタ23_2、23_4 · · · 23_mとを有する。また、図5に示す走査線駆動回路24は、各々がクロック信号(CKR1乃至4)のいずれか一を供給する4本の配線と、各々が偶数行目に配設されている複数の走査線21_2、21_4 · · · 21_mのいずれか一に接続されている複数のパルス出力回路24_2、24_4 · · · 24_mと、各々のゲートが当該4本の配線のいずれか一に接続され、ソースが低電源電位線に接続され、且つドレインが奇数行目に配設された複数の走査線21_1、21_3 · · · 21_m - 1のいずれか一に接続されている複数のトランジスタ24_1、24_3 · · · 24_m - 1とを有する。なお、図5に示す走査線駆動回路23においては、パルス出力回路23_1、23_3 · · · 23_m - 1によってシフトレジスタが構成され、図5に示す走査線駆動回路24においては、パルス出力回路24_2、24_4 · · · 24_mによってシフトレジスタが構成されている。
 10

【0041】

図6(A)は、クロック信号(CKL1乃至4、CKR1乃至4)の具体的な波形の一例を示す図である。図6(A)に示すクロック信号(CKL1)は、周期的にハイレベルの電位(高電源電位(VDD))とロウレベルの電位(低電源電位(VSS))を繰り返す、デューティ比が3/8の信号である。また、クロック信号(CKL2)は、クロック信号(CKL1)から1/4周期位相がずれた信号であり、クロック信号(CKL3)は、クロック信号(CKL1)から1/2周期位相がずれた信号であり、クロック信号(CKL4)は、クロック信号(CKL1)から3/4周期位相がずれた信号である。また、クロック信号(CKR1)は、クロック信号(CKL1)から1/8周期位相がずれた信号であり、クロック信号(CKR2)は、クロック信号(CKL1)から3/8周期位相がずれた信号であり、クロック信号(CKR3)は、クロック信号(CKL1)から5/8周期位相がずれた信号であり、クロック信号(CKR4)は、クロック信号(CKL1)から7/8周期位相がずれた信号である。
 20

【0042】

上述した表示装置においては、各パルス出力回路23_1、23_3 · · · 23_m - 1、24_2、24_4 · · · 24_mとして、同一の構成を有する回路を適用することができる。ただし、パルス出力回路が有する複数の端子の電気的な接続関係は、パルス出力回路毎に異なる。具体的な接続関係について図5、図6(B)を参照して説明する。
 30

【0043】

各パルス出力回路は、パルス出力回路23_m - 1、24_mを除き、端子31乃至36を有する。なお、端子31乃至34は入力端子であり、端子35、36は出力端子である。また、パルス出力回路23_m - 1、24_mは、端子31乃至35を有する。

【0044】

まず、端子31について述べる。パルス出力回路23_1の端子31は、スタートパルス(SP1)を供給する配線に接続され、パルス出力回路23_2 a - 1(aは2以上m/2以下の自然数)の端子31は、パルス出力回路23_2 a - 3の端子36に接続されている。また、パルス出力回路24_2の端子31は、スタートパルス(SP2)を供給する配線に接続され、パルス出力回路24_2 aの端子31は、パルス出力回路24_2 a - 2の端子36に接続されている。
 40

【0045】

次いで、端子32について述べる。パルス出力回路23_8 b - 7(bは、m/8以下の自然数)の端子32は、クロック信号(CKL1)を供給する配線に接続され、パルス出力回路23_8 b - 5の端子32は、クロック信号(CKL2)を供給する配線に接続され、パルス出力回路23_8 b - 3の端子32は、クロック信号(CKL3)を供給す
 50

る配線に接続され、パルス出力回路 23_8b-1 の端子 32 は、クロック信号 (CKL4) を供給する配線に接続されている。また、パルス出力回路 24_8b-6 の端子 32 は、クロック信号 (CKR1) を供給する配線に接続され、パルス出力回路 24_8b-4 の端子 32 は、クロック信号 (CKR2) を供給する配線に接続され、パルス出力回路 24_8b-2 の端子 32 は、クロック信号 (CKR3) を供給する配線に接続され、パルス出力回路 24_8b の端子 32 は、クロック信号 (CKR4) を供給する配線に接続されている。

【0046】

次いで、端子 33 について述べる。パルス出力回路 23_8b-7 の端子 33 は、クロック信号 (CKL2) を供給する配線に接続され、パルス出力回路 23_8b-5 の端子 33 は、クロック信号 (CKL3) を供給する配線に接続され、パルス出力回路 23_8b-3 の端子 33 は、クロック信号 (CKL4) を供給する配線に接続され、パルス出力回路 23_8b-1 の端子 33 は、クロック信号 (CKL1) を供給する配線に接続されている。また、パルス出力回路 24_8b-6 の端子 33 は、クロック信号 (CKR2) を供給する配線に接続され、パルス出力回路 24_8b-4 の端子 33 は、クロック信号 (CKR3) を供給する配線に接続され、パルス出力回路 24_8b-2 の端子 33 は、クロック信号 (CKR4) を供給する配線に接続され、パルス出力回路 24_8b の端子 33 は、クロック信号 (CKR1) を供給する配線に接続されている。

【0047】

次いで、端子 34 について述べる。パルス出力回路 23_8b-7 の端子 34 は、クロック信号 (CKL3) を供給する配線に接続され、パルス出力回路 23_8b-5 の端子 34 は、クロック信号 (CKL4) を供給する配線に接続され、パルス出力回路 23_8b-3 の端子 34 は、クロック信号 (CKL1) を供給する配線に接続され、パルス出力回路 23_8b-1 の端子 34 は、クロック信号 (CKL2) を供給する配線に接続されている。また、パルス出力回路 24_8b-6 の端子 34 は、クロック信号 (CKR3) を供給する配線に接続され、パルス出力回路 24_8b-4 の端子 34 は、クロック信号 (CKR4) を供給する配線に接続され、パルス出力回路 24_8b-2 の端子 34 は、クロック信号 (CKR1) を供給する配線に接続され、パルス出力回路 24_8b の端子 34 は、クロック信号 (CKR2) を供給する配線に接続されている。

【0048】

次いで、端子 35 について述べる。パルス出力回路 23_2x-1、24_2x (x は、m 以下の自然数) の端子 35 は、x 行目に配設された走査線 21_x に接続されている。

【0049】

各パルス出力回路 (パルス出力回路 23_m-1、24_m を除く) の端子 36 の接続関係は既出である。そのため、ここでは前述の説明を援用することとする。

【0050】

< (2-1) パルス出力回路の構成例 >

図 7 (A) は、図 5、図 6 (B) に示すパルス出力回路の構成例を示す図である。図 7 (A) に示すパルス出力回路は、トランジスタ 41 乃至 49 を有する。なお、パルス出力回路 23_m-1、24_m にはトランジスタ 43、44 を設けなくてもよい。

【0051】

トランジスタ 41 は、ソース又はドレインの一方が高電源電位 (VDD) を供給する配線 (以下、高電源電位線という) に接続され、ゲートが端子 31 に接続されている。

【0052】

トランジスタ 42 は、ソース又はドレインの一方が低電源電位線に接続され、ソース又はドレインの他方がトランジスタ 41 のソース又はドレインの他方に接続されている。

【0053】

トランジスタ 43 は、ソース又はドレインの一方が端子 32 に接続され、ソース又はドレインの他方が端子 36 に接続され、ゲートがトランジスタ 41 のソース又はドレインの

10

20

30

40

50

他方及びトランジスタ42のソース又はドレインの他方に接続されている。

【0054】

トランジスタ44は、ソース又はドレインの一方が低電源電位線に接続され、ソース又はドレインの他方が端子36に接続され、ゲートがトランジスタ42のゲートに接続されている。

【0055】

トランジスタ45は、ソース又はドレインの一方が低電源電位線に接続され、ソース又はドレインの他方がトランジスタ42のゲート及びトランジスタ44のゲートに接続され、ゲートが端子31に電気的に接続されている。

【0056】

トランジスタ46は、ソース又はドレインの一方が高電源電位線に接続され、ゲートが端子33に接続されている。なお、トランジスタ46のソース又はドレインの一方が、低電源電位(VSS)よりも高電位であり且つ高電源電位(VDD)よりも低電位である電源電位(VCC)を供給する配線に接続している構成とすることもできる。

10

【0057】

トランジスタ47は、ソース又はドレインの一方がトランジスタ46のソース又はドレインの他方に接続され、ソース又はドレインの他方がトランジスタ42のゲート、トランジスタ44のゲート、及びトランジスタ45のソース又はドレインの他方に接続され、ゲートが端子34に接続されている。

【0058】

トランジスタ48は、ソース又はドレインの一方が端子32に接続され、ソース又はドレインの他方が端子35に接続され、ゲートがトランジスタ41のソース又はドレインの他方、トランジスタ42のソース又はドレインの他方、及びトランジスタ43のゲートに接続されている。

20

【0059】

トランジスタ49は、ソース又はドレインの一方が低電源電位線に接続され、ソース又はドレインの他方が端子35に接続され、ゲートがトランジスタ42のゲート、トランジスタ44のゲート、トランジスタ45のソース又はドレインの他方、及びトランジスタ47のソース又はドレインの他方に接続されている。

【0060】

30

なお、以下においては、トランジスタ41のソース又はドレインの他方、トランジスタ42のソース又はドレインの他方、トランジスタ43のゲート、及びトランジスタ48のゲートが接続されたノードをノードAとし、トランジスタ42のゲート、トランジスタ44のゲート、トランジスタ45のソース又はドレインの他方、トランジスタ47のソース又はドレインの他方、及びトランジスタ49のゲートが接続されたノードをノードBとして説明する。

【0061】

<(2-2)パルス出力回路の動作例>

上述したパルス出力回路の動作例について図7(B)、(C)を参照して説明する。なお、図7(B)は、パルス出力回路23_1に入出力される信号の波形、及びパルス出力回路23_1中のノードA、Bの電位を示す図であり、図7(C)は、パルス出力回路24_2に入出力される信号の波形、及びパルス出力回路24_2中のノードA、Bの電位を示す図である。なお、図7(B)、(C)中において、Goutは、パルス出力回路の走査線に対する出力信号を表し、SROUTは、当該パルス出力回路の後段に設けられているパルス出力回路に対する出力信号を表している。

40

【0062】

まず、図7(B)を参照して、パルス出力回路23_1の動作について説明する。

【0063】

タイミングt1において、端子31にハイレベルの電位(高電源電位(VDD))が入力される。これにより、トランジスタ41、45がオン状態となる。そのため、ノードA

50

の電位がハイレベルの電位（高電源電位（VDD）からトランジスタ41のしきい値電圧分下降した電位）に上昇し、その時点でトランジスタ41がオフ状態となる。また、ノードBの電位が低電源電位（VSS）に下降する。これに付随して、トランジスタ43、48がオン状態となり、トランジスタ42、44、49がオフ状態となる。以上により、端子35、36から出力される信号は、端子32に入力される信号となる。ここで、端子32に入力される信号は、ロウレベルの電位（低電源電位（VSS））である。そのため、パルス出力回路23_1は、パルス出力回路23_3の端子31、及び走査線21_1にロウレベルの電位（低電源電位（VSS））を出力する。

【0064】

タイミングt2において、端子34にロウレベルの電位（低電源電位（VSS））が入力される。ただし、端子35及び端子36から出力される信号は変化せず、パルス出力回路23_1は、パルス出力回路23_3の端子31、及び走査線21_1にロウレベルの電位（低電源電位（VSS））を出力する。 10

【0065】

タイミングt3において、端子32にハイレベルの電位（高電源電位（VDD））が入力される。なお、タイミングt3の時点で、ノードAの電位（トランジスタ41のソース又はドレインの他方の電位）は、既にハイレベルの電位（高電源電位（VDD）からトランジスタ41のしきい値電圧分下降した電位）まで上昇している。そのため、トランジスタ41はオフ状態となっている。この時、端子32にハイレベルの電位（高電源電位（VDD））が入力されることで、トランジスタ43、48のソースとゲートの容量結合によって、ノードAの電位（トランジスタ43、48のゲートの電位）がさらに上昇する（ブートストラップ動作）。また、当該ブートストラップ動作を行うことによって、端子35、36から出力される信号が端子32に入力されるハイレベルの電位（高電源電位（VDD））から下降することがない。そのため、パルス出力回路23_1は、パルス出力回路23_3の端子31、及び走査線21_1にハイレベルの電位（高電源電位（VDD））を出力する。 20

【0066】

タイミングt4において、端子31にロウレベルの電位（低電源電位（VSS））が入力され、タイミングt5において端子33にハイレベルの電位（高電源電位（VDD））が入力される。ただし、端子35及び端子36から出力される信号は変化せず、パルス出力回路23_1は、パルス出力回路23_3の端子31、及び走査線21_1にハイレベルの電位（高電源電位（VDD））を出力する。 30

【0067】

タイミングt6において、端子32にロウレベルの電位（低電源電位（VSS））が入力される。この時、トランジスタ43、48のソースとゲートの容量結合によって、ノードAの電位（トランジスタ43、48のゲートの電位）が下降する（ブートストラップ動作）。ただし、ノードAの電位は依然としてハイレベルの電位にある。そのため、トランジスタ43、48はオン状態を維持する。よって、端子32に入力される信号が端子35、36から出力される信号となる。すなわち、パルス出力回路23_1は、パルス出力回路23_3の端子31、及び走査線21_1にロウレベルの電位（低電源電位（VSS））を出力する。 40

【0068】

タイミングt7において、端子34にハイレベルの電位（高電源電位（VDD））が入力される。また、タイミングt7においては、端子33にもハイレベルの電位（高電源電位（VDD））が入力されている。そのため、トランジスタ46、47が共にオン状態となる。これにより、ノードBの電位がハイレベルの電位（高電源電位（VDD）からトランジスタ46及びトランジスタ47のうちしきい値電圧が高い方のしきい値電圧分下降した電位）に上昇する。そのため、トランジスタ42、44、49がオン状態となる。また、これに付随して、ノードAの電位がロウレベルの電位（低電源電位（VSS））へと下降する。そのため、トランジスタ43、48がオフ状態となる。以上により、タイミング 50

t_7 において、端子35及び端子36から出力される信号は、トランジスタ44、49のソース又はドレインの一方に入力される信号となる。もっとも、当該信号は低電源電位(V_{SS})である。そのため、パルス出力回路23_1のパルス出力回路23_3の端子31、及び走査線21_1に対する出力信号は、ロウレベルの電位(低電源電位(V_{SS}))のまま維持される。

【0069】

次いで、パルス出力回路24_2の動作について説明する。図7(C)に示すように、パルス出力回路24_2は、パルス出力回路23_1と同様に動作する。ただし、パルス出力回路24_2は、パルス出力回路23_1と比較してクロック信号($CKL1$ 乃至4、 $CKR1$ 乃至4)の1/8周期分遅れて動作する。

10

【0070】

<(2-3)トランジスタ23_2・・・23_m、24_1・・・24_m-1の動作例>

トランジスタ23_2・・・23_m、24_1・・・24_m-1の動作例について、図8を参照して説明する。図8(A)は、図5の一部を抜粋した図であり、図8(B)は、図7(B)、(C)に示すパルス出力回路23_1、24_2が走査線21_1、21_2に出力する信号の波形及びトランジスタ23_2、24_1のゲートに入力されるクロック信号($CKR2$ 、 $CKL3$)を示す図である。

【0071】

上述した表示装置においては、図8(B)に示すようにパルス出力回路23_1が走査線21_1に対して出力する信号がハイレベルの電位(高電源電位(V_{DD}))からロウレベルの電位(低電源電位(V_{SS}))に切り替わるタイミング(t_a)が、クロック信号($CKR2$)がロウレベルの電位(低電源電位(V_{SS}))からハイレベルの電位(高電源電位(V_{DD}))に切り替わるタイミングと一致している。すなわち、当該タイミング(t_a)が、トランジスタ24_1がオフ状態からオン状態となるタイミングと一致している。同様に、パルス出力回路24_3が走査線21_2に対して出力する信号がハイレベルの電位(高電源電位(V_{DD}))からロウレベルの電位(低電源電位(V_{SS}))に切り替わるタイミング(t_b)が、トランジスタ24_1がオフ状態からオン状態となるタイミングと一致している。これにより、上述した表示装置においては、走査線の一端のみならず両端から非選択信号が同時に入力されることになる。そのため、当該走査線の各箇所における電位変化のタイミングのずれを抑制することが可能である。すなわち、当該走査線にゲートが接続されている複数のトランジスタのスイッチングのタイミングのずれを抑制することが可能となる。その結果、表示装置において生じる不具合を抑制することが可能となる。

20

【0072】

また、上述した表示装置においては、トランジスタ23_2、23_4・・・23_m、24_1、24_3・・・24_m-1のスイッチングを制御するためにシフトレジスタを動作する際に用いられるクロック信号($CKL1$ 乃至4、 $CKR1$ 乃至4)が利用されている。すなわち、トランジスタ23_2、23_4・・・23_m、24_1、24_3・・・24_m-1のスイッチングを制御するために別途新たな信号を供給する配線を設ける必要がない。よって、上述した表示装置においては、効率よく狭額縫化を図ることが可能である。

30

【0073】

<(3)走査線駆動回路23、24の変形例>

本明細書で開示される表示装置に設けられる走査線駆動回路23、24は、上述した回路に限定されない。例えば、トランジスタ23_2・・・23_m、24_1・・・24_m-1のゲートを、図5に示す様にクロック信号を供給する配線($CKL1$ 乃至4、 $CKR1$ 乃至4)のいずれか一に接続させる構成とするのではなく、パルス出力回路23_1・・・23_m-1、24_2・・・24_m-1のいずれか一の端子35に接続させることも可能である。

40

50

【0074】

具体的には、パルス出力回路が図7(A)に示す場合であれば、図9に示す構成とすることも可能である。図9に示す走査線駆動回路23では、トランジスタ 23_2c (cはm-4以下の偶数)のゲートがパルス出力回路 23_c+3 の端子35に接続され、トランジスタ 24_d (dはm-3以下の奇数)のゲートがパルス出力回路 24_d+3 の端子35に接続されている。なお、図9には図示していないが、図9では、トランジスタ 23_m-2 のゲートがパルス出力回路 23_m-7 の端子35に接続され、トランジスタ 23_m のゲートがパルス出力回路 23_m-5 の端子35に接続され、トランジスタ 24_m-1 のゲートがパルス出力回路 24_m-6 の端子35に接続されている。

【0075】

10

図9に示す走査線駆動回路23、24を用いた場合であっても、図5に示す走査線駆動回路23、24を用いた場合と同様の作用効果を奏する。

【0076】

<3.トランジスタの具体例>

上述した表示装置に含まれるトランジスタとしては、どのようなトランジスタを適用してもよい。例えば、シリコン膜にチャネルが形成されるトランジスタ(シリコン膜にチャネル形成領域を有するトランジスタ)又は酸化物半導体膜にチャネルが形成されるトランジスタ(酸化物半導体膜にチャネル形成領域を有するトランジスタ)を上述した表示装置に含まれるトランジスタとして適用することが可能である。

【0077】

20

以下では、酸化物半導体膜の構造について説明する。

【0078】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0079】

まずは、CAAC-OS膜について説明する。

【0080】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

30

【0081】

CAAC-OS膜を透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって観察すると、明確な結晶部同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0082】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察(断面TEM観察)すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

40

【0083】

なお、本明細書において、「平行」とは、二つの直線が-10°以上10°以下の角度で配置されている状態をいう。従って、-5°以上5°以下の場合も含まれる。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。従って、85°以上95°以下の場合も含まれる。

【0084】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察(平面TEM観察)すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られ

50

ない。

【0085】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0086】

なお、CAAC-OS膜に含まれるほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。ただし、CAAC-OS膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面TEM像において、 2500 nm^2 以上、 $5\mu\text{m}^2$ 以上または $1000\mu\text{m}^2$ 以上となる結晶領域が観察される場合がある。
10

【0087】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0088】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2θを56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。
20

【0089】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。
30

【0090】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0091】

また、CAAC-OS膜中において、c軸配向した結晶部の分布が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもc軸配向した結晶部の割合が高くなることがある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域が変質し、部分的にc軸配向した結晶部の割合の異なる領域が形成されることもある。
40

【0092】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。
50

【0093】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0094】

10

また、C A A C - O S 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0095】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

20

【0096】

また、C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0097】

30

次に、微結晶酸化物半導体膜について説明する。

【0098】

微結晶酸化物半導体膜は、T E Mによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶（n c : n a n o c r y s t a l）を有する酸化物半導体膜を、n c - O S (n a n o c r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜と呼ぶ。また、n c - O S 膜は、例えば、T E Mによる観察像では、結晶粒界を明確に確認できない場合がある。

【0099】

40

n c - O S 膜は、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、n c - O S 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、n c - O S 膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、n c - O S 膜に対し、結晶部よりも大きい径のX線を用いるX R D 装置を用いて構造解析を行うと、o u t - o f - p l a n e 法による解析では、結晶面を示すピークが検出されない。また、n c - O S 膜に対し、結晶部よりも大きいプローブ径（例えば50 nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S 膜に対し、結晶部の大きさと近いか結晶部より小さいプローブ径（例えば1 nm以上30 nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、スポット

50

トが観測される。また、n c - O S 膜に対しナノビーム電子線回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、n c - O S 膜に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【0100】

n c - O S 膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、n c - O S 膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、n c - O S 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、n c - O S 膜は、C A A C - O S 膜と比べて欠陥準位密度が高くなる。

【0101】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【0102】

<4. 表示モジュールの具体例>

以下では、上述した表示装置を構成要素の一とする表示モジュールについて、図10を参照して説明する。

【0103】

図10に示す表示モジュール8000は、上部カバー8001と下部カバー8002との間に、F P C 8003に接続されたタッチパネル8004、F P C 8005に接続された表示パネル8006、バックライトユニット8007、フレーム8009、プリント基板8010、バッテリー8011を有する。なお、表示モジュールの構成として、これらの構成要素の少なくとも一が設けられない（例えば、バックライトユニット8007、バッテリー8011、又はタッチパネル8004が設けられない）構成を適用することも可能である。

【0104】

上述した表示装置は、表示パネル8006に該当する。

【0105】

上部カバー8001及び下部カバー8002は、タッチパネル8004及び表示パネル8006のサイズに合わせて、形状や寸法を適宜変更することができる。

【0106】

タッチパネル8004は、抵抗膜方式または静電容量方式のタッチパネルであり、表示パネル8006に重畠されている。また、表示パネル8006の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。また、表示パネル8006の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。また、表示パネル8006の各画素内にタッチセンサ用電極を設け、容量型式のタッチパネルとすることも可能である。

【0107】

バックライトユニット8007は、マトリクス状に配設されている複数の光源8008を有する。なお、バックライトユニット8007として、線状光源と光拡散板が設けられる構成としてもよい。この場合、バックライトユニット8007は、当該線状光源が発する線状光を光拡散板で拡散させ、面状光として射出する。

【0108】

フレーム8009は、表示パネル8006の保護機能の他、プリント基板8010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム8009は、放熱板としての機能を有していてもよい。

【0109】

プリント基板8010は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー8011による電源であってもよい。バッテリー8011は、商用電源を用いる場合には、省略可能である。

10

20

30

40

50

【0110】

また、表示モジュール8000には、偏光板、位相差板、プリズムシートなどの部材を追加して設けてよい。

【0111】

<5. 最終製品の具体例>

以下では、上述した表示装置を用いて製造される最終製品の一例について、図11、12を参照して説明する。

【0112】

当該最終製品として、例えば、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。なお、これらの最終製品は、表示面が曲面形状を備える又は表示面を任意に折り曲げることが可能な製品とすることも可能である。10

【0113】

図11(A)は、携帯電話機の一例を示す図である。携帯電話機7400は、筐体7401に組み込まれた表示部7402の他、操作ボタン7403、外部接続ポート7404、スピーカ7405、マイク7406などを備えている。なお、携帯電話機7400では、上述した表示装置が表示部7402内に組み込まれている。20

【0114】

図11(A)に示す携帯電話機7400では、表示部7402の表面を指などで触ることで、表示される画像を変化させるなどの操作をすることができる。また、電話を掛ける、又は文字を入力するなどの操作も、表示部7402の表面を指などで触れることにより行うことができる。20

【0115】

また、操作ボタン7403の操作により、携帯電話機7400の起動及び停止、並びに上述した操作を行うことができる。

【0116】

図11(B)は、バングル型の表示装置の一例を示す図である。バングル型の表示装置7100は、筐体7101、表示部7102、操作ボタン7103、及び送受信装置7104を備える。なお、バングル型の表示装置7100では、上述した表示装置が表示部7102内に組み込まれている。30

【0117】

バングル型の表示装置7100は、送受信装置7104によって映像信号を受信可能で、受信した映像を表示部7102に表示することができる。また、音声信号を他の送受信装置との間で送受信することもできる。

【0118】

また、操作ボタン7103によって、バングル型の表示装置7100の起動及び停止、表示される画像を変化させるなどの操作、並びに音声の調整などを行うことができる。

【0119】

図12(A)は、携帯用製品の一例を示す図である。携帯用製品7300は、筐体7301、表示部7302、操作ボタン7303、引き出し部材7304、制御部7305を備える。なお、携帯用製品7300では、上述した表示装置が表示部7302内に組み込まれている。40

【0120】

携帯用製品7300は、筒状の筐体7301内にロール状に巻かれたフレキシブルな表示部7302を備える。表示部7302は、遮光層などが形成された第1の基板と、トランジスタなどが形成された第2の基板を有する。表示部7302は、筐体7301内において常に第2の基板が外側になるように巻かれている。

【0121】

また、携帯用製品 7300 は制御部 7305 によって映像信号を受信可能で、受信した映像を表示部 7302 に表示することができる。また、制御部 7305 にはバッテリーを備える。また、制御部 7305 にコネクタを備え、映像信号や電力を直接供給する構成としてもよい。

【0122】

また、操作ボタン 7303 によって、起動及び停止、表示される画像を変化させるなどの操作を行うことができる。

【0123】

図 12 (B) に、表示部 7302 を引き出し部材 7304 により引き出した状態を示す。この状態で表示部 7302 に映像を表示することができる。また、筐体 7301 の表面に配置された操作ボタン 7303 によって、片手で容易に操作することができる。
10

【0124】

なお、表示部 7302 を引き出した際に表示部 7302 が湾曲しないよう、表示部 7302 の端部に補強のためのフレームを設けていてもよい。

【0125】

なお、この構成以外に、筐体にスピーカを設け、映像信号と共に受信した音声信号によって音声を出力する構成としてもよい。

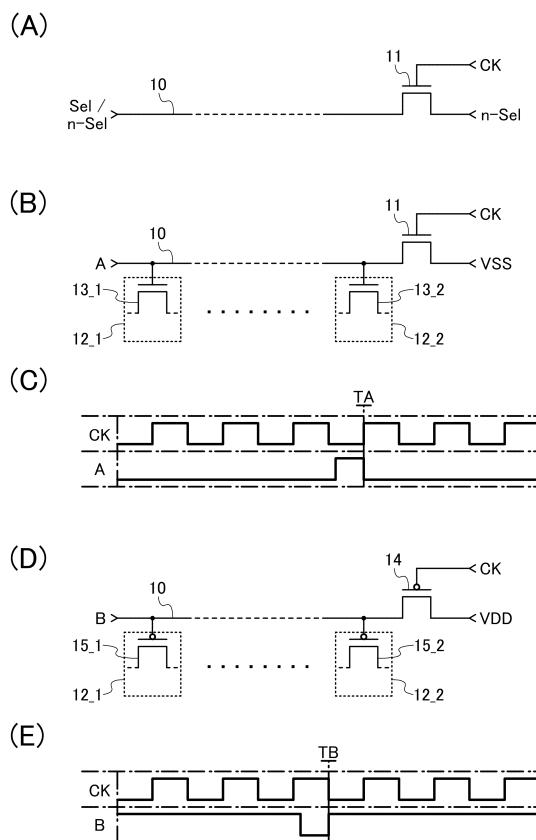
【符号の説明】

【0126】

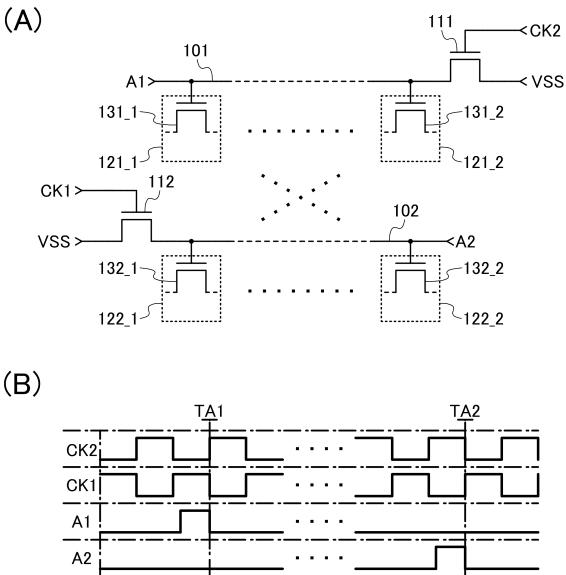
10	走査線	20
101	走査線	
102	走査線	
11	トランジスタ	
111	トランジスタ	
112	トランジスタ	
12_1	画素	
12_2	画素	
121_1	画素	
121_2	画素	
122_1	画素	30
122_2	画素	
13_1	トランジスタ	
13_2	トランジスタ	
131_1	トランジスタ	
131_2	トランジスタ	
132_1	トランジスタ	
132_2	トランジスタ	
14	トランジスタ	
15_1	トランジスタ	
15_2	トランジスタ	40
141	シフトレジスタ	
142	シフトレジスタ	
20	画素	
201	トランジスタ	
202	容量素子	
203	液晶素子	
21	走査線	
21_1 ~ 21_m	走査線	
22	信号線	
23	走査線駆動回路	50

2 4 走査線駆動回路	
2 3 _ 1 パルス出力回路	
2 3 _ 3 パルス出力回路	
2 3 _ 5 パルス出力回路	
2 3 _ m - 1 パルス出力回路	
2 4 _ 2 パルス出力回路	
2 4 _ 4 パルス出力回路	
2 4 _ m パルス出力回路	
2 3 _ 2 ワンジスタ	10
2 3 _ 4 ワンジスタ	
2 3 _ m ワンジスタ	
2 4 _ 1 ワンジスタ	
2 4 _ 3 ワンジスタ	
2 4 _ 5 ワンジスタ	
2 4 _ m - 1 ワンジスタ	
2 5 信号線駆動回路	
3 1 ~ 3 6 端子	
4 1 ~ 4 9 ワンジスタ	
7 1 0 0 バングル型の表示装置	
7 1 0 1 筐体	20
7 1 0 2 表示部	
7 1 0 3 操作ボタン	
7 1 0 4 送受信装置	
7 3 0 0 携帯用製品	
7 3 0 1 筐体	
7 3 0 2 表示部	
7 3 0 3 操作ボタン	
7 3 0 4 引き出し部材	
7 3 0 5 制御部	
7 4 0 0 携帯電話機	30
7 4 0 1 筐体	
7 4 0 2 表示部	
7 4 0 3 操作ボタン	
7 4 0 4 外部接続ポート	
7 4 0 5 スピーカ	
7 4 0 6 マイク	
8 0 0 0 表示モジュール	
8 0 0 1 上部カバー	
8 0 0 2 下部カバー	
8 0 0 3 FPC	40
8 0 0 4 タッチパネル	
8 0 0 5 FPC	
8 0 0 6 表示パネル	
8 0 0 7 バックライトユニット	
8 0 0 8 光源	
8 0 0 9 フレーム	
8 0 1 0 プリント基板	
8 0 1 1 バッテリー	

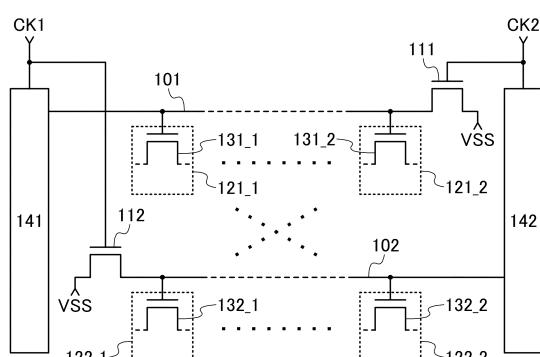
【図1】



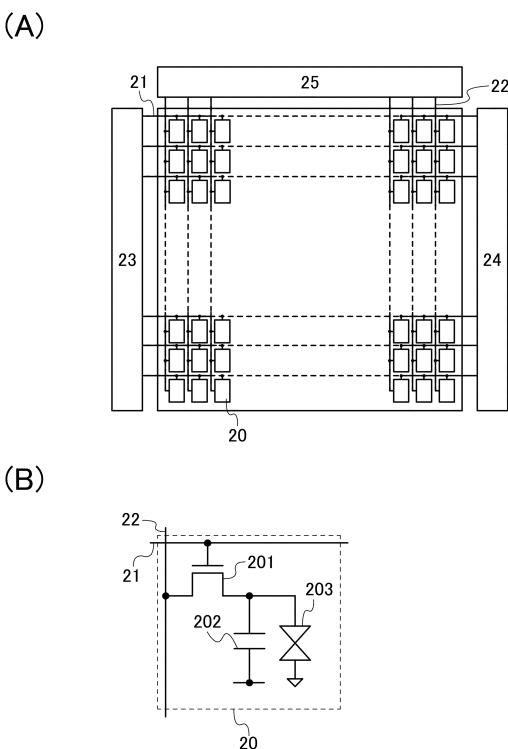
【図2】



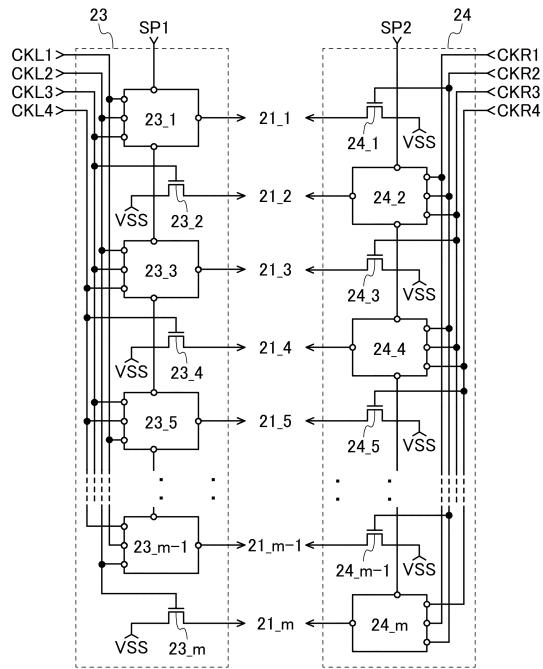
【図3】



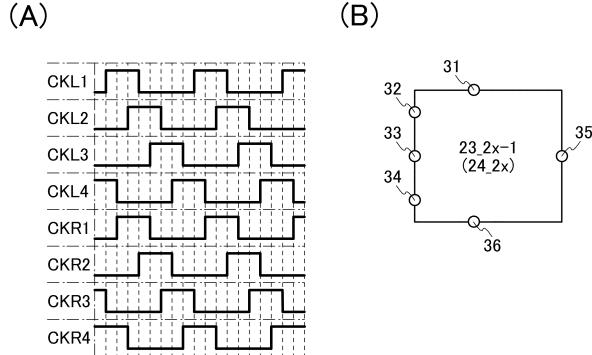
【図4】



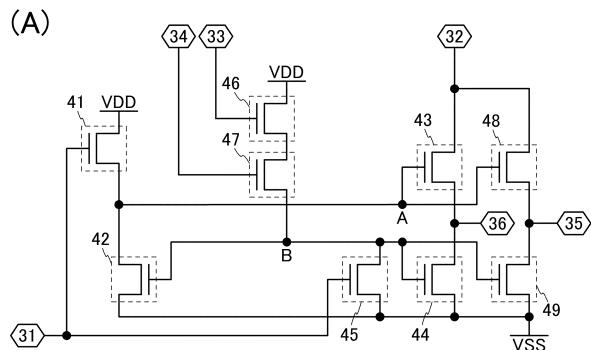
【図5】



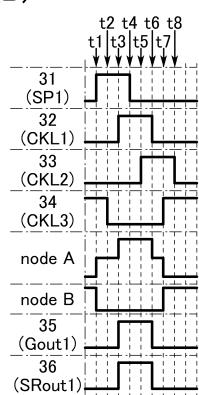
【図6】



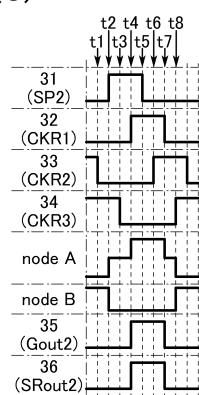
【図7】



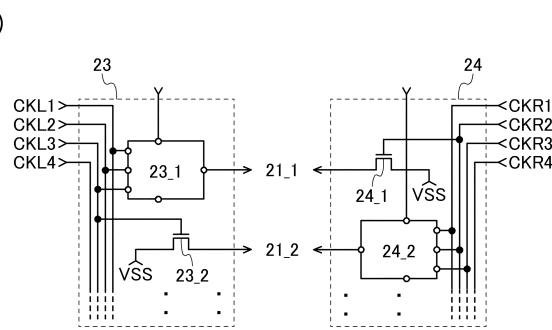
(B)



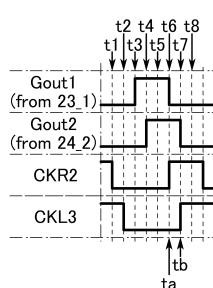
(C)



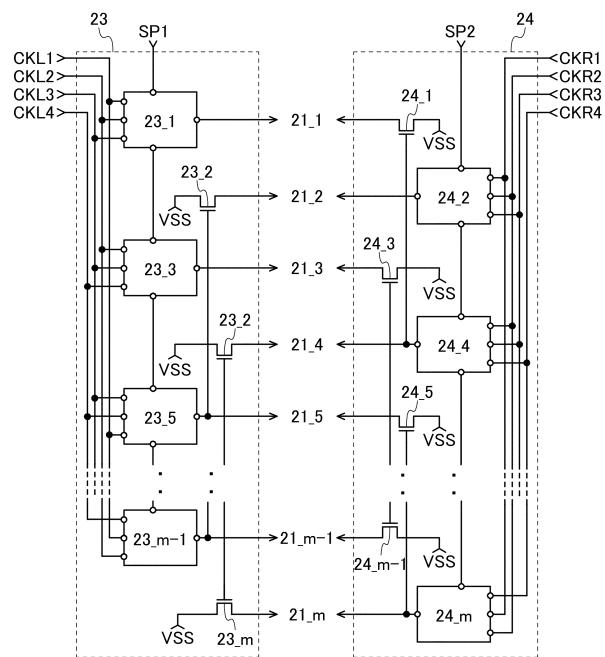
【図8】



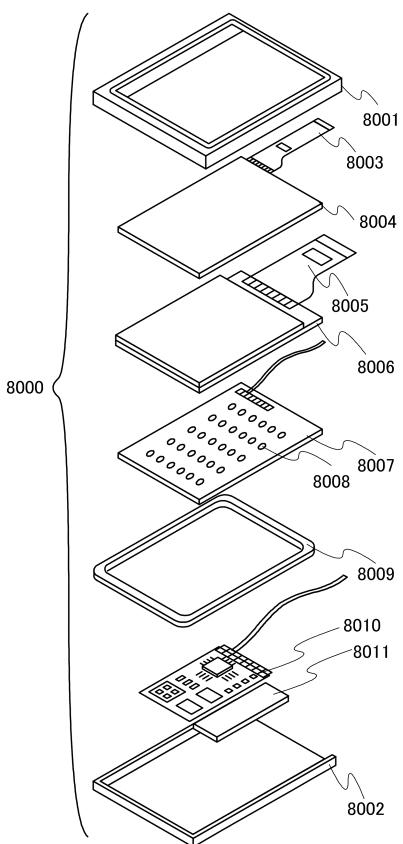
(B)



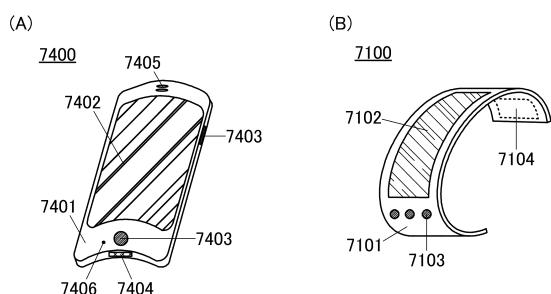
【図9】



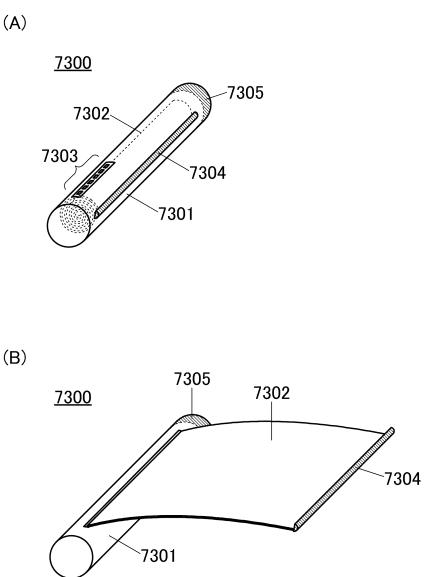
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 1 1 F
G 0 9 G	3/20	6 1 2 J
G 0 2 F	1/133	5 5 0
G 0 2 F	1/1368	

(56)参考文献 特開平10-253940(JP,A)

米国特許出願公開第2008/0001882(US,A1)

特開2013-030263(JP,A)

特開2012-009094(JP,A)

特開2011-028237(JP,A)

特開2011-028159(JP,A)

特開2008-070406(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		
G 0 2 F	1 / 1 3 6 8		