

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成30年12月13日(2018.12.13)

【公開番号】特開2017-125903(P2017-125903A)

【公開日】平成29年7月20日(2017.7.20)

【年通号数】公開・登録公報2017-027

【出願番号】特願2016-4077(P2016-4077)

【国際特許分類】

G 09 G 3/36 (2006.01)

G 09 G 3/20 (2006.01)

【F I】

G 09 G 3/36

G 09 G 3/20 6 2 1 A

G 09 G 3/20 6 2 3 D

G 09 G 3/20 6 2 3 J

G 09 G 3/20 6 2 4 B

G 09 G 3/20 6 3 1 H

G 09 G 3/20 6 5 0 M

G 09 G 3/20 6 1 2 U

G 09 G 3/20 6 2 3 G

【手続補正書】

【提出日】平成30年10月30日(2018.10.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の副画素からなる画素にメモリを有する表示装置に用いられ、動作モード制御するモード制御回路を含む信号供給回路であって、

前記モード制御回路により、

前記複数の副画素用のデジタルデータを前記メモリに供給する、第1モードと第2モードとに選択的に切り替えられ、

第1モードは、外部からn個の前記副画素に対応する第1映像データを受け取り、前記第1映像データに基づいてn個の前記副画素用のデジタルデータを前記メモリに供給するモードであり、

第2モードは、外部から前記n個よりも少ないm個の前記副画素に対応する第2映像データを受け取り、前記第2映像データに基づいてn個の前記副画素用のデジタルデータを前記メモリに供給するモードであり、

前記第1映像データ及び前記第2映像データはシリアルデータであり、前記シリアルデータを前記複数の副画素に対応するデジタルデータにパラレル変換するパラレル変換部を有し、

前記パラレル変換部は、n個のラッチ回路と、

前記ラッチ回路のラッチタイミングを制御するn個の制御レジスタと、を備え、

前記第1モードのときn個の前記制御レジスタで、前記制御レジスタの転送データの巡回路を構成し、前記第2モードのときm個の制御レジスタで、前記制御レジスタの転送データの巡回路を構成する、信号供給回路。

**【請求項 2】**

前記モード制御回路が、前記第1映像データと前記第2映像データを受け取ることに先行して、モード制御データを受け取る、請求項1記載の信号供給回路。

**【請求項 3】**

前記パラレル変換部の出力データを前記n個の前記複数の副画素用のデジタルデータに変換するラインデータ変換回路と、

を備える、請求項1又は2に記載の信号供給回路。

**【請求項 4】**

前記パラレル変換部は、前記複数の副画素に対応する複数のラッチ回路と、

前記複数のラッチ回路のラッチタイミングを制御する複数の制御レジスタと、を備え、

前記モード制御回路が、前記第2モードのとき前記複数の制御レジスタのうちの一部の制御レジスタの動作を非アクティブに切り替える、請求項1ないし3のいずれか1項に記載の信号供給回路。

**【請求項 5】**

さらに、前記複数の副画素用のデジタルデータに変換するラインデータ変換回路を備え、

前記第1モードの前記第1映像データは、赤、緑、青、白用の映像データから成り、

前記第2モードの前記第2映像データは、赤、緑、青用の映像データから成り、

前記第2モードでは前記ラインデータ変換回路が、前記赤、緑、青用の映像データから、白用の映像データを生成する、請求項1ないし4のいずれか1項に記載の信号供給回路。

**【請求項 6】**

前記第1モードの前記第1映像データは、赤、緑、青、白用の映像データ又はシアン、マゼンタ、黄、白用の映像データから成る、

請求項1ないし4のいずれか1項に記載の信号供給回路。

**【請求項 7】**

前記第2モードにおいて、前記パラレル変換部は、前記n個の前記第2映像データを1個の映像データ単位にパラレル変換する、請求項1ないし4のいずれか1項に記載の信号供給回路。

**【請求項 8】**

画素にメモリを有する表示装置であって、

前記画素を構成する複数の副画素と、

前記複数副画素にデジタルデータを供給する信号供給回路と、

前記デジタルデータが供給される、前記画素に配置されたメモリと、

前記メモリに記憶された前記デジタルデータによって電位が供給される画素電極と、を備え、

前記信号供給回路は、第1モードと第2モードとを有し、

第1モードは、外部からn個の前記副画素の第1映像データを受け取り、前記第1映像データに基づいてn個の前記副画素用のデジタルデータを前記メモリに供給するモードであり、

第2モードは、外部から前記n個よりも少ないm個の前副画素に対応する第2映像データを受け取り、前記第2映像データに基づいてn個の前記複数の副画素用のデジタルデータを前記メモリに供給するモードであり、

前記第1映像データ及び前記第2映像データはシリアルデータであり、前記シリアルデータを前記複数の副画素に対応するデジタルデータにパラレル変換するパラレル変換部を有し、

前記パラレル変換部は、n個のラッチ回路と、

前記ラッチ回路のラッチタイミングを制御するn個の制御レジスタと、を備え、

前記第1モードのときn個の前記制御レジスタで巡回路を構成し、前記第2モードのときm個の制御レジスタで巡回路を構成する、

表示装置。

【請求項 9】

前記複数の副画素としての第1副画素と第2副画素と第3副画素と第4副画素と、を備え、

前記第1モードは、前記第1副画素と前記第2副画素と前記第3副画素と前記第4副画素に対応した前記第1映像データを受け取り、前記第1映像データに基づいて前記第1副画素と前記第2副画素と前記第3副画素と前記第4副画素用のデジタルデータを前記メモリに供給するモードであり、

前記第2モードは、前記第1副画素と前記第2副画素と前記第3副画素に対応した前記第2映像データを受け取り、前記第2映像データに基づいて前記第1副画素と前記第2副画素と前記第3副画素と前記第4副画素用のデジタルデータを前記メモリに供給するモードである、請求項8に記載の表示装置。

【請求項 10】

前記複数の副画素に対応するデジタルデータを前記メモリに供給する第3モードをさらに有し、

前記第3モードは、外部から前記第2映像データを受け取り、前記第2映像データに基づいてm個の前記副画素のデジタルデータを前記メモリに供給するモードである、請求項8と請求項9のいずれかに記載の表示装置。

【請求項 11】

前記複数の副画素に対応するデジタルデータを前記メモリに供給する第3モードをさらに有し、

前記第3モードは、外部から前記第2映像データを受け取り、前記第2映像データに基づいて一部の前記複数の副画素のデジタルデータを供給するモードであり、

前記第3モードは、前記第1副画素と前記第2副画素と前記第3副画素に対応した前記第2映像データを受け取り、前記第2映像データに基づいて前記第1副画素と前記第2副画素と前記第3副画素用のデジタルデータを前記メモリに供給するモードである、請求項8又は9に記載の表示装置。

【請求項 12】

外部からのビット制御信号によって、前記第2モードと前記第3モードとを切り替える、請求項10乃至11のいずれかに記載の表示装置。

【請求項 13】

外部からのラッチ数制御信号によって、前記第1モードと前記第2モードとを切り替える、請求項8乃至12のいずれかに記載の表示装置。