

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11B 20/18

G11B 20/20



[12] 发明专利说明书

[21] ZL 专利号 98120319.1

[43] 授权公告日 2003 年 8 月 13 日

[11] 授权公告号 CN 1118062C

[22] 申请日 1998.7.29 [21] 申请号 98120319.1

[30] 优先权

[32] 1997. 7. 29 [33] KR [31] 35842/1997

[71] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金柄秀

审查员 翁晓君

[74] 专利代理机构 北京市柳沈律师事务所

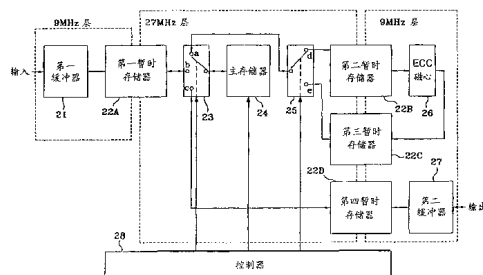
代理人 吕晓章

权利要求书 2 页 说明书 8 页 附图 7 页

[54] 发明名称 记录/重放设备及其使用的纠错方法

[57] 摘要

在多个磁道上分散记录一帧数据的记录/重放设备。包括：转换编解码器，把接收数字数据格式转换成同步块和把同步块转换成接收数字数据的格式；帧纠错器，用同步块交错每帧中分配在不同磁道上的同步块数据并执行帧纠错编码，纠错解码和解交错帧纠错编码数据；纠错编解码器，执行内码/外码纠错编码和解码；和记录/重放单元，把纠错编解码器供给的数据记录在记录媒体上并把记录的数据供给纠错编解码器。本发明还执行附加帧纠错编码以改善高压压缩系统重放期间画质和避免破坏画面。



1. 一种供在多个磁道上分散记录一帧数据的记录/重放设备使用的纠错方法, 该纠错方法包括以下步骤:
- 5 (a) 把接收的数字数据格式转换成各具有预定长度的同步块;
- (b) 运用步骤(a)中存储的同步块交错每帧中被分配在不同磁道上的同步块数据并对交错数据执行纠错编码;
- (c) 对纠错编码数据执行内纠错编码和外纠错编码。
2. 根据权利要求 1 所述的纠错方法, 其特征在于在所述的步骤(a)中,
- 10 接收的数字数据被整理为多个包, 其中的两个包被转换成五个同步块。
3. 根据权利要求 1 所述的纠错方法, 其特征在于所述的步骤(b)包括以下子步骤:
- (b1) 以帧为单位存储各同步块数据;
- (b2) 对子步骤(b1)中存储的每帧数据执行选择操作, 以形成信息字;
- 15 和
- (b3) 对形成的信息字执行纠错编码和生成码字。
4. 根据权利要求 3 所述的纠错方法, 其特征在于步骤(b3)中生成的码字被排列在下式确定的位置中,
- $$B = (n-i) * \text{mod}(\text{每磁道的码字数}) + (\text{同步块的起始字节位置数})$$
- $$S = i + (\text{起始同步块数})$$
- $$T = \{ n * \text{div}(\text{每磁道的码字数}) + i * 7 \} \text{mod}(10)$$
- 其中, T 代表构成一帧的 10 个磁道的磁道数, S 代表每个磁道的同步块数, B 代表每个同步块的字节位置数, n 代表一帧的码字数, i 代表关于每个码字的字节的索引。
- 25 5. 根据权利要求 3 所述的纠错方法, 其特征在于所述的子步骤(b3)执行纠错编码以生成具有外奇偶校验的码字。
6. 根据权利要求 1 所述的纠错方法, 其特征在于记录/重放设备是高清清晰度数字盒式录像机。
7. 一种在多个磁道上分散记录一帧数据的记录/重放设备, 该记录/重放
- 30 设备包括:
- 一转换编解码器, 把接收的数字数据格式转换成各具有预定长度的同

步块和把同步块转换成接收的数字数据所具有的格式；

纠错装置，运用转换编解码器供给的同步块来交错每帧中被分配在不同磁道上的同步块数据并对交错的数据执行帧纠错编码，以及纠错解码并解交错帧纠错编码的数据；

- 5 一个纠错编解码器，对帧纠错编码的数据执行内码/外码纠错编码，和对内码/外码纠错编码的数据执行内码/外码纠错解码；和

一个记录/重放单元，把纠错编解码器供给的数据记录在记录媒体上和把记录在记录媒体上的数据供给纠错编解码器。

8. 根据权利要求7所述的记录/重放设备，其特征在于所述的纠错装置
10 包括：

一个具有存储多个帧的存储区的存储器，用于运用一帧大小的存储区顺序地和循环地执行对转换编解码器供给的数据的存储操作、提供用于帧纠错编码的存储数据的操作、和向转换编解码器供给帧纠错编码的数据的操作；

- 15 一个纠错编码器芯，响应存储器提供的数据，执行帧纠错编码和解码中的一种。

9. 根据权利要求8所述的记录/重放设备，其特征在于所述纠错装置还包括数据传送装置，用于向存储器传送转换编解码器供给的数据，以便存储器可以顺序地和循环地执行这些操作。

- 20 10. 根据权利要求8所述的记录/重放设备，其特征在于所述存储器由同步动态随机存取存储器构成。

11. 根据权利要求7所述的记录/重放设备，其特征在于所述纠错装置还包括数据转换装置，用于把存储器中存储的帧纠错编码数据转换成可以在纠错编解码器中处理的形式，并将经转换的数据提供给纠错编解码器。

- 25 12. 根据权利要求7所述的记录/重放设备，其特征在于所述的记录/重放设备是高清晰度数字盒式录像机。

记录/重放设备
及其使用的纠错方法

5

技术领域

本发明涉及纠错编码方法和设备，特别涉及增强对于以高压缩率压缩的数据使用内纠错码和外纠错码的系统的纠错能力的三重纠错编码方法和设备。

10

背景技术

高清晰度数字盒式录像机(HD-DVCR)是使用了用于信道编码的内纠错码和外纠错码的系统。HD-DVCR可以录制和重放采用美国 A-TV(先进电视)制式的信号。HD-DVCR被用作数据存储器，在该数据存储器中可以存储按 MPEG II 标准压缩的数据，并从其重放所存储的数据。HD-DVCR 使用与
15 SD-DVC(标准数字摄录一体机)相同的记录格式和信道处理部分。例如，对 525/60 系统来说，HD-DVCR 采用把一帧数据记录在 10 个磁道上的 10 段记录格式，和采用对压缩数据纠错的内纠错码和外纠错码。

然而，由于 HD-DVCR 运用了按照 MPEG II 标准的可变长度编码，因此，此与 SD-DVC 提供的约 1/5 压缩率相比，它提供了更高的压缩率。因此，
20 当 HD-DVCR 和 SD-DVC 使用相同的纠错技术时，根据传输信道的差错等级，HD-DVCR 提供了比 SD-DVC 低的画面质量。也就是说，尽管 SD-DVC 提供了极好的画面质量，但 HD-DVCR 造成画面质量的严重降低并使画面不能恢复。

发明内容

25 为解决上述问题，本发明的目的是提供一种除了内纠错码和外纠错码之外还采用附加纠错码来增强纠错能力的纠错方法。

本发明的另一个目的是提供一种实施上述三重纠错方法的设备。

为了实现本发明的上述目的，本发明提供了一种供在若干磁道上分散地记录一帧数据的记录/重放设备使用的纠错方法，所述纠错方法包括以下
30 步骤：(a)把接收的数字数据格式转换成各具有预定长度的同步块；(b)运用步骤(a)中存储的同步块交错每帧中被分配在不同磁道上的同步块数据，对

交错的数据执行纠错编码；(c)对纠错编码的数据执行内纠错编码和外纠错编码。

为了实现本发明的另一个目的，本发明提供了一种用于在若干磁道上分散记录一帧数据的记录/重放设备，该记录/重放设备包括：

- 5 一转换编解码器(trans-codec)，把接收的数字数据格式转换成各具有预定长度的同步块和把同步块转换成接收的数字数据所具有的格式；

纠错装置，运用转换编解码器供给的同步块来交错每帧中被分配在不同磁道上的同步块数据并对交错的数据执行帧纠错编码，以及纠错解码和解交错帧纠错编码的数据；

- 10 一个纠错编解码器，对帧纠错编码的数据执行内码/外码纠错编码，和对内码/外码纠错编码的数据执行内码/外码纠错解码；和

一个记录/重放单元，把纠错编解码器供给的数据记录在记录媒体上，和把记录在记录媒体上的数据供给纠错编解码器。

附图说明

- 15 图 1 是示出采用按照本发明的优选实施例的帧纠错的 HD-DVCR 的一部分的方框图；

图 2 是图 1 所示的帧纠错编解码器的详细方框图；

图 3 是用于解释在图 2 所示的主存储器中存储的一帧数据的图；

- 20 图 4 是用于解释帧、磁道、总线允许信号 Busenb、数据和时钟的关系的时序图；

图 5 是用于解释图 2 所示的 ECC 芯 26 的工作的示意图；

图 6A 至图 6H 是用于解释图 2 所示的帧纠错编解码器 20 的工作的时序图；

图 7 示出了执行帧纠错编码之后关于主存储器的存储映像；

- 25 图 8 示出了本发明的 HD-DVCR 中的磁道格式。

具体实施方式

下面参照附图说明本发明的优选实施例。

- 参见图 1，本发明优选实施例的 HD-DVCR 包含一个转换编解码器 10，一个帧纠错编解码器 20 和一个 SD-DVC 信道系统 30。SD-DVC 信道系统
30 30 包含一个内/外纠错编解码器 31、一个数字调制解调器 32 和一个记录/重放单元 33。

当图 1 的设备执行记录操作时, 转换编解码器 10 接收按照 MPEG II 标准的压缩和编码的数据流, 即, 含有程序的数据流, 并把接收的数据流整理为各具有 188 字节数据量的数据包。然后, 转换编解码器 10 把两个包转换成同步块格式。具体地说, 转换编解码器 10 消除每个包中含有的 1 字节同步信号, 并把含有包信息的 3 字节的时间标记附加字头加到每个包的前端。因此, 转换编解码器 10 使用形成 5 个同步块的两个包, 并把含有同步块信息的 1 字节同步块附加字头加到每个同步块的前端。因此, 5 个同步块具有总数为 385 字节的数据, 而每个同步块的数据变为 77 字节。由转换编解码器 10 变化成同步块格式的形式的数据被提供给帧纠错编解码器 20。

10 帧纠错编解码器 20 以帧为单位执行把为帧纠错码的奇偶校验插入转换编解码器 10 提供的数据中的操作。已插入奇偶校验的数据被送给 SD-DVC 信道系统 30。SD-DVC 信道系统 30 中的内/外纠错编解码器 31 对帧纠错编解码器 20 供给的数据执行内码纠错编码和外码纠错编码。即, 内/外纠错编解码器 31 把为内纠错码的内奇偶校验和为外纠错码的外奇偶校验插入从帧纠错编解码器 20 接收的数据中。数字调制解调器 32 对内/外纠错编解码器 15 31 供给的数据执行数字调制。记录/重放单元 33 在作为记录媒体的磁带上记录数字调制解调器 32 供给的数据。

当图 1 的设备执行重放操作时, 构成图 1 设备的部件执行与上述记录操作相反的信号处理。

20 图 2 是图 1 所示的帧纠错编解码器 20 的具体方框图。图 2 所示的帧纠错编解码器 20 具体结构和操作将参照图 3 至图 7 说明。

图 3 示出了在图 2 所示的帧纠错编解码器 2 的主存储器 24 中存储的一帧数据。在图 3 中, 字符 T 代表构成一帧的 10 个磁道的磁道数量, 其范围为 0 至 9。当磁道对数目 Trp 为 0 至 4 的数值时, 偶数磁道的磁道数为 $Trp * 2$, 奇数磁道的磁道数为 $Trp * 2 + 1$ 。字符 S 代表每个磁道中的同步块数目, 其范围为 21 至 155; 字符 B 代表每个同步块中的字节位置数目, 其范围为 6 至 81。

图 4 是用于解释帧、磁道、总线允许信号 Busenb、数据和时钟的关系的时序图。在图 4 中, 帧脉冲信号的周期对应于每一帧, 磁道脉冲信号中的高电平或低电平对应于一磁道。

转换编解码器 10 输出的同步块数据以 8 比特数据的形式提供给帧纠错

编解码器 20。在图 4 中，转换编解码器 10 供给的数据被表示为有效数据。图 2 所示的第一缓冲器 21 接收转换编解码器 10 输出的同步块数据，把接收的同步块数据转换成 16 比特数据形式并向第一暂时存储器 22A 输出转换的结果。特别是，在总线允许信号 Busenb 处于高电平时的时间期间，转换编解码器 10 输出的数据经第一缓冲器 21 送给第一暂时存储器 22A。第一暂时存储器 22A 暂时存储第一缓冲器 21 输出的用于定时控制的数据并向第一开关 23 输出存储的数据。当数据从第一暂时存储器 22A 输出到第一开关 23 时，在控制器 28 的控制下第一开关 23 的可动触点顺序地和交替地连接(接触)固定触点 b 和 c。在可动触点接触固定触点 b 的时间期间，第一暂时存储器 22A 供给的数据送给主存储器 24。同时，在可动触点接触固定触点 c 的时间期间，主存储器 24 存储的帧纠错编码数据送给第四暂时存储器 22D。

在这个实施例中，存储器 22A 至 22D 暂时存储从开关 23 和 25 以及用于定时控制的 ECC 芯 26 输出并由 SRAM 执行的数据。主存储器 24 具有各存储一帧数据的 3 个存储区，并使用与每帧对应的存储区以顺序地和循环地执行从第一暂时存储器 22A 接收的相应帧的数据的存储操作、和帧纠错的数据输入及输出操作、以及向第四暂时存储器 22D 输出帧纠错编码数据的操作。

控制器 28 使用关于帧纠错编解码器 20 的数据输入和输出操作的 9MHz 的时钟信号，和使用用于内部数据传递和处理操作的 9MHz 和 27MHz 的时钟信号。这是因为关于主存储器 24 的数据输入和输出以及一帧单元的纠错编码应该在关于每帧的预定时间内完成。换句话说，关于整个数据的交错操作、码字生成操作和在主存储器 24 中存储生成的码字的操作应该在给定时间期间在帧内执行。在该实施例中，主存储区 24 作为提供短时间的可写/可读短脉冲串模式的同步 DRAM 来实现。然而，主存储器 24 可以作为快页(FP)DRAM 或 Rambus DRAM 来实现。

当与一帧对应的时间间隔经过时，一帧的整个数据就存储在主存储器 24 的一个存储区中。然后，在控制器 28 的控制下，主存储器 24 根据预定的交错方案选择存储的一帧视频数据。主存储器 24 向第一开关 23 输出作为信息字的所选择视频数据。

在图 4 所示的总线允许信号为低电平的时间期间，帧纠错编解码器 20

处理用于帧纠错编码的由转换编解码器 10 供给的数据。为此，在控制器 28 的控制下，第一开关 23 的可动触点接触固定触点 a，第二开关 25 的可动触点顺序地和交替地接触固定触点 d 或 c。因此，主存储器 24 输出的信息字通过第一和第二开关 23 和 25 以及第二暂时存储器 22B，然后加给 ECC 芯 26。ECC 芯 26 输出的数据依次通过第三暂时存储器 22C 和开关 25 及 23，然后存储在主存储器 24 中。

图 5 是用于解释图 2 所示的 ECC 芯 26 工作的示意图。ECC 芯 26 运用广泛地用作纠错码的里德-所罗门码(R-S 码)并执行关于第二暂时存储器 22B 供给的信息字的帧纠错编码。在该实施例中，ECC 芯 26 使用(135, 125)R-S 代码，其中关于每帧的纠错编码代码的生成多项式被给定为 $g(X) = X^8 + X^4 + X^3 + X^2 + 1$ 。如果数据多项式被给定为 $D(X) = D_{124}X^{124} + D_{123}X^{123} + D_{122}X^{122} + \dots + D_1X + D_0$ ，则用 $g(X)$ 除 $X^{10}D(X)$ 得到的余项由下式(1)表示。

$$P(X) = K_9X^9 + K_8X^8 + K_7X^7 + K_6X^6 + K_5X^5 + K_4X^4 + K_3X^3 + K_2X^2 + K_1X + K_0 \quad \dots(1)$$

公式(1)中的系数 K_9 、 K_8 、 K_7 、 K_6 、 K_5 、 K_4 、 K_3 、 K_2 、 K_1 和 K_0 是用于帧纠错的奇偶校验。因而，码字多项式被表示为 $CW = D_{124}X^{124} + D_{123}X^{123} + D_{122}X^{122} + \dots + D_1X + D_0 + K_9X^9 + K_8X^8 + K_7X^7 + K_6X^6 + K_5X^5 + K_4X^4 + K_3X^3 + K_2X^2 + K_1X + K_0$ 。每个同步块数与码字之间的关系在图 5 中示出，并由下式(2)定义。

$$CW = \sum_{i=0}^{134} R(i)X^i \quad \left\{ \begin{array}{ll} R(i)=K(i), & i=0\dots9 \\ R(i)=D(i-10), & i=10\dots134 \end{array} \right. \quad \dots(2)$$

在图 5 中，同步块数对应于视频数据的同步块，其范围为 21 至 155。D0 至 D124 是从同步块选择的视频数据的信息字，K0 至 K9 是与 D0 至 D124 对应的奇偶校验。信息字和对应的奇偶校验构成码字。通过使用关于同步块数据的 R-S 码来获得码字。

图 6A 至图 6H 是用于解释图 2 所示的帧纠错编解码器 20 工作的时序图。参见图 6A，当使用 9MHz 的总线允许信号 Busenb 时，控制器 28 生成 84 个时钟脉冲；当使用 27MHz 的总线允许信号 Busenb 时，控制器 28 生成 252 个时钟脉冲。如图 6B 所示，在控制器 28 的控制下，为关于主存储器 24 的第(N-1)帧中包含的同步块数据的纠错编码分配从总线允许信号

Busenb 的高电平时间起点到低电平段中 126 个时钟脉冲的时间间隔。在总线允许信号 Busenb 的低电平段的剩余 126 个时钟脉冲中, 前 63 个时钟脉冲被分配有用于存储主存储器 24 中第一暂时存储器 22A 输出的第 N 帧同步块数据的时间间隔(图 6C); 剩下的 63 个时钟脉冲被分配有用于把主存储器 24 中存储的第(N-2)帧的纠错编码数据输出到第四暂时存储器 22D 的时间间隔(图 6D)。在一帧的帧纠错编码的时间间隔期间, 主存储器 24 根据预定的交错方案读出作为 125 字节信息字的存储的第(N-1)帧视频数据。信息字经开关 23 和 25 被存储在第二暂时存储器 22B 中(图 6E)。第二暂时存储器 22B 中存储的信息字被稍微延迟, 然后加给 ECC 芯 26(图 6F)。如参照图 5 所述的 ECC 芯 26 执行帧纠错编码操作。由此获得的 135 字节码字被存储在第三暂时存储器 22C 中(图 6G)。在帧纠错编码的下一个时间间隔期间, 第三暂时存储器 22C 向第二开关 25 供给 ECC 芯 26 生成的码字。该码字依次经开关 25 和 23 存储在主存储器 24 中(图 6H)。为了对所有 10 个磁道的数据经进行帧纠错编码, 重复执行上述过程。因此, 一帧, 即, 总共 10 个磁道的视频数据以奇偶校验被分散在 10 个磁道中的码字的形式被存储在主存储器 24 中。

当完成关于一帧的帧纠错编码时, 存在关于一帧的所有视频数据的 760 个码字。假定 n 代表 0 至 759 的码字编号, i 代表关于每个码字的字节的索引(index), 76 是每磁道的码字数, 则根据预定交错方案, 用下式(3)表达帧纠错编码之前的 B、S 和 T 与帧纠错编码块中字节的索引 i 的关系。

$$B = (n-i) \bmod(76) + 6$$

$$S = i + 21$$

$$T = (n * \text{div}(76) + 1 * 7) \bmod(10) \quad \dots(3)$$

在这里, div(.)是除法算子, mod(.)是模数算子。

根据公式(3)所示的关系, 根据预定交错方案, 码字数在 10 个磁道上顺序增加, 同步块数和字节位置也顺序增加。然而, 上述顺序增加并无限定本发明。因此, 如果码字数、同步块数和字节位置在一帧上分配, 则它们可以以不同的形式变化。例如, 同步块数和字节位置可以顺序地减少或以不同形式改变。

图 7 示出了执行帧纠错编码之后的关于主存储器 24 的存储映像。参见图 7, 主存储器 24 具有 3 帧的数据存储容量, 其中每帧由 10 个磁道组成。

每个磁道由 10 个字节的奇偶校验、125 个字节(sb0 至 sb124)的信息字和 38 个码字组成。由于第一缓冲器 21 把转换编解码器 10 接收的数据转换成 16-比特数据形式并输出该结果,因此与每个磁道对应的码字数目是 38。因此,当第一缓冲器 21 不改变接收数据的比特数并将其提供给第一暂时存储器 5 22A 时,与每个磁道对应的码字数变成 76。

ECC 芯 26 生成的码字被存储在第三暂时存储器 22C 中。暂时存储器 22C 存储的码字中用于帧纠错的奇偶校验经开关 23 和 25 存储在主存储器 24 中。在控制器 28 的控制下,第一开关 23 的可动触点与固定触点 c 接触,从主存储器 24 读出的帧纠错编码数据存储在第四暂时存储器 22D 中。第四暂时存储器 22D 存储的数据输入第二缓冲器 27。第二缓冲器 27 把输入数据比特变换成适于传送到 SD-DVC 信道系统 30 的形式。这里,存储器 22B 至 10 22D、ECC 芯 26 和第二缓冲器 27 在 9MHz 时钟下工作。第二缓冲器 27 向 SD-DVC 信道系统 30 输出接收的数据。

SD-DVC 信道系统 30 的内/外纠错编解码器 31 执行纠错编码,用于把 15 内纠错码和外纠错码插入到已经以帧为单位纠错编码的数据中,然后进行数字解调以便在记录媒体如磁带上记录。因此,将图 8 中所示的格式记录在磁带上。

图 8 示出了本发明的 HD-DVCR 的磁道格式。参见图 8,每个磁道包含插入和磁道信息(ITI)区、音频区、视频区和子代码区。音频区包含由 9 个同步块组成的音频数据、由用于音频数据的 5 个同步块组成的外码纠错码区 ECC2。视频数据包含由 2 个同步块组成的视频辅助数据 VAUX、本发明的帧纠错码、由 125 个同步块组成的视频数据、由一个同步块组成的 VAUX 数据和用于视频数据的外码纠错码 ECC2。除了增加的帧纠错码 ECC3 外,上述的磁道格式与普通的 SD-DVC 中定义的磁道格式相同。

25 在上述 HD-DVCR 的重放时间,通过与记录操作相反的过程执行数据纠错解码操作。具体地,帧纠错编解码器 20 利用主存储器 24 中存储的数据包含的奇偶校验形成信息字。主存储器 24 运用参照上述公式(3)描述的交错方案,从而以帧纠错编码之前的形式重新排列数据。转换编解码器 10 格式转换以包为单位的帧纠错解码的同步块数据并输出其结果。

30 在上述实施例中,暂时存储器 22A 至 22D 已经被用于数据的定时控制。然而,当向帧纠错编解码器 20 输入和从帧纠错编解码器 20 输出的数据具

有可以在一帧的时间间隔期间处理的高速据率时，不使用上述暂时存储器 22A 至 22D。

如上所述，本发明的三重纠错方法和设备执行内码和外码纠错以及附加的帧纠错编码，因而改进了高压缩系统如 HD-DVCR 的重放期间的画面质量，并避免了破坏画面。

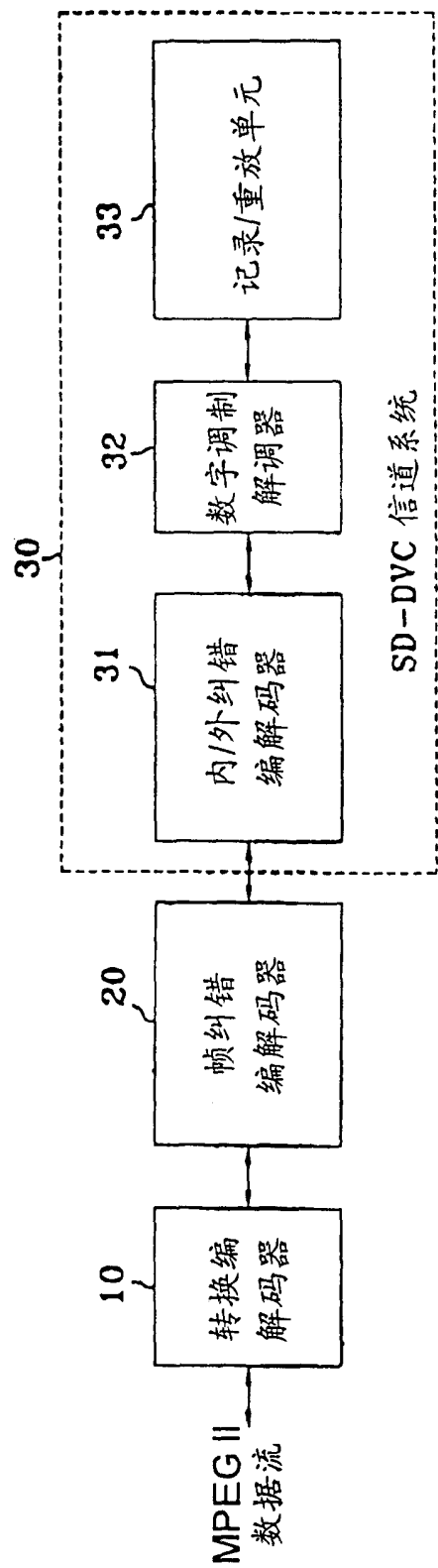
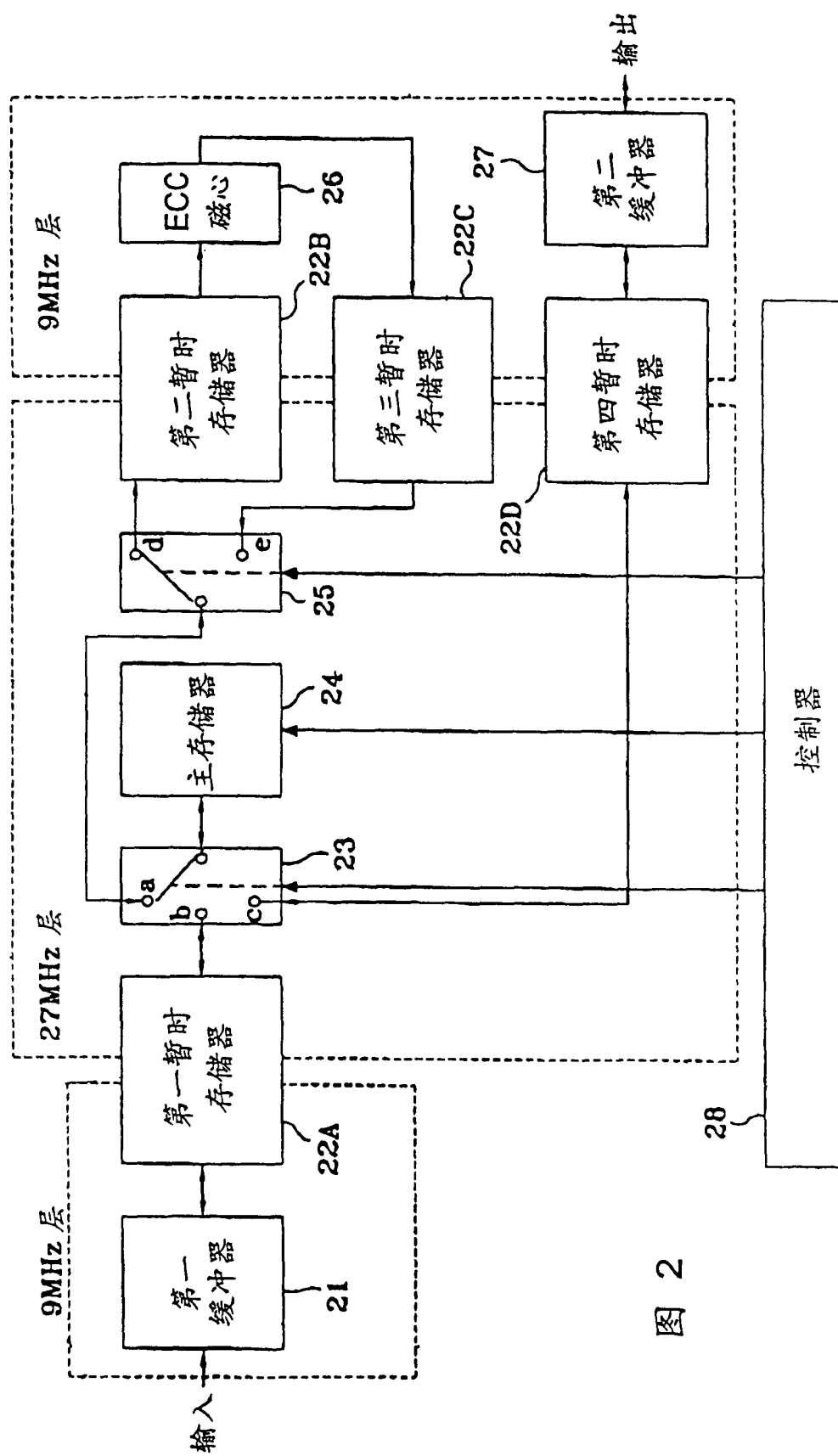


图 1



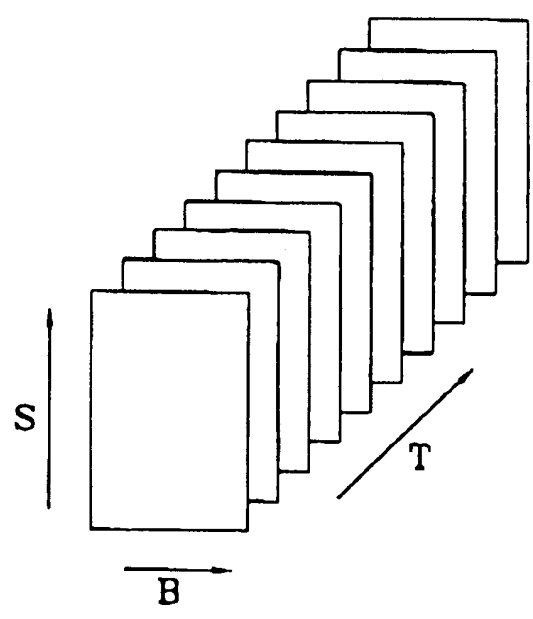


图 3

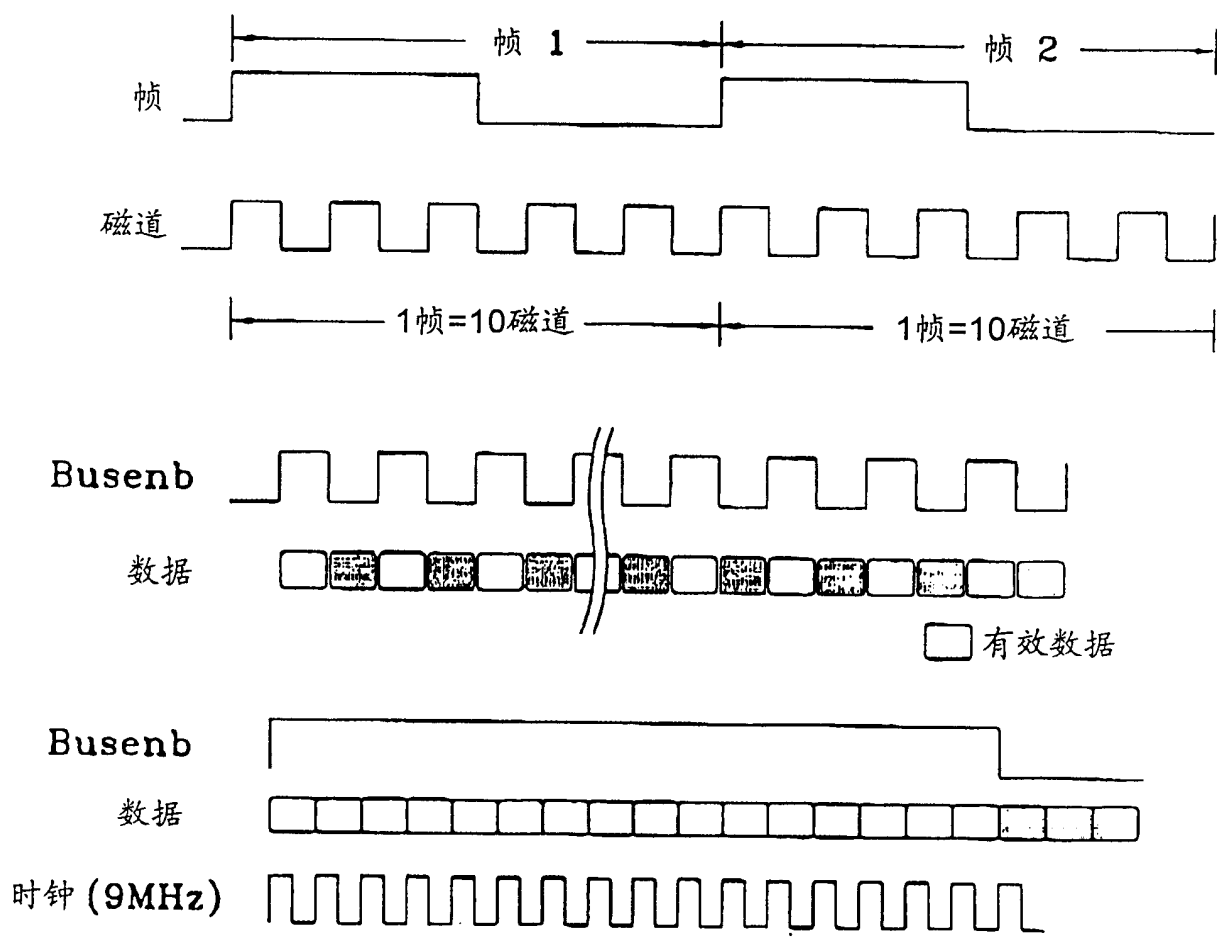


图 4

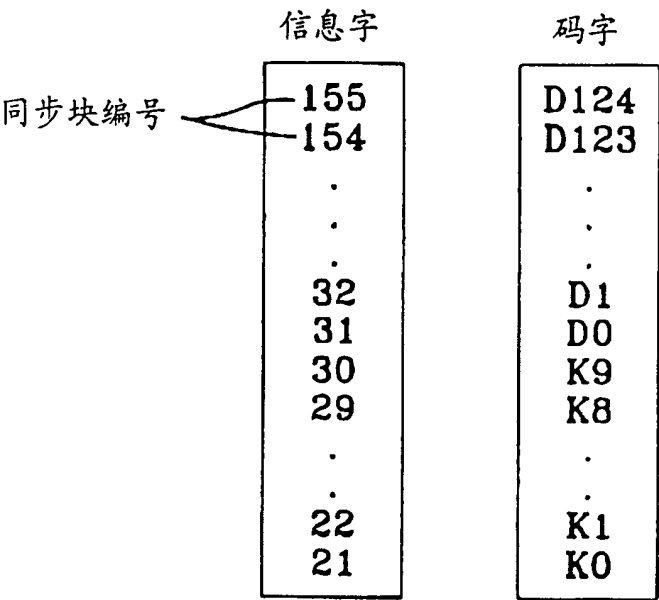
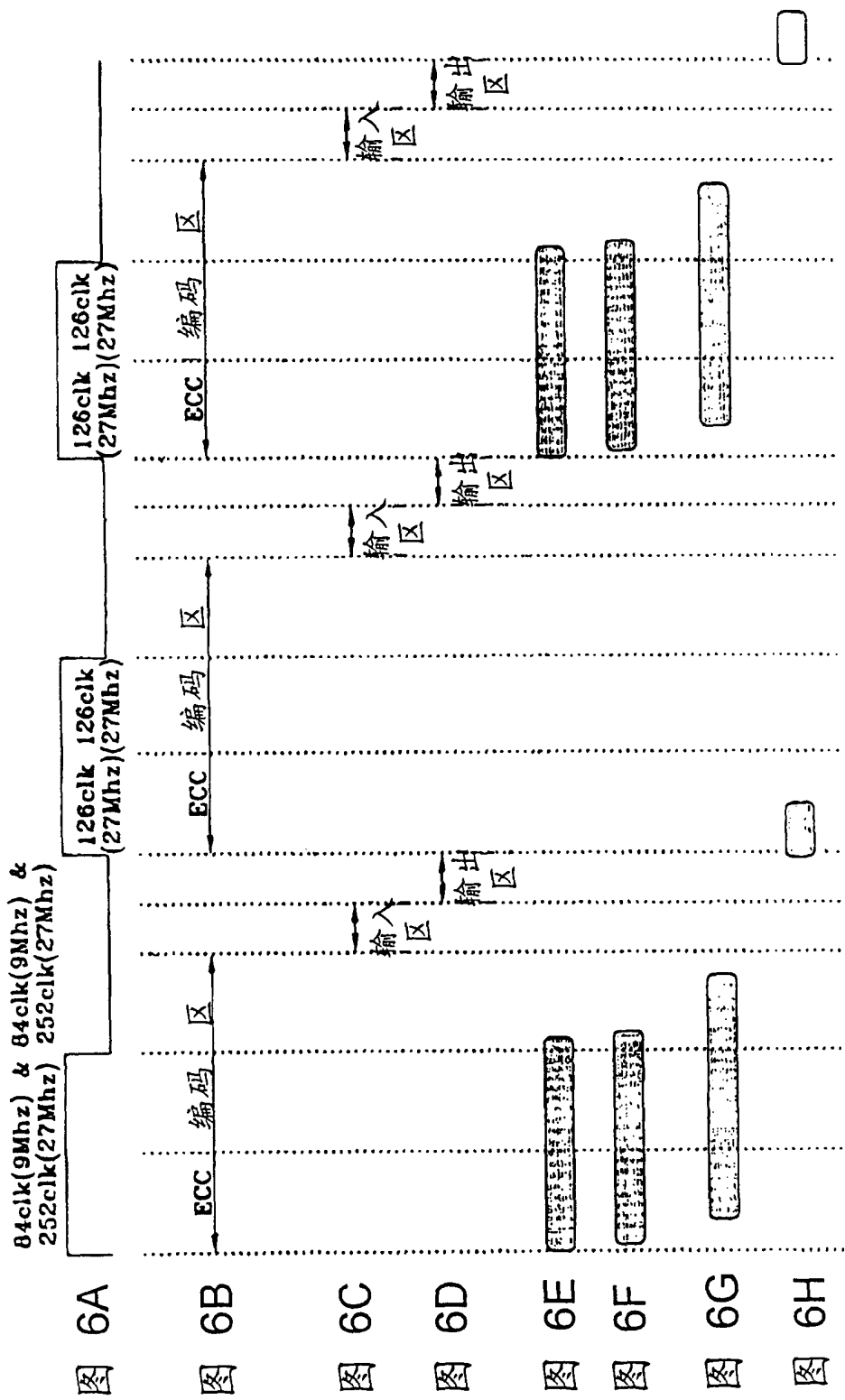


图 5



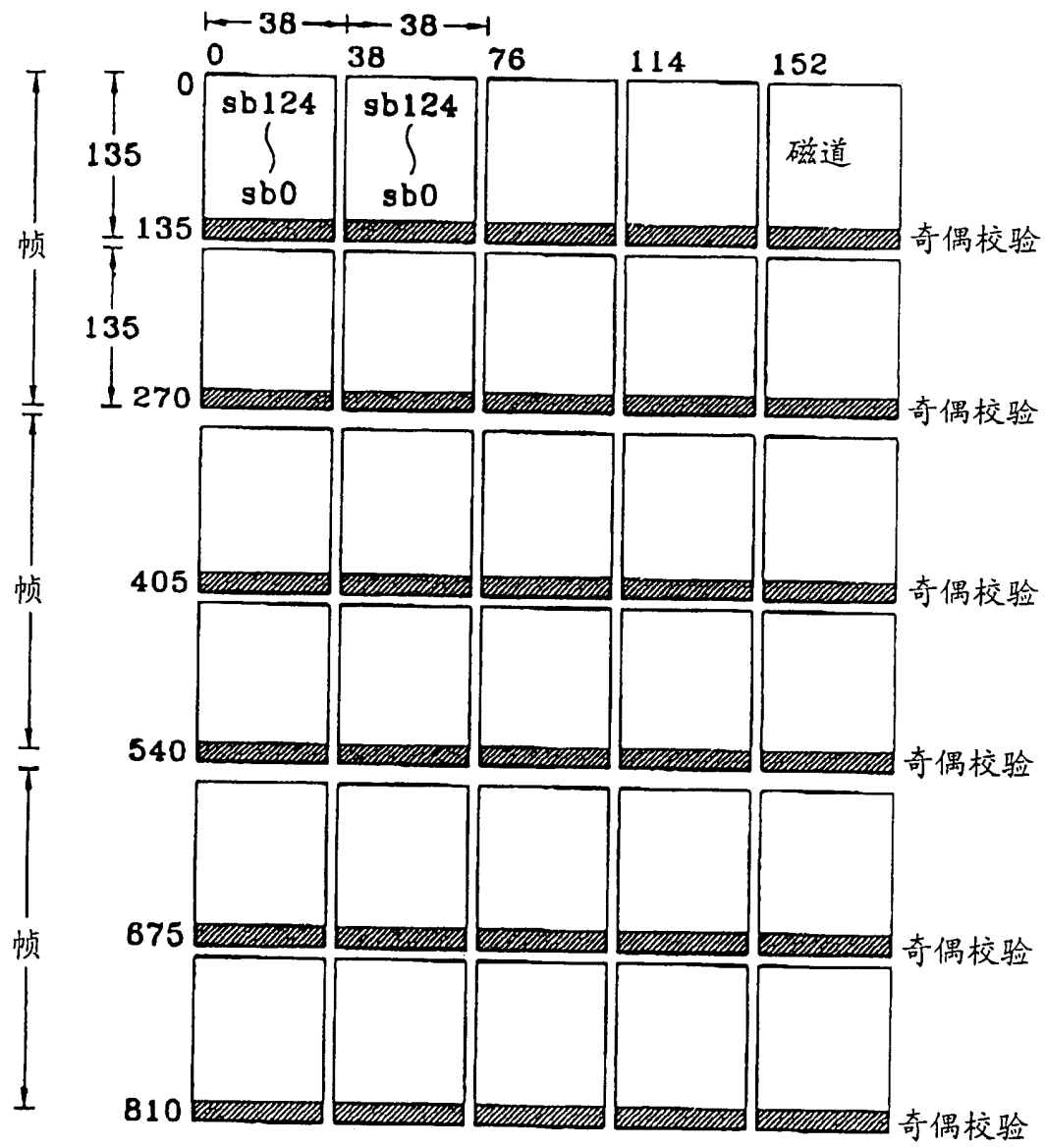


图 7

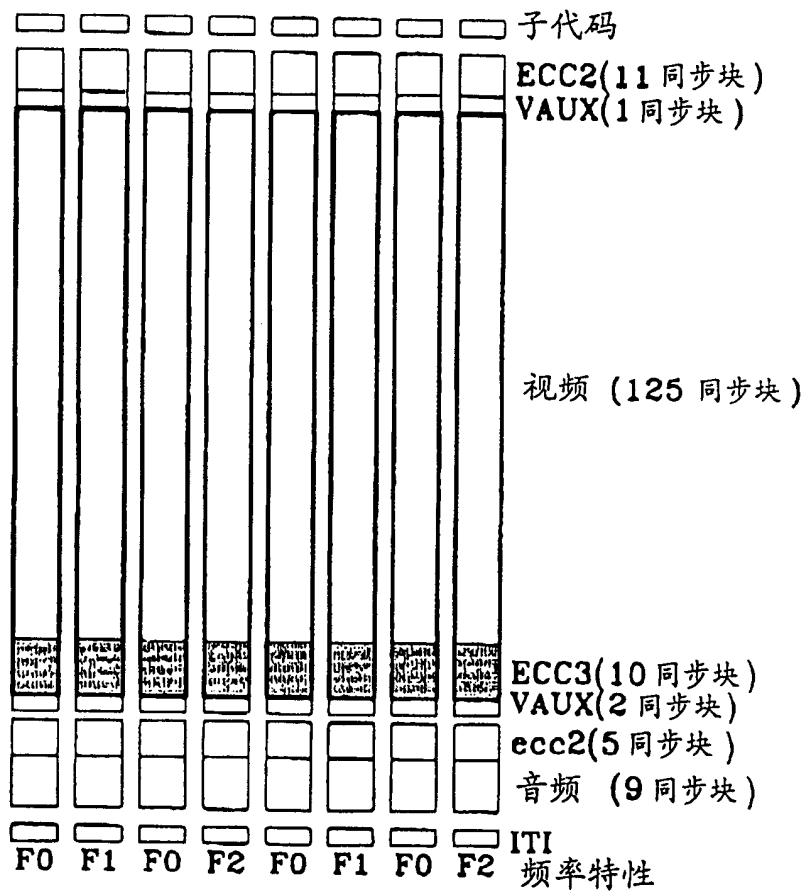


图 8