

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6474555号
(P6474555)

(45) 発行日 平成31年2月27日(2019.2.27)

(24) 登録日 平成31年2月8日(2019.2.8)

(51) Int.Cl.			F I		
HO2M	7/48	(2007.01)	HO2M	7/48	M
HO2M	7/483	(2007.01)	HO2M	7/483	
HO1L	25/07	(2006.01)	HO1L	25/04	C
HO1L	25/18	(2006.01)			

請求項の数 14 (全 18 頁)

(21) 出願番号	特願2014-138597 (P2014-138597)	(73) 特許権者	508346767
(22) 出願日	平成26年7月4日(2014.7.4)		アーベーベール・テクノロジー・アーゲー
(65) 公開番号	特開2015-19569 (P2015-19569A)		スイス・CH-8050・チューリッヒ・
(43) 公開日	平成27年1月29日(2015.1.29)		アフォルテルンシュトラッセ・44
審査請求日	平成29年5月15日(2017.5.15)	(74) 代理人	110001195
(31) 優先権主張番号	13176361.7		特許業務法人深見特許事務所
(32) 優先日	平成25年7月12日(2013.7.12)	(72) 発明者	トビアス・ピクストレーム
(33) 優先権主張国	欧州特許庁 (EP)		スイス、5704 エーグリズビル、アイ
		(72) 発明者	トーマス・セッツ
			スイス、5106 フェルトハイム、エル
			リーベーク、16
		審査官	佐藤 匡
			最終頁に続く

(54) 【発明の名称】 高出力半導体モジュール、モジュール式マルチレベルコンバータシステム、および高出力半導体モジュールをバイパスするための方法

(57) 【特許請求の範囲】

【請求項1】

高出力半導体モジュール(10)であって、
前記モジュール(10)上に搭載され、少なくとも2つの電気的接続(14a, 14b)を含む高出力半導体装置(12)と、

前記モジュール(10)上に搭載され、トリガ信号(23)を受信すると、前記高出力半導体モジュール(10)の半導体(30, 32)を電気的に破壊することによって、前記2つの電気的接続(14a, 14b)の間に持続的な電気的導通経路(92)を形成するように適合される短絡装置(16)とを含み、

前記高出力半導体装置(12)は高出力半導体(30)を含み、前記短絡装置(16)は短絡半導体(32)を含み、前記短絡半導体(32)は前記高出力半導体(30)によって取り囲まれる、高出力半導体モジュール(10)。

【請求項2】

前記持続的な電気的導通経路(92)は、前記高出力半導体装置(12)の高出力半導体(30)の少なくとも一部を破壊することによって形成され、および/または、

前記持続的な電気的導通経路(92)は、前記短絡装置(16)の短絡半導体(32)の少なくとも一部を破壊することによって形成される、請求項1に記載の高出力半導体モジュール(10)。

【請求項3】

前記短絡装置(16)は短絡半導体(32)としてサイリスタ(24)を含み、ならば

10

20

に/または前記高出力半導体装置(12)は、サイリスタ、GTO、IGCT、IGBT、および/もしくはダイオードを高出力半導体(30)として含む、請求項1または請求項2に記載の高出力半導体モジュール(10)。

【請求項4】

前記短絡装置(16)は、犠牲領域を与える短絡半導体(32)を含み、前記犠牲領域は、前記トリガ信号(23)によってトリガされる電流パルスによって破壊されるように構成される、請求項1～請求項3のいずれか1項に記載の高出力半導体モジュール(10)。

【請求項5】

前記高出力半導体(30)および前記短絡半導体(32)は共通基板(28)に配置される、請求項1～請求項4のいずれか1項に記載の高出力半導体モジュール(10)。

10

【請求項6】

前記高出力半導体(30)の側部に取付けられる極片(60)をさらに備え、
前記極片(60)は、前記短絡半導体(32)に前記トリガ信号(23)を送信するための、ばねにより付勢された接続ピン(70)用の、絶縁された取付部(64)を伴う穴(62)を含み、および/または、
前記極片(60)は、絶縁された制御リード(44)が前記極片(60)に取付けられたトレンチ(74)を含む、請求項1または請求項5に記載の高出力半導体モジュール(10)。

【請求項7】

20

前記高出力半導体装置(12)は、前記共通基板(28)に配置された還流ダイオード(34)を含む、請求項5に記載の高出力半導体モジュール(10)。

【請求項8】

前記高出力半導体装置(12)および前記短絡装置(16)は、共通基板(28)の円板(26)に配置され、
前記円板(26)は、前記短絡半導体(32)を含む中央領域(36)と、前記中央領域(36)を取り囲み、還流ダイオード(34)を含む第1の環状領域(38)と、前記第1の環状領域(38)を取り囲み、前記高出力半導体(30)を含む第2の環状領域(40)とを含む、請求項5～請求項7のいずれか1項に記載の高出力半導体モジュール(10)。

30

【請求項9】

前記短絡装置(16)は、前記電氣的導通経路(92)が形成されるように半導体(30, 32)を破壊するための電気エネルギー、および/または前記短絡装置(16)をトリガするための電気エネルギーを与えるためのキャパシタ(20)を含む、請求項1～請求項8のいずれか1項に記載の高出力半導体モジュール(10)。

【請求項10】

前記短絡装置(16)の前記キャパシタ(20)は、前記高出力半導体装置(12)のキャパシタ(18)が放電するときに、前記短絡装置(16)のキャパシタ(20)の放電を防ぐために、ダイオード(22)を介して前記高出力半導体装置(12)の前記キャパシタ(18)に接続される、請求項9に記載の高出力半導体モジュール。

40

【請求項11】

前記短絡装置(16)は、光ファイバ接続(54)と、前記光ファイバ接続(54)からのトリガ信号(23)を電氣的なトリガ信号に変換するための制御回路(46)とを含む、請求項1～請求項10のいずれか1項に記載の高出力半導体モジュール(10)。

【請求項12】

前記高出力半導体装置(12)は、光ファイバ接続(52)と、前記光ファイバ接続(52)からの制御信号を処理するための制御回路(49)とを含む、請求項1～請求項11のいずれか1項に記載の高出力半導体モジュール(10)。

【請求項13】

モジュール式マルチレベルコンバータシステム(94)であって、

50

請求項 1 ~ 請求項 1 2 のいずれか 1 項に記載の、複数の高出力半導体モジュール (1 0) と、

前記高出力半導体モジュール (1 0) の高出力半導体装置 (1 2) を制御するためのコントローラ (9 8) とを含み、

前記コントローラ (9 8) は、高出力半導体装置 (1 2) の故障を検出するとともに、トリガ信号 (2 3) を短絡装置 (1 6) に与えて、故障した高出力半導体装置 (1 2) をバイパスするように適合される、モジュール式マルチレベルコンバータシステム (9 4)

【請求項 1 4】

請求項 1 ~ 請求項 1 2 のいずれか 1 項に記載の高出力半導体モジュール (1 0) をバイパスするための方法であって、

前記高出力半導体モジュール (1 0) の故障を検出するステップ (S 1) と、

故障が検出されると、トリガ信号 (2 3) を生成するステップ (S 2) と、

前記トリガ信号 (2 3) を受信すると、前記高出力半導体モジュール (1 0) の半導体 (3 0 , 3 2) を電氣的に破壊することによって、前記高出力半導体モジュール (1 0) の 2 つの電氣的接続 (1 4 a , 1 4 b) の間に持続的な電氣的導通経路 (9 2) を形成するステップ (S 3) とを含む、高出力半導体モジュール (1 0) をバイパスするための方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1】

発明の分野

この発明は、高出力半導体モジュール、モジュール式マルチレベルコンバータシステム、および高出力半導体モジュールをバイパスするための方法に関する。

【背景技術】

【 0 0 0 2】

発明の背景

電圧の増大が多くのレベルの増大によって達成されてもよくなるにつれ、複数の高出力半導体モジュールを用いるマルチレベルトポロジを伴うモジュール式コンバータが、多くの応用に対して十分に適合されるかもしれない。さらに、複数のそのような半導体モジュールを用いることによって、冗長性が達成されるかもしれない。しかしながら、マルチレベルコンバータシステムの半導体モジュールに障害があるとき、その障害にもかかわらずシステムを機能し続けるよう維持するために、モジュールの回路を短絡させることが必要とされるかもしれない。そのとき、マルチレベルコンバータシステムは 1 つ少ないモジュールで動作するが、残りのモジュールが依然としてそれらの安全制限内において動作している場合、電力変換は、出力においてほとんどいかなる顕著な変化もなく継続するであろう。

【先行技術文献】

【特許文献】

【 0 0 0 3】

【特許文献 1】特開平 1 1 - 2 9 7 8 4 6 号公報

【特許文献 2】中国特許出願公開第 1 0 2 8 0 1 2 9 5 号明細書

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4】

たとえば位相制御されるサイリスタ、ダイオード、GTO、IGBT、IGCTのような、モジュール式マルチレベルコンバータシステムにおいて用いられる、いわゆるバイポーラプレスバック装置は、故障で短絡するようにされ得るが、すべての考えられる故障事象が確実に短絡に至るように仮定することが可能であるとは限らず、装置は遮断しているかもしれないが制御可能ではないかもしれない。つまり、それらはオンにもオフにされな

10

20

30

40

50

いかかもしれない。一般的な故障は、半導体モジュールのスイッチの制御を、なんらかの理由、たとえば、障害のあるゲートユニット、破損したファイバ、または任意の他の障害によって失う、ということかもしれない。半導体モジュールが閉じることに失敗する場合、モジュールのキャパシタは過充電されるかもしれない、または、非常に増大した電圧が、最終的に、回路の一部の絶縁破壊を引起すかもしれない、それは、次いで、キャパシタに保存されたエネルギーの解放による非常にエネルギーのあるサージ電流を結果として生じるかもしれない。別の制御を伴う、たとえば磁気スイッチまたは点火スイッチのような機械的なバイパススイッチが、半導体モジュールを究極的にバイパスし、それを休止させるための解決策であるかもしれない。そのような機械的なバイパススイッチの1つの主な欠点は、そのような装置が貴重なモジュール空間を占め、費用がかかるかもしれない、適切な機能を確実にする定期点検を必要とするかもしれない、ということであろう。

10

【0005】

発明の説明

この発明の目的は、低コストで、かつ定期点検の必要性なく、安全な動作を伴う高出力半導体モジュールを提供することである。

【課題を解決するための手段】**【0006】**

この目的は独立請求項の主題によって達成される。さらなる例示的な実施例は、従属請求項および以下の記載から明らかである。

【0007】

20

この発明のある局面は、高出力半導体モジュール、たとえばモジュール式マルチレベルコンバータの半導体モジュールに関する。高出力という語は、高出力半導体モジュールが10Aより上の電流および/または1000Vより上の電圧の処理に対して適合されてもよいことを意味してもよいことが理解されなければならない。

【0008】

この発明の実施例によれば、高出力半導体モジュールは高出力半導体装置を含み、それは、モジュールに搭載され、少なくとも2つの電気的接続を含む。高出力半導体モジュールはさらに短絡装置を含み、それも、モジュールに搭載され、トリガ信号を受信すると2つの電気的接続の間に持続的な電気的導通経路を形成するように適合される。持続的な電気的導通経路は、高出力半導体モジュールの半導体を電気的に破壊することによって形成される。

30

【0009】

言い換えれば、高出力半導体モジュールは、たとえば機能不良、遮断、もしくは制御不可能な半導体接合、またはモジュールの電気部品もしくは電子部品における任意の他の故障などの、半導体モジュールのいかなる故障時においても、電気信号を用いてモジュールの半導体を破壊することによって、制御された態様で電気的にバイパスされてもよい。それによって、アノードおよびカソードであり得る高出力半導体装置の2つの電気的接続は、モジュール全体を安全に放電するために、および/またはモジュールを休止させるために、電気的に接続されしたがって短絡され得る。

【0010】

40

この発明の要旨は、高出力半導体モジュールにおける電子的自破壊チャネルの統合において理解され、それは、モジュール式マルチレベルコンバータシステムにおいて、および/または直列冗長性を伴う高出力半導体システムにおいて用いられ得る。

【0011】

高出力半導体モジュールはたとえばコンバータモジュールであってもよい。一般に、コンバータは、第1の交流電流または直流電流を、電圧および/または周波数において第1の電流とは異なる第2の交流電流または直流電流に変換するように適合される電気的装置であり得る。

【0012】

高出力半導体モジュールの規定された電気的なバイパスに加えて、たとえば、高出力半

50

導体装置を短絡させる磁気スイッチまたは点火スイッチのような機械的なバイパスを、安全性をさらに高めるためにモジュールにさらに搭載してもよい。

【0013】

この発明の実施例によれば、持続的な電氣的導通経路は、高出力半導体装置の高出力半導体の少なくとも一部の破壊によって形成され、および/または、持続的な電氣的導通経路は、短絡装置の短絡半導体の少なくとも一部の破壊によって形成される。

【0014】

対応して、たとえば遮断または制御不可能な半導体接合のような半導体モジュールの故障で、半導体モジュールの高出力半導体の少なくとも一部および/または短絡半導体の少なくとも一部の局所的な破壊を、たとえば対応する半導体のその部分を局所的に加熱し溶融することによって、永久的な電氣的導通経路を形成するのに十分に強力であり得る電気信号が供給されてもよい。

10

【0015】

この発明の実施例によれば、短絡装置は短絡半導体としてサイリスタを含んでもよく、および/または高出力半導体装置は高出力半導体として半導体スイッチを含んでもよく、それは、たとえばサイリスタ、トランジスタ、GTO、IGCT、IGBT、および/またはダイオードのように、電流を切換えるように適合され得る。

【0016】

短絡装置および高出力半導体装置の両方は複数のさまざまな異なる半導体を含んでもよく、つまり異なるタイプの半導体のアセンブリが高出力半導体モジュールに集積されてもよい。

20

【0017】

この発明の実施例によれば、短絡装置は、犠牲領域を与える短絡半導体を含み、犠牲領域は、トリガ信号によってトリガされる電流パルスによって破壊されるように構成される。

【0018】

これは、短絡装置の或る領域が、高出力半導体装置をバイパスするために電流フィラメントを通る局所的な破壊によって犠牲にされてもよいことを意味し得る。それによって、トリガ信号は、電気信号またはたとえば光ファイバ通信によって与えられる光信号のような任意の他の信号であってもよい。電氣的なトリガ信号は、それが電流パルスを与えて、犠牲領域を局所的に破壊するのに十分に強力ではない場合には増幅されてもよく、一方、任意の他の信号は、電流パルスに直接変換されてもよく、または電気信号に変換され、必要な場合には、増幅もされてよい。電流パルスを与えるために、および/または電気信号の増幅のために、電流源コンバータ、インダクタ、キャパシタまたは外部の電流源が、電源として機能してもよい。

30

【0019】

それとは別に、半導体を破壊する実際の電流パルスは、さらに、高出力半導体装置それ自体によって与えられてもよい。より正確には、電氣的なトリガ信号がモジュールの故障で与えられてもよい。このトリガ信号は、短絡装置をオンにするよう、つまりたとえば短絡装置のサイリスタを切換えるように働いてもよく、電氣的導通経路が高出力半導体装置の2つの電氣的接続間に形成され得る。次いで、高出力半導体は電気エネルギーを解放して、それは、たとえば、単一または複数のキャパシタに保存されて、短絡装置の半導体の少なくとも一部を破壊するように十分に高い電流パルスを与えてもよい。

40

【0020】

短絡装置の半導体をオンにすることに対しては、必要とされるエネルギーはかなり小さくてもよい。他方、半導体の破壊については、供給されるエネルギーは、たとえば典型的なGCTまたはサイリスタのセグメントのような半導体を局所的に溶融するために、約30mJであり得る。しかしながら、たとえばGCTセグメントに対するターンオフチャネルキャパシタのような、高出力半導体装置において適用される典型的なキャパシタは、約20Vに帯電される場合には、そのエネルギー量の何倍もの倍数を含み、通常は、高出力半導体

50

装置のゲートユニットには何十ものそのようなキャパシタがある。したがって、短絡装置の半導体をオンにすることおよびモジュールの半導体（つまり短絡装置または高出力半導体装置の半導体）の破壊の両方の戦略のために必要とされるエネルギーは、容易に提供されるだろう。

【0021】

この発明の実施例によれば、高出力半導体装置は高出力半導体を含み、短絡装置は短絡半導体を含み、高出力半導体および短絡半導体は共通基板に配置される。

【0022】

共通基板における高出力半導体および短絡半導体の両方の集積は、かなりコンパクトな高出力半導体モジュールを製造することを可能にし、モジュールの多くの構成要素を低減することを支援するだろう。これは、次いで、モジュールの製造のためのコストを低減し、構成要素の整備を単純化するであろう。それとは別に、共通基板における集積は、電気的導通経路が確実に形成されることを保証し、なぜならば、この経路は共通基板において直接形成されてもよく、たとえば磁気スイッチまたは点火スイッチのような外部の部品は必要とされなくてもよいからである。

【0023】

高出力半導体モジュールは、さらに、それぞれ、共通基板の複数のセルを含み、セルの各々は高出力半導体および短絡半導体ならびに少なくとも2つの電気的接続を含み得る。したがって、高出力半導体装置はさらに複数の高出力半導体を含んでもよく、短絡装置はさらに複数の短絡半導体を含んでもよい。モジュールのいかなる故障でも、2つの電気的接続の間の持続的な電気的導通経路が、トリガ信号の受信の際に、それぞれ、各セルにおいて、または複数のセルにおいて形成され得る。各セル内における電気的導通経路が、前のセクションおよび後のセクションにおいて記載されるように、モジュール全体を休止させるために形成されてもよい。

【0024】

この発明の実施例によれば、短絡半導体は、高出力半導体によって完全に取り囲まれる。

【0025】

そのような構成は、高出力半導体モジュールの製造を単純化し、および製造費用を低減し、ならびにモジュールの多くの異常を起こしやすい構成要素の低減によって信頼性のある態様で高出力半導体の2つの電気的接続の間に電気的導通経路を形成することを可能にするであろう。

【0026】

この発明の実施例によれば、極片が高出力半導体の側部に取付けられ、極片は、たとえば短絡半導体にトリガ信号を伝送するためのばねにより付勢された接続ピン用の絶縁された取付部を伴う穴を含み、および/または極片は、絶縁された制御リードが極片に取付けられたトレンチを含み、制御リードは、ばねにより付勢された接続ピンに接続され得る。

【0027】

制御リードは、必ずしもばねにより付勢された接続ピンによって短絡半導体装置と接触させられる必要はなく、任意の他の好適な態様において、たとえばはんだ接触または差込み式の接続で接触させられてもよい。

【0028】

極片は、たとえば、銅もしくは任意の他の好適な導電材料を含んでもよく、またはそれから形成されてもよい。接続ピンのための絶縁された取付部は、たとえば、極片の穴においてろう付けされ、したがって絶縁のために極片と接しているセラミックのブッシングの第1の領域と、接続ピンを制御リードと接触させるための第2の領域とを含む。第2の領域は、たとえば、第1の領域においてろう付けされるとともに第1の領域によって絶縁された銅のブッシングであってもよい。

【0029】

制御リードのためのトレンチは、たとえばプラスチック、セラミック、または任意の他

10

20

30

40

50

の絶縁材料でライニングされた、極片における単なるチャンネルであってもよい。

【0030】

この発明の実施例によれば、高出力半導体装置は、共通基板において配置された還流ダイオードを含む。

【0031】

一般的に、還流ダイオードは、さらに、フライバックダイオード、抑制器ダイオードまたはキャッチダイオードとして公知であってもよく、電源が急に低減されるか除去された場合に回路において誘導負荷にわたって生じる電圧の突然のスパイクであるフライバックを除去するために用いられ得る。したがって、共通基板に還流ダイオードを配置することによって、たとえば障害のある遮断半導体接合または電源に接続された回路の一部の絶縁破壊の結果としての電圧スパイクが回避され得る。

10

【0032】

この発明の他の実施例によれば、高出力半導体装置および短絡半導体装置は、共通基板の円板に配置される。それによって、円板は、短絡半導体を含む中央領域と、中央領域を取り囲むとともに、還流ダイオードを含む第1の環状領域と、第1の環状領域を取り囲むとともに、高出力半導体を含む第2の環状領域とを含み得る。

【0033】

共通基板内における、短絡半導体、還流ダイオードおよび高出力半導体の配置は、コンパクトな高出力半導体モジュールの製造を低コストで容易にするであろう。さらに、個々の構成要素の数を低減することによって、異常が生じやすい構成要素の数が低減され、それは次いで、モジュールの信頼性を増大するであろう。

20

【0034】

高出力半導体モジュールはさらに複数のセルを含み、それらは、さらに、円板形状であってもよく、セルの各々は、高出力半導体、短絡半導体および還流ダイオードを含み得る。セルの各々は、それぞれ、2つの電氣的接続によって電氣的に接続され得る。したがって、高出力半導体装置は複数の高出力半導体を含み、短絡装置は複数の短絡半導体を含み得る。高出力半導体モジュールのそのようなレイアウトは、特にIGBT上に基づくモジュールに適用され得る。そのようなモジュールにおいては、通常は、複数のIGBTセルがモジュール上に搭載され、並列に接続される。モジュールのいかなる故障ででも、2つの電氣的接続の間の持続的な電氣的導通経路が、トリガ信号の受信で、それぞれ、各IGBTセルにおいて、または複数のIGBTセルにおいて、形成されてもよい。各IGBTセル内における電氣的導通経路は、モジュール全体を休止させるために、前のおよび後のセクションにおいて記載されるように、形成されてもよい。

30

【0035】

この発明のさらに他の実施例によれば、短絡装置は、電氣的導通経路が形成されるように半導体の少なくとも一部を破壊するための、および/または短絡装置をトリガするための、つまりたとえば短絡装置の短絡半導体を切換えるための、電気エネルギーを与えるためのキャパシタを含む。

【0036】

短絡装置に個々および別々のキャパシタを備えることによって、モジュールの部品が障害を有するか、または任意の理由、たとえば壊れた回路のために休止状態にあっても、短絡半導体を切換えるための、および/またはモジュールの半導体を局所的に破壊するための電源が保証され得る。

40

【0037】

この発明の他の実施例によれば、短絡装置のキャパシタは、高出力半導体装置のキャパシタが放電すると、短絡装置のキャパシタの放電を防ぐために、ダイオードを介して高出力半導体装置のキャパシタに接続される。

【0038】

一旦モジュールが動作に入れば、短絡装置のキャパシタは高出力半導体装置によって充電され得る。万一モジュールの任意の故障が動作中に生じる場合、持続的な電氣的導通経

50

路が形成される前に短絡装置のキャパシタは放電しないことが保証され得る。たとえば、高出力半導体装置の主なゲートユニットが短絡した場合、短絡装置のキャパシタは、ダイオードを介して短絡装置から高出力半導体への電流の任意の逆流を防ぐことによって電氣的導通経路を形成するための電気エネルギーを依然として与えることができる。これは、短絡装置の適切な機能およびモジュールの安全な動作を確実にするであろう。

【0039】

それとは別に、ダイオードは、最終的な短絡による電力の逆流を回避しながら、短絡装置を高出力半導体装置から電氣的に分離するように機能し得る。これは次いで短絡装置および高出力半導体装置をたとえばモジュールの共通のプリント基板上に搭載することを可能にする。

10

【0040】

この発明の他の実施例によれば、短絡装置は、光ファイバ接続と、光ファイバ接続からのトリガ信号を電氣的なトリガ信号に変換するための制御回路とを含む。

【0041】

この発明のさらに他の実施例によれば、高出力半導体装置は、光ファイバ接続と、光ファイバ接続からの制御信号を処理するための制御回路とを含む。

【0042】

モジュールの付近では、かなり強い、静電界、磁界、および/または電磁界が、モジュールにおいて流れるかなり強い電流のために存在するかもしれない。したがって、短絡装置および高出力半導体装置の両方または一方を光ファイバ接続によって接触させることは、破壊または電氣的干渉がそれぞれの接続において生じないことを保証し得る。

20

【0043】

短絡装置および高出力半導体装置の両方の制御回路は、たとえば、信号を受信するための受信機、光信号を電気信号に、および電気信号を光信号に変換するためのコンバータ、光信号および/もしくは電気信号を増幅するための増幅器、光信号および/もしくは電気信号を送信するための送信機、ならびに/または光信号および/もしくは電気信号を処理するための処理ユニットを含んでもよい。

【0044】

短絡装置および高出力半導体装置の両方は、たとえば、たとえ光ファイバ接続が途絶されたとしても、モジュール全体の適切な通信および機能を保証するために、複数の冗長な光ファイバ接続および制御回路を含んでもよい。それとは別に、接続および回路における冗長性が、誤った信号を登録するためのツールを与えてもよい。たとえば、同一のはずであろう2つの信号が、互いとは強く異なる場合、これは異常を示し得る。

30

【0045】

この発明のさらなる局面はモジュール式マルチレベルコンバータシステムに関し、それは、先に、および後のセクションに記載されるような、複数の高出力半導体モジュールを含む。モジュール式マルチレベルコンバータシステムは、さらに、高出力半導体モジュールの高出力半導体装置を制御するためのコントローラを含み、コントローラは、高出力半導体モジュールの故障を検出するように、およびトリガ信号を短絡装置に与えて、故障した高出力半導体装置をバイパスするように、適合される。

40

【0046】

多くの高出力半導体モジュールの増大によって、電圧における増大、およびある程度の冗長性が達成され得る。

【0047】

モジュール式マルチレベルコンバータシステムのコントローラは、モジュールから光信号および/もしくは電気信号を受信するための受信機、光信号を電気信号に、および電気信号を光信号に変換するためのコンバータ、光信号および/もしくは電気信号を増幅するための増幅器、光信号および/もしくは電気信号を送信するための送信機、ならびに/または光信号および/もしくは電気信号を処理するための処理ユニットを含み得る。これらの構成要素はすべて、冗長性を与えると同時に、システムの適切な機能を保証するように

50

、多種多様の態様において利用可能であり得る。

【0048】

障害のあるモジュールは、たとえば、対応するモジュールから受信された信号を評価および/または解釈し、その信号を基準値と比較することによって、コントローラによって検出されてもよい。基準値は、たとえば、コントローラにおいて実施されてもよく、またはコントローラによって、たとえば参照テーブルにおいてアクセスされてもよい。それとは別に、たとえばモジュールの信号の周波数における欠如、遅延、変化、またはモジュールの信号の強度における変化は、障害のある高出力半導体モジュール、たとえば破損したファイバなどについての指標として働いてもよく、コントローラに、応答してトリガ信号を対応する短絡装置に与えさせてもよい。さらに、冗長な光ファイバ接続によって与えられる同一であるはずの信号における差も、モジュールの構成要素の故障を示し得る。

10

【0049】

この発明の他の局面は、高出力半導体モジュールをバイパスする方法に関する。この方法は、高出力半導体モジュールの故障を検出するステップと、故障が検出された場合に、トリガ信号を生成するステップと、トリガ信号を受信した時に、高出力半導体モジュールの半導体を電氣的に破壊することによって、高出力半導体モジュールの2つの電氣的接続の間に持続的な電氣的導通経路を形成するステップとを含む。

【0050】

高出力半導体モジュールの2つの電氣的接続は、前のセクションおよび後のセクションにおいて記載されるようなモジュール上に搭載され得る高出力半導体装置の2つの電氣的接続であり得る。

20

【0051】

上記および以下において記載されるような方法の特徴は、上記および以下において記載されるようなシステムおよび/またはモジュールの特徴であってもよいことが理解されなければならない。

【0052】

技術的に可能な場合であるが、明示的に言及されない場合でも、上記および以下に記載されるこの発明の実施例の組合せも、この方法およびシステムの実施例である場合がある。

【0053】

この発明のこれらおよび他の局面は以下に記載される実施例から明らかになり、それらを参照して説明される。

30

【0054】

図面の簡単な説明

この発明の主題は、添付の図面において示される例示的な実施例を参照して以下の記載に、より詳細に説明される。

【図面の簡単な説明】

【0055】

【図1】この発明の例示的な実施例に従う高出力半導体モジュールの概略的な回路図である。

40

【図2】この発明の例示的な実施例に従う高出力半導体モジュールの概略的な回路図である。

【図3】この発明の実施例に従う高出力半導体モジュールの概略的な断面側面図である。

【図4】図3の高出力半導体モジュールの概略的な上面図である。

【図5】図3の高出力半導体モジュールの一部を通る概略的な断面図である。

【図6】図3の高出力半導体モジュールの一部を通る概略的な断面図である。

【図7】モジュール式マルチレベルコンバータおよびそのコントローラのシステムの概略図である。

【図8】この発明の実施例に従う高出力半導体モジュールをバイパスする方法のステップを概略的に示すフローチャートを示す図である。

50

【発明を実施するための形態】

【0056】

原則として、同一の部分は図において同じ参照符号が付される。

例示的实施例の詳細な説明

図1は、例示的な実施例に従う高出力半導体モジュール10の回路図を概略的に示す。モジュール10は、少なくとも2つの電氣的接続14a, 14bを伴う高出力半導体装置12と、短絡装置16とを含む。高出力半導体装置12は、サイリスタ、GTO、IGCT、IGBT、および/またはダイオードを、高出力半導体30として含んでもよい。

【0057】

高出力半導体装置12は、さらに、ダイオード22を介して短絡装置16のキャパシタ20に電氣的に接続されるキャパシタ18を含む。ダイオード22は高出力半導体装置12のキャパシタ18が放電するときに短絡装置16のキャパシタ20の放電を防ぐように適合される。キャパシタ20はキャパシタ18より小さい容量を有してもよい。

【0058】

短絡装置16は、トリガ信号23を受信すると半導体30の少なくとも一部を破壊することによって2つの電氣的接続14a, 14b間に持続的な電氣的導通経路を形成するように適合され、トリガ信号23はモジュール10の故障で与えられ得る。

【0059】

短絡装置16はシャッターまたはスイッチ13を含んでもよく、それはトリガ信号23を受信すると閉じられる。スイッチ13が閉じられると、短絡装置16のキャパシタ20に保存された電気エネルギーは、半導体装置12を通して流れる電流を生成する。電流は半導体30を破壊し、それによって、持続的な電氣的導通経路を形成する。キャパシタ20に保存されたエネルギーは、したがって、少なくとも部分的に高出力半導体30の少なくとも一部を溶かし、結果的に電氣的導通経路を形成するために、高出力半導体30の少なくとも一部によって与えられる回路の抵抗性経路を加熱するよう十分に大きい。

【0060】

図2は、他の例示的な実施例に従う高出力半導体モジュール10の回路図を概略的に示し、短絡装置16は短絡半導体32としてサイリスタ24を含む。

【0061】

トリガ信号23を受信すると、短絡装置16はサイリスタ24を切換えるためにトリガされ得る。サイリスタ24は、2つの電氣的接続14a, 14b間に電氣的導通経路を与えてもよく、モジュール10を短絡させ得る。

【0062】

図3は、高出力半導体モジュール10の断面側面図を概略的に示す。図4は、図3の高出力半導体モジュール10の上面図を示す。

【0063】

高出力半導体装置12はモジュール10の回路基板11上に搭載される。短絡装置16もモジュール10の回路基板11上に搭載される。

【0064】

共通基板28の円板26に、高出力半導体装置12の高出力半導体30、短絡装置16の短絡半導体32、および還流ダイオード34が配置される。より正確には、円板26は、短絡半導体32(たとえばサイリスタ24)を含む中央領域36と、中央領域36を取り囲み、還流ダイオード34を含む第1の環状領域38と、第1の環状領域38を取り囲み、高出力半導体30を含む第2の環状領域40とを含む。

【0065】

サイリスタ24は、基板28の犠牲領域を与えてもよく、それは、キャパシタ20によって与えられ、トリガ信号23によってトリガされる電流パルスによって破壊されるように構成される。サイリスタ24の犠牲領域を破壊する方策と相補的に、さらに、図1に示されるように、高出力半導体30の一部が破壊されてもよい。

【0066】

10

20

30

40

50

高出力半導体装置 1 2 は、さらに、複数のキャパシタ部材 3 1 を伴うキャパシタ 1 8 を含み、それは、電解質タイプまたはフィルムタイプであってもよく、高出力半導体 3 0 を切換えるためのエネルギーを与えるよう機能し、高出力半導体装置 1 2 は、さらに、たとえば高出力半導体装置 1 2 を制御することに対して適合され得る制御電子機器（ゲートユニット）4 2 を含む。制御電子機器 4 2 は、たとえば、受信機、コンバータ、増幅器、送信機、および/または電子機器を含んでもよい。制御電子機器 4 2 は、ケーブルである、またはケーブルを含むリード 4 4 を介してサイリスタ 2 4 のゲートに接続される。

【 0 0 6 7 】

図 4 において破線の円で円板 2 6 に示されるように、短絡半導体 3 2 は円板 2 6 の中央領域 3 6 に配置され、還流ダイオード 3 4 を含む第 1 の環状領域 3 8 によって完全に取り
10
囲まれ、第 1 の環状領域 3 8 は、次いで、高出力半導体 3 0 を含む第 2 の環状領域 4 0 によって取り囲まれる。

【 0 0 6 8 】

部材 2 6 は、必ずしも断面図において円形に形状化される必要はなく、たとえば、楕円形、正方形または方形などのように、任意に形状化されてもよい。さらに、高出力半導体モジュール 1 0 は必ずしも 1 つのみの円板 2 6 を含む必要はなく、複数の円板 2 6 を含んでもよく、それらは、電氣的に並列または直列に接続されてもよく、モジュール 1 0 上に任意のパターンで配置されてもよい。これは、次いで、さらに、高出力半導体装置 1 2 は複数の高出力半導体 3 0 および還流ダイオード 3 4 を含んでもよく、短絡装置 1 6 は複数の
20
短絡半導体 3 2 を含んでもよいことを意味する。

【 0 0 6 9 】

モジュール 1 0 は、モジュール 1 0 に電気エネルギーを供給するための電源 4 7 を含む。電源 4 7 は、この目的のために、いかなる種類の外部電源に接続されてもよい。

【 0 0 7 0 】

電源 4 7 は、高出力半導体装置 1 2 の主回路 4 9 に電氣的に接続されてもよい。主回路 4 9 は、制御電子機器 4 2、および複数のキャパシタ 3 1 を含む。主回路 4 9 は、高出力半導体装置 1 2 の構成要素を接続する複数の電線をさらに含んでもよく、電線は、たとえば、回路基板 1 1 に印刷されてもよい。

【 0 0 7 1 】

高出力半導体装置 1 2 は、さらに、制御回路 4 9 に接続された光ファイバ接続 5 2 を含
30
む。しかしながら、さらに、たとえば、同軸の接続、多重芯導体または平坦な導体が適用されてもよい。光ファイバ接続 5 2 は、光信号を伝送すること、つまり受信および/または送信ように適合され、コントローラ 9 6（明示されず、図 7 を参照のこと）に接続され得る。コントローラ 9 6 から受信された光信号は、制御電子機器 4 2 によって電気信号に変換され得る。電気信号は、さらに、高出力半導体装置 1 2 を制御するために、制御電子機器 4 2 によって、増幅および/または処理、たとえば、解析および/または解釈され、高出力半導体 3 0 を切換えるためにキャパシタ 3 1 を作動させ得る。逆に、高出力半導体装置 1 2 からの電気信号が制御電子機器 4 2 によって光信号に処理および/または変換されてもよく、光ファイバ接続 5 2 を介してコントローラ 9 6（図 7 を参照）に送信されて
40
もよい。

【 0 0 7 2 】

高出力半導体装置 1 2 は、単一の光ファイバ接続 5 2 を含んでもよいだけでなく、さまざまなタスクに対して適合されてもよく、および/または冗長性の理由から配置されてもよい、複数の光ファイバ接続 5 2 を含んでもよい。

【 0 0 7 3 】

短絡装置 1 6 は、短絡装置回路 4 6 に接続される光ファイバ接続 5 4 を含む。しかしながら、さらに、たとえば、同軸の接続、多重芯導体または平坦な導体が適用されてもよい。光ファイバ接続 5 4 は、コントローラ 9 6（図 7 を参照）に接続されてもよく、コントローラ 9 6 からトリガ信号 2 3 を受信するように配置される。加えて、光ファイバ接続 5 4 は、コントローラ 9 6 に光信号を送信するよう働いてもよい。
50

【 0 0 7 4 】

制御回路 4 6 は、複数のキャパシタ部材 5 6 を伴うキャパシタ 2 0 を含み、それらは電解質タイプまたはフィルムタイプであってもよく、短絡装置に 1 6 に電気エネルギーを供給するために配置され得る。制御回路 4 6 は、短絡装置 1 6 の構成要素を接続する電線をさらに含んでもよく、電線は回路基板 1 1 に印刷され得る。

【 0 0 7 5 】

短絡装置 1 6 のキャパシタ 5 6 の少なくとも 1 つは、ダイオード 2 2 によって、高出力半導体装置 1 2 のキャパシタ 3 1 の少なくとも 1 つに接続される。ダイオード 2 2 は短絡装置 1 6 のための電源として機能し、高出力半導体装置 1 2 のキャパシタ 3 1 が放電するときに短絡装置 1 6 のキャパシタ 5 6 の放電を防ぐように適合される。言い換えれば、ダイオード 2 2 は、短絡装置 1 6 から高出力半導体装置 1 2 への電気エネルギーの逆流を防ぎながら、反対方向において電流の流れを可能にするように配置される。

10

【 0 0 7 6 】

さらに、制御回路 4 6 は、短絡装置 1 6 の制御電子機器 5 8 を含み、それは、光ファイバ接続 5 4 からのトリガ信号 2 3 を電氣的なトリガ信号に変換するように適合され得る。したがって、制御回路 4 6 の制御電子機器 5 8 は、トリガ信号 2 3 を受信するための受信機と、光トリガ信号 2 3 を電氣的なトリガ信号に変換するためのコンバータと、電気信号を増幅するための増幅器とを含み得る。

【 0 0 7 7 】

電氣的なトリガ信号は制御リード 4 4 を介して短絡半導体 3 2 に送信され得る。

20

図 5 は、図 3 および図 4 の高出力半導体モジュール 1 0 の一部を通る断面図を示す。極片 6 0 (それは銅から形成されてもよく、または銅を含んでもよい) は、円板 2 6 と回路基板 1 1 との間に配置される。さらなる極片が円板 2 6 の反対側に配置されてもよい。極片は電氣的接続 1 4 a , 1 4 b を与え、高出力半導体 3 0 、還流ダイオード 3 4 および短絡半導体 3 2 と電氣的に接触するために配置される。

【 0 0 7 8 】

極片 6 0 はリード 4 4 を収容するためのトレンチ 7 4 を含み、リード 4 4 は、短絡装置 1 6 の回路 4 6 を短絡半導体 3 2 のゲート端子と電氣的に接続するために、トレンチ 7 4 によって円板 2 6 の中央領域 3 6 に案内される。リード 4 4 は、トレンチ 7 4 内側で絶縁材料 7 3 (たとえばセラミック材料) によって極片 6 0 に対して絶縁される。

30

【 0 0 7 9 】

円板 2 6 と極片 6 0 との間には、モリブデン円板 6 1 が、円板 2 6 と極片 6 0 との適切な電氣的接続を与えるために配置される。

【 0 0 8 0 】

極片 6 0 およびモリブデン円板 6 1 の両方は、それぞれ、中央部分において穴 6 2 を有し、電氣的にリード 4 4 を短絡半導体 3 2 と接続するための絶縁された取付部 6 4 を伴っている。したがって、極片 6 0 およびモリブデン円板 6 1 の両方はドーナツ状に形状化され、円板 2 6 の片側をほとんど完全に覆い得る。

【 0 0 8 1 】

絶縁された取付部 6 4 は、極片 6 0 の穴 6 2 にろう付けされ、極片 6 0 と直接接触するセラミックのブッシング 6 6 を含む。セラミックのブッシング 6 6 の中央領域においては、銅のブッシング 6 8 がろう付けされる。したがって、銅のブッシング 6 8 は、セラミックのブッシング 6 6 によって極片 6 0 に対して電氣的に絶縁される。

40

【 0 0 8 2 】

さらに、接続ピン 7 0 が銅のブッシング 6 8 の中央部分に配置される。接続ピン 7 0 は穴 6 2 を通って突出し、基板 2 8 に抗して押圧される。より正確には、接続ピン 7 0 は、短絡半導体 3 2 と銅のブッシング 6 8 との間に電氣的接触を与えるために、短絡半導体 3 2 の表面に抗して押圧される。接続ピン 7 0 は、たとえば銅または任意の他の (A u のような) 導電性材料から形成されてもよく、ばねにより付勢され得る。

【 0 0 8 3 】

50

基板 28 の円板 26 に対向する、銅のブッシング 68 の側において、リード 44 の端部片 72 が、銅のブッシング 68 に電氣的に接続される。端部片 72 は絶縁されておらず、一方、リード 44 は、中間の部分において、たとえばプラスチック材料によって絶縁され得る。端部片 72 は、たとえば、制御リード 44 を接続ピン 70 と電氣的に接続するために、銅のブッシングに差込まれるかまたはろう付けされ得る。

【0084】

制御回路 46 によって与えられる電氣的なトリガ信号を、銅のブッシング 68 を介して、ばねにより付勢される接続ピン 70 および短絡半導体 32 に送るために、リード 44 のさらなる端部片が、短絡装置 16 の制御回路 46 に電氣的に接続される。

【0085】

図 6 は、図 3 および図 4 に示されるモジュール 10 の一部を通る他の断面図を概略的に示す。図 6 は、円板 26 の共通基板 28 の中央領域 36 と第 1 の環状領域 38 とを通るとともに、絶縁された取付部 64 が接続ピン 70 を含む穴 62 を含む極片 60 通る断面図を示す。サイリスタ、GTO、IGCT、IGBT、および/またはダイオードを高出力半導体 30 として含み得る第 2 の環状領域 40 が、図 6 の投影面で還流ダイオード 34 の両側上において延在する破線によって示される。さらに、極片 60 およびモリブデン円板 61 も、還流ダイオード 34 の両側上において延在し、これも破線によって示される。

【0086】

接続ピン 70 は、短絡半導体 32 として機能するサイリスタ 24 の高濃度に p ドープされたセクション 76 と電気接触状態にある。高濃度に p ドープされたセクション 76 はサイリスタ 24 のゲート端子 78 である。ゲート端子 78 は環状に形状化された高濃度に n ドープされたセクション 79 によって取り囲まれ、それはサイリスタ 24 のカソード 80 として働く。ゲート端子 78 に対向する基板 28 の側には、サイリスタ 24 のアノード 82 として機能する、高濃度に p ドープされたセクション 81 が配置される。カソード 80 とアノード 82 との間には、p ドープされたセクション 83 が、ゲート端子 78 およびカソード 80 に近接して配置される。p ドープされたセクション 83 とアノード 82 との間には、n ドープされたセクション 84 が配置される。n ドープされたセクション 84 は、基板 28 の円板 26 全体内に均質的に含まれ、円板 26 内において荷電粒子を伝導するように機能し得る。

【0087】

図 6 の投影面におけるサイリスタ 24 の両側において、還流ダイオード 34 はサイリスタ 24 に接続し、ダイオード 34 の高濃度に p ドープされたアノード 86 がモリブデン円板 61 に近接して配置される。ダイオード 34 のアノード 86 に近接して、アノード 86 と n ドープされたセクション 84 との間に、p ドープされたセクション 88 が配置される。モリブデン円板 61 に対向し、n ドープされたセクション 84 に近接する、還流ダイオード 34 の側には、還流ダイオード 34 のカソード 90 が配置される。

【0088】

還流ダイオード 34 とサイリスタ 24 との間の p ドープされたセクション 88 および 83 は、n ドープされたセクション 84 によって互いから分離される。しかしながら、サイリスタ 24 が (たとえば時間における電圧の大きい変化のために) 高出力半導体モジュール 10 の動作中におのずからオンにならない場合は、p ドープされたセクション 88 および 83 のこの分離は必要でなくてもよい。

【0089】

光ファイバ接続 54 を介して光トリガ信号 23 を受信すると、電氣的なトリガ信号がサイリスタ 24 のゲート端子 78 にキャパシタ 56 を介して与えられ得る。電氣的なトリガ信号はサイリスタ 24 の短絡半導体 32 の一部を破壊するほど十分に強力であってもよく、および/または、それはサイリスタ 24 をオンにしてもよく、電流は、サイリスタ 24 のアノード 82 からカソード 80 に流れる。この電流は、次いで、サイリスタ 24 の一部を加熱し、サイリスタ 24 の前記一部を溶融することによってアノード 82 とカソード 80 との間に持続的な電氣的導通経路 92 を形成し得る。電氣的導通経路 92 は、たとえば

10

20

30

40

50

、環状に形状化され、円板 26 の中央領域 36 に位置してもよい。高出力半導体モジュール 10 全体が短絡されてもよく、および / または持続的な電氣的導通経路 92 を介して安全に放電されてもよい。

【 0090 】

基板 28 の洗練された配置はサイリスタカソード 80 を含まなくてもよく、p ドープされたセクション 88 および 83 は分離されなくてもよい。この場合、持続的な電氣的導通経路がゲート端子 78 と還流ダイオードのアノード 86 との間に形成されてもよく、モジュール 10 はこの経路を介して放電してもよい。

【 0091 】

図 7 は、モジュール式マルチレベルコンバータ 96 およびそのコントローラ 98 のシステム 94 を概略的に示す。

10

【 0092 】

具体的な例として、モジュール式マルチレベルコンバータ 96 は、複数の高出力半導体モジュール 10 を含み、その各々は、(図 7 においてスイッチによって示される) 高出力半導体装置 12 と、キャパシタ 18 と、短絡装置 16 を含む。高出力半導体モジュール 10 は分岐 102 を形成するように直列に接続され、それらは、一方の側で直流リンク 104 に接続されるとともに、他方の側でコンバータ 96 の位相出力 106 に接続される。(半導体スイッチを含む) 高出力半導体装置 12 によって、キャパシタ 18 は、直流電圧の記憶素子として作用し、それぞれの分岐 102 にバイパスされるかまたは挿入されてもよい。キャパシタ 18 を分岐 102 において挿入 / バイパスすることは、位相出力 106 においてさまざまな電圧レベルを印加することを可能にする。

20

【 0093 】

高出力半導体装置 12 を切換えることによって、コンバータ 96 は、直流リンクでの直流電圧を位相出力 106 の各々での交流電圧に変換するように適合される。モジュール式マルチレベルコンバータの位相出力 106 は、送電網 (アクティブフロントエンド動作) または負荷 (電力インバータ用途) に接続されてもよい。

【 0094 】

モジュール式マルチレベルコンバータ 96 について、たとえば直接的なコンバータトポロジなど、他の可能なコンバータトポロジがあり、それらは、交流電圧を他の交流電圧に直接変換するように適合される。

30

【 0095 】

システム 94 は、さらに、(たとえば、DSP または FPGA に基づく) コントローラ 98 を含み、それは、コンバータ 96 から、および任意的に、コンバータが接続される他の電氣的システムから、制御信号を受信する。コントローラ 96 は、さらに、光ファイバ接続 42 を介してモジュール 10 に対するゲート信号を与える。

【 0096 】

図 8 は、高出力半導体モジュール 10 をバイパスする方法を示し、それはコントローラ 96 および少なくとも 1 つのモジュール 10 によって実行され得る。

【 0097 】

ステップ S1 において、高出力半導体モジュール 10 の故障が検出される。たとえば、コントローラ 96 は、タスクの中でとりわけ、モジュール 10 の故障を検出するように適合される。モジュール 10 の故障は、たとえば、モジュール 10 の 1 つに対する制御が失われたかどうかを検出し、それはたとえば高出力半導体装置 12 の 1 つにおける障害のあるゲートユニット、破損した光ファイバ、またはたとえば機能不良、遮断、制御不可能な半導体接合などの任意の他の障害によるものであり得る。さらに、モジュール 10 の電気部品または電子部品における他の故障が、コントローラ 96 によって検出され得る。

40

【 0098 】

故障が検出されると、ステップ S2 において、トリガ信号 23 が生成される。この場合、コントローラは、光ファイバ接続 54 を介して障害のあるモジュール 10 の対応する短絡装置 16 に送信される光トリガ信号 23 を生成し得る。

50

【 0 0 9 9 】

トリガ信号 2 3 が受信されると、ステップ S 3 において、高出力半導体モジュール 1 0 の半導体 3 0 , 3 2 を電氣的に破壊することによって、高出力半導体モジュール 1 0 の 2 つの電氣的接続 1 4 a , 1 4 b 間に、持続的な電氣的導通経路 9 2 が形成される。短絡装置 1 6 は、光トリガ信号 2 3 を受信し、たとえば、スイッチ 1 3 を閉じることによって光トリガ信号 2 3 を電氣的なトリガ信号に変換してもよい。

【 0 1 0 0 】

1 つの代替例として、持続的な電氣的導通経路 9 2 は、高出力半導体装置 1 2 の半導体 3 0 の基板において形成される。第 2 の代替例として、またはそれに加えて、持続的な電氣的導通経路 9 2 が、短絡装置 1 6 のさらなる半導体 3 2 の基板において形成される。

10

【 0 1 0 1 】

このように、障害のあるモジュール 1 0 は短絡およびバイパスされ、システム 9 4 は障害にもかかわらず依然として機能し得る。そのとき、マルチレベルコンバータシステム 9 4 は 1 つ少ないモジュール 1 0 で動作するが、残りのモジュール 1 0 が依然としてそれらの安全な限界内で動作している場合には、電力変換は安全に継続することが可能である。

【 0 1 0 2 】

この発明は図面および前述の記載において詳細に示され記載されたが、そのような例示および記載は、例示的であり、限定的ではない、と考えられ、この発明は開示される実施例に限定されない。開示された実施例に対する他の変形が、図面、開示および特許請求の範囲の考察から主張される発明を実施する当業者によって理解され行なわれ得る。請求項において、「含む」という文言は他の要素またはステップを排除せず、不定冠詞「a」または「an」（或る / 1 つの）は複数を排除しない。単一のプロセッサもしくはコントローラまたは他のユニットが、請求項において記載されるいくつかの項目の機能を満たしてもよい。ある手段が相互に異なる従属請求項において記載されるという単なる事実は、これらの手段の組合せを有利に用いることが可能ではないことを示すものではない。請求項におけるどのような参照符号も範囲を限定するものとして解釈されるべきではない。

20

【 符号の説明 】

【 0 1 0 3 】

1 0 高出力半導体モジュール、1 1 回路基板、1 2 高出力半導体装置、1 3 シャッター、1 4 a 電氣的接続、1 4 b 電氣的接続、1 6 短絡装置、1 8 キャパシタ、2 0 キャパシタ、2 2 ダイオード、2 3 トリガ信号、2 4 サイリスタ、2 6 円板、2 8 共通基板、3 0 高出力半導体、3 1 キャパシタ部材、3 2 短絡半導体、3 4 還流ダイオード、3 6 中央領域、3 8 第 1 の環状領域、4 0 第 2 の環状領域、4 2 制御電子機器、4 4 リード、4 6 短絡装置回路、4 7 電源、4 9 主回路、5 2 光ファイバ接続、5 4 光ファイバ接続、5 6 キャパシタ部材、5 8 制御電子機器、6 0 極片、6 1 モリブデン円板、6 2 穴、6 4 絶縁された取付部、6 6 セラミックのプッシング、6 8 銅のプッシング、7 0 接続ピン、7 2 端部片、7 3 絶縁材料、7 4 トレンチ、7 6 p ドープされたセクション、7 8 ゲート端子、7 9 n ドープされたセクション、8 0 カソード、8 1 p ドープされたセクション、8 2 アノード、8 3 p ドープされたセクション、8 4 n ドープされたセクション、8 6 アノード、8 8 p ドープされたセクション、9 0 カソード、9 2 電氣的導通経路、9 4 システム、9 6 モジュール式マルチレベルコンバータ、9 8 コントローラ、1 0 2 分岐、1 0 4 直流リンク、1 0 6 位相出力、S 1 故障の検出、S 2 トリガ信号の生成、S 3 電氣的導通経路の形成。

30

40

【 図 1 】

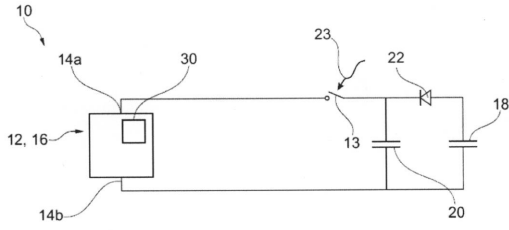


Fig. 1

【 図 2 】

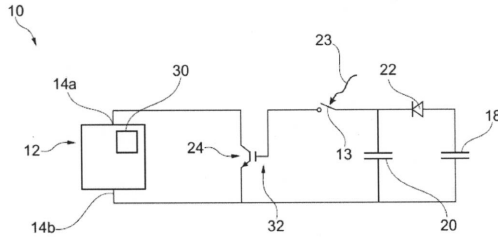


Fig. 2

【 図 3 】

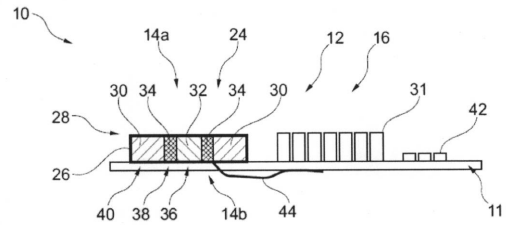


Fig. 3

【 図 4 】

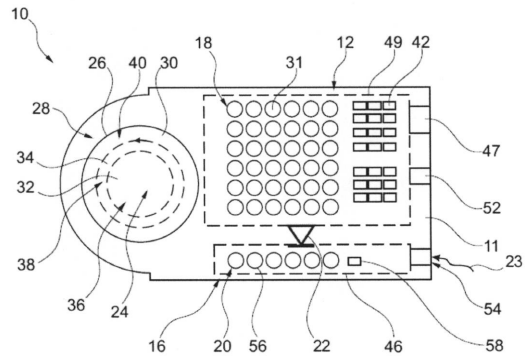


Fig. 4

【 図 5 】

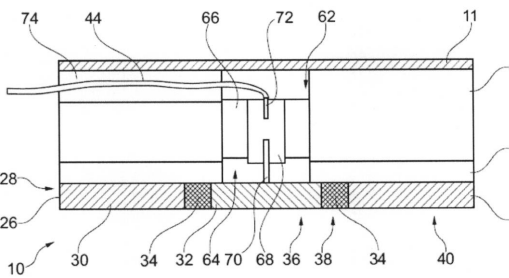


Fig. 5

【 図 7 】

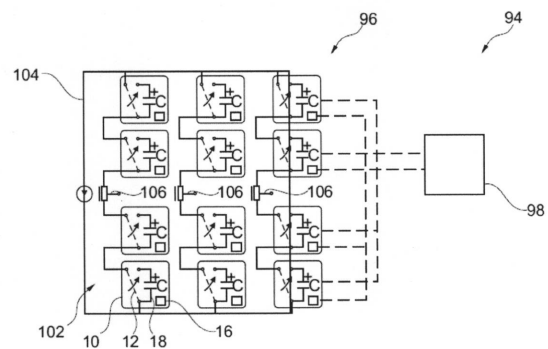


Fig. 7

【 図 6 】

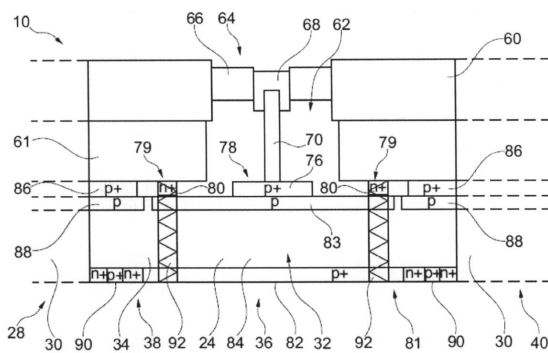


Fig. 6

【 8 】

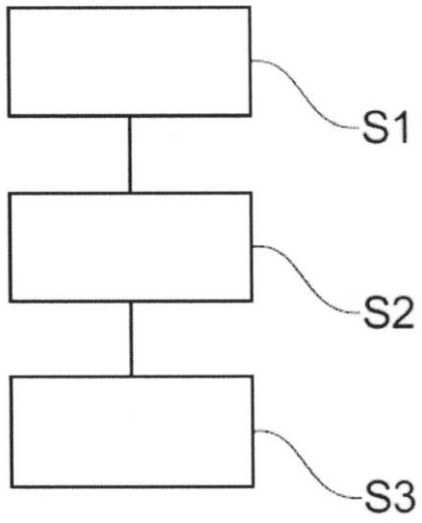


Fig. 8

フロントページの続き

- (56)参考文献 特開2001-238460(JP,A)
特開2013-121282(JP,A)
特開2013-110960(JP,A)
米国特許出願公開第2010/0118453(US,A1)
特開2011-205887(JP,A)
独国特許出願公開第10323220(DE,A1)
中国特許出願公開第102801295(CN,A)
米国特許出願公開第2013/0121042(US,A1)

(58)調査した分野(Int.Cl., DB名)

H02M 7/48, 7/483
H01L 25/07, 25/18