(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年7月30日(30.07.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/153123 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/374* (2011.01)
H04N 5/369 (2011.01) *H04N 5/378* (2011.01)

(21) 国際出願番号： PCT/JP2020/000301

(22) 国際出願日： 2020年1月8日(08.01.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-010933 2019年1月25日(25.01.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 朝倉 ルォンフォン (**ASAKURA Luonghung**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 山本 孝久, 外 (**YAMAMOTO Takahisa** et al.); 〒1410032 東京都品川区大崎４丁目３番２号 秋葉ビル３０１号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

WO 2020/153123 A1

(54) **Title:** IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称： 撮像装置及び電子機器

[図6]

図６Ａ

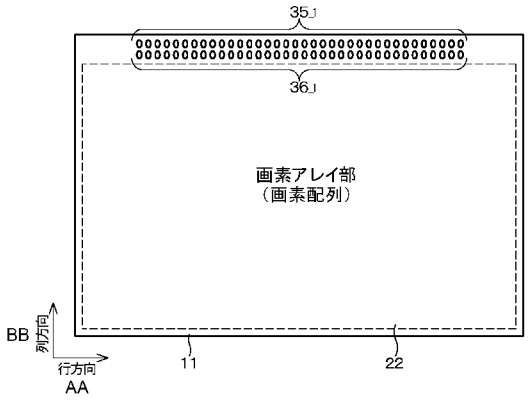
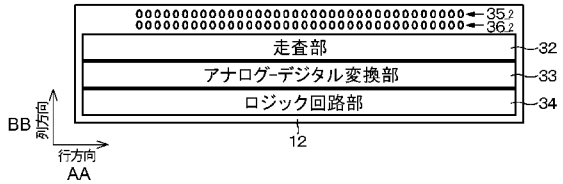


図６Ｂ



22... PIXEL ARRAY PORTION (PIXEL ARRANGEMENT)
32... SCAN PORTION
33... ANALOG-DIGITAL CONVERSION PORTION
34... LOGIC CIRCUIT PORTION
AA... ROW DIRECTION
BB... COLUMN DIRECTION

(57) **Abstract:** This imaging device has a stacked chip structure in which at least two semiconductor chips comprising a first semiconductor chip and a second semiconductor chip are stacked. In the first semiconductor chip, pixels including a light-receiving portion are disposed. In the second semiconductor chip, a scan portion for selectively scanning the pixels, and a signal processing portion for processing analog signals output from the pixels are disposed. The scan portion is disposed along a pixel row with respect to the pixels arranged in a matrix.

［続葉有］

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 本開示の撮像装置は、第1半導体チップ及び第2半導体チップの少なくとも2つの半導体チップが積層されて成る積層型チップ構造を有する。第1半導体チップには、受光部を含む画素が配置されており、第2半導体チップには、画素を選択走査する走査部、及び、画素から出力されるアナログ信号を処理する信号処理部が配置されている。そして、走査部は、行列状の画素配列に対し、画素行に沿って配置されている。

明　細　書

発明の名称 ： 撮像装置及び電子機器

技術分野

[0001] 本開示は、撮像装置及び電子機器に関する。

背景技術

[0002] ＣＭＯＳイメージセンサに代表される撮像装置は、受光部（光電変換素子）を含む画素が行列状に２次元配置されて成る画素アレイ部（画素配列）、及び、画素アレイ部の各画素に関する処理を行う回路部を有する構成となっている。そして、チップサイズの小型化等を目的として、撮像装置の半導体チップ構造として、画素が配置された第１半導体チップ（所謂、画素チップ）、及び、回路部が配置された第２半導体チップ（所謂、回路チップ）の少なくとも２つの半導体チップが積層されて成る、所謂、積層型チップ構造が開発されている（例えば、特許文献１参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１１－１５９９５８号公報

発明の概要

発明が解決しようとする課題

[0004] 従来、積層型チップ構造を有する撮像装置では、画素アレイ部と同じ半導体チップに回路部を配置した、所謂、平置型チップ構造の場合と同様に、画素アレイ部（画素配列）の各画素を選択走査する走査部を、画素アレイ部の画素列に沿って配置し、走査部以外の回路部を、画素行に沿って配置している。積層型チップ構造において、画素アレイ部の面積が小さい撮像装置では、画素チップと同サイズの回路チップであっても、回路チップ内に無駄な空き領域を生じることなく効率的に回路部を配置することができる。

[0005] 一方、画素アレイ部の面積が大きい大判の撮像装置では、回路チップのサイズを画素チップと同じサイズにした場合、画素列に沿って配置される走査

部のサイズが、画素アレイ部の列方向のサイズに対応して大きくなる分だけ、回路チップに無駄な空き領域が発生してしまう可能性が高い。

[0006] そこで、本開示は、積層型チップ構造において、画素アレイ部の面積が大きい場合であっても、回路部が配置された回路チップ（第２半導体チップ）に無駄な空き領域が生じないようにした撮像装置、及び、当該撮像装置を有する電子機器を提供することを目的とする。

課題を解決するための手段

[0007] 上記の目的を達成するための本開示の撮像装置は、

第１半導体チップ及び第２半導体チップの少なくとも２つの半導体チップが積層されて成る積層型チップ構造を有し、

第１半導体チップには、受光部を含む画素が行列状に２次元配置されており、

第２半導体チップには、画素を選択走査する走査部、及び、画素から出力されるアナログ信号を処理する信号処理部が配置されており、

走査部は、行列状の画素配列に対し、画素行に沿って配置されている、

構成となっている。

[0008] また、上記の目的を達成するための本開示の電子機器は、上記の構成の撮像装置を有する構成となっている。

図面の簡単な説明

[0009] [図1]図１は、本開示の実施形態に係る撮像装置の積層型チップ構造の概略を示す分解斜視図である。

[図2]図２は、画素の回路構成の一例を示す回路図である。

[図3]図３は、従来例に係る積層型チップ構造を示す図であり、図３Ａに、第１半導体チップの構成の概略を示し、図３Ｂに、第２半導体チップの構成の概略を示している。

[図4]図４Ａ及び図４Ｂは、第２半導体チップをより小さいチップに分割した場合の第１半導体チップ及び第２半導体チップの構成の概略を示す図である。

[図5]図５は、走査部を含む２つのチップ、並びに、アナログ－デジタル変換部及びロジック回路部を含む２つのチップのダイシングについて説明する図である。

[図6]図６は、実施例１に係る積層型チップ構造を示す図であり、図６Ａに、第１半導体チップの構成の概略を示し、図６Ｂに、第２半導体チップの構成の概略を示している。

[図7]図７は、第１半導体チップにおける画素制御線及び垂直信号線の配線、並びに、第１半導体チップと第２半導体チップとの接続の概略について説明する分解斜視図である。

[図8]図８は、第１半導体チップと第２半導体チップとを電気的に接続する接続部の構成例を示す断面図であり、図８Ａに、シリコン貫通電極（ＴＳＶ）の例を示し、図８Ｂに、Ｃｕ－Ｃｕ接続（カッパー－カッパー接続）の例を示している。

[図9]図９は、Ｃｕ－Ｃｕ接続の場合の効果を説明する図である。

[図10]図１０は、走査部のユニット及びアナログ－デジタル変換部のユニットのレイアウトについて説明する図であり、図１０Ａに、走査部のユニットとアナログ－デジタル変換部のユニットのピッチを揃える例を示し、図１０Ｂに、走査部のブロック横の空き領域を有効利用する例を示し、図１０Ｃに、走査部のユニットとアナログ－デジタル変換部のユニットのピッチを異ならせる例を示している。

[図11]図１１は、実施例２に係る積層型チップ構造を示す図であり、図１１Ａに、第１半導体チップの構成の概略を示し、図１１Ｂに、第２半導体チップの構成の概略を示している。

[図12]図１２は、実施例３に係る積層型チップ構造を示す図であり、図１２Ａに、第１半導体チップの構成の概略を示し、図１２Ｂに、第２半導体チップの構成の概略を示している。

[図13]図１３は、実施例４に係る積層型チップ構造を示す図であり、図１３Ａに、第１半導体チップの構成の概略を示し、図１３Ｂに、第２半導体チッ

プの構成の概略を示している。

[図14]図１４は、実施例５に係る積層型チップ構造を示す図であり、図１４Ａに、第１半導体チップの構成の概略を示し、図１４Ｂに、第２半導体チップの構成の概略を示している。

[図15]図１５は、実施例６に係る積層型チップ構造を示す図であり、図１５Ａに、第１半導体チップの構成の概略を示し、図１５Ｂに、第２半導体チップの構成の概略を示している。

[図16]図１６は、画素制御線と垂直信号線との間に発生する配線寄生容量について説明する図であり、図１６Ａに、同じメタル層にレイアウトした場合の配線寄生容量を示し、図１６Ｂに、異なるメタル層にレイアウトした場合の配線寄生容量を示している。

[図17]図１７は、配線寄生容量のカップリングによる不具合について説明する図であり、図１７Ａに、画素制御線及び垂直信号線のレイアウトの例を示し、図１７Ｂに、ある画素行がアクセスされた場合のタイミングチャートを示している。

[図18]図１８は、実施例７に係る積層型チップ構造における画素制御線の列方向のパスの配線形状例１を示す図である。

[図19]図１９は、実施例７に係る積層型チップ構造における画素制御線の列方向のパスの配線形状例２を示す図である。

[図20]図２０は、実施例７に係る積層型チップ構造における画素制御線の列方向のパスの配線形状例３を示す図である。

[図21]図２１は、画素制御線の列方向のパスと行方向のパスとの接続関係を示す図（その１）であり、図２１Ａに、バリエーション１を示し、図２１Ｂに、バリエーション２を示し、図２１Ｃに、バリエーション３を示している。

[図22]図２２は、画素制御線の列方向のパスと行方向のパスとの接続関係を示す図（その２）であり、図２２Ａに、バリエーション４を示し、図２２Ｂに、バリエーション５を示している。

[図23]図２３は、本開示に係る技術の適用例を示す図である。

[図24]図２４は、本開示の電子機器の一例である撮像システムの構成例の概略を示すブロック図である。

[図25]図２５は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[図26]図２６は、移動体制御システムにおける撮像部及び車外情報検出部の設置位置の例を示す図である。

発明を実施するための形態

[0010] 以下、本開示の技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。本開示の技術は実施形態に限定されるものではない。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は以下の順序で行う。

１．本開示の撮像装置及び電子機器、全般に関する説明

２．実施形態に係る撮像装置

２－１．積層型チップ構造の構成例

２－２．画素の回路構成例

２－３．従来の積層型チップ構造におけるチップ構成例

３．本開示の実施形態

３－１．実施例１（回路チップを画素チップに対し、列方向の片側に配置する例）

３－２．実施例２（回路チップを画素チップに対し、列方向の両端部に配置する例）

３－３．実施例３（回路チップについて、走査部を独立のチップにする例）

３－４．実施例４（走査部を列方向の端部に配置する例）

３－５．実施例５（実施例４の変形例：走査部を列方向の中央部に配置する例）

３－６．実施例６（回路チップの行方向の端部に周辺回路等を配置する例）

３－７．実施例７（配線寄生容量のカップリングを分散する例）

３－８．実施例８（画素制御線の列方向のパスと行方向のパスとの接続関係のバリエーションを示す例）

４．変形例

５．応用例

６．本開示に係る技術の適用例

６－１．本開示の電子機器（撮像装置の例）

６－２．移動体への応用例

７．本開示がとることができる構成

[0011] ＜本開示の撮像装置及び電子機器、全般に関する説明＞

本開示の撮像装置及び電子機器にあっては、信号処理部について、画素から出力されるアナログ信号をデジタル信号に変換するアナログ－デジタル変換部を有する構成とすることができる。アナログ－デジタル変換部については、行列状の画素配列の画素列に対応して設けられた複数のアナログ－デジタル変換器から成る構成とすることができる。

[0012] 上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、第１半導体チップに配線され、走査部から出力される信号を画素に伝送する画素制御線について、画素配列の列方向に沿って配線されたパスと、行方向に沿って配線されたパスとから成る構成とすることができる。

[0013] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、走査部及びアナログ－デジタル変換部について、所定の回路を単位とするユニットが並列に配置されて成る構成とすることができる。このとき、走査部のユニット数については、画素配列の行数に比例し、アナログ－デジタル変換部のユニット数については、画素配列の列数に比例することが好ましい。

[0014] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっ

ては、走査部のユニットのピッチと、アナログ－デジタル変換部のユニットのピッチとが同じである構成とすることができる。あるいは又、走査部のユニットのピッチと、アナログ－デジタル変換部のユニットのピッチとが異なる構成とすることができる。このとき、走査部及びアナログ－デジタル変換部のレイアウトピッチ比が、画素配列の行数／列数の比と同じであることが好ましい。

[0015] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、第２半導体チップについて、第１半導体チップに対し、列方向の両端部に設けられた２つのチップから成る構成とすることができる。そして、２つのチップそれぞれに、走査部及びアナログ－デジタル変換部が配置されている、あるいは又、２つのチップに一方に走査部が配置され、他方にアナログ－デジタル変換部が配置されている構成とすることができる。

[0016] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、第１半導体チップと第２半導体チップとを電気的に接続する接続部について、シリコン貫通電極（Through Sillicon Via：ＴＳＶ）、又は、カッパー－カッパー接続（Ｃｕ－Ｃｕ接続）から成る構成とすることができる。そして、接続部がカッパー－カッパー接続（Ｃｕ－Ｃｕ接続）から成るとき、走査部について、列方向の中央部に配置されている構成とすることができる。

[0017] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、第１半導体チップに配線され、走査部から出力される信号を画素に伝送する画素制御線が、画素配列の列方向に沿って配線されたパスと、行方向に沿って配線されたパスとから成るとき、列方向に沿って配線されたパスについて、所定の長さを単位として、所定量ずつ行方向へシフトさせた配線形状としてレイアウトされている構成とすることができる。

[0018] また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、垂直信号線を第１メタル層にレイアウトし、画素制御線の列方向のパスを第２メタル層にレイアウトし、画素制御線の行方向のパスを第３メタル

層にレイアウトし、画素制御線の列方向のパスのシフトを、第２メタル層での行方向の配線で実現する構成とすることができる。

[0019] あるいは又、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、垂直信号線を第１メタル層にレイアウトし、画素制御線の列方向のパスを第２メタル層にレイアウトし、画素制御線の行方向のパスを第３メタル層にレイアウトし、画素制御線の列方向のパスのシフトを、第２メタル層での斜め方向の配線で実現する構成とすることができる。

[0020] あるいは又、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、垂直信号線及び画素制御線の列方向のパスを第１メタル層にレイアウトし、画素制御線の行方向のパスを第２メタル層にレイアウトし、画素制御線の列方向のパスのシフトを、第２メタル層での行方向又は斜め方向の配線で実現する構成とすることができる。

[0021] ＜実施形態に係る撮像装置＞

［積層型チップ構造の構成例］

本開示の実施形態に係る撮像装置は、第１半導体チップ及び第２半導体チップの少なくとも２つの半導体チップが積層されて成る積層型チップ構造を有している。本開示の実施形態に係る撮像装置の積層型チップ構造の分解斜視図を図１に示す。

[0022] 図１に示す積層型チップ構造は、第１半導体チップ１１及び第２半導体チップ１２の２つの半導体チップが積層されて成る２層構造となっている。ここでは、積層型チップ構造として、２つの半導体チップが積層されて成る２層構造を例示しているが、３つ以上の半導体チップが積層されて成る多層構造とすることもできる。

[0023] ２層構造のチップ構造において、１層目の第１半導体チップ１１は、受光部（例えば、フォトダイオード）を含む画素２１が行列状に２次元配置されて成る画素配列を有する画素アレイ部２２が形成された画素チップである。２層目の第２半導体チップ１２は、行列状に２次元配置された画素２１の選択走査や、画素２１から出力されるアナログの画素信号に対する信号処理な

ど、画素アレイ部２２の各画素２１に関する処理を行う回路部３１が形成された回路チップである。

[0024] ［画素の回路構成例］

図２は、画素２１の回路構成の一例を示す回路図である。画素２１は、受光部である光電変換素子として、例えば、フォトダイオード２１１を有している。画素２１の画素回路は、フォトダイオード２１１に加えて、転送トランジスタ２１２、リセットトランジスタ２１３、増幅トランジスタ２１４、及び、選択トランジスタ２１５を有する回路構成となっている。

[0025] 転送トランジスタ２１２、リセットトランジスタ２１３、増幅トランジスタ２１４、及び、選択トランジスタ２１５の４つのトランジスタとしては、例えばＮチャネルのＭＯＳ型電界効果トランジスタ（Field Effect Transistor：ＦＥＴ）を用いている。画素２１をＮチャネルトランジスタのみで構成することで、面積効率や工程削減視点の最適化を図ることができる。但し、ここで例示した４つのトランジスタ２１２～２１５の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

[0026] 尚、第１半導体チップ１１の画素アレイ部２２において、行列状の画素配列に対し、画素行毎に画素制御線４１（41_1，41_2，41_3）が行方向に沿って配線されている。また、画素列毎に垂直信号線４２が列方向に沿って配線されている。画素制御線４１は、画素２１から信号を読み出す際の制御（駆動）を行うための制御信号（駆動信号）を伝送する。

[0027] 上記の構成の画素２１の配列に対し、画素制御線４１（41_1，41_2，41_3）が、同一画素行の各画素２１に対して共通に配線されている。画素制御線４１（41_1，41_2，41_3）は、後述する走査部３２Ａ，３２Ｂ（図３Ｂ参照）の各画素行に対応した出力端に画素行単位で接続されている。走査部３２Ａ，３２Ｂは、画素制御線41_1に対して転送信号ＴＲＧを、画素制御線41_2に対してリセット信号ＲＳＴを、画素制御線41_3に対して選択信号ＳＥＬを適宜出力する。

[0028] フォトダイオード２１１は、アノード電極が低電位側電源(例えば、グラン

ド)に接続されており、受光した光をその光量に応じた電荷量の光電荷（ここでは、光電子）に光電変換してその光電荷を蓄積する。フォトダイオード２１１のカソード電極は、転送トランジスタ２１２を介して増幅トランジスタ２１４のゲート電極と電気的に接続されている。ここで、増幅トランジスタ２１４のゲート電極が電気的に繋がったノードは、フローティングディフュージョン（浮遊拡散領域／不純物拡散領域）ＦＤである。フローティングディフュージョンＦＤは、電荷を電圧に変換する電荷電圧変換部である。

[0029] 転送トランジスタ２１２のゲート電極には、高レベル（例えば、V_{DD}レベル）がアクティブとなる転送信号ＴＲＧが、走査部３２Ａ，３２Ｂから画素制御線４１_{1}を通して与えられる。転送トランジスタ２１２は、転送信号ＴＲＧに応答して導通状態となることで、フォトダイオード２１１で光電変換され、当該フォトダイオード２１１に蓄積された光電荷をフローティングディフュージョンＦＤに転送する。

[0030] リセットトランジスタ２１３は、高電位側電源電圧V_{DD}のノードとフローティングディフュージョンＦＤとの間に接続されている。リセットトランジスタ２１３のゲート電極には、高レベルがアクティブとなるリセット信号ＲＳＴが、走査部３２Ａ，３２Ｂから画素制御線４１_{2}を通して与えられる。リセットトランジスタ２１３は、リセット信号ＲＳＴに応答して導通状態となり、フローティングディフュージョンＦＤの電荷を電源電圧V_{DD}のノードに捨てることによってフローティングディフュージョンＦＤをリセットする。

[0031] 増幅トランジスタ２１４は、ゲート電極がフローティングディフュージョンＦＤに、ドレイン電極が高電位側電源電圧V_{DD}のノードにそれぞれ接続されている。増幅トランジスタ２１４は、フォトダイオード２１１での光電変換によって得られる信号を読み出すソースフォロワの入力部となる。すなわち、増幅トランジスタ２１４は、ソース電極が選択トランジスタ２１５を介して垂直信号線４２に接続される。そして、増幅トランジスタ２１４と、垂直信号線４２の一端に接続される電流源Ｉとは、フローティングディフュージョンＦＤの電圧を垂直信号線４２の電位に変換するソースフォロワを構成し

ている。

[0032] 選択トランジスタ２１５は、ドレイン電極が増幅トランジスタ２１４のソース電極に接続され、ソース電極が垂直信号線４２に接続されている。選択トランジスタ２１５のゲート電極には、高レベルがアクティブとなる選択信号ＳＥＬが、走査部３２Ａ，３２Ｂから画素制御線４１_{3}を通して与えられる。選択トランジスタ２１５は、選択信号ＳＥＬに応答して導通状態となることで、画素２１を選択状態として増幅トランジスタ２１４から出力される信号を垂直信号線４２に伝達する。

[0033] 尚、選択トランジスタ２１５については、高電位側電源電圧$Ｖ_{DD}$のノードと増幅トランジスタ２１４のドレイン電極との間に接続する回路構成を採ることもできる。また、本例では、画素２１の画素回路として、転送トランジスタ２１２、リセットトランジスタ２１３、増幅トランジスタ２１４、及び、選択トランジスタ２１５から成る、即ち、４つのトランジスタ（Ｔｒ）から成る４Ｔｒ構成を例に挙げたが、これに限られるものではない。例えば、選択トランジスタ２１５を省略し、増幅トランジスタ２１４に選択トランジスタ２１５の機能を持たせる３Ｔｒ構成とすることもできるし、必要に応じて、トランジスタの数を増やした５Ｔｒ以上の構成とすることもできる。

[0034] ［従来の積層型チップ構造におけるチップ構成例］

ここで、従来の積層型チップ構造におけるチップ構成例について説明する。従来の積層型チップ構造における画素チップとしての第１半導体チップ１１の構成の概略を図３Ａに示し、回路チップとしての第２半導体チップ１２の構成の概略を図３Ｂに示す。

[0035] 第１半導体チップ１１及び第２半導体チップ１２の積層型チップ構造において、第１半導体チップ１１と第２半導体チップ１２とは、バンプ、ＴＣＶ（Through Chip Via）、カッパー－カッパー接続（Ｃｕ－Ｃｕ接続）などの接続部を介して電気的に接続される。以下では、接続部がＣｕ－Ｃｕ接続から成る場合を例に挙げると、第１半導体チップ１１－第２半導体チップ１２間で画素制御線４１（４１_{1}，４１_{2}，４１_{3}）を接続するための接続部について

、第１半導体チップ１１側の接続部を接続部３５$_{1}$と記述し、第２半導体チップ１２側の接続部を接続部３５$_{2}$と記述する。また、第１半導体チップ１１－第２半導体チップ１２間で垂直信号線４２を接続するための接続部について、第１半導体チップ１１側の接続部を接続部３６$_{1}$と記述し、第２半導体チップ１２側の接続部を接続部３６$_{2}$と記述する。更に、接続部３５$_{1}$，３５$_{2}$及び接続部３６$_{1}$，３６$_{2}$が基板の両側（上下／左右）に存在する場合には、接続部３５$_{1}$／３５$_{2}$について、接続部３５Ａ$_{1}$，３５Ｂ$_{1}$／３５Ａ$_{2}$，３５Ｂ$_{2}$と記述し、接続部３６$_{1}$／３６$_{2}$について、接続部３６Ａ$_{1}$，３６Ｂ$_{1}$／３６Ａ$_{2}$，３６Ｂ$_{2}$と記述する。

[0036] 画素アレイ部２２の各画素２１に関する処理を行う回路部３１は、走査部３２Ａ，３２Ｂ、及び、画素２１から出力されるアナログ信号を処理する信号処理部、具体的には、アナログ－デジタル変換部３３Ａ，３３Ｂ及びロジック回路部３４を有する構成となっている。走査部３２Ａ，３２Ｂは、画素制御線４１（４１$_{1}$，４１$_{2}$，４１$_{3}$）を通して、画素アレイ部２２の各画素２１の選択走査を行う。

[0037] アナログ－デジタル変換部３３Ａ，３３Ｂは、画素アレイ部２２の画素列に対応して設けられた（例えば、画素列毎に設けられた）複数のアナログ－デジタル変換器の集合から成る、所謂、列並列（カラム）型アナログ－デジタル変換部である。アナログ－デジタル変換部３３Ａ，３３Ｂは、画素アレイ部２２の画素列毎に垂直信号線４２を通して出力されるアナログの画素信号をデジタル信号に変換する。

[0038] 列並列アナログ－デジタル変換部３３Ａ，３３Ｂにおけるアナログ－デジタル変換器としては、例えば、参照信号比較型のアナログ－デジタル変換器の一例であるシングルスロープ型アナログ－デジタル変換器を用いることができる。但し、アナログ－デジタル変換器としては、シングルスロープ型アナログ－デジタル変換器に限られるものではなく、逐次比較型アナログ－デジタル変換器やデルタ－シグマ変調型（ΔΣ変調型）アナログ－デジタル変換器などを用いることができる。

[0039] ロジック回路部３４は、アナログ－デジタル変換部３３Ａ，３３Ｂでデジタル化された画素信号の読み出しや、所定の信号処理を行い、２次元の画像データを生成する処理などを行う。例えば、ロジック回路部３４では、所定の信号処理として、縦線欠陥、点欠陥の補正、又は、信号のクランプを行ったり、パラレル－シリアル変換、圧縮、符号化、加算、平均、及び、間欠動作などデジタル信号処理が行われる。そして、ロジック回路部３４は、生成した画像データを、本撮像装置の出力信号として後段の装置に出力する。

[0040] 図３Ａ及び図３Ｂには、従来の積層型チップ構造におけるチップ構成例として、画素アレイ部２２の面積が小さい撮像装置の場合を図示している。画素アレイ部２２の面積が小さい撮像装置では、回路チップである第２半導体チップ１２のサイズが、図示のように、画素チップである第１半導体チップ１１と同サイズであっても、第２半導体チップ１２内に無駄な空き領域を生じることなく効率的に（即ち、面積効率良く）、回路部３１、具体的には、走査部３２Ａ，３２Ｂ、アナログ－デジタル変換部３３Ａ，３３Ｂ、及び、ロジック回路部３４を配置することができる。

[0041] 一方、画素アレイ部２２の面積が大きい大判の撮像装置では、第２半導体チップ１２のサイズを第１半導体チップ１１のサイズと同じにした場合、画素列に沿って配置される走査部３２Ａ，３２Ｂのサイズが、画素アレイ部２２の列方向のサイズに対応して大きくなる。そのため、走査部３２Ａ，３２Ｂのサイズが大きくなる分だけ、第２半導体チップ１２に無駄な空き領域が発生し、面積効率が悪化する可能性が高い。

[0042] 第２半導体チップ１２のサイズを第１半導体チップ１１と同じサイズにする場合、第２半導体チップ１２をより小さいチップに分割した方が面積効率良い。例えば、図４に示すように、第２半導体チップ１２を、走査部３２Ａ，３２Ｂを含む、第１半導体チップ１１の画素列に沿う辺側に配置する２つのチップ１２Ａ，１２Ｂ、並びに、アナログ－デジタル変換部３３Ａ，３３Ｂ及びロジック回路部３４（３４Ａ，３４Ｂ）を含む、第１半導体チップ１１の画素行に沿う辺側に配置する２つのチップ１２Ｃ，１２Ｄの計４つのチ

ップに分割する。そして、図５に示すように、ダイシングされた第２半導体チップ１２（１２Ａ～１２Ｄ）を、ウェハの状態の第１半導体チップ１１に貼り付けていく。

[0043] このように、ウェハと良品チップとを貼り合わせるＣＯＷ（Chip On Wafer）構造の積層型チップには、２つのメリットがある。その一つ目は、第１半導体チップ１１と第２半導体チップ１２とが同サイズ（同面積）であるという制約がなくなり、第２半導体チップ１２については、必要な回路を搭載させる分だけの面積にすればよいために、面積効率が良い。二つ目は、貼り合わせ前に、第１半導体チップ１１及び第２半導体チップ１２について単体で不良選別し、良品と良品とを選択的に組み合わせることができるため、完成したチップの不良率を低減でき、歩留りを上げることができる。

[0044] 因みに、従来の積層型チップは、ウェハとウェハとを貼り合わせるＷＯＷ（Wafer On Wafer）構造であるため、貼り合わせるチップ同士のどちらかが不良になると、貼り合わせたチップが不良品になってしまう。

[0045] しかし、ＣＯＷ（Chip On Wafer）構造の積層チップには、次のような問題がある。もし、図４Ｂに示すように、第２半導体チップ１２を４つのチップ１２Ａ～１２Ｄに分割した場合、チップ作製の効率性を考慮すると、４つのチップ１２Ａ～１２Ｄを同じマスクで同時に作製することが好ましい。そうでないと、走査部３２Ａ，３２Ｂを含むチップ１２Ａ，１２Ｂと、アナログ－デジタル変換部３３Ａ，３３Ｂ及びロジック回路部３４（３４Ａ，３４Ｂ）を含むチップ１２Ｃ，１２Ｄとを別々に作製することになり、マスク代、流動工程が倍増してしまう。

[0046] また、４つのチップ１２Ａ～１２Ｄのダイシングに当たっては、図５に示すように、４つのチップ１２Ａ～１２Ｄの長さが揃う必要がある。そのため、アナログ－デジタル変換部３３Ａ，３３Ｂ及びロジック回路部３４（３４Ａ，３４Ｂ）を含む、幅の広いチップ１２Ｃ，１２Ｄに、走査部３２Ａ，３２Ｂのチップ１２Ａ，１２Ｂの高さを合わせる必要がある。本来、チップ１２Ａ，１２Ｂの高さは、画素アレイ部２２の列方向の高さで十分である。

[0047] その結果、走査部３２Ａ，３２Ｂのチップ１２Ａ，１２Ｂに、無駄な空き領域（図５中、ハッチングを付した領域）が発生する。しかも、第２半導体チップ１２として、その無駄な空き領域を含む、走査部３２Ａ，３２Ｂのチップ１２Ａ，１２Ｂを受けられるチップを用意しないといけないため、図４Ａに示すように、第１半導体チップ１１の列方向のサイズが増大することになる。

[0048] また、第２半導体チップ１２上に、走査部３２（３２Ａ，３２Ｂ）が画素配列の画素列に沿って配置されていることで、次のような問題がある。撮像装置では、データを外部へ出力するＬＶＤＳ／ＭＩＰＩ等の外部出力回路や、ＰＬＬや基準電流／電圧の生成回路等のアナログ周辺回路も、第２半導体チップ１２上に、走査部３２の外側に画素列に沿って配置される場合が多い。

[0049] そのため、ロジック回路部３４と外部出力回路との間、及び、アナログ－デジタル変換部３３Ａ，３３Ｂとアナログ周辺回路との間で信号の伝送を行う信号線は、走査部３２の領域や、画素制御線４１の接続部35_2，（$35A_2$，$35B_2$）の領域を通過する必要がある。そのため、信号のタイミング保証や、シールド等の特性保証が難しくなり、場合によっては、メタル層の追加も必要になってくる。

[0050] ＜本開示の実施形態＞

本開示の実施形態では、画素チップとしての第１半導体チップ１１、及び、回路チップとしての第２半導体チップ１２の少なくとも２つの半導体チップが積層されて成る積層型チップ構造において、走査部３２Ａ，３２Ｂが、画素アレイ部２２の行列状の画素配列に対し、画素行（行方向）に沿って配置された構成となっている。

[0051] 一般的に、画素行の画素数が画素列の画素数よりも多く、第１半導体チップ１１の矩形形状については、画素行に沿う辺の方が画素列に沿う辺に比べて長辺となる。従って、走査部３２Ａ，３２Ｂは、アナログ－デジタル変換部３３Ａ，３３Ｂを含む信号処理部と同じ長辺側に、画素行に沿って配置さ

れることになる。アナログ－デジタル変換部３３Ａ，３３Ｂは、画素アレイ部２２の画素配列に対応して、画素行に沿って配置された複数のアナログ－デジタル変換器の集合から成る。

[0052] 従来、走査部３２Ａ，３２Ｂは、画素列に沿って短辺側に配置されている。この場合、先述したように、走査部３２Ａ，３２Ｂのチップ１２Ａ，１２Ｂに、無駄な空き領域が発生し、ＣＯＷ構造での、回路チップとしての第２半導体チップ１２の面積の最適化の妨げとなる。これに対し、走査部３２Ａ，３２Ｂを、アナログ－デジタル変換部３３Ａ，３３Ｂを含む信号処理部と同じ長辺側に、画素行（行方向）に沿って配置する。これにより、画素アレイ部２２の面積が大きい大判の撮像装置であっても、ＣＯＷ構造での第２半導体チップ１２に無駄な空き領域が生じず、第２半導体チップ１２の面積の最適化がしやすくなる。また、回路チップとしての第２半導体チップ１２を分割する際のチップの個数も少なくて済み、チップ個数の最適化がしやすくなる。

[0053] 以下、積層型チップ構造において、行列状の画素配列に対し、走査部３２Ａ，３２Ｂを画素行に沿って配置する本実施形態の具体的な実施例について説明する。

[0054] ［実施例１］

実施例１は、回路チップとしての第２半導体チップ１２を、画素チップとしての第１半導体チップ１１に対し、列方向（垂直方向）の片側（一方の端部）に配置する例である。図６は、実施例１に係る積層型チップ構造を示す図であり、図６Ａに、第１半導体チップ１１の構成の概略を示し、図６Ｂに、第２半導体チップ１２の構成の概略を示している。

[0055] 実施例１に係る積層型チップ構造では、画素制御線４１の接続部35_1，35_2、及び、垂直信号線４２の接続部36_1，36_2が並んで、第１半導体チップ１１及び第２半導体チップ１２の列方向の画素アレイ部２２の一方側（図の上側）に、行方向に沿って設けられている。そして、走査部３２は、第１半導体チップ１１の片側（図の上側）の、接続部35_1及び接続部36_1の下

側の部位に、アナログ－デジタル変換部３３及びロジック回路部３４と共に、画素アレイ部２２の行方向（画素行）に沿って配置されている。

[0056] 具体的には、第２半導体チップ１２上にチップ外辺から、接続部３５$_2$、接続部３６$_2$、走査部３２、アナログ－デジタル変換部３３、及び、ロジック回路部３４の順に配置されている。但し、接続部３５$_2$、接続部３６$_2$、走査部３２、アナログ－デジタル変換部３３、及び、ロジック回路部３４の配置順については、図６Ｂの順番に限られない。

[0057] 上述したように、実施例１に係る積層型チップ構造は、画素行に沿って配置された走査部３２を有する第２半導体チップ１２が、第１半導体チップ１１の片側に配置された１個構成となっている。この実施例１に係る積層型チップ構造は、低速・低コストの撮像装置の積層型チップ構造に適している。

[0058] 第１半導体チップ１１における画素制御線４１の配線、及び、垂直信号線４２の配線、並びに、第１半導体チップ１１と第２半導体チップ１２との接続の概略について図７の分解斜視図に示す。図７に示すように、垂直信号線４２は、第１半導体チップ１１上において、行列状の画素配列に対して画素列毎に列方向に沿って直線状に配線される。そして、垂直信号線４２は、接続部３６$_1$及び接続部３６$_2$を介して第２半導体チップ１２と電気的に接続され、第２半導体チップ１２上において、走査部３２を通過してアナログ－デジタル変換部３３の各アナログ－デジタル変換器に接続される。

[0059] 第２半導体チップ１２上の走査部３２の出力端は、接続部３５$_2$及び接続部３５$_1$を介して第１半導体チップ１１と電気的に接続される。第１半導体チップ１１上において、画素制御線４１については、先ず列方向に沿って配線され、該当する画素行の位置で行方向の画素制御線４１に乗り換える配線構造となる。すなわち、画素制御線４１は、列方向に沿って配線されたパスと、行方向に沿って配線されたパスとから成る。

[0060] 第１半導体チップ１１と第２半導体チップ１２とを電気的に接続する接続部として、ここでは、図８Ａに示すシリコン貫通電極（ＴＳＶ；Through Silicon Via）、及び、図８Ｂに示すカッパー－カッパー接続（Ｃｕ－Ｃｕ接続

）の２種類を例示する。

[0061] 前者の場合は、画素チップである第１半導体チップ１１を貫通して接続部３５$_{1}$，３６$_{1}$を作製する必要があるため、画素配列の領域（即ち、画素アレイ部２２）内には配置することができない。従って、接続部３５$_{1}$，３６$_{1}$の配設位置は、必然的に、第１半導体チップ１１及び第２半導体チップ１２の周縁部となる。

[0062] 後者の場合は、図９に示すように、垂直信号線４２の接続部３６$_{1}$，３６$_{2}$の配設位置を、アナログ－デジタル変換部３３の入力端にすることができる。これにより、第２半導体チップ１２上において走査部３２の上を通過する垂直信号線４２の配線（図７参照）が不要になり、それに伴って垂直信号線４２の負荷を低減できる。また、走査部３２の領域の配線数が減ることにより、必要なメタル数が少なくて済む。

[0063] 走査部３２やアナログ－デジタル変換部３３については、所定の回路を単位とするユニットを作製し、そのユニットを並列に並べて（配置して）大きいブロックを作製することになる。ここで、走査部３２のユニット数は、画素配列の行数に比例し、同様に、アナログ－デジタル変換部３３のユニット数は、画素配列の列数に比例する。一般的に、行方向（横方向）の画素数（画素配列の列数）が、列方向（縦方向）の画素数（画素配列の行数）と異なることが多い。例えば、カメラに搭載する撮像装置は、画素列が画素行よりも多い、画素配列が横長の形状の場合が多い。

[0064] 走査部３２及びアナログ－デジタル変換部３３をチップ長辺に沿って、即ち、画素配列の画素行に沿って配置する構成では、走査部３２のユニットのレイアウトサイズを決めるに当たって、２つの選択肢を例示することができる。この２つの選択肢について、図１０を用いて説明する。

[0065] 選択肢の一つは、図１０Ａに示すように、走査部３２のユニットのピッチと、アナログ－デジタル変換部３３のユニットのピッチとを揃える（同じにする）ことである。通常の撮像装置では、画素行の画素数が画素列の画素数より多いため、走査部３２のブロックの幅サイズが、アナログ－デジタル変

換部３３のブロックの幅サイズより小さくなる。その場合、走査部３２のブロックの横に空き領域が発生する（図１０Ａ参照）。

[0066] そこで、図１０Ｂに示すように、走査部３２のブロックの横に空き領域に他の回路、例えば、インタフェースやＰＬＬ等のアナログ周辺回路３７を配置することで、空き領域を有効利用することができる。走査部３２のユニット、及び、アナログ－デジタル変換部３３のユニットのピッチを揃えることで、列方向（縦方向）の画素制御線４１、及び、垂直信号線４２のレイアウトが各列で同様のパータンになるため、配線負荷（それに伴う回路特性）が揃えやすいというメリットがある。

[0067] 選択肢のもう一つは、図１０Ｃに示すように、走査部３２のユニットのピッチと、アナログ－デジタル変換部３３のユニットのピッチとを異ならせ、走査部３２及びアナログ－デジタル変換部３３のレイアウトピッチ比を画素配列の行数／列数の比と同じにすることである。これにより、走査部３２のブロックとアナログ－デジタル変換部３３のブロックとをほぼ同じ横幅にすることができるために、アナログ－デジタル変換部３３よりもユニット数の少ない走査部３２のユニット幅を広くできる。その結果、列方向（縦方向）の画素制御線４１を、走査部３２を通過してアナログ－デジタル変換部３３の入力端に接続する際に、画素制御線４１を通しやすくなるというメリットがある。

[0068] その反面、走査部３２のユニットのピッチと、アナログ－デジタル変換部３３のユニットのピッチとが揃わないため、列方向（縦方向）の画素制御線４１、及び、垂直信号線４２のレイアウトパターンが画素列によって異なるため、配線負荷が不均一になり、回路特性に悪影響を及ぼす可能性がある。配線本数、回路特性へのインパクト等、撮像装置の要求を考慮し、上記の２つの選択肢のいずれかを選択することになる。

[0069] ［実施例２］

実施例２は、第２半導体チップ１２を第１半導体チップ１１に対し、列方向（上下方向／垂直方向）の両端部に配置する例である。図１１は、実施例

２に係る積層型チップ構造を示す図であり、図１１Ａに、第１半導体チップの構成の概略を示し、図１１Ｂに、第２半導体チップの構成の概略を示している。

[0070] 実施例２に係る積層型チップ構造では、第２半導体チップ１２がチップ１２$_1$及びチップ１２$_2$の２つのチップから成り、チップ１２$_1$及びチップ１２$_2$は、第１半導体チップ１１に対し、列方向（垂直方向）の上下両端部に配置されている。そして、第１半導体チップ１１の上下両側には、画素制御線４１の接続部３５Ａ$_{-1}$，３５Ｂ$_{-1}$及び垂直信号線４２の接続部３６Ａ$_{-1}$，３６Ｂ$_{-1}$がそれぞれ並んで行方向に沿って設けられている。また、チップ１２$_1$には、画素制御線４１の接続部３５Ａ$_{-2}$及び垂直信号線４２の接続部３６Ａ$_{-2}$がそれぞれ並んで行方向に沿って設けられ、チップ１２$_2$には、画素制御線４１の接続部３５Ｂ$_{-2}$及び垂直信号線４２の接続部３６Ｂ$_{-2}$がそれぞれ並んで行方向に沿って設けられている。

[0071] 第２半導体チップ１２のチップ１２$_1$には、走査部３２Ａが、アナログ－デジタル変換部３３Ａ及びロジック回路部３４Ａと共に、画素アレイ部２２の行方向（画素行）に沿って配置されている。第２半導体チップ１２のチップ１２$_2$には、走査部３２Ｂが、アナログ－デジタル変換部３３Ｂ及びロジック回路部３４Ｂと共に、画素アレイ部２２の行方向に沿って配置されている。チップ１２$_1$の走査部３２Ａ、アナログ－デジタル変換部３３Ａ、及び、ロジック回路部３４Ａと、チップ１２$_2$の走査部３２Ｂ、アナログ－デジタル変換部３３Ｂ、及び、ロジック回路部３４Ｂとは上下ミラー対称の関係となっている。

[0072] 上述したように、実施例２に係る積層型チップ構造は、画素行に沿って配置された走査部３２Ａ，３２Ｂを有する第２半導体チップ１２が、第１半導体チップ１１の上下両端部（両側）に配置されたチップ１２$_1$及びチップ１２$_2$から成る２個構成となっている。この実施例２に係る積層型チップ構造の場合、画素２１の信号を第１半導体チップ１１の上下両側に読み出すことができるため、高速の撮像装置の積層型チップ構造に適している。

[0073] 実施例２においても、第１半導体チップ１１における画素制御線４１の配線、及び、垂直信号線４２の配線、並びに、第１半導体チップ１１と第２半導体チップ１２との接続については、基本的に、図７に示した実施例１の場合と同様の構成とすることができる。また、第１半導体チップ１１と第２半導体チップ１２とを電気的に接続する接続部としても、図８Ａに示すＴＳＶや図８Ｂに示すＣｕ－Ｃｕ接続を適用することができる。

[0074] ［実施例３］

実施例３は、第２半導体チップ１２を２個構成とし、走査部３２を独立のチップにする例である。図１２は、実施例３に係る積層型チップ構造を示す図であり、図１２Ａに、第１半導体チップの構成の概略を示し、図１２Ｂに、第２半導体チップの構成の概略を示している。

[0075] 実施例３に係る積層型チップ構造では、第２半導体チップ１２がチップ12_1及びチップ12_2の２個構成となっており、チップ12_1及びチップ12_2は、第１半導体チップ１１に対し、列方向（垂直方向）の上下両側に配置されている。そして、画素制御線４１の接続部$35A_1$及び接続部$35A_2$は、第１半導体チップ１１の一方側（図の上側）及びチップ12_1に、行方向に沿って設けられている。垂直信号線４２の接続部$36A_1$及び接続部$36A_2$は、第１半導体チップ１１の他方側（図の下側）及びチップ12_2に、行方向に沿って設けられている。

[0076] 第２半導体チップ１２のチップ12_1には、アナログ－デジタル変換部３３Ａ及びロジック回路部３４Ａが、画素アレイ部２２の行方向に沿って配置されている。第２半導体チップ１２のチップ12_2には、走査部３２Ｂが、画素アレイ部２２の行方向に沿って配置されている。

[0077] 上述したように、実施例３に係る積層型チップ構造は、回路チップである第２半導体チップ１２が、アナログ－デジタル変換部３３／ロジック回路部３４のチップ12_1、及び、走査部３２のチップ12_2から成る２個構成となっている。この実施例３に係る積層型チップ構造によれば、アナログ－デジタル変換部３３／ロジック回路部３４のチップ12_1のプロセスと、走査部３２

のチップ１２$_2$のプロセスとを個別に最適化できる。例えば、チップ１２$_1$について、低ノイズ・低電圧のプロセスでアナログ－デジタル変換部３３／ロジック回路部３４を実装し、走査部３２のチップ１２$_2$を、画素の特性（例えば、飽和電荷量Ｑ$_s$、転送）の確保に最適化したプロセスで実装することができる。

[0078] 実施例３においても、第１半導体チップ１１における画素制御線４１の配線、及び、垂直信号線４２の配線、並びに、第１半導体チップ１１と第２半導体チップ１２との接続については、基本的に、図７に示した実施例１の場合と同様の構成とすることができる。また、第１半導体チップ１１と第２半導体チップ１２のチップ１２$_1$，１２$_2$とを電気的に接続する接続部としても、図８Ａに示すＴＳＶや図８Ｂに示すＣｕ－Ｃｕ接続を適用することができる。

[0079] ［実施例４］

実施例４は、走査部３２を第２半導体チップ１２の列方向の端部に配置する例である。図１３は、実施例４に係る積層型チップ構造を示す図であり、図１３Ａに、第１半導体チップの構成の概略を示し、図１３Ｂに、第２半導体チップの構成の概略を示している。

[0080] 実施例４に係る積層型チップ構造では、走査部３２を、第２半導体チップ１２の列方向（垂直方向／上下方向）の一方の端部（例えば、図の下側端部）に、画素行に沿って配置した構成となっている。アナログ－デジタル変換部３３等の他の回路については、走査部３２の内側に配置する。

[0081] 実施例４に係る積層型チップ構造の場合、走査部３２の出力端から最も遠い画素Ｐへの画素制御線４１のパスは、画素配列の列方向に沿って配線されたパス（１）、及び、行方向に沿って配線されたパス（２）から成る。

[0082] 実施例４においても、第１半導体チップ１１における画素制御線４１の配線、及び、垂直信号線４２の配線、並びに、第１半導体チップ１１と第２半導体チップ１２との接続については、基本的に、図７に示した実施例１の場合と同様の構成とすることができる。また、第１半導体チップ１１と第２半

導体チップ１２とを電気的に接続する接続部としても、図８Ａに示すＴＳＶや図８Ｂに示すＣｕ－Ｃｕ接続を適用することができる。

[0083] ［実施例５］

実施例５は、実施例４の変形例であり、走査部３２を第２半導体チップ１２の列方向の中央部に配置する例である。図１４は、実施例５に係る積層型チップ構造を示す図であり、図１４Ａに、第１半導体チップの構成の概略を示し、図１４Ｂに、第２半導体チップの構成の概略を示している。

[0084] 実施例５に係る積層型チップ構造では、走査部３２を、第２半導体チップ１２の列方向（垂直方向／上下方向）の中央部に、画素行に沿って配置した構成となっている。アナログ－デジタル変換部３３等の他の回路については、走査部３２の列方向の一方側（例えば、図の下側）に配置する。

[0085] 実施例５においても、第１半導体チップ１１における画素制御線４１の配線、及び、垂直信号線４２の配線、並びに、第１半導体チップ１１と第２半導体チップ１２との接続については、基本的に、図７に示した実施例１の場合と同様の構成とすることができる。但し、実施例５に係る積層型チップ構造では、画素制御線４１の接続部３５Ａ$_{1}$，３５Ａ$_{2}$が、画素配列の領域に中央部に配置されることになるため、画素制御線４１の接続部３５Ａ$_{1}$，３５Ａ$_{2}$として、図８Ｂに示すＣｕ－Ｃｕ接続を適用することになる。

[0086] 実施例５に係る積層型チップ構造の場合、走査部３２の出力端から最も遠い画素Ｐへの画素制御線４１のパスは、画素配列の列方向に沿って配線されたパス（３）、及び、行方向に沿って配線されたパス（２）から成る。パス（３）は、実施例４の場合のパス（１）に比べて短くなるため、画素制御線４１が伝送する信号の伝搬遅延を、実施例４の場合よりも短くすることができる。

[0087] ［実施例６］

実施例６は、第２半導体チップ１２の行方向の端部に周辺回路等を配置する例である。図１５は、実施例６に係る積層型チップ構造を示す図であり、図１５Ａに、第１半導体チップの構成の概略を示し、図１５Ｂに、第２半導

体チップの構成の概略を示している。

[0088] 実施例６に係る積層型チップ構造では、走査部３２Ａ，３２Ｂ及びアナログ－デジタル変換部３３Ａ，３３Ｂを、第２半導体チップ１２の列方向の両端部に上下ミラー対称に配置するとともに、ロジック回路部３４を中央部に配置し、行方向の一端部に周辺回路３７Ａ，３７Ｂ及び外部出力回路３８を配置した構成となっている。アナログ周辺回路３７Ａ，３７Ｂは、ＰＬＬや基準電流／電圧の生成回路等の周辺回路である。外部出力回路３８は、データを外部へ出力するＬＶＤＳ／ＭＩＰＩ等の出力回路である。

[0089] 実施例６に係る積層型チップ構造によれば、アナログ周辺回路３７Ａ，３７Ｂ及び外部出力回路３８を行方向の一端部に配置したとき、走査部３２Ａ，３２Ｂが画素行に沿って配置されていることで、通信が必要なブロック同士の配設位置が近くなる。具体的には、ロジック回路部３４と外部出力回路３８との間、及び、アナログ－デジタル変換部３３Ａ，３３Ｂとアナログ周辺回路３７Ａ，３７Ｂとの間に、配線の邪魔となる回路ブロックが存在しないため、回路ブロックのレイアウトやタイミング設計がしやくすなる。

[0090] 実施例６においても、第１半導体チップ１１における画素制御線４１の配線、及び、垂直信号線４２の配線、並びに、第１半導体チップ１１と第２半導体チップ１２との接続については、基本的に、図７に示した実施例１の場合と同様の構成とすることができる。また、第１半導体チップ１１と第２半導体チップ１２とを電気的に接続する接続部としても、図８Ａに示すＴＳＶや図８Ｂに示すＣｕ－Ｃｕ接続を適用することができる。

[0091] ［実施例７］

実施例７は、画素制御線４１と垂直信号線４２との間の配線寄生容量のカップリングを分散する例である。

[0092] 図７に示すように、画素制御線４１を垂直信号線４２と同じように列方向に沿ってレイアウトした場合、図１６Ａ及び図１６Ｂに示すように、画素制御線４１と垂直信号線４２との間に配線寄生容量C_cが発生する。図１６Ａは、画素制御線４１と垂直信号線４２とを同じメタル層にレイアウトした場合

の配線寄生容量C_cを示し、図１６Ｂは、画素制御線４１と垂直信号線４２とを異なるメタル層にレイアウトした場合の配線寄生容量C_cを示している。

[0093] 図１７Ａ及び図１７Ｂに示すように、ある画素行がアクセスされたとき、当該画素行を制御する画素制御線４１の電位が遷移する。その際、該当する画素制御線４１と列方向に隣接して並走する垂直信号線４２の電位が、配線寄生容量C_cのカップリングによって揺らされてしまう。これにより、アナログ－デジタル変換されたときに、垂直信号線４２の電位の揺れが収まらない場合、アナログ－デジタル変換結果に誤差が生じる。そして、誤差の発生する画素の列方向の位置が画素行によって少しずつシフトしていく。結果的に、当該誤差は、出力画像に斜めのＦＰＮ（Fixed Pattern Noise）として現れる。

[0094] 上記の問題に対処するために、実施例７に係る積層型チップ構造では、画素制御線４１について、列方向のパス（図１３Ａのパス（１）に相当）を、直線状の縦配線形状ではなく、所定の長さを単位として、所定量ずつ行方向（横方向）へシフトさせた配線形状としてレイアウトする。

[0095] 実施例７に係る積層型チップ構造における画素制御線４１の列方向のパス（配線）の配線形状の例について、図１８、図１９、及び、図２０を用いて説明する。図１８に、画素制御線４１の列方向のパスの配線形状例１を示し、図１９に、画素制御線４１の列方向のパスの配線形状例２を示し、図２０に、画素制御線４１の列方向のパスの配線形状例３を示している。

[0096]（配線形状例１）

図１８に示すように、配線形状例１では、垂直信号線４２と画素制御線４１の列方向のパス（配線）とを別々のメタル層にレイアウトする。垂直信号線４２をレイアウトするメタル層を第１メタル層Ｍｘとし、画素制御線４１の列方向のパスをレイアウトするメタル層を第２メタル層Ｍｙとする。更に、画素制御線４１の行方向のパス（配線）を、第１，第２メタル層Ｍｘ，Ｍｙとは別の第３メタル層Ｍｚにレイアウトする。画素制御線４１の列方向のパスのシフトについては、第２メタル層Ｍｙでの行方向の配線で実現する。

[0097]（配線形状例２）

図１９に示すように、配線形状例２では、配線形状例１と同様に、垂直信号線４２と画素制御線４１の列方向のパスとを別々の第１メタル層Ｍｘ及び第２メタル層Ｍｙにレイアウトし、画素制御線４１の行方向のパスを第１，第２メタル層Ｍｘ，Ｍｙとは別の第３メタル層Ｍｚにレイアウトする。画素制御線４１の列方向のパスのシフトについては、第２メタル層Ｍｙでの斜め方向の配線で実現する。配線形状例２の場合、配線形状例１の場合よりも画素制御線４１の列方向のパス（縦配線）の間隔を狭く抑えることができるため、配線密度が密のときに有利になる。

[0098]（配線形状例３）

図２０に示すように、配線形状例３では、画素制御線４１の列方向のパス（縦配線）があまり混まない状況の場合、垂直信号線４２と画素制御線４１の列方向のパスとを同じメタル層、例えば第１メタル層Ｍｘにレイアウトする。そして、画素制御線４１の行方向のパスを別の第２メタル層Ｍｙにレイアウトする。画素制御線４１の列方向のパスのシフトについては、第２メタル層Ｍｙでの行方向（又は、斜め方向）の配線で実現する。配線形状例３の場合、配線形状例１，２の場合に比べて、配線層（メタル層）が１層少なくて済む。

[0099] 上述したように、実施例７に係る積層型チップ構造では、画素制御線４１について、列方向のパスの配線を、所定の長さを単位として、所定量ずつ行方向へシフトさせてレイアウトした配線形状としている。これにより、ある画素制御線４１に着目したとき、その画素制御線４１とカップリングする垂直信号線４２としては、どれか１本の垂直信号線４２に集中することなく、複数の垂直信号線４２に分散（カップリング分散）するため、カップリングの量、及び、その影響が緩和される。

[0100] 尚、実施例７では、垂直信号線４２を直線状に配線し、画素制御線４１の列方向のパスを行方向へ所定量ずつシフトするレイアウトパターンを例示したが、同様のコンセプトの下、画素制御線４１の列方向のパスを直線状に配

線し、垂直信号線４２を行方向へ所定量ずつシフトするレイアウトパターンとすることもできる。このレイアウトパターンでも、同様のカップリング分散の効果が得られる。

[0101] ［実施例８］

実施例８は、画素制御線４１の列方向のパスと行方向のパスとの接続関係のバリエーションを示す例である。バリエーション１を図２１Ａに示し、バリエーション２を図２１Ｂに示し、バリエーション３を図２１Ｃに示し、バリエーション４を図２２Ａに示し、バリエーション５を図２２Ｂに示す。

[0102] （バリエーション１）

図２１Ａに示すバリエーション１は、走査部３２を列方向（上下方向）の片側（本例では、下側）に配置する場合の画素制御線４１の列方向のパスと行方向のパスとの接続関係である。第１半導体チップ１１には、走査部３２の出力端に対応して、画素制御線４１の接続部３５$_{1}$が配置されている。図２１Ａにおいて、黒丸（●）は、列方向のパスと行方向のパスとのコンタクト部である。この点については、後述するバリエーション２乃至バリエーション５においても同様である。

[0103] （バリエーション２）

図２１Ｂに示すバリエーション２は、走査部３２を列方向（上下方向）の両側に配置する場合の画素制御線４１の列方向のパスと行方向のパスとの接続関係である。画素制御線４１の列方向のパスを、画素制御線４１の接続部３５Ａ$_{1}$，３５Ｂ$_{1}$を通して、上下両側の走査部３２の出力端と電気的に接続する。走査部３２を列方向（上下方向）の両側に配置した場合、画素制御線４１の駆動能力が２倍になるため、画素制御線４１の電位の遷移が高速になる。

[0104] （バリエーション３）

図２１Ｃに示すバリエーション３は、走査部３２を列方向の両側に配置し、画素制御線４１の列方向のパスを交互に、上下両側の走査部３２の出力端と電気的に接続する場合の画素制御線４１の列方向のパスと行方向のパスと

の接続関係である。バリエーション３の場合、上下両側の走査部３２のユニット数が、バリエーション１及びバリエーション２の場合に比べて半分で済むことになる。

[0105] （バリエーション４）

図２２Ａに示すバリエーション４は、走査部３２を列方向の両側に配置し、画素制御線４１の列方向のパスをチップ中央部で分断した場合の画素制御線４１の列方向のパスと行方向のパスとの接続関係である。チップ中央部で分断したチップ上側のパスは、チップ上側の走査部３２の出力端と電気的に接続し、チップ下側のパスは、チップ下側の走査部３２の出力端と電気的に接続する。バリエーション４の場合、画素制御線４１の列方向のパスの長さが半分になるため、画素制御線４１の電位の遷移が高速になる。また、上下両側の走査部３２のユニット数が、バリエーション１及びバリエーション２の場合に比べて半分で済むことになる。

[0106] （バリエーション５）

図２２Ｂに示すバリエーション５は、走査部３２を列方向のチップ中央部に配置した場合（図１４の例に相当）の画素制御線４１の列方向のパスと行方向のパスとの接続関係である。バリエーション５の場合、画素制御線４１の接続部３５A_{-1}，３５B_{-1}から、画素制御線４１の列方向のパスの端までの距離が、バリエーション１の場合に比べて半分になるため、画素制御線４１の電位の遷移が高速になる。

[0107] ＜変形例＞

以上、本開示に係る技術について、好ましい実施形態に基づき説明したが、本開示に係る技術は当該実施形態に限定されるものではない。上記の実施形態において説明した撮像装置の構成、構造は例示であり、適宜、変更することができる。

[0108] 例えば、上記の実施形態では、画素２が行列状に配置されて成るＣＭＯＳイメージセンサに適用した場合を例に挙げて説明したが、本開示に係る技術は、ＣＭＯＳイメージセンサへの適用に限られるものではない。すなわち、

本開示に係る技術は、画素２が行列状に２次元配置されて成るＸ－Ｙアドレス方式の撮像装置全般に対して適用可能である。

[0109] ＜応用例＞

以上説明した本開示の撮像装置は、例えば図２３に示すように、可視光、赤外光、紫外光、Ｘ線等の光をセンシングする様々な装置に使用することができる。様々な装置の具体例について以下に列挙する。

[0110] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、ＴＶや、冷蔵庫、エアーコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供され装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0111] ＜本開示に係る技術の適用例＞

本開示に係る技術は、様々な製品に適用することができる。以下に、より具体的な適用例について説明する。

[0112] ［本開示の電子機器］

ここでは、デジタルスチルカメラやビデオカメラ等の撮像システムや、携

帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に撮像装置を用いる複写機などの電子機器に適用する場合について説明する。

[0113] （撮像システム）

図２４は、本開示の電子機器の一例である撮像システムの構成例を示すブロック図である。図２４に示すように、本例に係る撮像システム１００は、レンズ群等を含む撮像光学系１０１、撮像部１０２、ＤＳＰ(Digital Signal Processor)回路１０３、フレームメモリ１０４、表示装置１０５、記録装置１０６、操作系１０７、及び、電源系１０８等を有している。そして、ＤＳＰ回路１０３、フレームメモリ１０４、表示装置１０５、記録装置１０６、操作系１０７、及び、電源系１０８がバスライン１０９を介して相互に接続された構成となっている。

[0114] 撮像光学系１０１は、被写体からの入射光（像光）を取り込んで撮像部１０２の撮像面上に結像する。撮像部１０２は、光学系１０１によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。ＤＳＰ回路１０３は、一般的なカメラ信号処理、例えば、ホワイトバランス処理、デモザイク処理、ガンマ補正処理などを行う。

[0115] フレームメモリ１０４は、ＤＳＰ回路１０３での信号処理の過程で適宜データの格納に用いられる。表示装置１０５は、液晶表示装置や有機ＥＬ(electro luminescence)表示装置等のパネル型表示装置から成り、撮像部１０２で撮像された動画または静止画を表示する。記録装置１０６は、撮像部１０２で撮像された動画または静止画を、可搬型の半導体メモリや、光ディスク、ＨＤＤ(Hard Disk Drive)等の記録媒体に記録する。

[0116] 操作系１０７は、ユーザによる操作の下に、本撮像装置１００が持つ様々な機能について操作指令を発する。電源系１０８は、ＤＳＰ回路１０３、フレームメモリ１０４、表示装置１０５、記録装置１０６、及び、操作系１０７の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0117] 上記の構成の撮像システム１００において、撮像部１０２として、本開示に係る技術が適用される撮像装置（本開示の撮像装置）を用いることができ

る。本開示に係る技術が適用される撮像装置によれば、ＣＯＷ構造での回路チップ（第２半導体チップ）の面積の最適化がしやすくなるため、当該撮像装置を撮像部１０２として用いることで、撮像システムの小型化に寄与できる。

[0118] ［移動体への応用例］

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット、建設機械、農業機械（トラクター）などのいずれかの種類の移動体に搭載される撮像装置として実現されてもよい。

[0119] 図２５は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システム７０００の概略的な構成例を示すブロック図である。車両制御システム７０００は、通信ネットワーク７０１０を介して接続された複数の電子制御ユニットを備える。図２５に示した例では、車両制御システム７０００は、駆動系制御ユニット７１００、ボディ系制御ユニット７２００、バッテリ制御ユニット７３００、車外情報検出ユニット７４００、車内情報検出ユニット７５００、及び統合制御ユニット７６００を備える。これらの複数の制御ユニットを接続する通信ネットワーク７０１０は、例えば、ＣＡＮ（Controller Area Network）、ＬＩＮ（Local Interconnect Network）、ＬＡＮ（Local Area Network）又はＦｌｅｘＲａｙ（登録商標）等の任意の規格に準拠した車載通信ネットワークであってよい。

[0120] 各制御ユニットは、各種プログラムにしたがって演算処理を行うマイクロコンピュータと、マイクロコンピュータにより実行されるプログラム又は各種演算に用いられるパラメータ等を記憶する記憶部と、各種制御対象の装置を駆動する駆動回路とを備える。各制御ユニットは、通信ネットワーク７０１０を介して他の制御ユニットとの間で通信を行うためのネットワークＩ／Ｆを備えるとともに、車内外の装置又はセンサ等との間で、有線通信又は無線通信により通信を行うための通信Ｉ／Ｆを備える。図２５では、統合制御

ユニット７６００の機能構成として、マイクロコンピュータ７６１０、汎用通信Ｉ／Ｆ７６２０、専用通信Ｉ／Ｆ７６３０、測位部７６４０、ビーコン受信部７６５０、車内機器Ｉ／Ｆ７６６０、音声画像出力部７６７０、車載ネットワークＩ／Ｆ７６８０及び記憶部７６９０が図示されている。他の制御ユニットも同様に、マイクロコンピュータ、通信Ｉ／Ｆ及び記憶部等を備える。

[0121] 駆動系制御ユニット７１００は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット７１００は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。駆動系制御ユニット７１００は、ＡＢＳ（Antilock Brake System）又はＥＳＣ（Electronic Stability Control）等の制御装置としての機能を有してもよい。

[0122] 駆動系制御ユニット７１００には、車両状態検出部７１１０が接続される。車両状態検出部７１１０には、例えば、車体の軸回転運動の角速度を検出するジャイロセンサ、車両の加速度を検出する加速度センサ、あるいは、アクセルペダルの操作量、ブレーキペダルの操作量、ステアリングホイールの操舵角、エンジン回転数又は車輪の回転速度等を検出するためのセンサのうちの少なくとも一つが含まれる。駆動系制御ユニット７１００は、車両状態検出部７１１０から入力される信号を用いて演算処理を行い、内燃機関、駆動用モータ、電動パワーステアリング装置又はブレーキ装置等を制御する。

[0123] ボディ系制御ユニット７２００は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット７２００は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット７２００には、鍵を代替する携帯機から発信される

電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット７２００は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0124] バッテリ制御ユニット７３００は、各種プログラムにしたがって駆動用モータの電力供給源である二次電池７３１０を制御する。例えば、バッテリ制御ユニット７３００には、二次電池７３１０を備えたバッテリ装置から、バッテリ温度、バッテリ出力電圧又はバッテリの残存容量等の情報が入力される。バッテリ制御ユニット７３００は、これらの信号を用いて演算処理を行い、二次電池７３１０の温度調節制御又はバッテリ装置に備えられた冷却装置等の制御を行う。

[0125] 車外情報検出ユニット７４００は、車両制御システム７０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット７４００には、撮像部７４１０及び車外情報検出部７４２０のうちの少なくとも一方が接続される。撮像部７４１０には、ＴｏＦ（Time Of Flight）カメラ、ステレオカメラ、単眼カメラ、赤外線カメラ及びその他のカメラのうちの少なくとも一つが含まれる。車外情報検出部７４２０には、例えば、現在の天候又は気象を検出するための環境センサ、あるいは、車両制御システム７０００を搭載した車両の周囲の他の車両、障害物又は歩行者等を検出するための周囲情報検出センサのうちの少なくとも一つが含まれる。

[0126] 環境センサは、例えば、雨天を検出する雨滴センサ、霧を検出する霧センサ、日照度合いを検出する日照センサ、及び降雪を検出する雪センサのうちの少なくとも一つであってよい。周囲情報検出センサは、超音波センサ、レーダ装置及びＬＩＤＡＲ（Light Detection and Ranging、Laser Imaging Detection and Ranging）装置のうちの少なくとも一つであってよい。これらの撮像部７４１０及び車外情報検出部７４２０は、それぞれ独立したセンサないし装置として備えられてもよいし、複数のセンサないし装置が統合された装置として備えられてもよい。

[0127] ここで、図２６は、撮像部７４１０及び車外情報検出部７４２０の設置位

置の例を示す。撮像部７９１０，７９１２，７９１４，７９１６，７９１８は、例えば、車両７９００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部のうちの少なくとも一つの位置に設けられる。フロントノーズに備えられる撮像部７９１０及び車室内のフロントガラスの上部に備えられる撮像部７９１８は、主として車両７９００の前方の画像を取得する。サイドミラーに備えられる撮像部７９１２，７９１４は、主として車両７９００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部７９１６は、主として車両７９００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部７９１８は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0128] 尚、図２６には、それぞれの撮像部７９１０，７９１２，７９１４，７９１６の撮影範囲の一例が示されている。撮像範囲ａは、フロントノーズに設けられた撮像部７９１０の撮像範囲を示し、撮像範囲ｂ，ｃは、それぞれサイドミラーに設けられた撮像部７９１２，７９１４の撮像範囲を示し、撮像範囲ｄは、リアバンパ又はバックドアに設けられた撮像部７９１６の撮像範囲を示す。例えば、撮像部７９１０，７９１２，７９１４，７９１６で撮像された画像データが重ね合わせられることにより、車両７９００を上方から見た俯瞰画像が得られる。

[0129] 車両７９００のフロント、リア、サイド、コーナ及び車室内のフロントガラスの上部に設けられる車外情報検出部７９２０，７９２２，７９２４，７９２６，７９２８，７９３０は、例えば超音波センサ又はレーダ装置であってよい。車両７９００のフロントノーズ、リアバンパ、バックドア及び車室内のフロントガラスの上部に設けられる車外情報検出部７９２０，７９２６，７９３０は、例えばＬＩＤＡＲ装置であってよい。これらの車外情報検出部７９２０～７９３０は、主として先行車両、歩行者又は障害物等の検出に用いられる。

[0130] 図２５に戻って説明を続ける。車外情報検出ユニット７４００は、撮像部

７４１０に車外の画像を撮像させるとともに、撮像された画像データを受信する。また、車外情報検出ユニット７４００は、接続されている車外情報検出部７４２０から検出情報を受信する。車外情報検出部７４２０が超音波センサ、レーダ装置又はＬＩＤＡＲ装置である場合には、車外情報検出ユニット７４００は、超音波又は電磁波等を発信させるとともに、受信された反射波の情報を受信する。車外情報検出ユニット７４００は、受信した情報に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。車外情報検出ユニット７４００は、受信した情報に基づいて、降雨、霧又は路面状況等を認識する環境認識処理を行ってもよい。車外情報検出ユニット７４００は、受信した情報に基づいて、車外の物体までの距離を算出してもよい。

[0131] また、車外情報検出ユニット７４００は、受信した画像データに基づいて、人、車、障害物、標識又は路面上の文字等を認識する画像認識処理又は距離検出処理を行ってもよい。車外情報検出ユニット７４００は、受信した画像データに対して歪補正又は位置合わせ等の処理を行うとともに、異なる撮像部７４１０により撮像された画像データを合成して、俯瞰画像又はパノラマ画像を生成してもよい。車外情報検出ユニット７４００は、異なる撮像部７４１０により撮像された画像データを用いて、視点変換処理を行ってもよい。

[0132] 車内情報検出ユニット７５００は、車内の情報を検出する。車内情報検出ユニット７５００には、例えば、運転者の状態を検出する運転者状態検出部７５１０が接続される。運転者状態検出部７５１０は、運転者を撮像するカメラ、運転者の生体情報を検出する生体センサ又は車室内の音声を集音するマイク等を含んでもよい。生体センサは、例えば、座面又はステアリングホイール等に設けられ、座席に座った搭乗者又はステアリングホイールを握る運転者の生体情報を検出する。車内情報検出ユニット７５００は、運転者状態検出部７５１０から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別

してもよい。車内情報検出ユニット７５００は、集音された音声信号に対してノイズキャンセリング処理等の処理を行ってもよい。

[0133] 統合制御ユニット７６００は、各種プログラムにしたがって車両制御システム７０００内の動作全般を制御する。統合制御ユニット７６００には、入力部７８００が接続されている。入力部７８００は、例えば、タッチパネル、ボタン、マイクロフォン、スイッチ又はレバー等、搭乗者によって入力操作され得る装置によって実現される。統合制御ユニット７６００には、マイクロフォンにより入力される音声を音声認識することにより得たデータが入力されてもよい。入力部７８００は、例えば、赤外線又はその他の電波を利用したリモートコントロール装置であってもよいし、車両制御システム７０００の操作に対応した携帯電話又はＰＤＡ（Personal Digital Assistant）等の外部接続機器であってもよい。入力部７８００は、例えばカメラであってもよく、その場合搭乗者はジェスチャにより情報を入力することができる。あるいは、搭乗者が装着したウェアラブル装置の動きを検出することで得られたデータが入力されてもよい。さらに、入力部７８００は、例えば、上記の入力部７８００を用いて搭乗者等により入力された情報に基づいて入力信号を生成し、統合制御ユニット７６００に出力する入力制御回路などを含んでもよい。搭乗者等は、この入力部７８００を操作することにより、車両制御システム７０００に対して各種のデータを入力したり処理動作を指示したりする。

[0134] 記憶部７６９０は、マイクロコンピュータにより実行される各種プログラムを記憶するＲＯＭ（Read Only Memory）、及び各種パラメータ、演算結果又はセンサ値等を記憶するＲＡＭ（Random Access Memory）を含んでいてもよい。また、記憶部７６９０は、ＨＤＤ（Hard Disc Drive）等の磁気記憶デバイス、半導体記憶デバイス、光記憶デバイス又は光磁気記憶デバイス等によって実現してもよい。

[0135] 汎用通信Ｉ／Ｆ７６２０は、外部環境７７５０に存在する様々な機器との間の通信を仲介する汎用的な通信Ｉ／Ｆである。汎用通信Ｉ／Ｆ７６２０は

、ＧＳＭ（登録商標）（Global System of Mobile communications）、ＷｉＭＡＸ、ＬＴＥ（Long Term Evolution）若しくはＬＴＥ－Ａ（LTE－Advanced）などのセルラー通信プロトコル、又は無線ＬＡＮ（Ｗｉ－Ｆｉ（登録商標）ともいう）、Ｂｌｕｅｔｏｏｔｈ（登録商標）などのその他の無線通信プロトコルを実装してよい。汎用通信Ｉ／Ｆ７６２０は、例えば、基地局又はアクセスポイントを介して、外部ネットワーク（例えば、インターネット、クラウドネットワーク又は事業者固有のネットワーク）上に存在する機器（例えば、アプリケーションサーバ又は制御サーバ）へ接続してもよい。また、汎用通信Ｉ／Ｆ７６２０は、例えばＰ２Ｐ（Peer To Peer）技術を用いて、車両の近傍に存在する端末（例えば、運転者、歩行者若しくは店舗の端末、又はＭＴＣ（Machine Type Communication）端末）と接続してもよい。

[0136] 専用通信Ｉ／Ｆ７６３０は、車両における使用を目的として策定された通信プロトコルをサポートする通信Ｉ／Ｆである。専用通信Ｉ／Ｆ７６３０は、例えば、下位レイヤのＩＥＥＥ８０２．１１ｐと上位レイヤのＩＥＥＥ１６０９との組合せであるＷＡＶＥ（Wireless Access in Vehicle Environment）、ＤＳＲＣ（Dedicated Short Range Communications）、又はセルラー通信プロトコルといった標準プロトコルを実装してよい。専用通信Ｉ／Ｆ７６３０は、典型的には、車車間（Vehicle to Vehicle）通信、路車間（Vehicle to Infrastructure）通信、車両と家との間（Vehicle to Home）の通信及び歩車間（Vehicle to Pedestrian）通信のうちの１つ以上を含む概念であるＶ２Ｘ通信を遂行する。

[0137] 測位部７６４０は、例えば、ＧＮＳＳ（Global Navigation Satellite System）衛星からのＧＮＳＳ信号（例えば、ＧＰＳ（Global Positioning System）衛星からのＧＰＳ信号）を受信して測位を実行し、車両の緯度、経度及び高度を含む位置情報を生成する。尚、測位部７６４０は、無線アクセスポイントとの信号の交換により現在位置を特定してもよく、又は測位機能を有する携帯電話、ＰＨＳ若しくはスマートフォンといった端末から位置情

報を取得してもよい。

[0138] ビーコン受信部７６５０は、例えば、道路上に設置された無線局等から発信される電波あるいは電磁波を受信し、現在位置、渋滞、通行止め又は所要時間等の情報を取得する。尚、ビーコン受信部７６５０の機能は、上述した専用通信Ｉ／Ｆ７６３０に含まれてもよい。

[0139] 車内機器Ｉ／Ｆ７６６０は、マイクロコンピュータ７６１０と車内に存在する様々な車内機器７７６０との間の接続を仲介する通信インタフェースである。車内機器Ｉ／Ｆ７６６０は、無線ＬＡＮ、Ｂｌｕｅｔｏｏｔｈ（登録商標）、ＮＦＣ（Near Field Communication）又はＷＵＳＢ（Wireless USB）といった無線通信プロトコルを用いて無線接続を確立してもよい。また、車内機器Ｉ／Ｆ７６６０は、図示しない接続端子（及び、必要であればケーブル）を介して、ＵＳＢ（Universal Serial Bus）、ＨＤＭＩ（登録商標）（High-Definition Multimedia Interface）、又はＭＨＬ（Mobile High-definition Link）等の有線接続を確立してもよい。車内機器７７６０は、例えば、搭乗者が有するモバイル機器若しくはウェアラブル機器、又は車両に搬入され若しくは取り付けられる情報機器のうちの少なくとも１つを含んでいてもよい。また、車内機器７７６０は、任意の目的地までの経路探索を行うナビゲーション装置を含んでいてもよい。車内機器Ｉ／Ｆ７６６０は、これらの車内機器７７６０との間で、制御信号又はデータ信号を交換する。

[0140] 車載ネットワークＩ／Ｆ７６８０は、マイクロコンピュータ７６１０と通信ネットワーク７０１０との間の通信を仲介するインタフェースである。車載ネットワークＩ／Ｆ７６８０は、通信ネットワーク７０１０によりサポートされる所定のプロトコルに則して、信号等を送受信する。

[0141] 統合制御ユニット７６００のマイクロコンピュータ７６１０は、汎用通信Ｉ／Ｆ７６２０、専用通信Ｉ／Ｆ７６３０、測位部７６４０、ビーコン受信部７６５０、車内機器Ｉ／Ｆ７６６０及び車載ネットワークＩ／Ｆ７６８０のうちの少なくとも一つを介して取得される情報に基づき、各種プログラム

にしたがって、車両制御システム７０００を制御する。例えば、マイクロコンピュータ７６１０は、取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット７１００に対して制御指令を出力してもよい。例えば、マイクロコンピュータ７６１０は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行ってもよい。また、マイクロコンピュータ７６１０は、取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行ってもよい。

[0142] マイクロコンピュータ７６１０は、汎用通信Ｉ／Ｆ７６２０、専用通信Ｉ／Ｆ７６３０、測位部７６４０、ビーコン受信部７６５０、車内機器Ｉ／Ｆ７６６０及び車載ネットワークＩ／Ｆ７６８０のうちの少なくとも一つを介して取得される情報に基づき、車両と周辺の構造物や人物等の物体との間の３次元距離情報を生成し、車両の現在位置の周辺情報を含むローカル地図情報を作成してもよい。また、マイクロコンピュータ７６１０は、取得される情報に基づき、車両の衝突、歩行者等の近接又は通行止めの道路への進入等の危険を予測し、警告用信号を生成してもよい。警告用信号は、例えば、警告音を発生させたり、警告ランプを点灯させたりするための信号であってよい。

[0143] 音声画像出力部７６７０は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図２５の例では、出力装置として、オーディオスピーカ７７１０、表示部７７２０及びインストルメントパネル７７３０が例示されている。表示部７７２０は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。表示部７７２０は、ＡＲ（Augmented Reality）表示機能を有していてもよい

。出力装置は、これらの装置以外の、ヘッドホン、搭乗者が装着する眼鏡型ディスプレイ等のウェアラブルデバイス、プロジェクタ又はランプ等の他の装置であってもよい。出力装置が表示装置の場合、表示装置は、マイクロコンピュータ７６１０が行った各種処理により得られた結果又は他の制御ユニットから受信された情報を、テキスト、イメージ、表、グラフ等、様々な形式で視覚的に表示する。また、出力装置が音声出力装置の場合、音声出力装置は、再生された音声データ又は音響データ等からなるオーディオ信号をアナログ信号に変換して聴覚的に出力する。

[0144] 尚、図２５に示した例において、通信ネットワーク７０１０を介して接続された少なくとも二つの制御ユニットが一つの制御ユニットとして一体化されてもよい。あるいは、個々の制御ユニットが、複数の制御ユニットにより構成されてもよい。さらに、車両制御システム７０００が、図示されていない別の制御ユニットを備えてもよい。また、上記の説明において、いずれかの制御ユニットが担う機能の一部又は全部を、他の制御ユニットに持たせてもよい。つまり、通信ネットワーク７０１０を介して情報の送受信がされるようになっていれば、所定の演算処理が、いずれかの制御ユニットで行われるようになってもよい。同様に、いずれかの制御ユニットに接続されているセンサ又は装置が、他の制御ユニットに接続されるとともに、複数の制御ユニットが、通信ネットワーク７０１０を介して相互に検出情報を送受信してもよい。

[0145] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部７９１０，７９１２，７９１４，７９１６，７９１８や車外情報検出部７９２０，７９２２，７９２４，７９２６，７９２８，７９３０に適用され得る。そして、本開示に係る技術が適用される撮像装置を、撮像部や車外情報検出部として用いることで、撮像部や車外情報検出部の小型化に寄与できる。

[0146] ＜本開示がとることができる構成＞

尚、本開示は、以下のような構成をとることもできる。

[0147]≪Ａ．撮像装置≫

［Ａ－１］第１半導体チップ及び第２半導体チップの少なくとも２つの半導体チップが積層されて成る積層型チップ構造を有し、

第１半導体チップには、受光部を含む画素が行列状に２次元配置されており、

第２半導体チップには、画素を選択走査する走査部、及び、画素から出力されるアナログ信号を処理する信号処理部が配置されており、

走査部は、行列状の画素配列に対し、画素行に沿って配置されている、

撮像装置。

［Ａ－２］信号処理部は、画素から出力されるアナログ信号をデジタル信号に変換するアナログ－デジタル変換部を有する、

上記［Ａ－１］に記載の撮像装置。

［Ａ－３］アナログ－デジタル変換部は、行列状の画素配列の画素列に対応して設けられた複数のアナログ－デジタル変換器から成る、

上記［Ａ－２］に記載の撮像装置。

［Ａ－４］第１半導体チップに配線され、走査部から出力される信号を画素に伝送する画素制御線は、画素配列の列方向に沿って配線されたパスと、行方向に沿って配線されたパスとから成る、

上記［Ａ－１］乃至上記［Ａ－３］のいずれかに記載の撮像装置。

［Ａ－５］走査部及びアナログ－デジタル変換部は、所定の回路を単位とするユニットが並列に配置されて成り、

走査部のユニット数は、画素配列の行数に比例し、

アナログ－デジタル変換部のユニット数は、画素配列の列数に比例する、

上記［Ａ－２］に記載の撮像装置。

［Ａ－６］走査部のユニットのピッチと、アナログ－デジタル変換部のユニットのピッチとが同じである、

上記［Ａ－５］に記載の撮像装置。

［Ａ－７］走査部のユニットのピッチと、アナログ－デジタル変換部のユニ

ットのピッチとが異なっており、

走査部及びアナログ－デジタル変換部のレイアウトピッチ比が、画素配列の行数／列数の比と同じである、

上記［Ａ－５］に記載の撮像装置。

［Ａ－８］第２半導体チップは、第１半導体チップに対し、列方向の両端部に設けられた２つのチップから成る、

上記［Ａ－１］乃至上記［Ａ－７］のいずれかに記載の撮像装置。

［Ａ－９］２つのチップそれぞれに、走査部及びアナログ－デジタル変換部が配置されている、

上記［Ａ－８］に記載の撮像装置。

［Ａ－１０］２つのチップに一方に走査部が配置され、他方にアナログ－デジタル変換部が配置されている、

上記［Ａ－８］に記載の撮像装置。

［Ａ－１１］第１半導体チップと第２半導体チップとを電気的に接続する接続部は、シリコン貫通電極（ＴＳＶ）、又は、カッパー－カッパー接続（Ｃｕ－Ｃｕ接続）から成る、

上記［Ａ－１］乃至上記［Ａ－１０］のいずれかに記載の撮像装置。

［Ａ－１２］　接続部がカッパー－カッパー接続（Ｃｕ－Ｃｕ接続）から成るとき、

走査部は、列方向の中央部に配置されている、

上記［Ａ－１１］に記載の撮像装置。

［Ａ－１３］第１半導体チップに配線され、走査部から出力される信号を画素に伝送する画素制御線は、画素配列の列方向に沿って配線されたパスと、行方向に沿って配線されたパスとから成り、

列方向に沿って配線されたパスは、所定の長さを単位として、所定量ずつ行方向へシフトさせた配線形状としてレイアウトされている、

上記［Ａ－１１］に記載の撮像装置。

［Ａ－１４］垂直信号線を第１メタル層にレイアウトし、画素制御線の列方

向のパスを第２メタル層にレイアウトし、画素制御線の行方向のパスを第３メタル層にレイアウトし、

画素制御線の列方向のパスのシフトを、第２メタル層での行方向の配線で実現する、

上記［Ａ－１３］に記載の撮像装置。

［Ａ－１５］垂直信号線を第１メタル層にレイアウトし、画素制御線の列方向のパスを第２メタル層にレイアウトし、画素制御線の行方向のパスを第３メタル層にレイアウトし、

画素制御線の列方向のパスのシフトを、第２メタル層での斜め方向の配線で実現する、

上記［Ａ－１３］に記載の撮像装置。

［Ａ－１６］垂直信号線及び画素制御線の列方向のパスを第１メタル層にレイアウトし、画素制御線の行方向のパスを第２メタル層にレイアウトし、

画素制御線の列方向のパスのシフトを、第２メタル層での行方向又は斜め方向の配線で実現する、

上記［Ａ－１３］に記載の撮像装置。

[0148] ≪Ｂ．電子機器≫

［Ｂ－１］第１半導体チップ及び第２半導体チップの少なくとも２つの半導体チップが積層されて成る積層型チップ構造を有し、

第１半導体チップには、受光部を含む画素が行列状に２次元配置されており、

第２半導体チップには、画素を選択走査する走査部、及び、画素から出力されるアナログ信号を処理する信号処理部が配置されており、

走査部は、行列状の画素配列に対し、画素行に沿って配置されている、

撮像装置を有する電子機器。

［Ｂ－２］信号処理部は、画素から出力されるアナログ信号をデジタル信号に変換するアナログ－デジタル変換部を有する、

上記［Ｂ－１］に記載の電子機器。

［Ｂ－３］アナログ－デジタル変換部は、行列状の画素配列の画素列に対応して設けられた複数のアナログ－デジタル変換器から成る、

上記［Ｂ－２］に記載の電子機器。

［Ｂ－４］第１半導体チップに配線され、走査部から出力される信号を画素に伝送する画素制御線は、画素配列の列方向に沿って配線されたパスと、行方向に沿って配線されたパスとから成る、

上記［Ｂ－１］乃至上記［Ｂ－３］のいずれかに記載の電子機器。

［Ｂ－５］走査部及びアナログ－デジタル変換部は、所定の回路を単位とするユニットが並列に配置されて成り、

走査部のユニット数は、画素配列の行数に比例し、

アナログ－デジタル変換部のユニット数は、画素配列の列数に比例する、

上記［Ｂ－２］に記載の電子機器。

［Ｂ－６］走査部のユニットのピッチと、アナログ－デジタル変換部のユニットのピッチとが同じである、

上記［Ｂ－５］に記載の電子機器。

［Ｂ－７］走査部のユニットのピッチと、アナログ－デジタル変換部のユニットのピッチとが異なっており、

走査部及びアナログ－デジタル変換部のレイアウトピッチ比が、画素配列の行数／列数の比と同じである、

上記［Ｂ－５］に記載の電子機器。

［Ｂ－８］第２半導体チップは、第１半導体チップに対し、列方向の両端部に設けられた２つのチップから成る、

上記［Ｂ－１］乃至上記［Ｂ－７］のいずれかに記載の電子機器。

［Ｂ－９］２つのチップそれぞれに、走査部及びアナログ－デジタル変換部が配置されている、

上記［Ｂ－８］に記載の電子機器。

［Ｂ－１０］２つのチップに一方に走査部が配置され、他方にアナログ－デジタル変換部が配置されている、

上記［Ｂ－８］に記載の電子機器。

［Ｂ－１１］第１半導体チップと第２半導体チップとを電気的に接続する接続部は、シリコン貫通電極（ＴＳＶ）、又は、カッパー－カッパー接続（Ｃｕ－Ｃｕ接続）から成る、

上記［Ｂ－１］乃至上記［Ｂ－１０］のいずれかに記載の電子機器。

［Ｂ－１２］　接続部がカッパー－カッパー接続（Ｃｕ－Ｃｕ接続）から成るとき、

走査部は、列方向の中央部に配置されている、

上記［Ｂ－１１］に記載の電子機器。

［Ｂ－１３］第１半導体チップに配線され、走査部から出力される信号を画素に伝送する画素制御線は、画素配列の列方向に沿って配線されたパスと、行方向に沿って配線されたパスとから成り、

列方向に沿って配線されたパスは、所定の長さを単位として、所定量ずつ行方向へシフトさせた配線形状としてレイアウトされている、

上記［Ｂ－１１］に記載の電子機器。

［Ｂ－１４］垂直信号線を第１メタル層にレイアウトし、画素制御線の列方向のパスを第２メタル層にレイアウトし、画素制御線の行方向のパスを第３メタル層にレイアウトし、

画素制御線の列方向のパスのシフトを、第２メタル層での行方向の配線で実現する、

上記［Ｂ－１３］に記載の電子機器。

［Ｂ－１５］垂直信号線を第１メタル層にレイアウトし、画素制御線の列方向のパスを第２メタル層にレイアウトし、画素制御線の行方向のパスを第３メタル層にレイアウトし、

画素制御線の列方向のパスのシフトを、第２メタル層での斜め方向の配線で実現する、

上記［Ｂ－１３］に記載の電子機器。

［Ｂ－１６］垂直信号線及び画素制御線の列方向のパスを第１メタル層にレ

イアウトし、画素制御線の行方向のパスを第２メタル層にレイアウトし、

画素制御線の列方向のパスのシフトを、第２メタル層での行方向又は斜め方向の配線で実現する、

上記［Ｂ－１３］に記載の電子機器。

符号の説明

[0149] １１・・・第１半導体チップ（画素チップ）、１２，１２_{1}，１２_{2}・・・第２半導体チップ（回路チップ）、２１・・・画素、２２・・・画素アレイ部、３１・・・回路部、３２，３２Ａ，３２Ｂ・・・走査部、３３，３３Ａ，３３Ｂ・・・アナログ－デジタル変換部、３４，３４Ａ，３４Ｂ・・・ロジック回路部、３５_{1}，３５_{2}，$３５Ａ_{1}$，$３５Ａ_{2}$，$３５Ｂ_{1}$，$３５Ｂ_{2}$・・・画素制御線の接続部、３６_{1}，３６_{2}，$３６Ａ_{1}$，$３６Ａ_{2}$，$３６Ｂ_{1}$，$３６Ｂ_{2}$・・・垂直信号の接続部、４１（４１_{1}，４１_{2}，４１_{3}）・・・画素制御線、４２・・・垂直信号線

請求の範囲

[請求項1] 第１半導体チップ及び第２半導体チップの少なくとも２つの半導体チップが積層されて成る積層型チップ構造を有し、

第１半導体チップには、受光部を含む画素が行列状に２次元配置されており、

第２半導体チップには、画素を選択走査する走査部、及び、画素から出力されるアナログ信号を処理する信号処理部が配置されており、

走査部は、行列状の画素配列に対し、画素行に沿って配置されている、

撮像装置。

[請求項2] 信号処理部は、画素から出力されるアナログ信号をデジタル信号に変換するアナログ－デジタル変換部を有する、

請求項１に記載の撮像装置。

[請求項3] アナログ－デジタル変換部は、行列状の画素配列の画素列に対応して設けられた複数のアナログ－デジタル変換器から成る、

請求項２に記載の撮像装置。

[請求項4] 第１半導体チップに配線され、走査部から出力される信号を画素に伝送する画素制御線は、画素配列の列方向に沿って配線されたパスと、行方向に沿って配線されたパスとから成る、

請求項１に記載の撮像装置。

[請求項5] 走査部及びアナログ－デジタル変換部は、所定の回路を単位とするユニットが並列に配置されて成り、

走査部のユニット数は、画素配列の行数に比例し、

アナログ－デジタル変換部のユニット数は、画素配列の列数に比例する、

請求項２に記載の撮像装置。

[請求項6] 走査部のユニットのピッチと、アナログ－デジタル変換部のユニットのピッチとが同じである、

請求項５に記載の撮像装置。

[請求項7] 走査部のユニットのピッチと、アナログ－デジタル変換部のユニットのピッチとが異なっており、

走査部及びアナログ－デジタル変換部のレイアウトピッチ比が、画素配列の行数／列数の比と同じである、

請求項５に記載の撮像装置。

[請求項8] 第２半導体チップは、第１半導体チップに対し、列方向の両端部に設けられた２つのチップから成る、

請求項１に記載の撮像装置。

[請求項9] ２つのチップそれぞれに、走査部及びアナログ－デジタル変換部が配置されている、

請求項８に記載の撮像装置。

[請求項10] ２つのチップに一方に走査部が配置され、他方にアナログ－デジタル変換部が配置されている、

請求項８に記載の撮像装置。

[請求項11] 第１半導体チップと第２半導体チップとを電気的に接続する接続部は、シリコン貫通電極（ＴＳＶ）、又は、カッパー－カッパー接続（Ｃｕ－Ｃｕ接続）から成る、

請求項１に記載の撮像装置。

[請求項12] 接続部がカッパー－カッパー接続（Ｃｕ－Ｃｕ接続）から成るとき、

走査部は、列方向の中央部に配置されている、

請求項１１に記載の撮像装置。

[請求項13] 第１半導体チップに配線され、走査部から出力される信号を画素に伝送する画素制御線は、画素配列の列方向に沿って配線されたパスと、行方向に沿って配線されたパスとから成り、

列方向に沿って配線されたパスは、所定の長さを単位として、所定量ずつ行方向へシフトさせた配線形状としてレイアウトされている、

請求項１１に記載の撮像装置。

[請求項14] 垂直信号線を第１メタル層にレイアウトし、画素制御線の列方向のパスを第２メタル層にレイアウトし、画素制御線の行方向のパスを第３メタル層にレイアウトし、

画素制御線の列方向のパスのシフトを、第２メタル層での行方向の配線で実現する、

請求項１３に記載の撮像装置。

[請求項15] 垂直信号線を第１メタル層にレイアウトし、画素制御線の列方向のパスを第２メタル層にレイアウトし、画素制御線の行方向のパスを第３メタル層にレイアウトし、

画素制御線の列方向のパスのシフトを、第２メタル層での斜め方向の配線で実現する、

請求項１３に記載の撮像装置。

[請求項16] 垂直信号線及び画素制御線の列方向のパスを第１メタル層にレイアウトし、画素制御線の行方向のパスを第２メタル層にレイアウトし、

画素制御線の列方向のパスのシフトを、第２メタル層での行方向又は斜め方向の配線で実現する、

請求項１３に記載の撮像装置。

[請求項17] 第１半導体チップ及び第２半導体チップの少なくとも２つの半導体チップが積層されて成る積層型チップ構造を有し、

第１半導体チップには、受光部を含む画素が行列状に２次元配置されており、

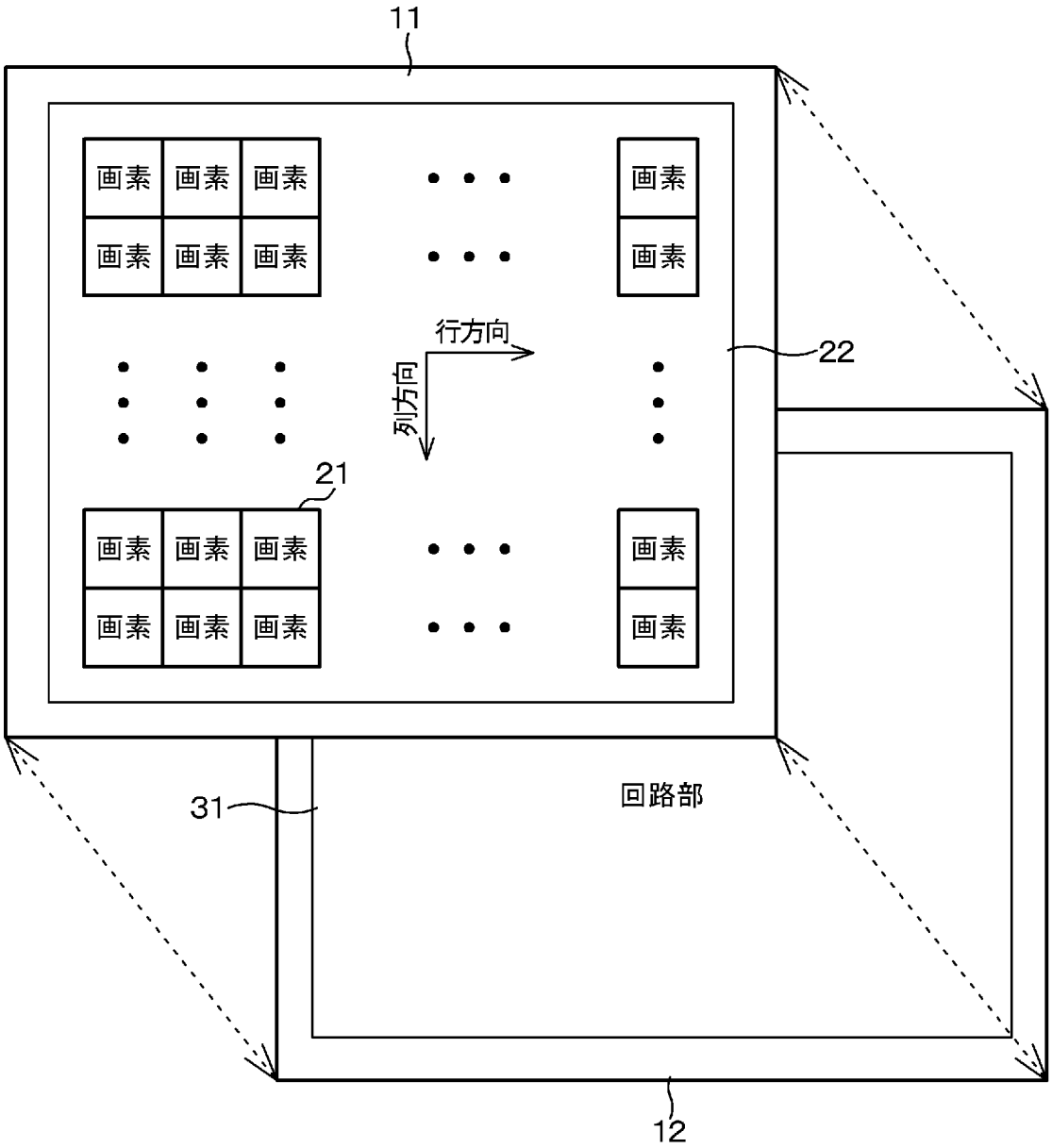
第２半導体チップには、画素を選択走査する走査部、及び、画素から出力されるアナログ信号を処理する信号処理部が配置されており、

走査部は、行列状の画素配列に対し、画素行に沿って配置されている、

撮像装置を有する電子機器。

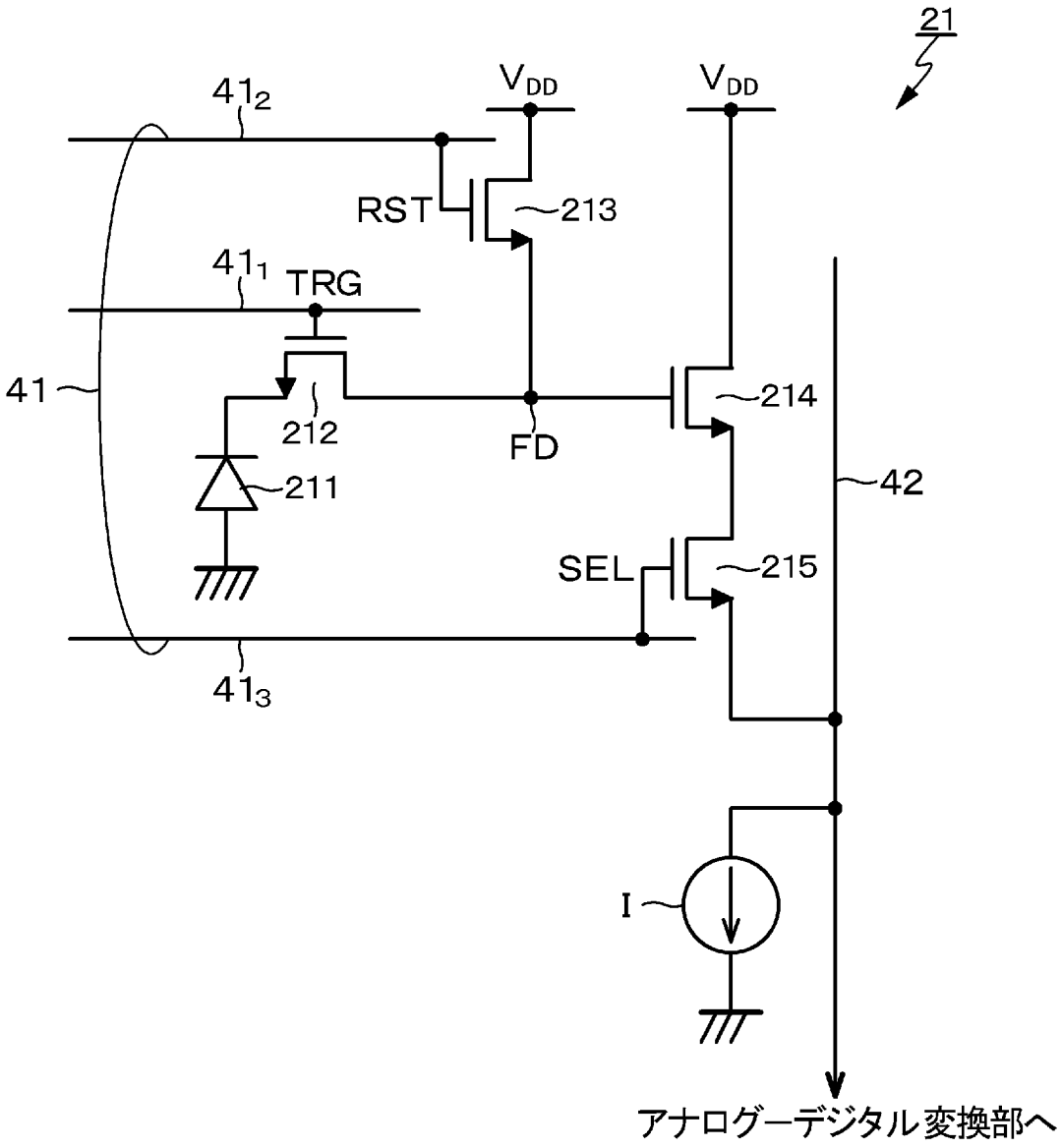
[図1]

図 1



[図2]

図２

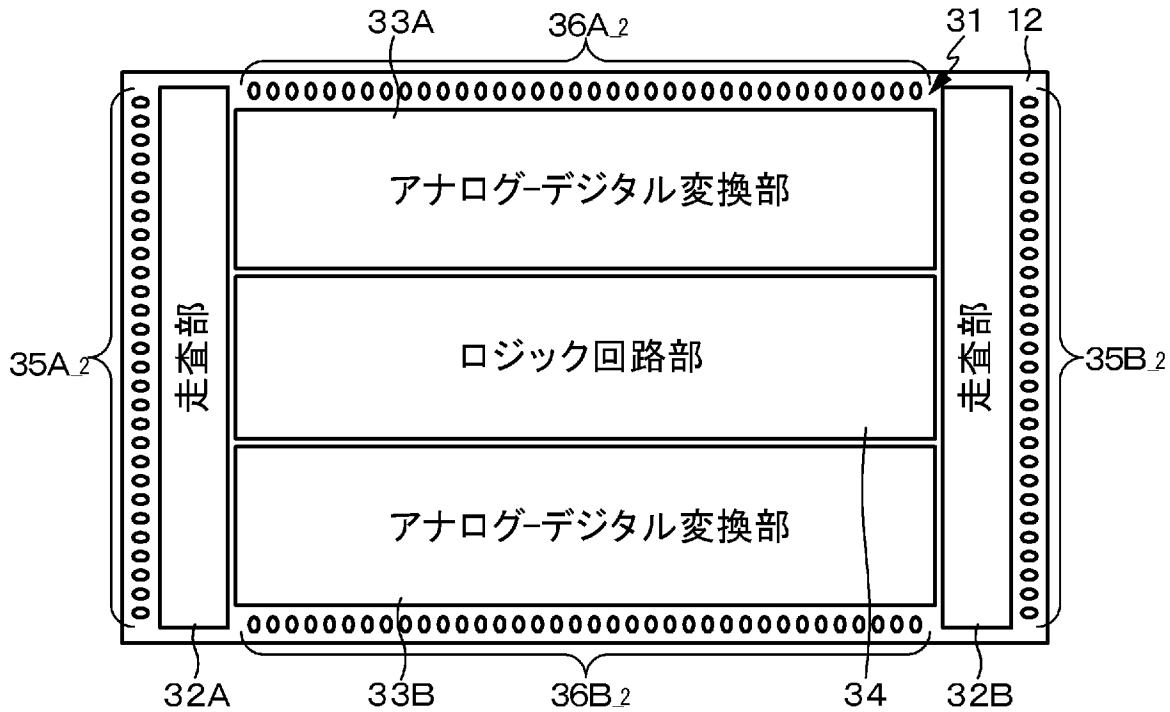

21
41_2
V_{DD}
V_{DD}
RST
213
41_1
TRG
41
214
212
FD
211
42
SEL
215
41_3
I
アナログーデジタル変換部へ

[図3]

図３Ａ


36A_1
11
画素アレイ部
（画素配列）
35A_1
35B_1
22
36B_1

図３Ｂ


33A
36A_2
31
12
アナログ−デジタル変換部
ロジック回路部
アナログ−デジタル変換部
走査部
走査部
35A_2
35B_2
32A
33B
36B_2
34
32B

[図4]

図４Ａ

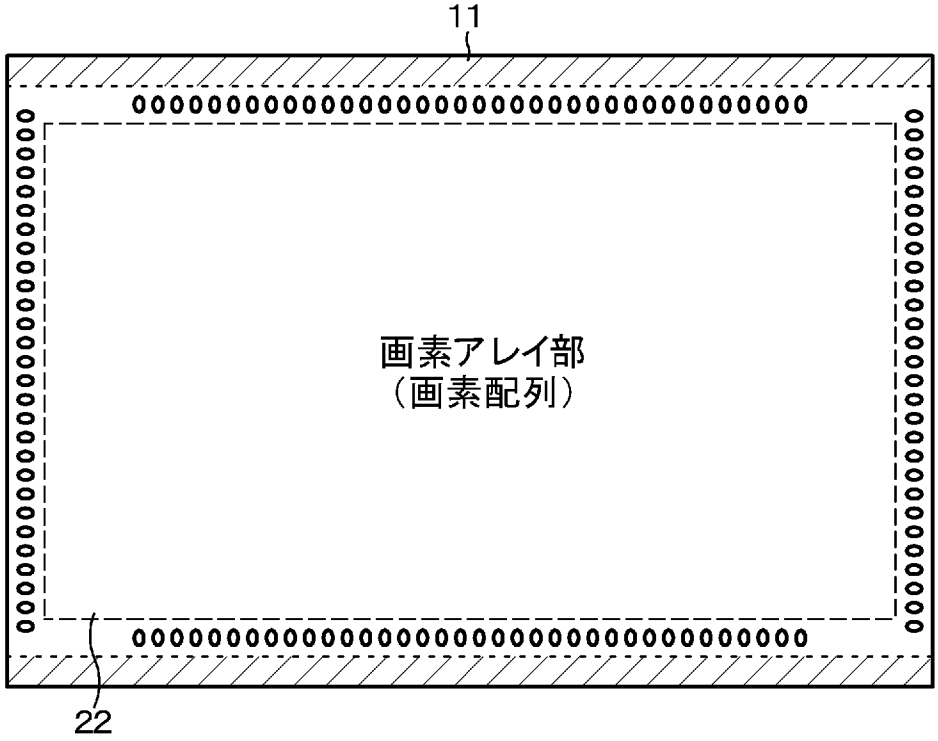
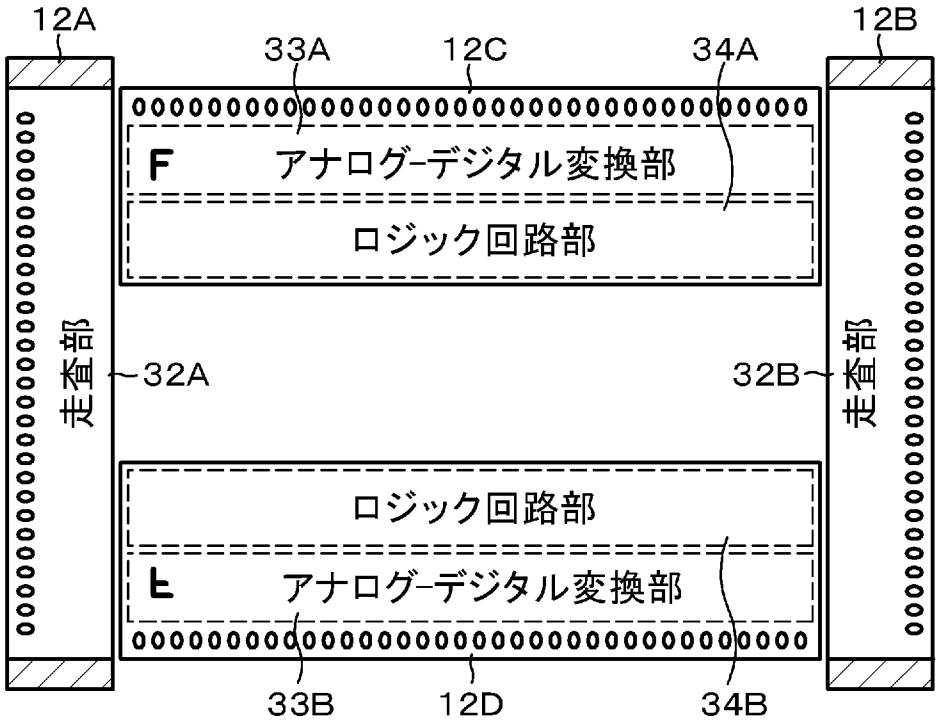
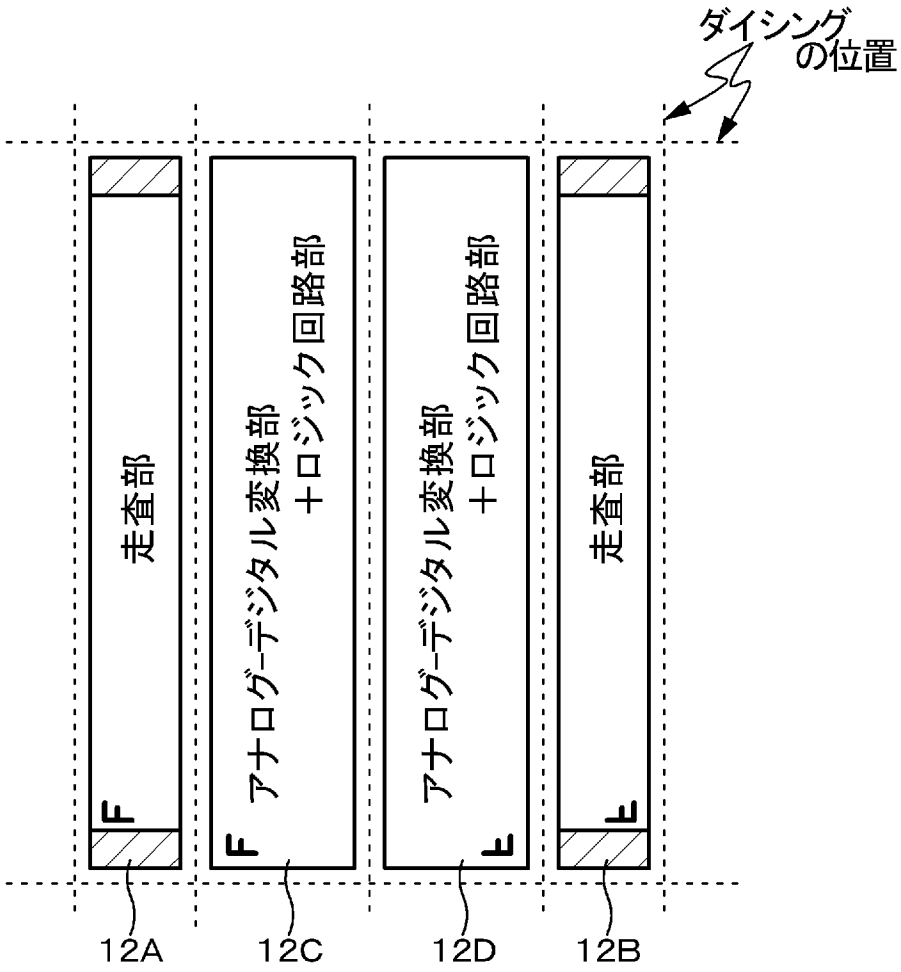

11
画素アレイ部
（画素配列）
22

図４Ｂ


12A
33A
12C
34A
12B
F
アナログ−デジタル変換部
ロジック回路部
走査部
32A
32B
走査部
ロジック回路部
E
アナログ−デジタル変換部
33B
12D
34B

[図5]

図５


ダイシング
の位置
走査部
F
アナログ-デジタル変換部
＋ロジック回路部
F
アナログ-デジタル変換部
＋ロジック回路部
E
走査部
E
12A
12C
12D
12B

[図6]

図６Ａ

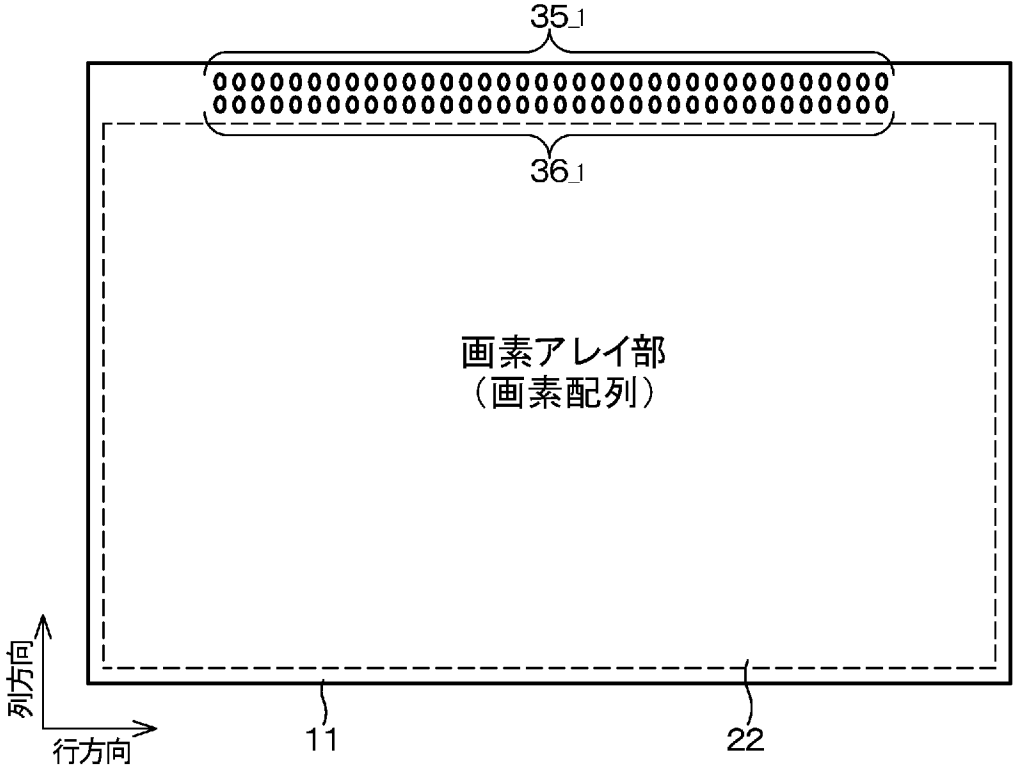
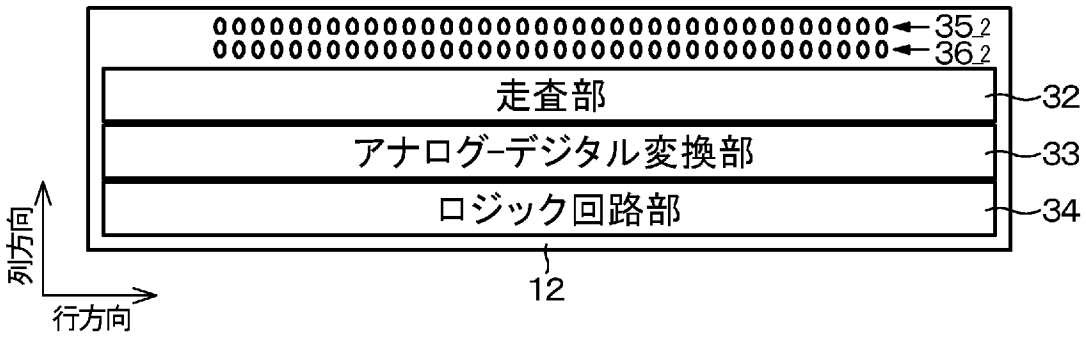
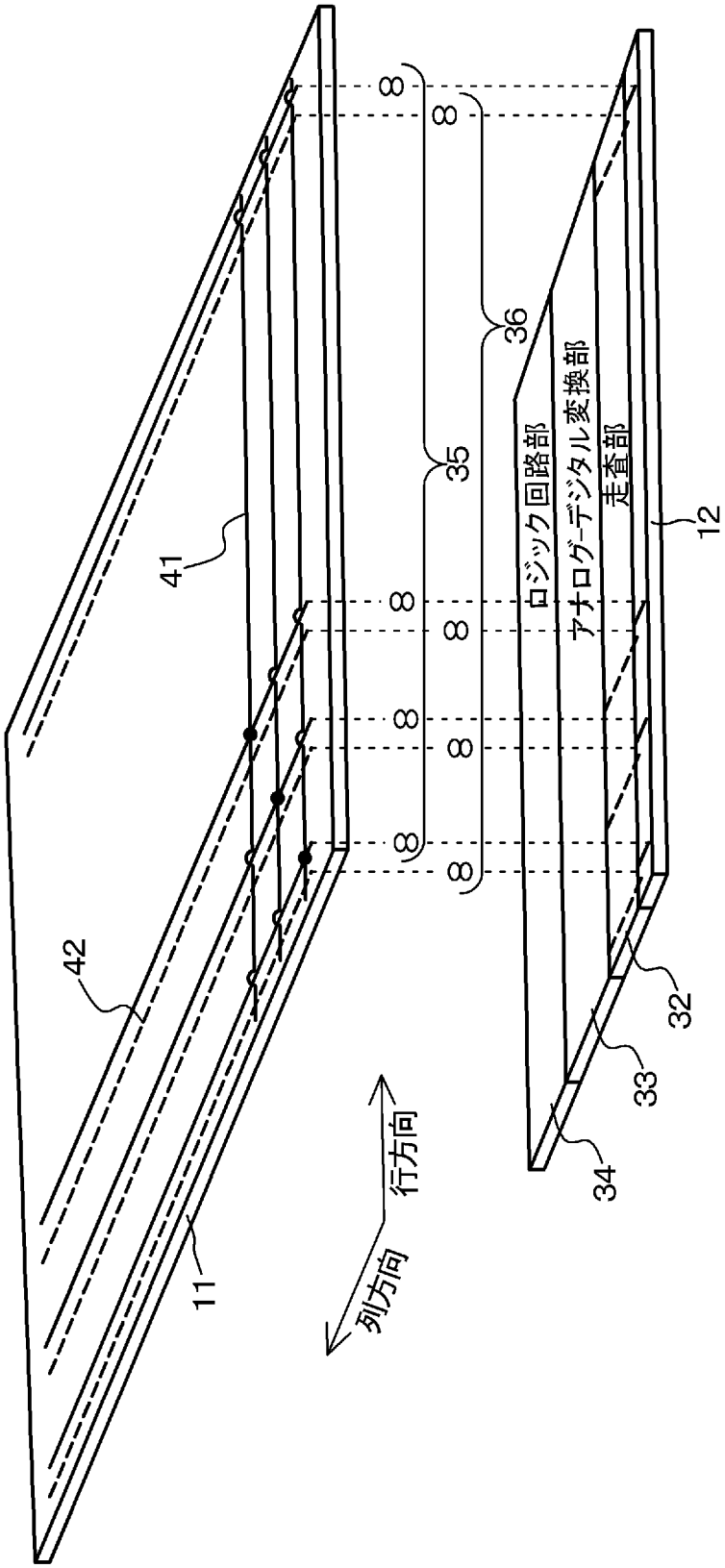

35_1
36_1
画素アレイ部
（画素配列）
列方向
行方向
11
22

図６Ｂ


35_2
36_2
走査部
32
アナログ-デジタル変換部
33
ロジック回路部
34
列方向
行方向
12

[図7]

図７



[図8]

図８Ａ

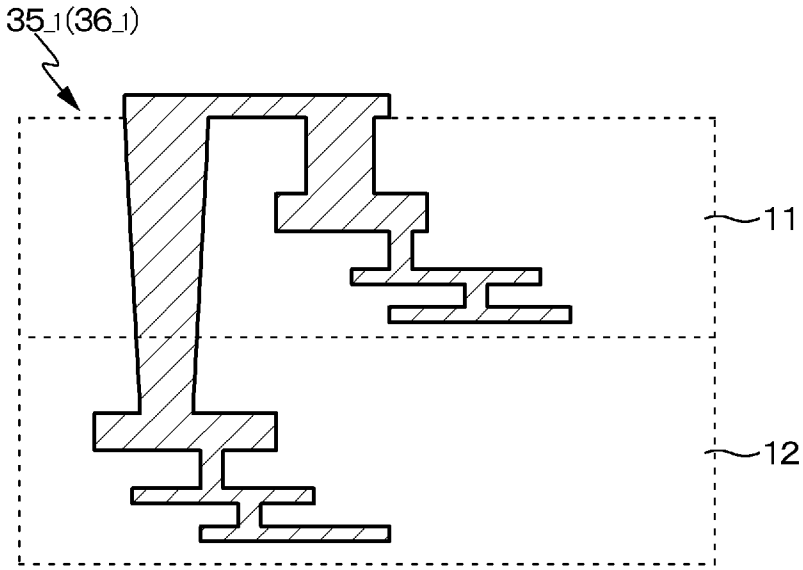
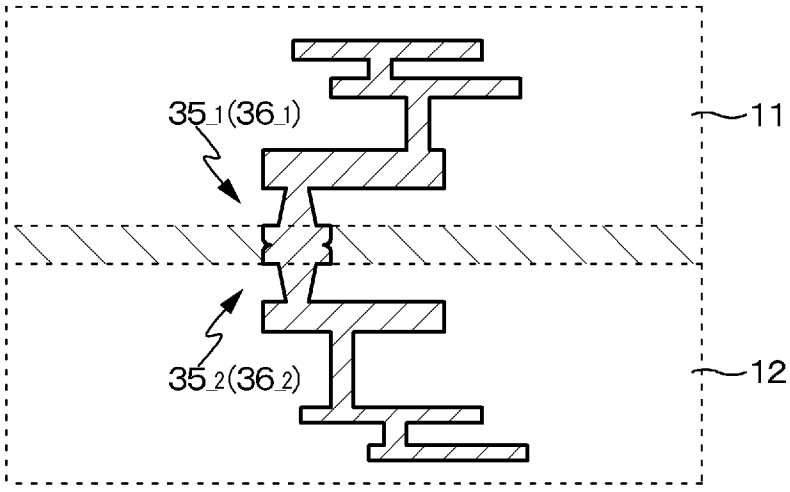
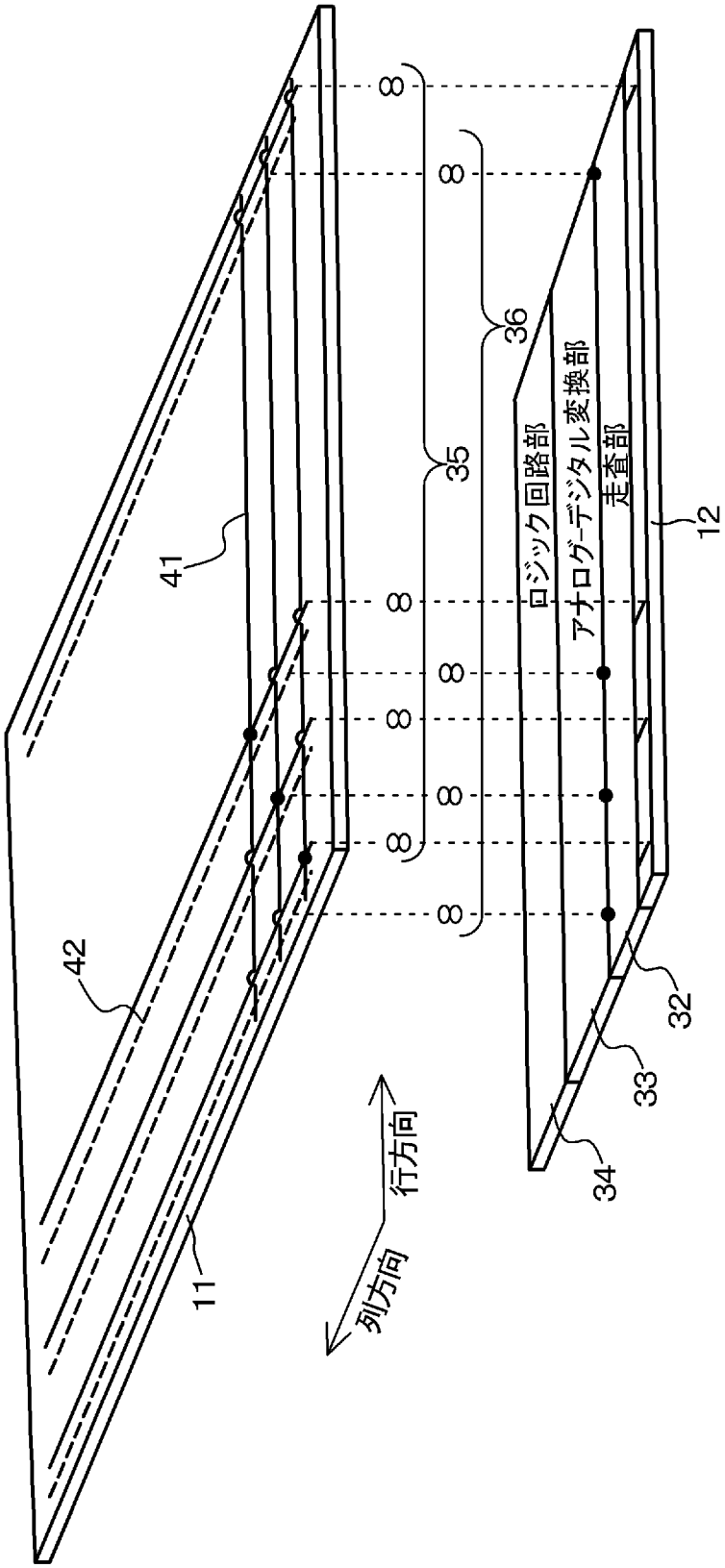


図８Ｂ



[図9]

図９


8
8
8
8
8
8
8
35
36
41
42
11
12
32
33
34
ロジック回路部
アナログ-デジタル変換部
走査部
行方向
列方向

[図10]

図１０Ａ

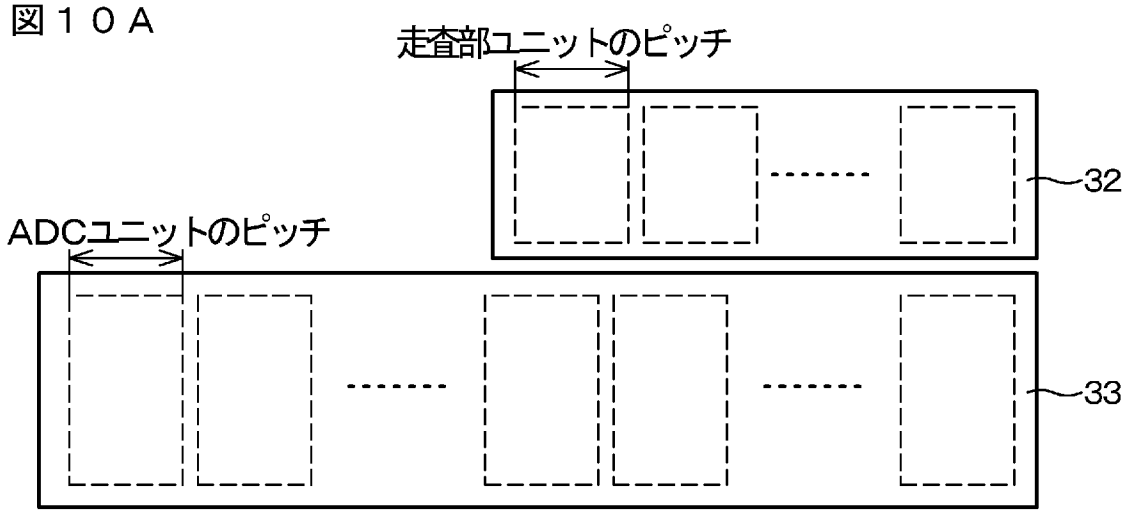


図１０Ｂ

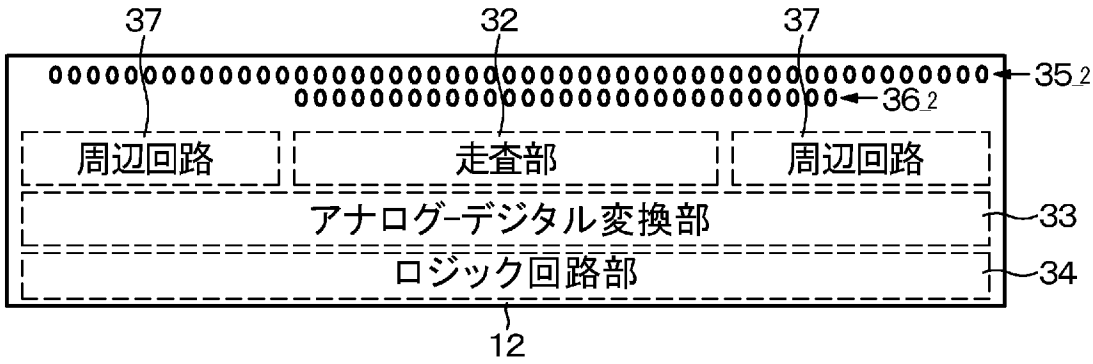
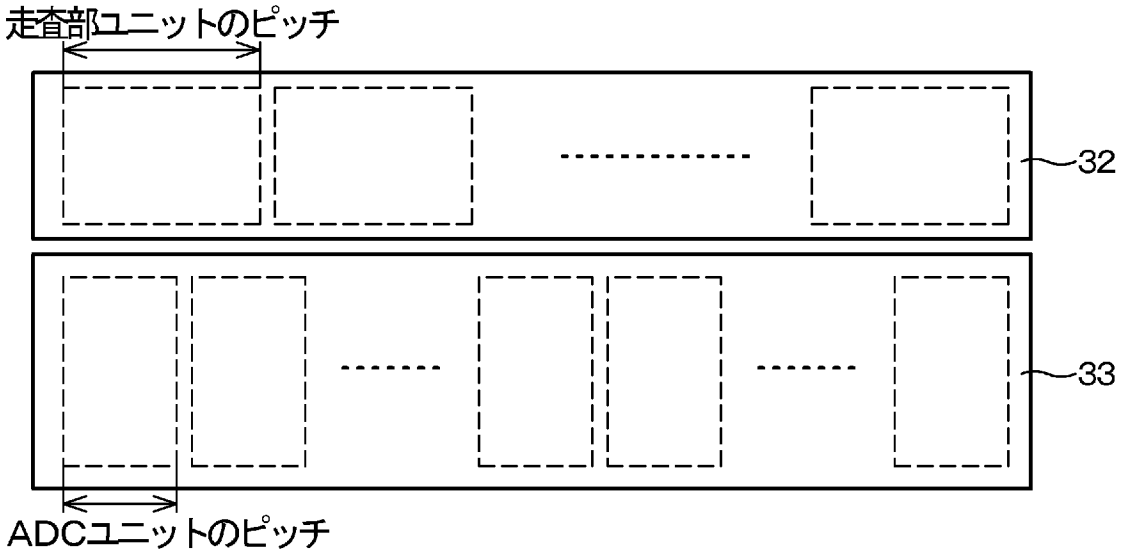


図１０Ｃ



[図11]

図１１Ａ

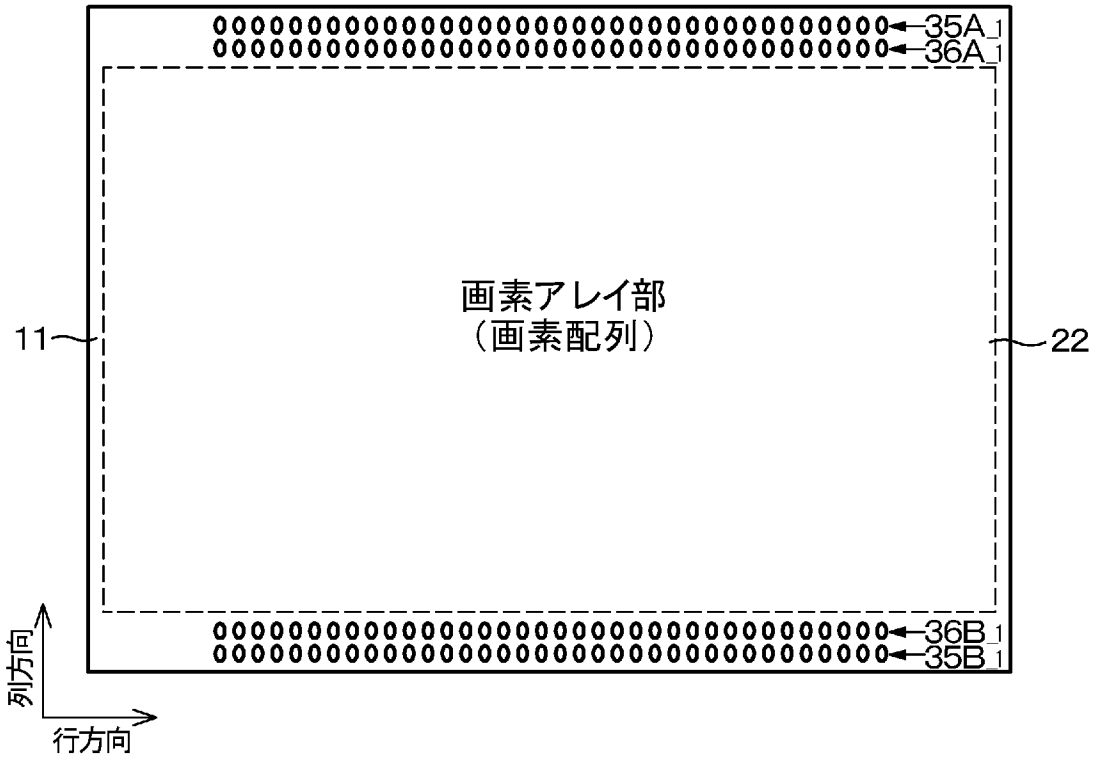
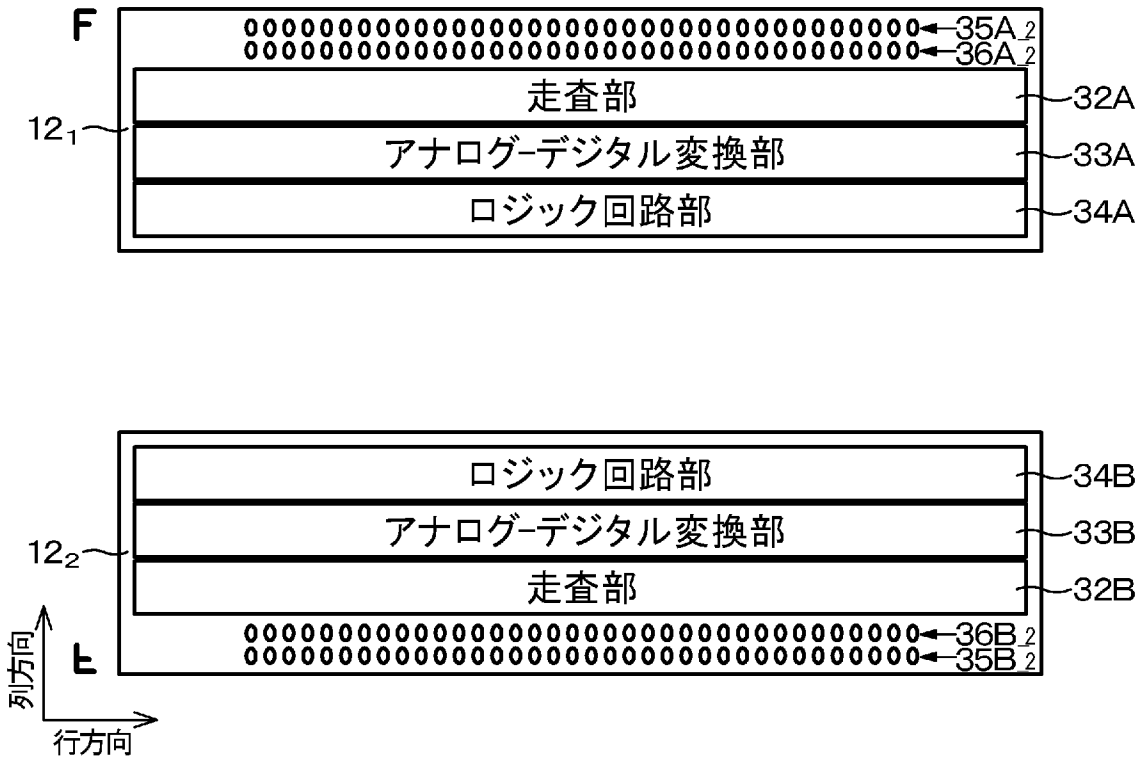


図１１Ｂ



[図12]

図１２Ａ

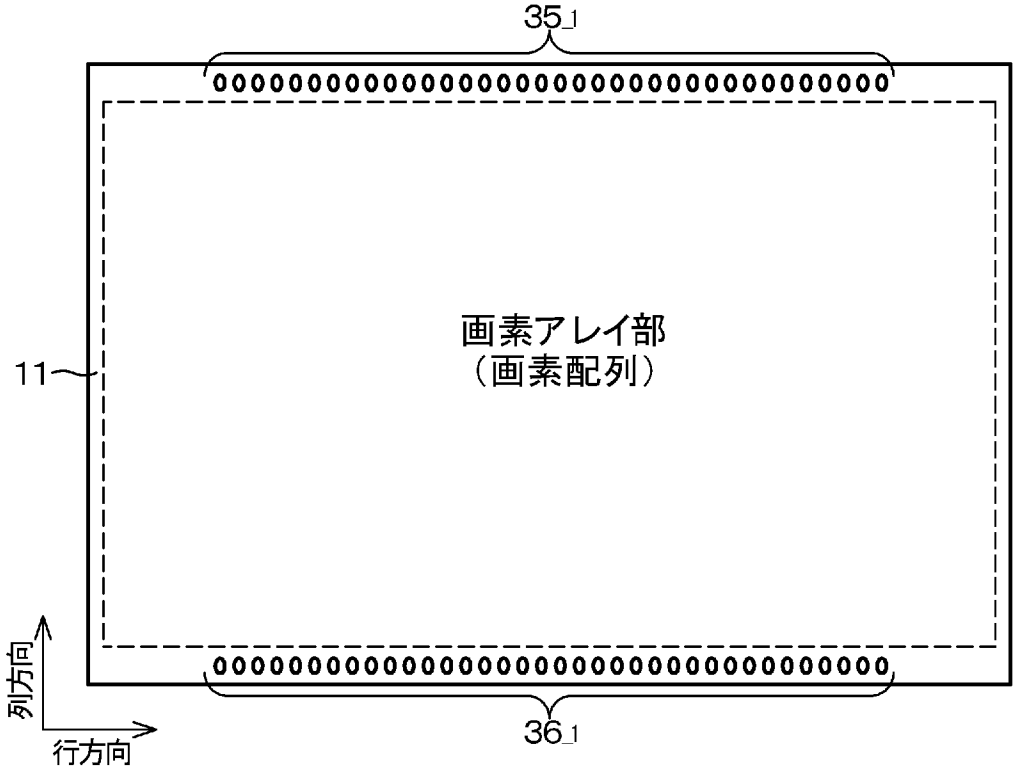
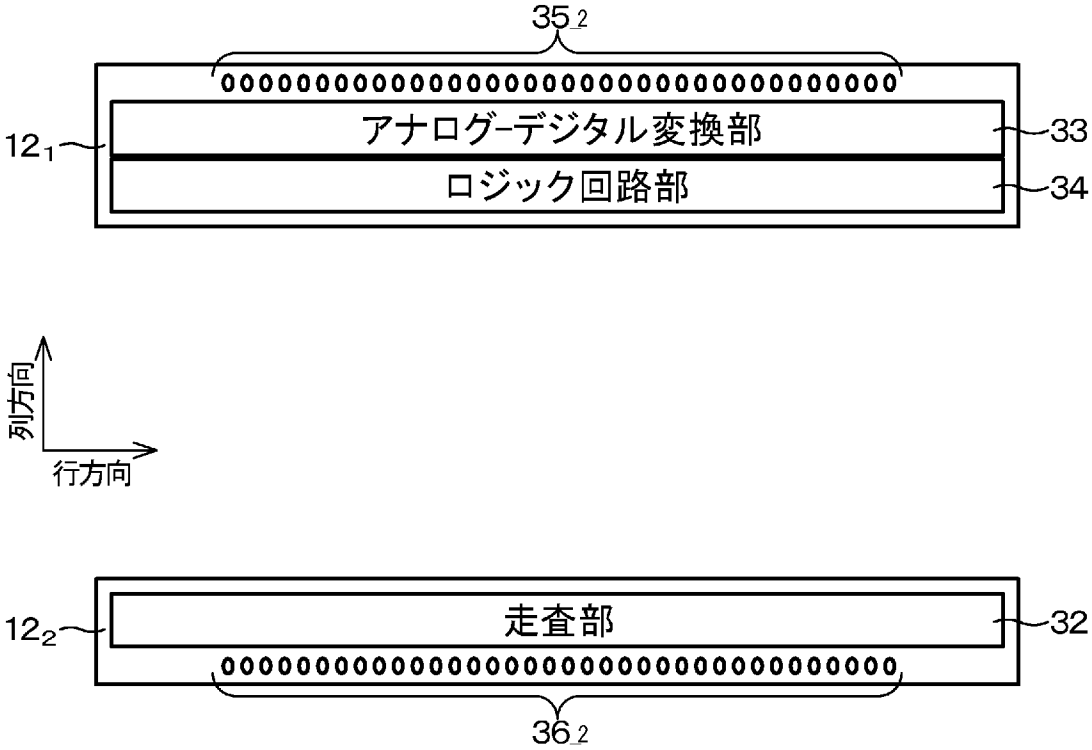


図１２Ｂ



[図13]

図１３Ａ

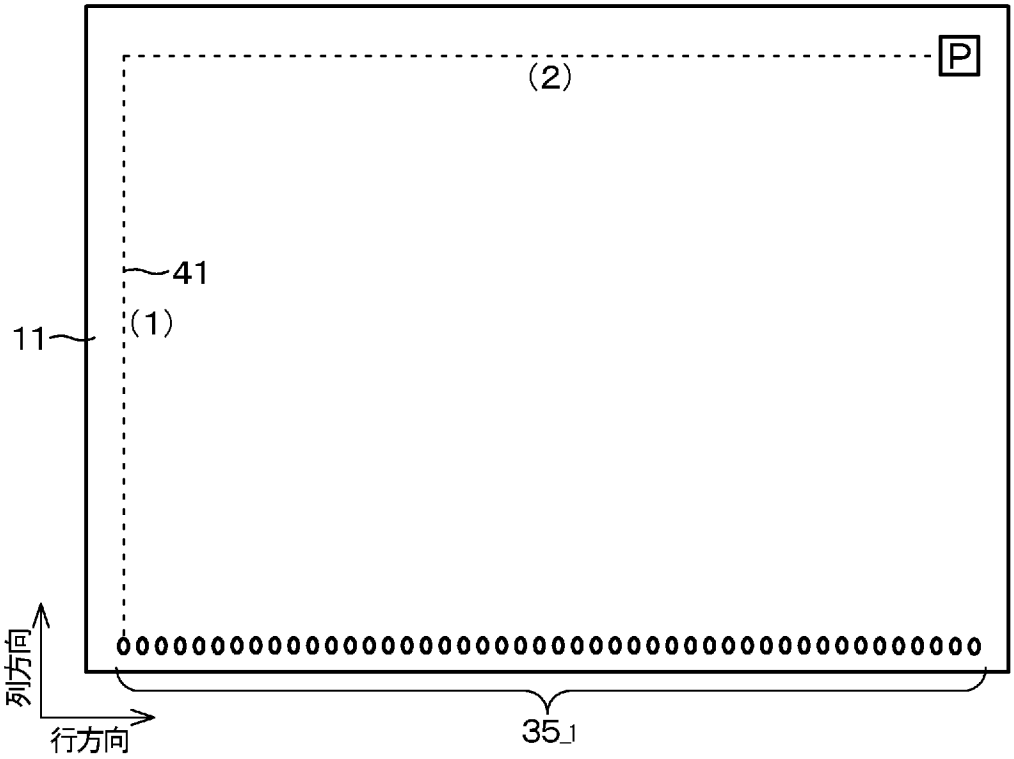
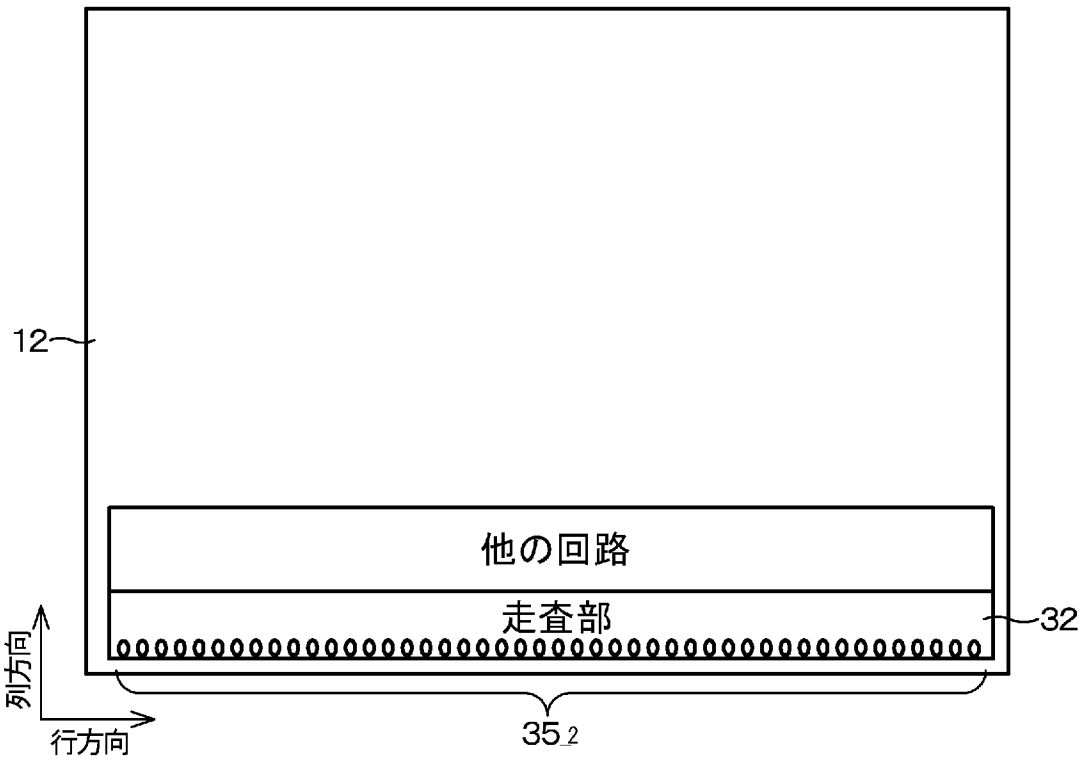


図１３Ｂ



[図14]

図１４Ａ

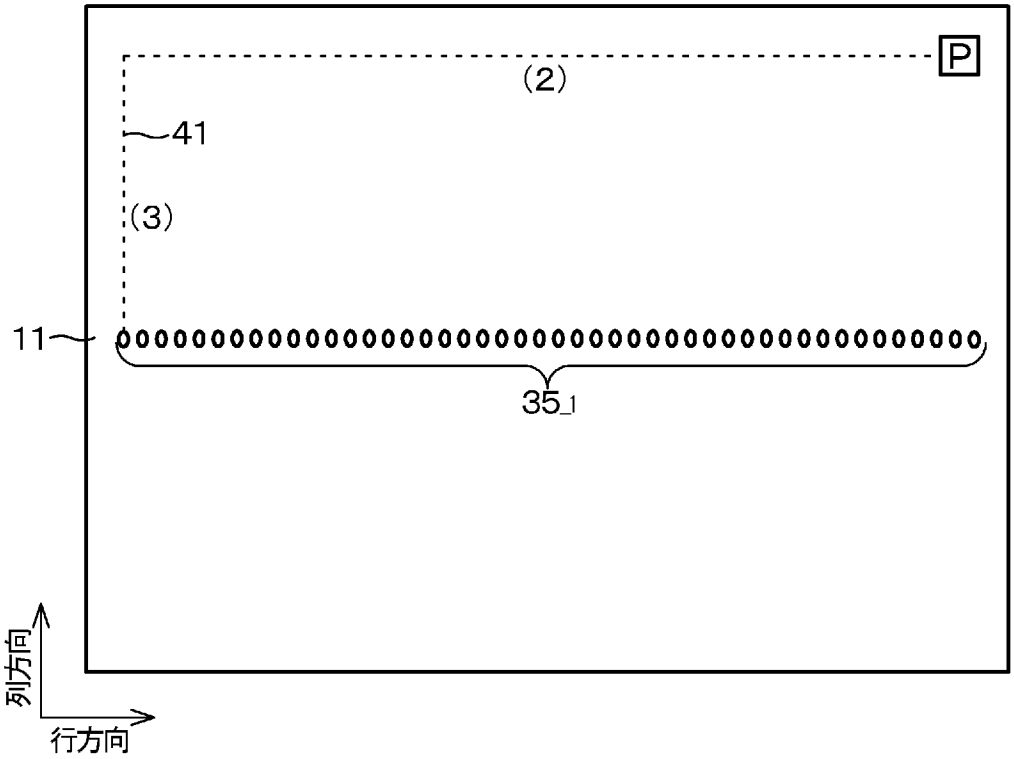
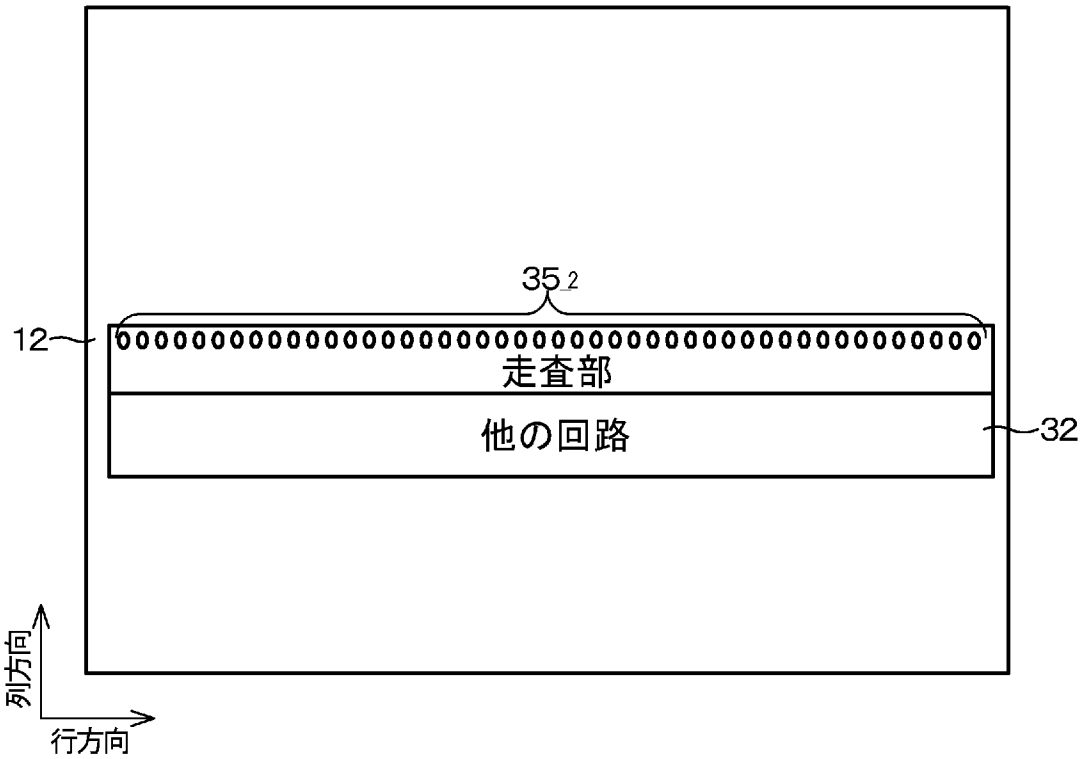


図１４Ｂ



[図15]

図１５Ａ

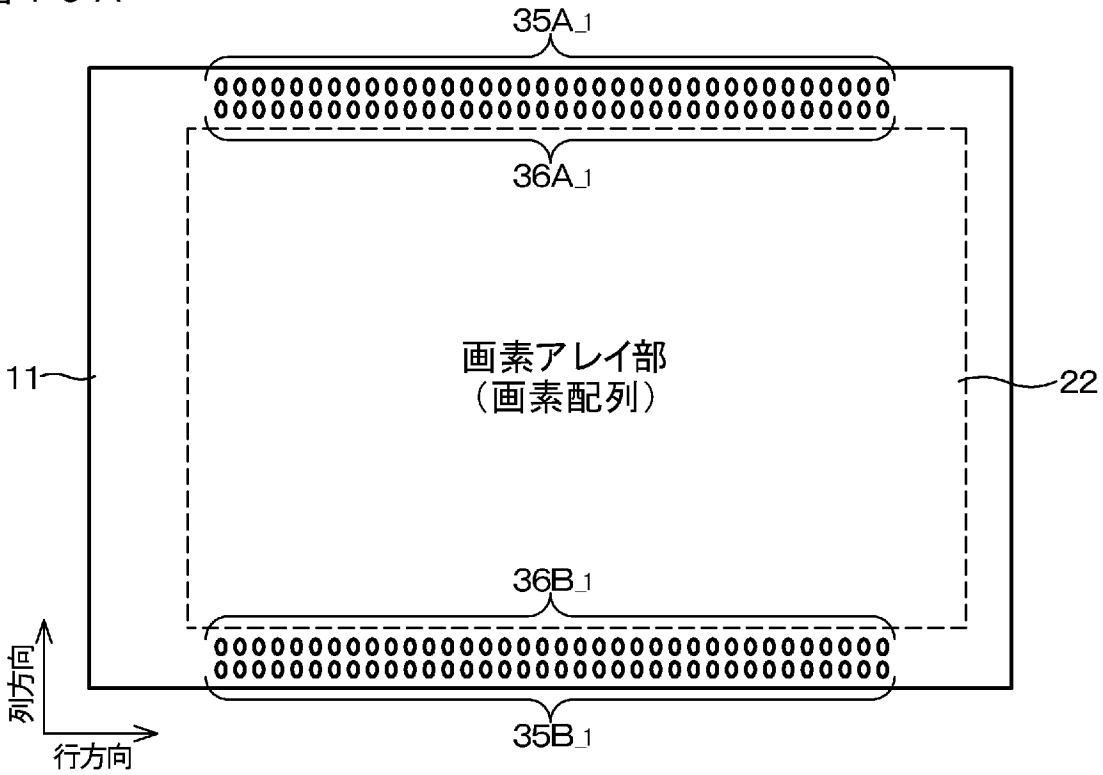
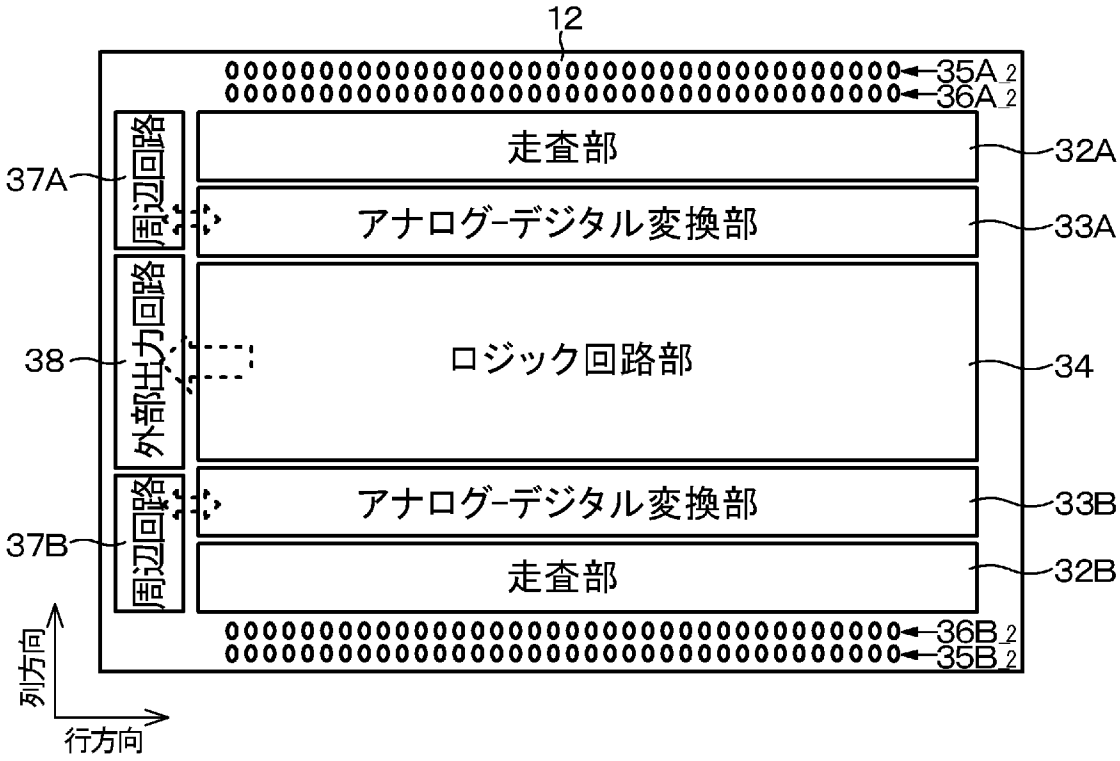


図１５Ｂ



[図16]

図１６Ａ

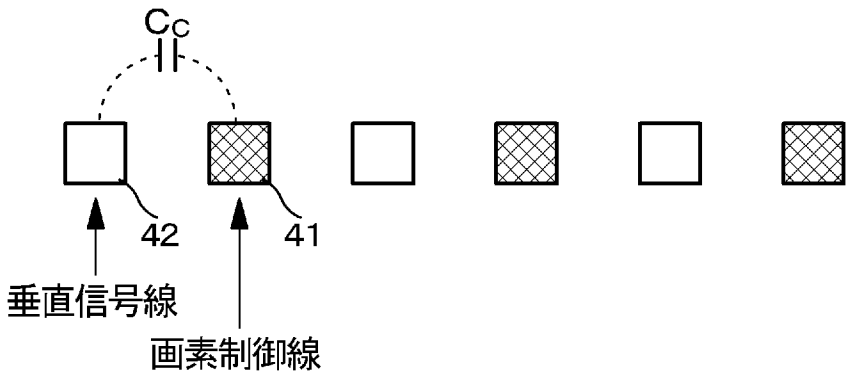
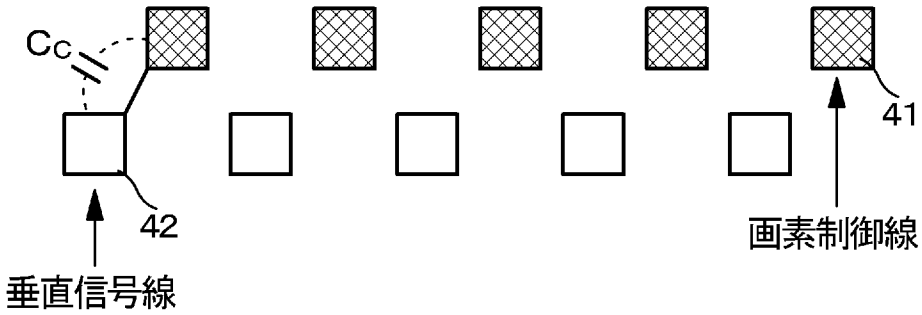


図１６Ｂ



[図17]

図１７Ａ

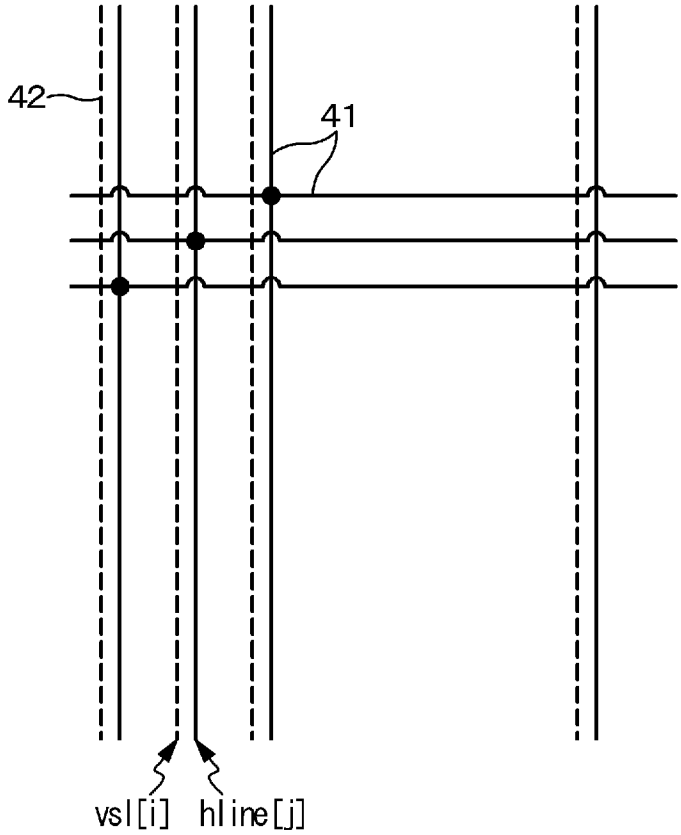
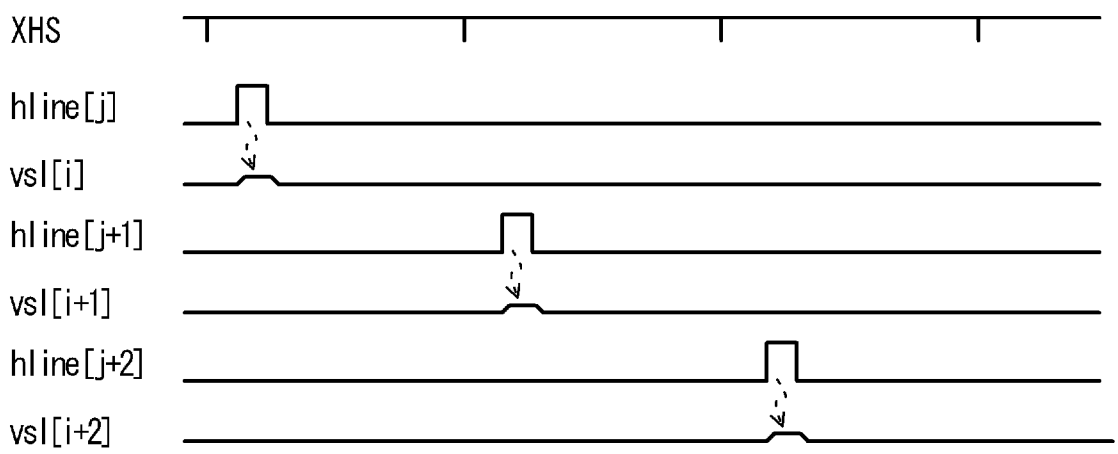
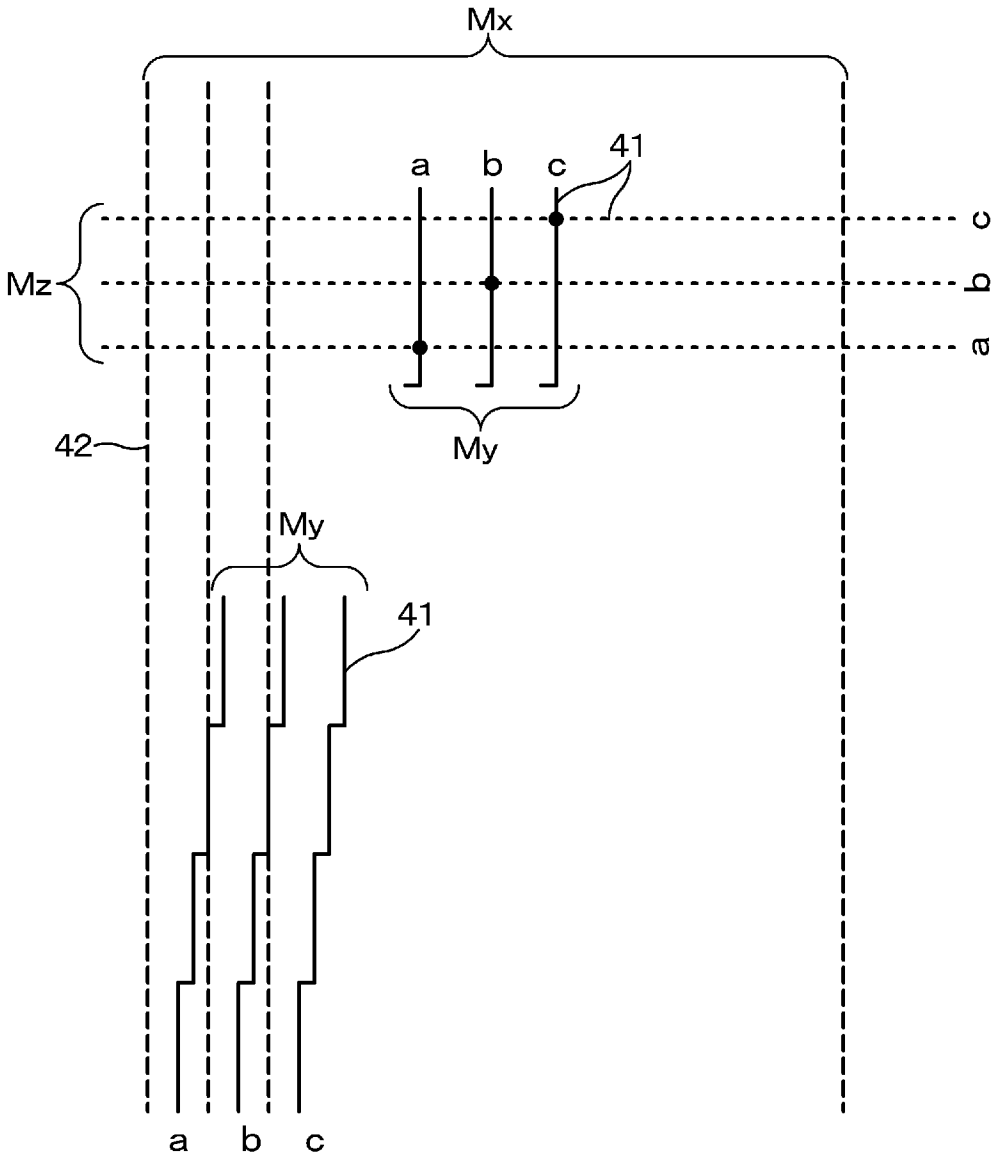


図１７Ｂ



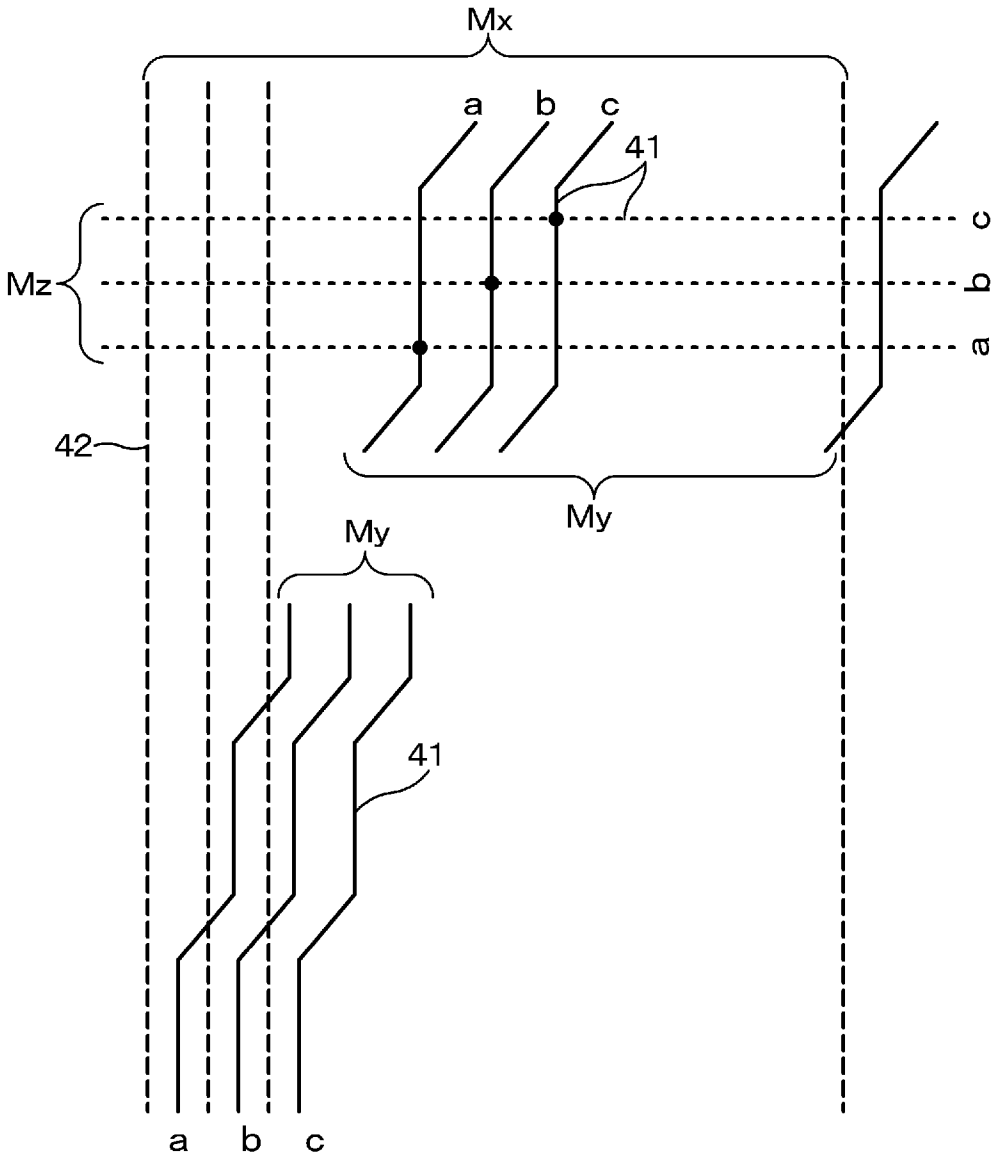
[図18]

図１８



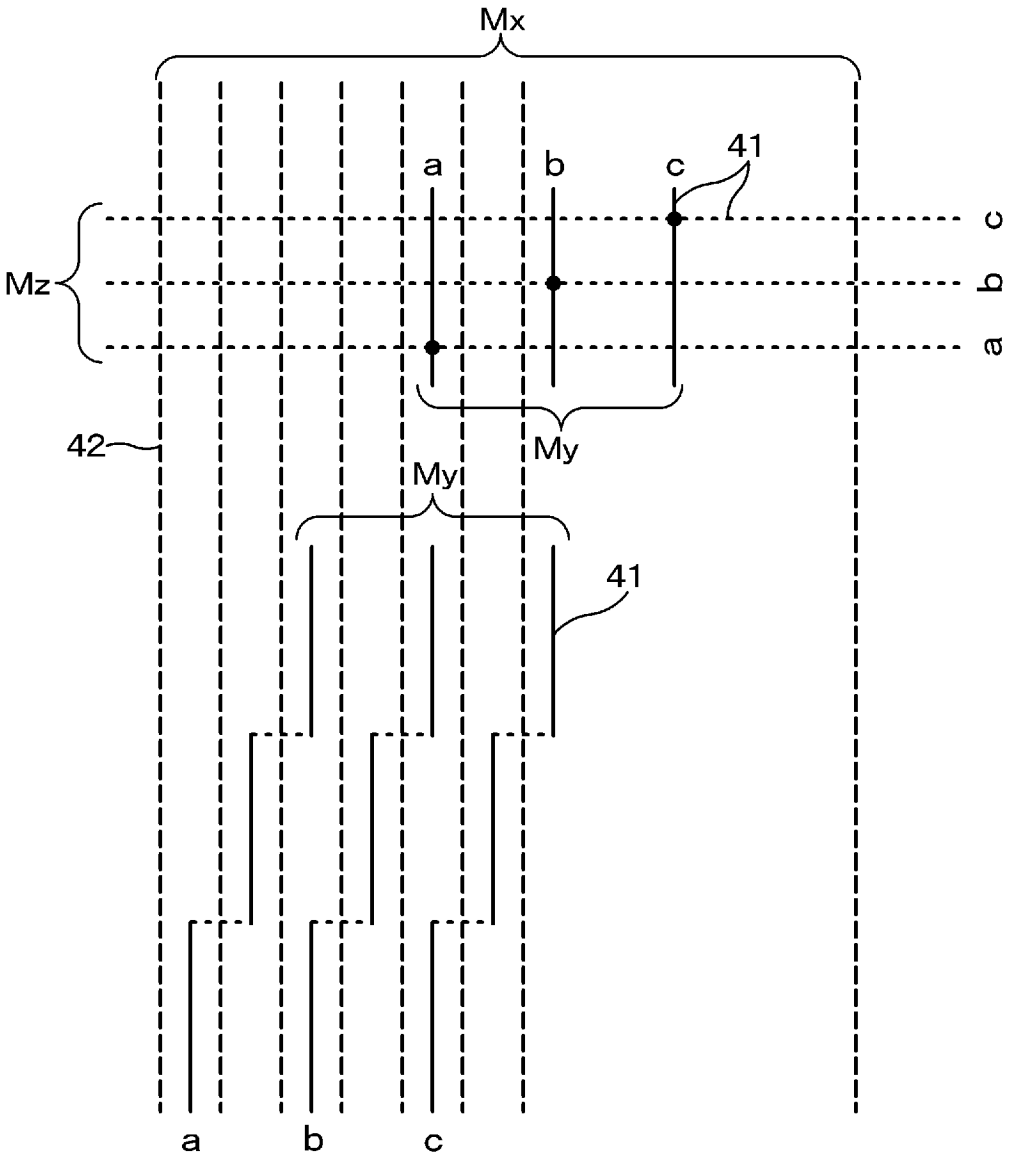
[図19]

図１９



[図20]

図２０



[図21]

図２１Ａ

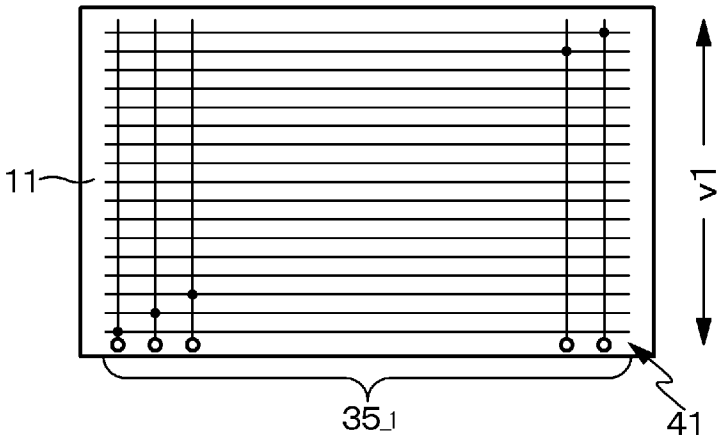


図２１Ｂ

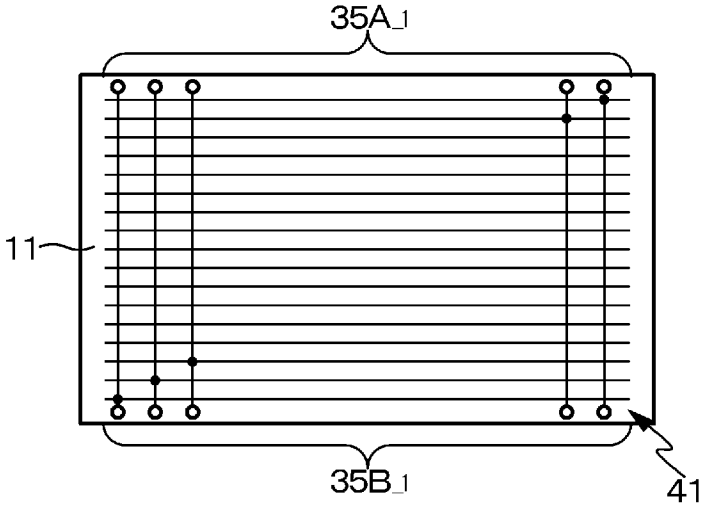
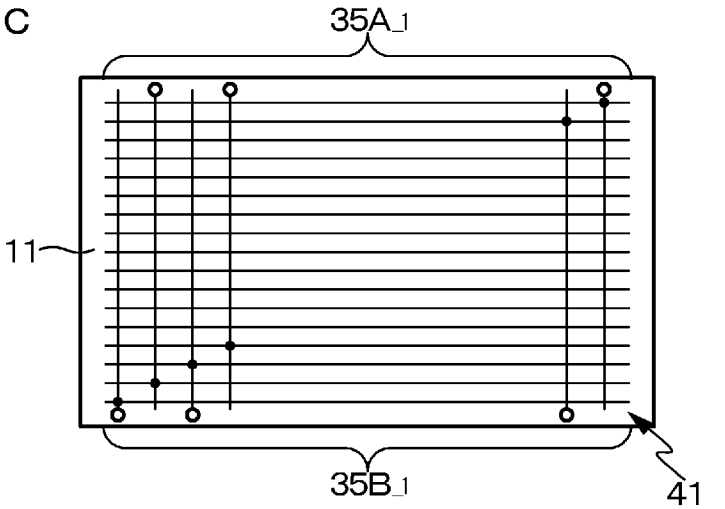


図２１Ｃ



[図22]

図２２Ａ

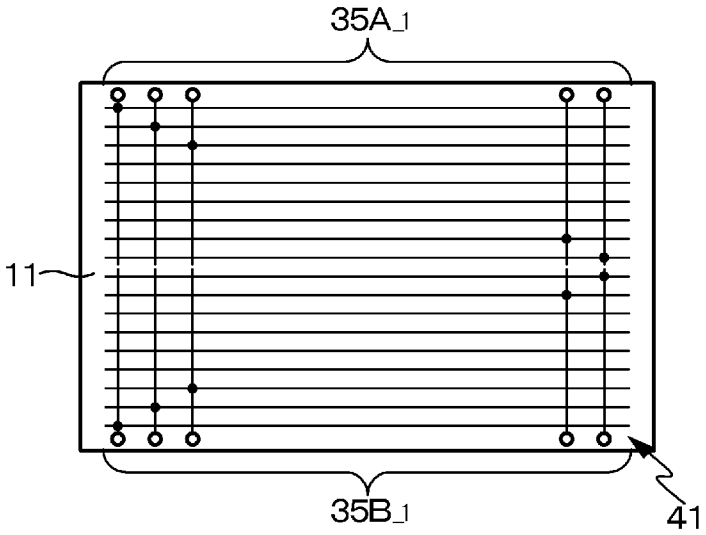
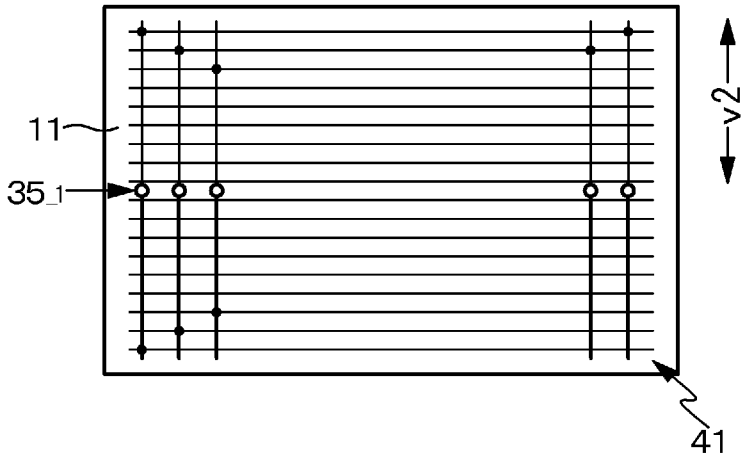
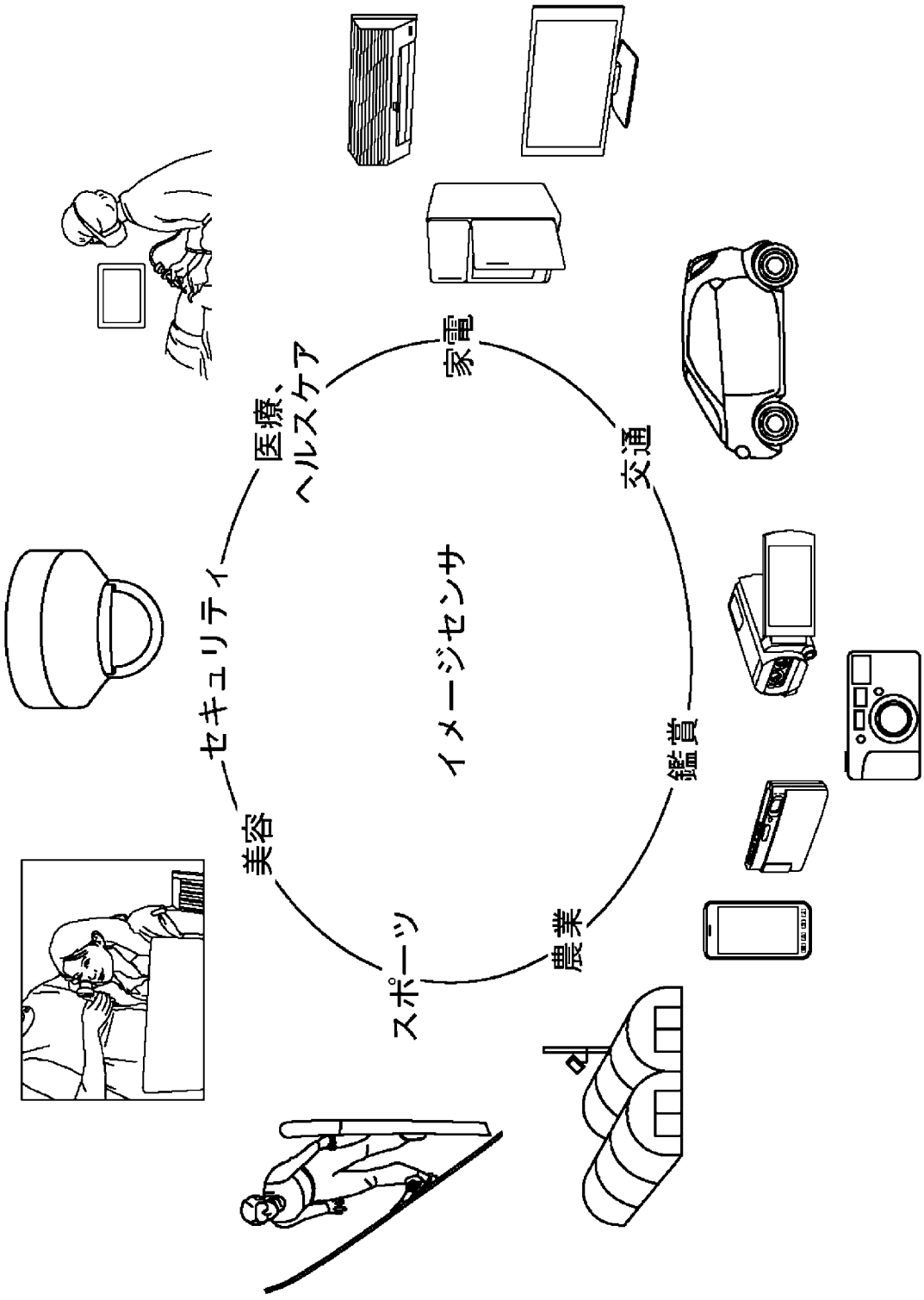


図２２Ｂ



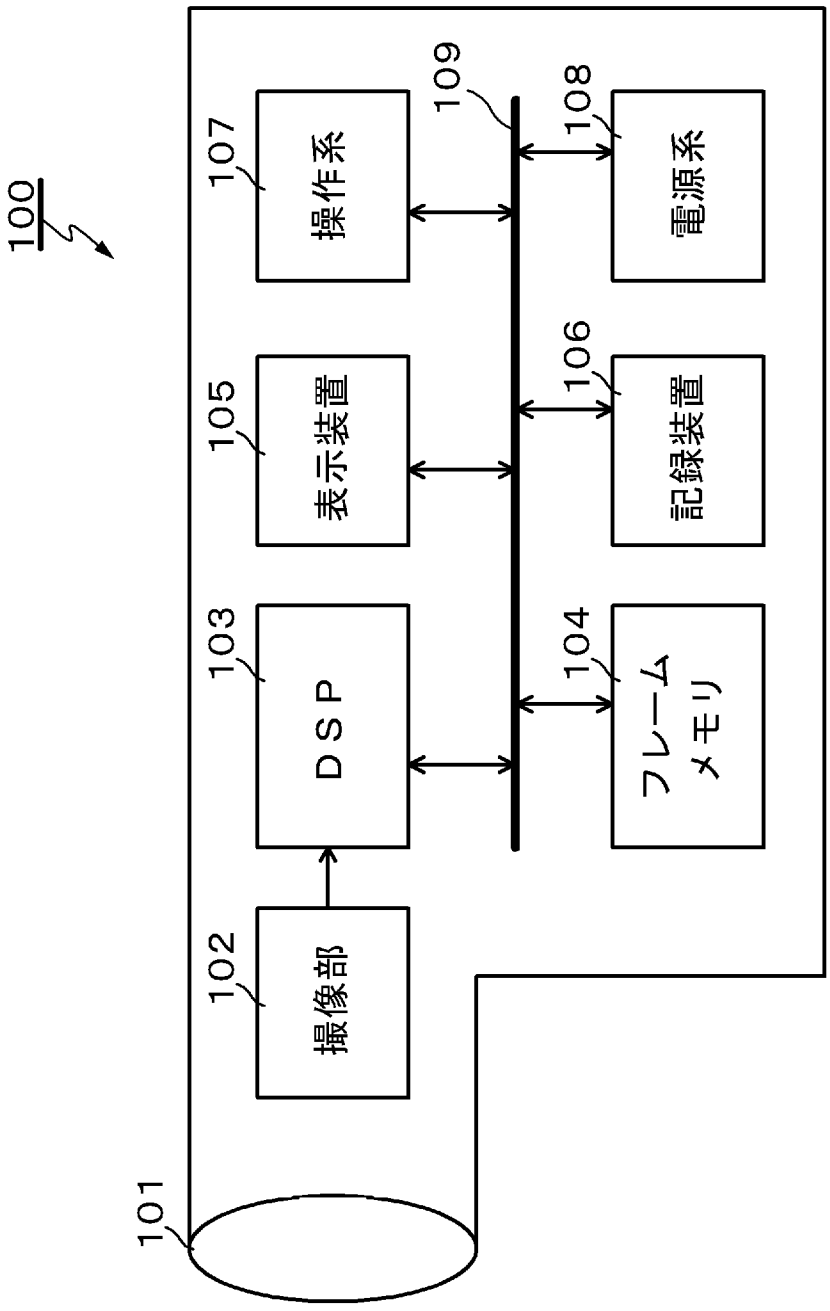
[図23]

図２３



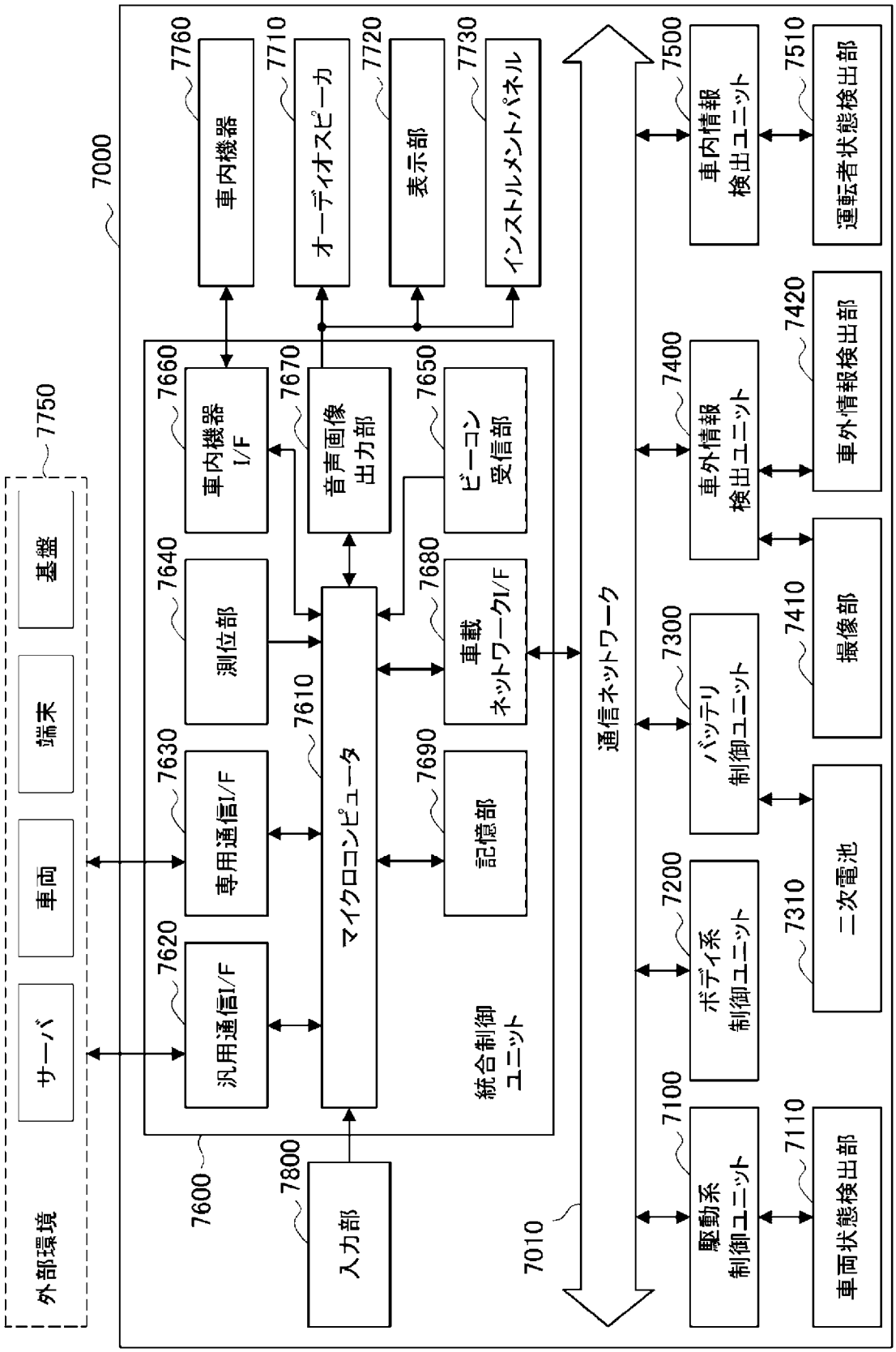
[図24]

図２４


100
101
102
撮像部
103
ＤＳＰ
104
フレーム
メモリ
105
表示装置
106
記録装置
107
操作系
108
電源系
109

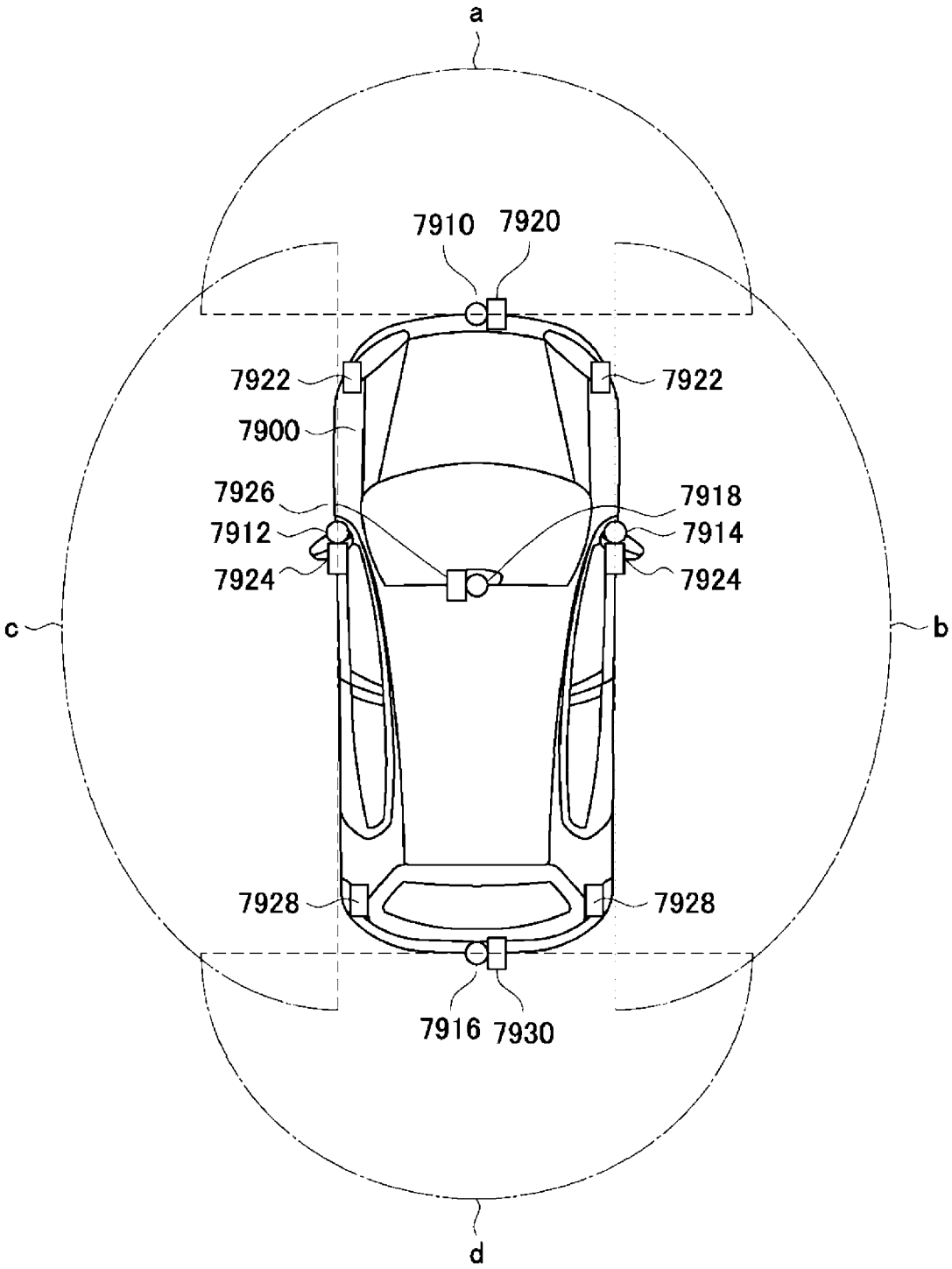
[図25]

図２５


外部環境
サーバ
車両
端末
基盤
7750
7000
7760
車内機器
7710
オーディオスピーカ
7720
表示部
7730
インストルメントパネル
7660
車内機器I/F
7670
音声画像出力部
7650
ビーコン受信部
7640
測位部
7680
車載ネットワークI/F
7610
マイクロコンピュータ
7630
専用通信I/F
7690
記憶部
7620
汎用通信I/F
統合制御ユニット
7600
7800
入力部
7010
通信ネットワーク
7500
車内情報検出ユニット
7510
運転者状態検出部
7400
車外情報検出ユニット
7420
車外情報検出部
7300
バッテリ制御ユニット
7410
撮像部
7200
ボディ系制御ユニット
7310
二次電池
7100
駆動系制御ユニット
7110
車両状態検出部

[図26]

図２６


a
7910
7920
7922
7922
7900
7926
7918
7912
7914
7924
7924
c
b
7928
7928
7916
7930
d

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/000301

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L27/146(2006.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i, H04N5/378(2011.01)i
FI: H04N5/369, H04N5/374, H04N5/378, H01L27/146A, H01L27/146D
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L27/146, H04N5/369, H04N5/374, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2014-220370 A (SHIZUKUISHI, Makoto) 20.11.2014 (2014-11-20), paragraphs [0019]-[0051], [0058], [0059], fig. 1-5, 9, 10	1-12, 17 13-16
X A	WO 2016/170833 A1 (SONY CORPORATION) 27.10.2016 (2016-10-27), paragraphs [0013]-[0071], [0106], fig. 1-6, 15	1, 17 2-16
A	JP 2011-159958 A (SONY CORPORATION) 18.08.2011 (2011-08-18), entire text	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16.03.2020	24.03.2020

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/000301

JP 2014-220370 A	20.11.2014	US 2014/0334601 A1 paragraphs [0018]-[0085], [0095]-[0097], fig. 1-5, 9
WO 2016/170833 A1	27.10.2016	US 2018/0109741 A1 paragraphs [0030]-[0090], [0124], fig. 1-6, 15 EP 3288081 A1 CN 107534049 A KR 10-2017-0141661 A
JP 2011-159958 A	18.08.2011	US 2012/0293698 A1 entire text EP 2528093 A1 DE 202010018542 U1 CN 102782840 A KR 10-2012-0111730 A

国際調査報告

国際出願番号
PCT/JP2020/000301

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/146(2006.01)i; H04N 5/369(2011.01)i; H04N 5/374(2011.01)i; H04N 5/378(2011.01)i
FI: H04N5/369; H04N5/374; H04N5/378; H01L27/146 A; H01L27/146 D

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/146; H04N5/369; H04N5/374; H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2014-220370 A (雫石 誠) 20.11.2014 (2014-11-20) 段落[0019]-[0051],[0058]-[0059],図1-5,9,10	1-12,17
A		13-16
X	WO 2016/170833 A1 (ソニー株式会社) 27.10.2016 (2016-10-27) 段落[0013]-[0071],[0106],図1-6,15	1,17
A		2-16
A	JP 2011-159958 A (ソニー株式会社) 18.08.2011 (2011-08-18) 全文	1-17

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
16.03.2020	24.03.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
橘　高志 5V 8391
電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/000301

引用文献	公表日	パテントファミリー文献	公表日
JP 2014-220370 A	20.11.2014	US 2014/0334601 A1 段落[0018]-[0085],[0095]-[0097],図1-5,9	
WO 2016/170833 A1	27.10.2016	US 2018/0109741 A1 段落[0030]-[0090],[0124],図1-6,15 EP 3288081 A1 CN 107534049 A KR 10-2017-0141661 A	
JP 2011-159958 A	18.08.2011	US 2012/0293698 A1 全文 EP 2528093 A1 DE 202010018542 U1 CN 102782840 A KR 10-2012-0111730 A	