

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年3月24日(24.03.2011)

PCT

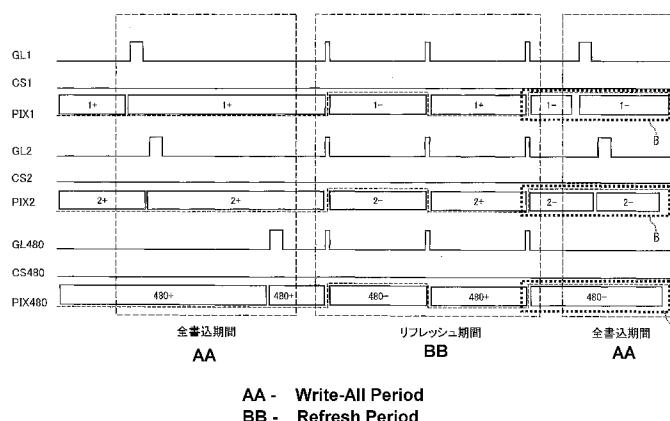
(10) 国際公開番号
WO 2011/033811 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
 - (21) 国際出願番号: PCT/JP2010/057283
 - (22) 国際出願日: 2010年4月23日(23.04.2010)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2009-215062 2009年9月16日(16.09.2009) JP
 - (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 佐々木 寧
(SASAKI, Yasushi). 村上 祐一郎(MURAKAMI,
Yuhichiroh). 古田 成(FURUTA, Shige). 業天 誠
二郎(GYOUTEN, Seijirou). 西 修司(NISHI, Shuji).
 - (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE-
MARK); 〒5300041 大阪府大阪市北区天神橋2
丁目北2番6号 大和南森町ビル Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).
- 添付公開書類:
一 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE AND DRIVE METHOD FOR DISPLAY DEVICE

(54) 発明の名称: 表示装置および表示装置の駆動方法

[図10]



(57) Abstract: Disclosed is a display device that is capable of preventing screen noise resulting from a reversal of the potential of a common electrode after having transitioned from a refresh period to a write-all period in a memory mode. Also disclosed is a drive method for the display device. The memory mode is provided with the write-all period in which the potential of the common electrode (COM) is fixed and display data is written onto each line of every memory circuit (nodes (PIX)), and the refresh period in which the display data written during the write-all period is refreshed at least once while the common electrode (COM) is driven. In the next write-all period, which is the successive transition from the refresh period in the memory mode, the potential of the common electrode (COM) maintains the potential obtained last through changing by means of driving in said refresh period.

(57) 要約:

[続葉有]

WO 2011/033811 A1

メモリモードにおいてリフレッシュ期間から全書込期間へ移行した後、共通電極の電位が反転することに起因する画面ノイズを防止することができる表示装置、および表示装置の駆動方法を提供する。メモリモードでは、共通電極(COM)の電位を固定するとともに、全てのメモリ回路(ノード(P I X))に表示データを行ごとに書き込む全書込期間と、共通電極(COM)を駆動しながら、全書込期間で書き込んだ表示データを少なくとも1回リフレッシュするリフレッシュ期間とが設けられており、メモリモードにおいてリフレッシュ期間から連続して移行した次の全書込期間では、共通電極(COM)の電位は、当該リフレッシュ期間で駆動により最後に変動して得られた電位を保持する。

明 細 書

発明の名称：表示装置および表示装置の駆動方法

技術分野

[0001] 本発明は、メモリ機能を有する表示装置およびその駆動方法に関するものであり、特に、表示形態に沿った複数の駆動方法が存在することに起因する画面ノイズを解消する技術に関するものである。

背景技術

[0002] 従来、液晶表示装置には、メモリが内蔵された画素（以下、画素メモリと称する）を備え、画像データの保持が可能なメモリ機能を有するメモリ型の液晶表示装置がある。このような液晶表示装置では、一旦画素に書き込まれた画像データを、極性を反転させながらリフレッシュすることで保持し、静止画を表示することができる。メモリ機能を使用しない通常動作（通常モード）では、データ信号線を通して画素を1フレームごとに新しい画像データに書き換える一方、メモリ機能を使用するメモリ動作（メモリモード）では、画像データを保持することから、データ信号線に書き換え用の画像データを供給する必要がない。

[0003] よって、メモリ動作においては、走査信号線およびデータ信号線を駆動する回路の動作を停止させることが可能となり、消費電力を削減することが可能となる。さらには、大きな容量を有するデータ信号線の充放電回数の削減や、メモリ動作期間に対応する画像データをコントローラに伝送せずに済むことによる、消費電力の低減も可能である。

[0004] したがって、上記メモリ型の液晶表示装置は、携帯電話の待ち受け画面などの低消費電力化の要求が強い画像の表示を行う液晶表示装置によく用いられる。

[0005] 図11は、メモリ型の液晶表示装置において、画素メモリの回路構成（メモリ回路MR100）のみを抽出して示す図である。メモリ回路MR100は、例えば特許文献1に開示されているものと同様である。

- [0006] 図11に示すように、メモリ回路MR100は、スイッチ回路SW100、第1データ保持部DS101、データ転送部TS100、第2データ保持部DS102、および、リフレッシュ出力制御部RS100を備えている。
- [0007] また、メモリ回路MR100がマトリクス状に配置された基板（図示せず）には、メモリ回路MR100を駆動する配線として、画素マトリクスの行ごとに、データ転送制御線DTx、ゲートラインGLx、High電源線PHx、Low電源線PLx、リフレッシュ出力制御線RCx、および、補助容量線CSxが設けられているとともに、画素マトリクスの列ごとに、ソースラインSLxが設けられている。
- [0008] スwitch回路SW100は、Nチャネル型のTFT（Thin Film Transistor：薄膜トランジスタ）であるトランジスタN100からなる。第1データ保持部DS101は容量Ca100からなる。データ転送部TS100は、Nチャネル型のTFTであるトランジスタN101からなる。第2データ保持部DS102は容量Cb100からなる。リフレッシュ出力制御部RS100は、インバータINV100と、Nチャネル型のTFTであるトランジスタN103とからなる。インバータINV100は、Pチャネル型のTFTであるトランジスタP100と、Nチャネル型のTFTであるトランジスタN102とからなる。
- [0009] なお、上記のTFTのような電界効果型トランジスタの一方のドレイン／ソース端子を第1のドレイン／ソース端子、他方のドレイン／ソース端子を第2のドレイン／ソース端子と呼ぶものとする。但し、第1のドレイン／ソース端子と第2のドレイン／ソース端子との間において電流が流れ得る向きに基づいて、ドレイン端子とソース端子とが一定に確定するものについてはそれぞれ、ドレイン端子、ソース端子と呼ぶものとする。
- [0010] トランジスタN100は、ゲート端子がゲートラインGLxに、第1のドレイン／ソース端子がソースラインSLxに、第2のドレイン／ソース端子が容量Ca100の一端であるノードPIXに、それぞれ接続されている。容量Ca100の他端は、補助容量線CSxに接続されている。

- [0011] トランジスタN101は、ゲート端子がデータ転送制御線DTxに、第1のドレイン/ソース端子がノードPIXに、第2のドレイン/ソース端子が容量Cb100の一端であるノードMRYに、それぞれ接続されている。容量Cb100の他端は、補助容量線CSxに接続されている。
- [0012] インバータINV100の入力端子IPは、ノードMRYに接続されている。トランジスタP100は、ゲート端子がインバータINV100の入力端子IPに、ソース端子がHigh電源線PHxに、ドレイン端子がインバータINV100の出力端子OPに、それぞれ接続されている。トランジスタN102は、ゲート端子がインバータINV100の入力端子IPに、ドレイン端子がインバータINV100の出力端子OPに、ソース端子がLow電源線PLxに、それぞれ接続されている。
- [0013] トランジスタN103は、ゲート端子がリフレッシュ出力制御線RCxに、第1のドレイン/ソース端子がインバータINV100の出力端子OPに、第2のドレイン/ソース端子がノードPIXに、それぞれ接続されている。
- [0014] また、上記液晶表示装置では、メモリ回路MR100が形成された基板に対向する位置に、共通電極（対向電極）COMを備えた対向基板（図示せず）が設けられている。基板と対向基板とは、その間に液晶を挟持するように配設されており、それら構成を含んで液晶パネルが形成されている。メモリ回路MR100のノードPIX（画素電極）は、共通電極COMとの間に液晶を介して液晶容量C_{lc}を形成している。
- [0015] 次に、図12を用いて、上記構成を有するメモリ回路MR100のメモリ動作（データ保持動作）について説明する。
- [0016] 図12は、メモリ回路MR100におけるメモリモード時の各種信号波形を示すタイミングチャートである。
- [0017] メモリモードでは、データ転送制御線DTx、ゲートラインGLx、および、リフレッシュ出力制御線RCxには、図示しない駆動回路から、High（アクティブレベル）とLow（非アクティブレベル）とからなる2値レ

ベルの電位が印加される。上記HighおよびLowの電位レベルは、上記各ライン・線に個別に設定されてもよい。

[0018] またメモリモードでは、ソースラインSL_xには、図示しない駆動回路から、High電位とLow電位とからなる2値レベルのデータ信号（「2値のデータ」ともいう）が出力される。High電源線PH_xが供給する電位は、上記2値レベルのデータ信号のHighに等しく、Low電源線PL_xが供給する電位は、上記2値レベルのデータ信号のLowに等しい。さらに、補助容量線CS_xが供給する電位は一定であってもよいし、所定のタイミングで変化してもよいが、ここでは説明を簡単にするために一定であるとする。

[0019] メモリモードにおいては、全書込期間T₁₀₁とリフレッシュ期間T₁₀₂とが設けられている。全書込期間T₁₀₁は、全てのメモリ回路MR₁₀₀に、保持させようとするデータを行ごとに書き込む期間であり、順に連続する期間t₁₀₁および期間t₁₀₂からなる。全書込期間T₁₀₁ではメモリ回路MR₁₀₀に線順次で書き込みを行うので、期間t₁₀₁は異なる行同士で重ならないように設けられる。それゆえ、期間t₁₀₁は行ごとに開始タイミングが異なる。また、期間t₁₀₂の終了タイミングすなわち全書込期間T₁₀₁の終了タイミングは、全行とも同じとなる。リフレッシュ期間T₁₀₂は、全書込期間T₁₀₁でメモリ回路MR₁₀₀に書き込んだデータをリフレッシュすることで保持する期間であり、順に連続する期間t₁₀₃～t₁₁₀を有している。リフレッシュ期間T₁₀₂は、全行で一斉に開始される。

[0020] 全書込期間T₁₀₁において、期間t₁₀₁では、ゲートラインGL_xの電位がHighとなる。データ転送制御線DT_xおよびリフレッシュ出力制御線RC_xの電位はLowである。これによりトランジスタN₁₀₀がON状態になるため、ノードPIXに、ソースラインSL_xに供給されたデータ電位（ここではHighとする）が書き込まれる。

[0021] 続いて期間t₁₀₂では、ゲートラインGL_xの電位がLowとなる。こ

れによりトランジスタN100がOFF状態になるため、容量Ca100に、書き込まれたデータ電位に対応する電荷が保持される。

[0022] ここで、メモリ回路MR100が、容量Ca100とトランジスタN100とのみからなるとした場合、トランジスタN100がOFF状態にある間は、ノードPIXはフローティングになる。このとき理想状態では、ノードPIXの電位がHighに維持されるように、容量Ca100に電荷が保持される。

[0023] しかし、実際には、トランジスタN100にオフリーク電流が発生するため、容量Ca100の電荷は徐々にメモリ回路MR100の外部に漏洩していく。容量Ca100の電荷が漏洩するとノードPIXの電位が変化するため、長時間の漏洩によって、書き込まれたデータ電位が本来の意味を失う程度にまで、ノードPIXの電位が変化してしまう。

[0024] そこで、次のリフレッシュ期間T102において、データ転送部TS100、第2データ保持部DS102、および、リフレッシュ出力制御部RS100を、ノードPIXの電位をリフレッシュして書き込んだデータが失われないように機能させる。

[0025] リフレッシュ期間T102において、期間t103では、データ転送制御線DTxの電位がHighとなる。ゲートラインGLxおよびリフレッシュ出力制御線RCxの電位はLowである。これによりトランジスタN101がON状態になるため、容量Ca100に、トランジスタN101を介して容量Cb100が並列に接続される。それゆえ、容量Ca100と容量Cb100との間で電荷が移動することによって、ノードMRYの電位がHighとなる。

[0026] なお、容量Ca100は、容量Cb100よりも容量値が大きく設定されている。容量Ca100からは、ノードPIXの電位がノードMRYの電位と等しくなるまで、正電荷がトランジスタN101を介して容量Cb100に移動する。これにより、ノードPIXの電位は期間t102のものよりも若干の電圧 ΔV_1 だけ低下するが、Highの電位範囲内にある。

- [0027] 続いて期間 t_{104} では、データ転送制御線 DT_x の電位が Low となる。これによりトランジスタ N_{101} が OFF 状態となるため、ノード P_{IX} の電位が $High$ に維持されるように容量 C_{a100} に電荷が保持されるとともに、ノード M_{RY} の電位が $High$ に維持されるように容量 C_{b100} に電荷が保持される。
- [0028] 期間 t_{105} では、リフレッシュ出力制御線 RC_x の電位が $High$ となる。これによりトランジスタ N_{103} が ON 状態となるため、インバータ I_{NV100} の出力端子 OP がノード P_{IX} に接続される。出力端子 OP にはノード M_{RY} の電位の反転電位（ここでは Low ）が出力されているので、ノード P_{IX} は当該反転電位に充電される。
- [0029] 期間 t_{106} では、リフレッシュ出力制御線 RC_x の電位が Low となる。これによりトランジスタ N_{103} が OFF 状態となるため、ノード P_{IX} の電位が上記反転電位に維持されるように、容量 C_{a100} に電荷が保持される。
- [0030] 期間 t_{107} では、データ転送制御線 DT_x の電位が $High$ となる。これによりトランジスタ N_{101} が ON 状態となるため、容量 C_{a100} に、トランジスタ N_{101} を介して容量 C_{b100} が並列に接続される。それゆえ、容量 C_{a100} と容量 C_{b100} との間で電荷が移動することによって、ノード M_{RY} の電位が Low となる。なお、容量 C_{b100} からは、ノード M_{RY} の電位がノード P_{IX} の電位と等しくなるまで、正電荷がトランジスタ N_{101} を介して容量 C_{a100} に移動する。これにより、ノード P_{IX} の電位は期間 t_{106} のものよりも若干の電圧 ΔV_2 だけ上昇するが、 Low の電位範囲内にある。
- [0031] 期間 t_{108} では、データ転送制御線 DT_x の電位が Low となる。これによりトランジスタ N_{101} が OFF 状態となるため、ノード P_{IX} の電位が Low に維持されるように容量 C_{a100} に電荷が保持されるとともに、ノード M_{RY} の電位が Low に維持されるように容量 C_{b100} に電荷が保持される。

- [0032] 期間 t_{109} では、リフレッシュ出力制御線 RC_x の電位が $High$ となる。これによりトランジスタ N_{103} が ON 状態となるため、インバータ INV_{100} の出力端子 OP がノード P_{IX} に接続される。出力端子 OP にはノード M_{RY} の電位の反転電位（ここでは $High$ ）が出力されているので、ノード P_{IX} は当該反転電位に充電される。
- [0033] 期間 t_{110} では、リフレッシュ出力制御線 RC_x の電位が Low となる。これによりトランジスタ N_{103} が OFF 状態となるため、ノード P_{IX} の電位が上記反転電位に維持されるように、容量 C_{a100} に電荷が保持される。
- [0034] この後、リフレッシュ期間 T_{102} では、次の全書込期間 T_{101} または通常モードに移行するまで、上記期間 t_{103} ~ 期間 t_{110} の動作が繰り返される。リフレッシュ期間 T_{102} において、ノード P_{IX} の電位は、期間 t_{105} で反転電位にリフレッシュされ、期間 t_{109} で書き込み時の電位にリフレッシュされる。なお、全書込期間 T_{101} の期間 t_{101} において、 Low のデータ電位がノード P_{IX} に書き込まれる場合には、ノード P_{IX} の電位波形は図 12 の電位波形を反転させたものとなる。
- [0035] このように、メモリ回路 MR_{100} は、全書込期間 T_1 で書き込まれたデータを、リフレッシュ期間 T_2 においてデータ反転方式によってリフレッシュすることができる。これにより、オフリークによる電荷減少の影響を抑えることが可能となっている。また、ノード P_{IX} に書き込まれたデータがリフレッシュされるタイミング、すなわち極性反転されるタイミングに応じて、共通電極 COM の電位が $High$ と Low との間で反転される。これにより、液晶容量 C_{lc} を交流駆動しながら、画面をリフレッシュすることができる。
- [0036] ところで、上記従来のメモリ型の液晶表示装置では、メモリモードにより低消費電力化を図ってはいるものの、表示形態に沿った複数の駆動方法が存在しているために、駆動方法の切替時に画面ノイズ（画像の乱れ）が生じる場合があった。

[0037] 例えば、メモリモードから通常モードに切り替わった後、画素メモリには静止画表示時のデータが保持される。この結果、次に通常モードからメモリモードに切り替わった際に、画素メモリに新たなデータの書き込みが完了するまでの期間、一瞬ではあるが全く別のデータが表示され、画面ノイズが生じることがあった。

[0038] そこで、例えば特許文献2には、メモリモードの静止画表示期間の最後に、全ての画素メモリに全黒／全白データなどを保持させる、すなわち画素メモリのデータ保持部を初期化しておく技術が記載されている。これにより、次に通常モードからメモリモードに切り替わった際に前のデータが表示されないようにすることで、画面ノイズを防止している。

先行技術文献

特許文献

[0039] 特許文献1：日本国公開特許公報「特開2002-229532号公報（2002年8月16日公開）」

特許文献2：日本国公開特許公報「特開2002-175051号公報（2002年6月21日公開）」

発明の概要

発明が解決しようとする課題

[0040] しかしながら、上記従来のメモリ型の液晶表示装置では、上記原因で生じる画面ノイズとは別に、メモリモード時にリフレッシュ期間から全書込期間に切り替える際に、共通電極COMの電位をリフレッシュ期間と全書込期間とで反転すると、全書込期間に移行した後に画面ノイズが生じる場合があるという問題点を有している。

[0041] 図13に、メモリ回路MR100を備える従来の液晶表示装置において、メモリモード時にリフレッシュ期間から全書込期間へ移行した後に、画面ノイズが発生する場合の各種信号波形を示すタイミングチャートを示す。図13では、GLx1、GLx2、およびGLx480は、1、2、および48

0行目のゲートライン GL_x の電位をそれぞれ示す。 $CS_x 1$, $CS_x 2$, および $CS_x 480$ は、1, 2, および480行目の補助容量線 CS_x の電位をそれぞれ示す。 $PIX 1$, $PIX 2$, および $PIX 480$ は、1, 2, および480行目のメモリ回路 $MR 100$ の画素電極の電位をそれぞれ示す。また、 $PIX 1$, $PIX 2$, および $PIX 480$ の信号波形に重なって示されている点線は、共通電極 COM の電位を示す。

[0042] 図13に示すように、リフレッシュ期間から全書込期間へ移行した後、全書込期間では、ゲートライン GL_x が順次走査されることによって、メモリ回路 $MR 100$ のノード PIX に、新たな反転電位のデータが線順次で書き込まれる。

[0043] 一方、メモリモードにおいて液晶容量が交流駆動されている場合、共通電極 COM は、全書込期間において最初のゲートライン GL_x (図13では、1行目のゲートライン $GL_x 1$)の走査タイミングに応じて、極性反転が行われる。このため、図中点線Aに示すように、ノード PIX に新たな反転電位のデータが書き換えられていないにも拘らず、共通電極 COM の電位だけが反転し、液晶容量 C_{lc} への印加電圧が突然変動するメモリ回路 $MR 100$ が出てくる。図13では、2~480行目のゲートライン $GL_x 2$ ~480に駆動されるメモリ回路 $MR 100$ がこれに相当する。メモリ回路 $MR 100$ のノード PIX は、新たな反転電位のデータが書き込まれるまでは、前のデータを保持している。

[0044] この結果、図中点線Aに示すような、メモリ回路 $MR 100$ のノード PIX の電位が極性反転していないのに、すなわちノード PIX がフローティングになっているときに、共通電極 COM の電位だけが極性反転してしまった期間において、リフレッシュ期間に例えば白表示であった画素が全書込期間に突然黒表示になってしまうなどの、画面ノイズが発生する。

[0045] このように、従来のメモリ型の液晶表示装置では、メモリモードにおいてリフレッシュ期間から全書込期間へ移行した後、画素電極がフローティングになっているときに共通電極の電位が反転する期間が生じることによって、

画面ノイズが発生することがある。

- [0046] 本発明は、上記従来の問題点に鑑みなされたものであり、その目的は、メモリモードにおいてリフレッシュ期間から全書込期間へ移行した後、共通電極の電位が反転することに起因する画面ノイズを防止することができる表示装置、および表示装置の駆動方法を提供することにある。

課題を解決するための手段

- [0047] 本発明の表示装置は、上記課題を解決するために、マトリクス状に設けられたメモリ回路と共通電極とを含む表示パネルを備え、上記メモリ回路に書き込んだ表示データをリフレッシュしながら保持して表示を行うメモリモードを有する表示装置であって、上記メモリモードでは、上記共通電極の電位を固定するとともに、全ての上記メモリ回路に表示データを行ごとに書き込む全書込期間と、上記共通電極を駆動しながら、上記全書込期間で書き込んだ表示データを少なくとも1回リフレッシュするリフレッシュ期間とが設けられており、上記メモリモードにおいて上記リフレッシュ期間から連続して移行した次の上記全書込期間では、上記共通電極の電位は、当該リフレッシュ期間で駆動により最後に変動して得られた電位を保持することを特徴としている。
- [0048] また、本発明の表示装置の駆動方法は、上記課題を解決するために、マトリクス状に設けられたメモリ回路と共通電極とを含む表示パネルを備え、上記メモリ回路に書き込んだ表示データをリフレッシュしながら保持して表示を行うメモリモードを有する表示装置の駆動方法であって、上記メモリモードでは、上記共通電極の電位を固定するとともに、全ての上記メモリ回路に表示データを行ごとに書き込む全書込期間と、上記共通電極を駆動しながら、上記全書込期間で書き込んだ表示データを少なくとも1回リフレッシュするリフレッシュ期間とが設けられており、上記メモリモードにおいて上記リフレッシュ期間から連続して移行した次の上記全書込期間では、上記共通電極の電位を、当該リフレッシュ期間で駆動により最後に変動して得られた電位を保持させることを特徴としている。

[0049] 従来、メモリモードにおいて液晶容量が交流駆動されている場合、リフレッシュ期間から連続して移行した次の全書込期間において、最初の行のデータ書き込みのタイミングで共通電極の極性を反転すると、フローティングになっている画素電極に対応する液晶容量への印加電圧が突然変動し、画面ノイズが生じる場合があった。

[0050] これに対し、上記の構成によれば、メモリモードにおいてリフレッシュ期間から連続して移行した次の全書込期間では、共通電極の電位は、当該リフレッシュ期間で駆動により最後に変動して得られた電位を保持する。すなわち、共通電極の電位は反転されない。これにより、画素電極がフローティングになっているときに、共通電極の極性反転が生じることが無くなり、画面ノイズを防止することが可能となる。

発明の効果

[0051] 以上のように、本発明の表示装置は、マトリクス状に設けられたメモリ回路と共通電極とを含む表示パネルを備え、上記メモリ回路に書き込んだ表示データをリフレッシュしながら保持して表示を行うメモリモードを有する表示装置であって、上記メモリモードでは、上記共通電極の電位を固定するとともに、全ての上記メモリ回路に表示データを行ごとに書き込む全書込期間と、上記共通電極を駆動しながら、上記全書込期間で書き込んだ表示データを少なくとも1回リフレッシュするリフレッシュ期間とが設けられており、上記メモリモードにおいて上記リフレッシュ期間から連続して移行した次の全書込期間では、上記共通電極の電位は、当該リフレッシュ期間で駆動により最後に変動して得られた電位を保持する構成である。

[0052] それゆえ、メモリモードにおいてリフレッシュ期間から連続して移行した次の全書込期間では、画素電極がフローティングになっているときに、共通電極の極性反転が生じることが無くなり、画面ノイズを防止することができるという効果を奏する。

図面の簡単な説明

[0053] [図1]本発明の実施の一形態における液晶表示装置の構成を示すブロック図で

ある。

[図2] 上記液晶表示装置が有する駆動方法の種類を示す図である。

[図3] 上記液晶表示装置における通常モード時の各種信号波形を示すタイミングチャートである。

[図4] 上記液晶表示装置におけるメモリモード時の各種信号波形を示すタイミングチャートである。

[図5] 上記液晶表示装置における画素メモリの概念的な構成を示すブロック図である。

[図6] 上記画素メモリにおけるメモリモード時のデータ保持動作を示す図であり、(a) は全書込期間のデータ遷移を示し、(b) ~ (h) はリフレッシュ期間のデータ遷移を示す。

[図7] 上記画素メモリの電氣的構成の一例を示す等価回路図である。

[図8] 上記画素メモリにおけるメモリモード時の各種信号波形を示すタイミングチャートである。

[図9] 上記液晶表示装置において、メモリモード時にリフレッシュ期間から全書込期間へ移行した後に、画面ノイズが発生する場合の各種信号波形を示すタイミングチャートである。

[図10] 上記液晶表示装置において、メモリモード時にリフレッシュ期間から全書込期間へ移行するときに、画面ノイズを防止する動作が行われたときの各種信号波形を示すタイミングチャートである。

[図11] 従来の液晶表示装置における画素メモリの電氣的構成を示す等価回路図である。

[図12] 上記従来の画素メモリにおけるメモリモード時の各種信号波形を示すタイミングチャートである。

[図13] 上記従来の液晶表示装置において、メモリモード時にリフレッシュ期間から全書込期間へ移行した後に、画面ノイズが発生する場合の各種信号波形を示すタイミングチャートである。

[図14] 本発明の他の実施の形態を示すものであり、図11の画素メモリにお

いて、メモリモード時にリフレッシュ期間から全書込期間へ移行するときに、画面ノイズを防止する動作が行われたときの各種信号波形を示すタイミングチャートである。

発明を実施するための形態

[0054] 〔実施の形態1〕

本発明の一実施形態について図面に基づいて説明すれば、以下の通りである。なお、本実施の形態において説明すること以外の構成は、前記背景技術と同じである。また、説明の便宜上、前記の背景技術の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

[0055] 本実施形態では、メモリ型の液晶表示装置について説明する。本実施の形態の液晶表示装置は、画素メモリとして、図11に示したメモリ回路MR100を備えている。

[0056] ここで、注目すべき点は、メモリモードにおいてリフレッシュ期間から全書込期間へ移行した後、共通電極COMの電位が反転する場合に発生する画面ノイズを防止することができるメモリ回路MR100の動作である。そこで、次に、上記場合のメモリ回路MR100の動作を説明する。

[0057] 図14に、本実施例の液晶表示装置において、メモリモード時にリフレッシュ期間から全書込期間へ移行するときに、画面ノイズを防止する動作が行われたときの各種信号波形を示すタイミングチャートを示す。図14に示す各種信号は、図13に示す信号と同様のものを示す。

[0058] 図14中の点線Bに示すように、メモリモードにおいてリフレッシュ期間から連続して移行した次の全書込期間では、共通電極COMの電位を、当該リフレッシュ期間で最後の画素電極のリフレッシュのタイミングに合わせて反転した電位に設定する。すなわち、共通電極COMは、リフレッシュ期間から連続して移行した全書込期間では極性を反転せずに、リフレッシュ期間で最後にリフレッシュしたときの極性を、リフレッシュ期間から全書込期間を跨いで2回継続することになる。

- [0059] これにより、メモリ回路MR100のノードPIXがフローティングになっている期間に、共通電極COMの極性反転が生じることが無くなり、画面ノイズを防止することが可能となる。
- [0060] すなわち、本実施例の液晶表示装置は、マトリクス状に設けられたメモリ回路MR100と共通電極COMとを含む液晶パネルを備え、メモリ回路MR100に書き込んだ表示データをリフレッシュしながら保持して表示を行うメモリモードを有する液晶表示装置であって、メモリモードでは、共通電極COMの電位を固定するとともに、全てのメモリ回路MR100に表示データを行ごとに書き込む全書込期間と、共通電極COMを駆動しながら、全書込期間で書き込んだ表示データを少なくとも1回リフレッシュするリフレッシュ期間とが設けられており、メモリモードにおいてリフレッシュ期間から連続して移行した次の全書込期間では、共通電極COMの電位は、当該リフレッシュ期間で駆動により最後に変動して得られた電位を保持する構成を備えていればよい。
- [0061] これにより、メモリモードにおいてリフレッシュ期間から連続して移行した次の全書込期間では、画素電極COMがフローティングになっているときに、共通電極COMの極性反転が生じることが無くなり、画面ノイズを防止することができる。
- [0062] [実施の形態2]
本発明の他の実施の形態について図面に基づいて説明すれば、以下の通りである。
- [0063] 図11に示したメモリ回路MR100においては、データのリフレッシュを行う回路にトランジスタN101からなるデータ転送部TS100が設けられているため、リフレッシュ期間T102においてデータ転送制御線DTxの電位が非アクティブ（ここではLow）となっている期間t104～期間t106および期間t108～期間t110では、ノードMRYはノードPIXから切り離され、フローティングの状態となる。
- [0064] 特に、期間t105～期間t106では、ノードPIXがLowに相当す

る電位であるのに対して、ノードMRYはHighに相当する電位になっている。また、期間t109～期間t110では、ノードPIXがHighに相当する電位であるのに対して、ノードMRYはLowに相当する電位になっている。このため、これらの期間では、トランジスタN101がOFF状態にあるものの、トランジスタN101のオフリーク電流によって、ノードMRYの電位が時間経過とともに徐々に変動することになる。

[0065] なお、フローティング時の各ノードは、トランジスタや配線等の寄生容量による電位変動の影響も受けるが、本明細書では、説明を簡略化するために、便宜上、寄生容量による電位変動を考慮から外している。

[0066] オフリーク電流によるノードMRYの電位変動分を α とすると、期間t103～期間t105のノードMRYの電位は、(High電位 $-\Delta V1-\alpha$)となり、電荷の分配による電位変動 $\Delta V1$ に加えて更なる電位変動を招き、合わせて、($\Delta V1+\alpha$)の電位変動を引き起こす。また、期間t107～期間t109のノードMRYの電位は、(Low電位 $+\Delta V2+\alpha$)となり、電荷の分配による電位変動 $\Delta V2$ に加えて更なる電位変動を招き、合わせて、($\Delta V2+\alpha$)の電位変動を引き起こす。

[0067] この結果、インバータINV100を構成するトランジスタP100およびトランジスタN102の閾値電圧を V_{th} とすると、ノードMRYの電位(High電位 $-\Delta V1-\alpha$)が(High電位 $-V_{th}$)を下回る電位になった場合、トランジスタP100が徐々にON状態となる。このとき、トランジスタN102がON状態であるため、High電源線PHxからトランジスタP100およびトランジスタN102を通してLow電源線PLxに貫通電流が流れ、大きな消費電流が発生するという問題が起こる。

[0068] また、このような貫通電流が流れる状態では、インバータINV100の出力が徐々にHighとLowとの間の電位となる。これにより、ノードPIXの電位もHighとLowとの間の電位となり、HighともLowとも判別できない電位になると、メモリ回路MR100は誤動作してしまう。

[0069] 同様に、ノードMRYの電位(Low電位 $+\Delta V2+\alpha$)が(Low電位

+V_{th})を上回る電位になった場合、トランジスタN102が徐々にON状態となる。このとき、トランジスタP100がON状態であるため、High電源線PH_xからLow電源線PL_xに貫通電流が流れ、大きな消費電流が発生するという問題が起こる。これにより、ノードPIXの電位がHighともLowとも判別できない電位になると、メモリ回路MR100は誤動作してしまう。

[0070] このように、メモリ回路MR100を備える液晶表示装置では、データ電位が書き込まれる画素電極（ノードPIX）と、画素電極の電位のリフレッシュを行うために画素電極から電荷が転送されるメモリ用電極（ノードMRY）と、画素電極とメモリ用電極との間に設けられる転送素子（トランジスタN101）とを備えるメモリ回路において、データ転送素子にオフリーク電流が存在することに起因して、メモリ用電極の電位に基づいてリフレッシュ動作を行う回路に、本来の動作を適切に行わせることができないことがある。

[0071] それゆえ、転送素子にオフリーク電流が存在しても、リフレッシュ動作を行う回路に本来の動作を適切に行わせることができるメモリ回路を備えた液晶表示装置を提供することが望まれる。

[0072] 図1は、本実施の形態の液晶表示装置10の一構成例を示すブロック図である。

[0073] 液晶表示装置10は、メモリ型の液晶表示装置であり、図1に示すように、画素アレイ11、駆動信号発生回路／映像信号発生回路12、デマルチプレクサ13、ゲートドライバ／CSドライバ14、および制御信号バッファ回路15を備えている。

[0074] 画素アレイ11は、画素メモリ20（図中「MR」と示す）がn行m列のマトリクス状に設けられたものである。また、画素アレイ11では、画素マトリクスの行ごとに、ゲートラインGL(i)（走査信号線）、補助容量線CS(i)、データ転送制御線DT(i)（データ転送線）、および、リフレッシュ出力制御線RC(i)（リフレッシュ出力線）が配設されていると

ともに、画素マトリクス之列ごとに、ソースライン $SL(j)$ （データ信号線）が配設されている。なお、 i は $1 \leq i \leq n$ の整数、 j は $1 \leq j \leq m$ の整数とする。

[0075] 画素メモリ20は、メモリ機能を有しており、データを独立に保持する。 i 番目のロウ（Row）と、 j 番目のコラム（Column）との交点に位置する画素メモリ20に対するデータ信号の書込および保持は、 i 番目のロウに接続されたゲートライン $GL(i)$ 、補助容量線 $CS(i)$ 、データ転送制御線 $DT(i)$ 、およびリフレッシュ出力制御線 $RC(i)$ と、 j 番目のコラムに接続されたソースライン $SL(j)$ とによって制御される。

[0076] 駆動信号発生回路／映像信号発生回路12は、駆動方法に応じて、画素メモリ20への映像信号（データ信号）の供給と、ゲートドライバ／ CS ドライバ14および制御信号バッファ回路15の動作を制御・駆動するための制御駆動回路であり、表示データ処理回路や、入出力インターフェース、命令デコーダ、タイミング制御回路などの機能と同等の機能を有している。駆動信号発生回路／映像信号発生回路12は、液晶表示装置10と液晶表示装置10の外部との間のデータの入出力を行い、データ書き込み／データ保持の命令データや表示データを外部から取り込む。駆動信号発生回路／映像信号発生回路12は、取り込んだ表示データに基づいて画素アレイ11に供給するためのデータ信号を生成し、ビデオ出力端子から出力信号線 $vd(k)$ （ k は $1 \leq k \leq l < m$ の整数）に出力する。駆動信号発生回路／映像信号発生回路12は、取り込んだ命令データから命令を解釈し、その命令に従った駆動方法を選択して、ゲートドライバ／ CS ドライバ14を駆動・制御するための信号 $s1 \cdot s2$ 、および、制御信号バッファ回路15を駆動・制御するための信号 $s3$ を生成し、それぞれ出力する。

[0077] 例えば、上記駆動方法としては、後述するように「通常モード」と「メモリモード」とがある。駆動信号発生回路／映像信号発生回路12は、通常モード時には、出力信号線 $vd(k)$ に、データ信号としての多階調ビデオ信号を出力するとともに、ゲートドライバ／ CS ドライバ14に信号 $s1$ を出

力する。駆動信号発生回路／映像信号発生回路 12 は、メモリモード時には、出力信号線 $v_d(k)$ に、データ信号としての 2 値のデータ
を出力するとともに、ゲートドライバ／CS ドライバ 14 に信号 s_2 を、制御信号バッファ回路 15 に信号 s_3 をそれぞれ出力する。

[0078] なお、タイミングの基底となるクロック信号は、外部システムから入力されてもよいし、発振器等によって液晶表示装置 10 の内部あるいは駆動信号発生回路／映像信号発生回路 12 の内部で発生させてもよい。また、駆動信号発生回路／映像信号発生回路 12 は、メモリ動作に用いられるタイミングのみならず、表示動作に用いられるゲートスタートパルス、ゲートクロック、ソーススタートパルス、および、ソースクロックなどのタイミングを生成する回路を兼ねることができる。

[0079] デマルチプレクサ 13 は、出力信号線 $v_d(k)$ の出力を、対応するソースライン $S_L(j)$ に振り分けるものである。

[0080] ゲートドライバ／CS ドライバ 14 は、ゲートライン $G_L(i)$ および補助容量線 $CS(i)$ を介して、画素アレイ 11 の画素メモリ 20 の書き込み動作を駆動・制御する回路である。ゲートドライバ／CS ドライバ 14 は、駆動信号発生回路／映像信号発生回路 12 から供給される信号 $s_1 \cdot s_2$ に従って、ゲートライン $G_L(i)$ および補助容量線 $CS(i)$ を制御する。

[0081] 制御信号バッファ回路 15 は、データ転送制御線 $DT(i)$ およびリフレッシュ出力制御線 $RC(i)$ を介して、画素アレイ 11 の画素メモリ 20 のデータ保持動作を駆動・制御する回路である。制御信号バッファ回路 15 は、駆動信号発生回路／映像信号発生回路 12 から供給される信号 s_3 に従って、データ転送制御線 $DT(i)$ およびリフレッシュ出力制御線 $RC(i)$ を制御する。

[0082] また、液晶表示装置 10 では、画素アレイ 11 は基板（図示せず）上に形成されている。なお、駆動信号発生回路／映像信号発生回路 12、デマルチプレクサ 13、ゲートドライバ／CS ドライバ 14、および制御信号バッファ回路 15 は、上記基板にモノリシックに作り込まれていてもよい。

- [0083] さらに、液晶表示装置 10 では、上記基板に対向する位置に、共通電極（対向電極）COMを備えた対向基板（図示せず）が設けられている。上記基板と対向基板とは、その間に液晶を挟持するように配設されており、それら構成によって液晶パネル（ハイブリットメモリ液晶パネル）（表示パネル）が形成されている。
- [0084] 共通電極COMに印加する共通電圧 V_{com} は、例えば、液晶表示装置 10 に設けた V_{com} ドライバなどから供給してもよいし、駆動信号発生回路／映像信号発生回路 12 内に設けた電源から供給してもよいし、液晶表示装置 10 の外部から直接駆動してもよい。但し、共通電極COMは、上記基板と同一基板上にあってもよい。
- [0085] また、画素メモリ 20 の画素電極は、共通電極COMとの間に液晶を介して液晶容量 C_{lc} を形成している。画素電極と共通電極COMとの電位差に応じた電圧が液晶容量 C_{lc} に印加されることによって、画像表示が行われる。
- [0086] なお、以上の説明から分かるように、駆動信号発生回路／映像信号発生回路 12 およびデマルチプレクサ 13 は、コラムドライバを構成している。また、ゲートドライバ／CSドライバ 14 および制御信号バッファ回路 15 は、ロウドライバを構成している。但し、制御信号バッファ回路 15 や、補助容量線CS(i)を全ライン同時に駆動する場合のCSドライバは、コラムドライバを構成してもよいし、液晶表示装置 10 の外部から直接駆動してもよい。
- [0087] また、以下では、ゲートラインGL(i)、補助容量線CS(i)、データ転送制御線DT(i)、リフレッシュ出力制御線RC(i)、およびソースラインSL(j)を総称する場合は、それぞれ、ゲートラインGL、補助容量線CS、データ転送制御線DT、リフレッシュ出力制御線RC、およびソースラインSLと記す。
- [0088] 上記構成を有する液晶表示装置 10 は、図 2 に示すように、画像を表示するための駆動方法として、「通常モード」と「メモリモード」とを有してい

る。図2に、液晶表示装置10が有する駆動方法の種類を示す。

[0089] 通常モードでは、フレーム毎に供給される多階調ビデオ信号に基づいて多階調で動画・静止画を表示するための交流駆動が行われる。通常モードでは、1フレーム期間に対応する、多階調ビデオ信号を書き込む通常書込期間が繰り返される。

[0090] 図3に、液晶表示装置10における通常モード時の各種信号波形を示すタイミングチャートを示す。図3のタイミングチャートは、画素メモリ20が、480行 m 列のマトリクス状($n=480$)に配置されている場合のものであるが、図面の便宜上、1, 2, および480行目の要素の信号波形を示している。GL1, GL2, およびGL480は、1, 2, および480行目のゲートラインGLの電位をそれぞれ示す。CS1, CS2, およびCS480は、1, 2, および480行目の補助容量線CSの電位をそれぞれ示す。PIX1, PIX2, およびPIX480は、1, 2, および480行目の画素メモリ20の画素電極の電位をそれぞれ示す。また、PIX1, PIX2, およびPIX480の信号波形に重なって示されている点線は、共通電極COMの電位を示す。

[0091] 通常書込期間では、ゲートラインGLの走査によって選択された1行分の画素メモリ20に、ソースラインSLに一齐に出力された多階調ビデオ信号が、線順次で書き込まれる。図3では、1行目を開始行、480行目を終了行として、順次選択する場合を示している。また、通常書込期間では、1H(1水平期間)反転駆動により、画素メモリ20への書き込みが行われる。加えて、CC(Charge Coupling)駆動が行われており、共通電極COMの電位は一定とされるときともに、補助容量線CSの電位は、対応する画素メモリ20のデータ書き込みのタイミングに合わせて、High電位とLow電位との間で反転される。

[0092] なお、通常モードでは、画素メモリ20におけるデータ保持動作は非動作となる。それゆえ、制御信号バッファ回路15によって、データ転送制御線DTの電位およびリフレッシュ出力制御線RCの電位を、画素電極や液晶容

量C1cに影響を与えないようにすることで、メモリ機能を持たない液晶表示装置と同一の機能を、液晶表示装置10で実現することができる。

- [0093] メモリモードでは、画素メモリ20のデータ保持動作により保持された2値のデータに基づいて明暗（白黒）で、静止画など時間変化の少ない画像を表示するための交流駆動が行われる。2値のデータは、High電位およびLow電位のうちいずれかの電位をとるデータ（データ信号）である。メモリモードでは、全ての画素メモリ20に、保持させるデータを行ごとに書き込む全書込期間と、全書込期間で書き込んだデータを一齐にリフレッシュすることで保持するリフレッシュ期間とが設けられている。
- [0094] 図4に、液晶表示装置10におけるメモリモード時の各種信号波形を示すタイミングチャートを示す。図4に示す各種信号は、図3に示す信号と同様のものを示す。
- [0095] 全書込期間では、ゲートラインGLの走査によって選択された1行分の画素メモリ20に、ソースラインSLに一齐に出力された2値のデータが、線順次で書き込まれる。なお、本実施例では、互いに異なるロウの画素メモリ20に対して任意のデータを書き込む際に、画素アレイ11の書き込みアドレスに対応する各ロウを線順次に駆動するため、データを書き込む期間をロウ間でオーバーラップさせることができない。このため、全書込期間において、実際にデータが書き込まれる期間はロウごとに異なっている。図4では、1行目を開始行、480行目を終了行として、順次選択する場合を示している。
- [0096] 但し、全書込期間では、行ごとの画素メモリ20へのデータ書き込み完了のタイミングが異なるように、ゲートラインGLの走査が完了するタイミングが順にずれているような走査であれば、ゲートラインGLを走査するタイミングは異なる行で同時でも構わない。例えば、1行飛ばしの2行ずつゲートラインGLをスキャンする方式を用いてもよく、この方式の場合、行ごとに走査のタイミングが重なる場合もあるが、データ書き込み完了の走査のタイミングが異なる。

- [0097] また、全書込期間では、1 V（1 垂直期間）反転駆動が行われており、全ての液晶容量 C_{l c} への印加電圧の極性は同じである。画素電極へのデータ書き込みの際に、共通電極 COM の電位および補助容量線 CS の電位は、High 電位および Low 電位のうちのいずれか一方に固定される（図では Low 電位）。
- [0098] リフレッシュ期間は、全書込期間で全ての画素メモリ 20 へのデータの書き込みが終了した後に、全ての画素メモリ 20 に対して一齐に開始される。すなわち、全ての画素メモリ 20 は、同時にリフレッシュ動作を行う。リフレッシュ期間では、全書込期間に画素メモリ 20 に書き込まれたデータが、少なくとも 1 回リフレッシュされ、その際、電位レベルが反転される（High → Low、Low → High）。共通電極 COM の電位は、データのリフレッシュに応じて、High 電位と Low 電位との間で反転される。補助容量線 CS の電位は、Low で固定される。
- [0099] なお、メモリモードにおいては、リフレッシュ期間は何回繰り返してもよい。例えば、図 2 に示すようにリフレッシュ期間を設けた例においては、メモリモードでは、通常モードと比較して、所定の期間あたりの書き込み回数が 1/4 となる。
- [0100] また、メモリモードでは、画素メモリ 20 には 2 値のデータが書き込まれるので、色が割り当てられていない場合は白黒の表示となるが、カラーフィルタなどによって色が割り当てられている場合は、2 に対して色用の別画素数の累乗の色数で表示が行われる。例えば、R（赤）・G（緑）・B（青）がそれぞれ割り当てられた複数の画素メモリ 20 によって 1 画素が構成されている場合、2 に対して 3 累乗 = 8 であるので、8 色で表示が行われる。
- [0101] ここで、注目すべきことの 1 つに、メモリモード時の画素メモリ 20 のデータ保持動作がある。そこで次に、画素メモリ 20 のデータ保持動作の概念について説明し、その後、画素メモリ 20 の具体的な構成およびデータ保持動作を説明する。なお、説明の便宜上、画素アレイ 11 上のある 1 つの画素メモリ 20 を例示して説明するが、各画素メモリ 20 は同一の機能を有して

いる。

- [0102] 図5に、画素メモリ20の概念的な構成を示す。図5に示すように、画素メモリ20は、スイッチ回路SW1、第1データ保持部DS1、データ転送部TS1、第2データ保持部DS2、リフレッシュ出力制御部RS1、および供給源VS1（電位供給源）を備えている。
- [0103] スイッチ回路SW1は、ゲートドライバ/CSドライバ14によりゲートラインGLを介して駆動されることによって、ソースラインSLと第1データ保持部DS1との間の導通と遮断とを選択的に行う。
- [0104] 第1データ保持部DS1は、第1データ保持部DS1に入力される2値のデータを保持する。
- [0105] データ転送部TS1は、制御信号バッファ回路15によりデータ転送制御線DTを介して駆動されることによって、第1データ保持部DS1に保持されている2値のデータを、第1データ保持部DS1が保持したまま第2データ保持部DS2へ転送する転送動作と、上記転送動作を行わない非転送動作とを選択的に行う。なお、データ転送制御線TS1に供給される電位は全画素メモリ20に共通であるので、データ転送制御線DTは必ずしもロウごとに設けられて制御信号バッファ回路15によって駆動される必要はなく、ゲートドライバ/CSドライバ14やその他のものによって駆動されてもよい。
- [0106] 第2データ保持部DS2は、第2データ保持部DS2に入力される2値のデータを保持する。
- [0107] リフレッシュ出力制御部RS1は、制御信号バッファ回路15によりリフレッシュ出力制御線RCを介して駆動されることによって、第1の動作を行う状態または第2の動作を行う状態に選択的に制御される。なお、リフレッシュ出力制御線RCに供給される電位は全画素メモリ20に共通であるので、リフレッシュ出力制御線RCは必ずしもロウごとに設けられて制御信号バッファ回路15によって駆動される必要はなく、ゲートドライバ/CSドライバ14やその他のものによって駆動されてもよい。

- [0108] 第1の動作は、第2データ保持部DS2に保持されている2値のデータがHigh電位であるかLow電位であるかという制御情報に応じて、リフレッシュ出力制御部RS1への入力を取り込んでリフレッシュ出力制御部RS1の出力として第1データ保持部DS1に供給するアクティブ状態となるか、リフレッシュ出力制御部RS1の出力を停止する非アクティブ状態となるかを選択する動作である。第2の動作は、上記制御情報に関わらずリフレッシュ出力制御部RS1の出力を停止する動作である。
- [0109] 供給源VS1は、リフレッシュ出力制御部RS1の入力に、設定された電位の供給を行う。
- [0110] 図6は、画素メモリ20におけるメモリモード時のデータ保持動作を示す図であり、(a)は全書込期間T1のデータ遷移を示し、(b)～(h)はリフレッシュ期間T2のデータ遷移を示す。図6では、High電位(第1の電位)として「H」を、Low電位(第2の電位)として「L」を、それぞれ示してある。また、上下に「H」および「L」が並んで記載されている箇所は、上段が画素メモリ20に「H」を書き込む場合の電位の遷移状態を、下段が画素メモリ20に「L」を書き込む場合の電位の遷移状態をそれぞれ示す。
- [0111] メモリモードにおいては、まず、全書込期間T1から開始される。
- [0112] 全書込期間T1においては、図6の(a)に示すように、ゲートラインGLによってスイッチ回路SW1がON状態とされ、ソースラインSLからスイッチ回路SW1を介して第1データ保持部DS1に、第1の電位と第2の電位とのいずれかで表される保持対象のデータが入力される。
- [0113] 第1データ保持部DS1にデータが入力されると、ゲートラインGLによってスイッチ回路SW1はOFF状態とされる。またこのとき、データ転送制御線DTによってデータ転送部TS1がON状態すなわち転送動作する状態とされ、第1データ保持部DS1に入力されたデータは保持されたまま、第1データ保持部DS1からデータ転送部TS1を介して第2データ保持部DS2にデータが転送される。第2データ保持部DS2にデータが転送され

ると、データ転送部TS1はOFF状態すなわち非転送動作を行う状態とされる。

[0114] 次いで、全書込期間T1の後に、リフレッシュ期間T2が開始される。

[0115] リフレッシュ期間T2においては、まず、図6の(b)に示すように、ソースラインSLに第1の電位のデータを出力しておく。

[0116] そして、図6の(c)に示すように、ゲートラインGLによってスイッチ回路SW1がON状態とされ、ソースラインSLからスイッチ回路SW1を介して第1データ保持部DS1に、第1の電位のデータが入力される。第1データ保持部DS1に第1の電位のデータが入力されると、ゲートラインGLによってスイッチ回路SW1はOFF状態とされる。

[0117] 続いて、図6の(d)に示すように、リフレッシュ出力制御線RCによって、リフレッシュ出力制御部RS1は第1の動作を行う状態に制御される。リフレッシュ出力制御部RS1の第1の動作は、このときに第2データ保持部DS2に、第1の電位のデータおよび第2の電位のデータのうちのいずれが保持されているかを表す制御情報に応じて異なる。

[0118] すなわち、第2データ保持部DS2に第1の電位のデータが保持されている場合には、リフレッシュ出力制御部RS1は、第2データ保持部DS2に第1の電位のデータが保持されていることを示す第1の制御情報が、第2データ保持部DS2からリフレッシュ出力制御部RS1に伝達されることによりアクティブ状態となり、リフレッシュ出力制御部RS1への入力を取り込んでリフレッシュ出力制御部RS1の出力として、第1データ保持部DS1に供給する動作を行う。

[0119] リフレッシュ出力制御部RS1がこの第1の動作を行うとき、供給源VS1の電位は、第1の制御情報がリフレッシュ出力制御部RS1に伝達されている期間において少なくとも最終的にはリフレッシュ出力制御部RS1の入力に第2の電位のデータを供給することができるように、設定されている。この場合には、第1データ保持部DS1は、それまで保持していたデータに上書きされる状態で、リフレッシュ出力制御部RS1から供給された第2の

電位のデータを保持する。

[0120] 一方、第2データ保持部DS2に第2の電位のデータが保持されている場合には、リフレッシュ出力制御部RS1は非アクティブ状態となり、第2データ保持部DS2に第2の電位のデータが保持されていることを示す第2の制御情報が、第2データ保持部DS2からリフレッシュ出力制御部RS1に伝達されることにより、出力を停止した状態（図中「×」で示す）となる。この場合には、第1データ保持部DS1は、それまで保持していた第1の電位のデータを保持し続ける。

[0121] その後、リフレッシュ出力制御線RCによって、リフレッシュ出力制御部RS1は第2の動作を行う状態に制御される。

[0122] リフレッシュ期間T2では、続いて、図6の(e)に示すように、データ転送制御線DTによってデータ転送部TS1が転送動作する状態とされ、それまで第1データ保持部DS1に保持されていたデータは、第1データ保持部DS1に保持されたまま、第1データ保持部DS1からデータ転送部TS1を介して第2データ保持部DS2に転送される。第1データ保持部DS1から第2データ保持部DS2にデータが転送されると、データ転送部TS1はOFF状態すなわち非転送動作を行う状態とされる。

[0123] 続いて、図6の(f)に示すように、ゲートラインGLによってスイッチ回路SW1がON状態とされ、ソースラインSLからスイッチ回路SW1を介して第1データ保持部DS1に、第1の電位のデータが入力される。第1データ保持部DS1に第1の電位のデータが入力されると、ゲートラインGLによってスイッチ回路SW1はOFF状態とされる。

[0124] 続いて、図6の(g)に示すように、リフレッシュ出力制御線RCによってリフレッシュ出力制御部RS1が第1の動作を行う状態に制御される。第2データ保持部DS2に第1の電位のデータが保持されている場合には、リフレッシュ出力制御部RS1はアクティブ状態となり、供給源VS1から供給される第2の電位のデータを第1データ保持部DS1に供給する動作を行う。

- [0125] この場合には、第1データ保持部DS1は、それまで保持していたデータに上書きされる状態で、リフレッシュ出力制御部RS1から供給された第2の電位のデータを保持する。一方、第2データ保持部DS2に第2の電位のデータが保持されている場合には、リフレッシュ出力制御部RS1は非アクティブ状態となり、出力を停止した状態となる。この場合には、第1データ保持部DS1はそれまで保持していた第1の電位のデータを保持し続ける。その後、リフレッシュ出力制御線RCによって、リフレッシュ出力制御部RS1が第2の動作を行う状態に制御され、出力を停止した状態となる。
- [0126] 続いて、図6の(h)に示すように、データ転送制御線DTによってデータ転送部TS1が転送動作する状態とされ、それまで第1データ保持部DS1に保持されていたデータは、第1データ保持部DS1に保持されたまま、第1データ保持部DS1からデータ転送部TS1を介して第2データ保持部DS2に転送される。第1データ保持部DS1から第2データ保持部DS2にデータが転送されると、データ転送部TS1はOFF状態すなわち非転送動作を行う状態とされる。
- [0127] 上記の一連の動作により、図6の(h)では、第1データ保持部DS1および第2データ保持部DS2において、図6の(a)の全書込期間T1で書き込んだデータが復元される。ゆえに、図6の(h)の後に図6の(b)~(h)までの動作を任意数繰り返しても、全書込期間T1で書き込んだデータが同様に復元される。
- [0128] 全書込期間T1に第1の電位のデータ(ここでは「H」)が書き込まれた場合は、図6の(d)と図6の(f)とで1回ずつ反転されてリフレッシュされることにより、第1の電位のデータに復元される。一方、全書込期間T1に第2の電位のデータ(ここでは「L」)が書き込まれた場合は、図6の(c)と図6の(g)とで1回ずつ反転されてリフレッシュされることにより、第2の電位のデータに復元される。
- [0129] よって、メモリモードでは、保持したデータで、画面をリフレッシュしながら静止画表示を行うことが可能となる。なお、第1の電位をLow、第2

の電位をHighとする場合には、上述の動作論理を反転させればよい。

[0130] また、リフレッシュの際、図6の(c)・(f)のようにソースラインSLから第1データ保持部DS1に第1の電位のデータを供給するとともに、図6の(d)・(g)のようにリフレッシュ出力制御部RS1が供給源VS1から第1データ保持部DS1に第2の電位のデータを供給するようにしたので、リフレッシュ動作を行うのに従来のようなインバータを備える必要がない。

[0131] すなわち、液晶表示装置10によれば、各画素メモリ20に対して、第1データ保持部DS1にデータを書き込んだ後に、インバータを用いることなく、第1の電位および第2の電位のうちの一方のデータをソースラインSLから供給し、他方のデータを供給源VS1から供給することによって、画素メモリ20に書き込んだデータを、電位レベルを反転させながらリフレッシュすることができる。

[0132] そして、リフレッシュされた状態では、第1データ保持部DS1と第2データ保持部DS2とのデータが互いに等しいため、データ転送部TS1に転送動作を行わせても第1データ保持部DS1および第2データ保持部DS2の電位に変化がない。これにより、リフレッシュしたデータを、データ転送部TS1を転送動作する状態にしなから第1データ保持部DS1と第2データ保持部DS2との両方で長時間保持することが可能になる。このとき、第1データ保持部DS1と第2データ保持部DS2とがデータ転送部TS1を介して接続されているので、データ転送部TS1の転送素子にオフリーク電流が存在することはデータの保持とは無関係になる。また、データは、全体として第1データ保持部DS1と第2データ保持部DS2との和で表される大きな電気容量に保持されている状態となり、外部からのノイズの影響によってもデータの電位は変動しにくい。

[0133] したがって、データ転送部TS1に用いられる転送素子にオフリーク電流が存在しても、第2データ保持部DS2のデータを保持する保持ノードの電位は、第1データ保持部DS1の保持ノードの電位とともに長時間保持され

るために変動しにくい。従来の画素メモリでは、図12に期間 t_{105} および期間 t_{109} で示すように、リフレッシュされた状態では、第1データ保持部DS101と第2データ保持部DS102とがデータ転送部TS100の転送素子（トランジスタN101）によって電氣的に分離された状態で互いに異なるデータを保持する時間が長かったため、転送素子のオフリーク電流が第2データ保持部DS102の電位に大きな影響を与えていた。

[0134] また、第2データ保持部DS2の保持ノードの電位が変動したとしても、第1の動作を行っているリフレッシュ出力制御部RS1に対する制御情報が、アクティブレベルと非アクティブレベルとの間で入れ替わってしまうほど変動時間は長くない。

[0135] また、仮にリフレッシュ出力制御部RS1にインバータが存在していると仮定した場合には、インバータが動作するアクティブレベルとしてHighレベルとLowレベルという2つの相補的なレベルが存在するため、第2データ保持部DS2の電位がインバータに同じ動作を安定に維持させるレベルとして存在し得る範囲は狭い。例えば、第2データ保持部DS2の電位をLowレベルとして、Pチャネル型トランジスタがON状態、Nチャネル型トランジスタがOFF状態となるようにインバータを動作させているときに、Pチャネル型トランジスタのゲート電位が少し上昇すると、Nチャネル型トランジスタが導通する危険性がある。しかし、この状況を回避するためにNチャネル型トランジスタの閾値電圧を大きく設計すると、Pチャネル型トランジスタがOFF状態、Nチャネル型トランジスタがON状態となるように動作させたいときに、Highレベルがアクティブレベルとして機能する範囲が狭くなってしまふ。

[0136] これに対して、本実施形態ではリフレッシュ出力制御部RS1のアクティブレベルは、第1の電位と第2の電位とのいずれか一方であるので、リフレッシュ出力制御部RS1に対する制御情報が非アクティブレベルとして存在する範囲を広く取ることにより、非アクティブレベルがアクティブレベルへ変動する危険性は小さくなる。一方、アクティブレベルは、リフレッシュ出

力制御部RS1の第1の動作におけるアクティブ状態の初期に機能すれば、供給源VS1から第1データ保持部DS1への出力の目的は容易に達成されるため、最終的に非アクティブレベルへ変動したとしても、リフレッシュ出力制御部RS1の誤動作を招来しにくい。

[0137] よって、第2データ保持部DS2の保持ノードの電位が変動したとしても、リフレッシュ出力制御部RS1が誤動作してしまわないようなマージンの大きい設計を容易に行うことができる。これは例えば、リフレッシュ出力制御部RS1への制御情報がトランジスタのゲートに入力される場合を挙げると、当該トランジスタの閾値電圧を大きくして、非アクティブレベルとなるべき第2データ保持部DS2の電位が変動しても、ゲート・ソース間電圧がトランジスタの閾値電圧を越えにくいような設計を行うことに相当する。

[0138] さらに、第2データ保持部DS2の保持ノードの電位が変動しても、リフレッシュ出力制御部RS1が第2の動作を行っていれば、誤動作は起こらない。

[0139] したがって、2つの保持部の間で2値のデータの転送を行う転送部に用いられる転送素子にオフリーク電流が存在しても、一方の保持部が保持するデータに基づいてリフレッシュ動作を行う回路に、消費電流の増加や誤動作のない本来の動作を適切に行わせることが可能となる。

[0140] 次に、画素メモリ20の具体的な構成およびデータ保持動作を、実施例を挙げて順に説明する。

[0141] 図7に、本実施例の画素メモリ20の構成の一例を、等価回路としてのメモリ回路MR1で示す。図7に示すように、メモリ回路MR1は、トランジスタN1、トランジスタN2、トランジスタN3（第1スイッチ）、トランジスタN4（第2スイッチ）、容量Ca1（第1容量）、および容量Cb1（第2容量）を備えている。

[0142] また、画素アレイ11には、メモリ回路MR1を駆動する配線として、ソースラインSL、ゲートラインGL、補助容量線CS、データ転送制御線DT、および、リフレッシュ出力制御線RCが設けられている。

- [0143] なお、図7に示すメモリ回路MR1において、図5に示した構成は次のようにそれぞれ対応する。すなわち、トランジスタN1が、スイッチ回路SW1を構成している。容量Ca1が、第1データ保持部DS1を構成している。トランジスタN2が、転送素子となり、データ転送部TS1を構成している。容量Cb1が、第2データ保持部DS2を構成している。トランジスタN3およびトランジスタN4が、リフレッシュ出力制御部RS1を構成している。ゆえに、メモリ回路MR1は、スイッチ回路SW1（第1スイッチ回路）、第1データ保持部DS1、データ転送部TS1（第2スイッチ回路）、第2データ保持部DS2、および、リフレッシュ出力制御部RS1（制御部、第3スイッチ回路）を備えている、とも勿論言える。
- [0144] トランジスタN1～N4は、Nチャネル型のTFET（電界効果トランジスタ）である。これにより、図7では、メモリ回路MR1を構成する全てのトランジスタがNチャネル型のTFETからなるので、メモリ回路MR1はアモルファスシリコン中にも作り込みやすい。
- [0145] ここで、上記のTFETのような電界効果型トランジスタの、一方のドレイン／ソース端子を第1のドレイン／ソース端子と呼び、他方のドレイン／ソース端子を第2のドレイン／ソース端子と呼ぶものとする。
- [0146] トランジスタN1は、ゲート端子がゲートラインGLに、第1のドレイン／ソース端子がソースラインSLに、第2のドレイン／ソース端子が容量Ca1の一端であるノードPIXに、それぞれ接続されている。容量Ca1の他端は、補助容量線CSに接続されている。トランジスタN1がON状態であるときは、スイッチ回路SW1は導通状態となり、トランジスタN1がOFF状態であるときは、スイッチ回路SW1は遮断状態となる。
- [0147] トランジスタN2は、ゲート端子がデータ転送制御線DTに、第1のドレイン／ソース端子がノードPIXに、第2のドレイン／ソース端子が容量Cb1の一端であるノードMRYに、それぞれ接続されている。容量Cb1の他端は、補助容量線CSに接続されている。トランジスタN2がON状態であるときは、データ転送部TS1は転送動作する状態となり、トランジスタ

N2がOFF状態であるときは、データ転送部TS1は非転送動作を行う状態となる。換言すると、トランジスタN2がON状態であるときは、ノードPIXとノードMRYとが導通する状態となり、トランジスタN2がOFF状態であるときは、ノードPIXとノードMRYとは遮断される状態となる。

[0148] トランジスタN3は、ゲート端子がリフレッシュ出力制御部RS1の制御端子CNT1としてノードMRYに、第1のドレイン/ソース端子がリフレッシュ出力制御部RS1の入力端子IN1としてデータ転送制御線DTに、第2のドレイン/ソース端子がトランジスタN4の第1のドレイン/ソース端子に、それぞれ接続されている。トランジスタN3は、ノードMRYに保持されている電位を導通遮断の制御信号とする。

[0149] トランジスタN4は、ゲート端子がリフレッシュ出力制御線RCに、第2のドレイン/ソース端子はリフレッシュ出力制御部RS1の出力端子OUT1としてノードPIXに、それぞれ接続されている。すなわち、トランジスタN3とトランジスタN4とは、リフレッシュ出力制御部RS1の入力とリフレッシュ出力制御部RS1の出力との間に、トランジスタN3がリフレッシュ出力制御部RS1の入力側に配置されるように、互いに直列に接続されている。トランジスタN4は、リフレッシュ出力制御線RCの電位を導通遮断の制御信号とする。

[0150] なお、トランジスタN3とトランジスタN4との互いの接続位置は、上記例の場合と入れ替わってもよく、トランジスタN3とトランジスタN4とは、リフレッシュ出力制御部RS1の入力とリフレッシュ出力制御部RS1の出力との間で互いに直列に接続されていれよい。

[0151] トランジスタN4がON状態であるときに、リフレッシュ出力制御部RS1は第1の動作を行う状態に制御され、トランジスタN4がOFF状態であるときに、リフレッシュ出力制御部RS1は第2の動作を行う状態に制御される。トランジスタN3はNチャンネル型であるので、リフレッシュ出力制御部RS1が第1の動作を行うときに、アクティブ状態となる制御情報すなわ

ちアクティブレベルはHigh、非アクティブ状態となる制御情報すなわち非アクティブレベルはLowである。換言すると、トランジスタN3・N4がON状態であるときは、ノードPIXとデータ転送制御線DTとが導通する状態となり、トランジスタN3・N4がOFF状態であるときは、ノードPIXとデータ転送制御線DTとは遮断される状態となる。

[0152] 容量Ca1は、容量Cb1よりも容量値が大きくなるように設定されている。例えば、容量Ca1および容量Cb1の各容量値は、後述のように容量Ca1と容量Cb1との間で電荷の移動が生じるときに、ノードPIX（画素電極）の電位変動が、データの電位（High電位およびLow電位）に影響を与えないように設定される。

[0153] また、メモリ回路MR1では、ノードPIXと共通電極COMとの間に、液晶容量C1cが接続されている。ノードPIXは画素電極に相当し、容量Ca1は画素メモリ20の補助容量としても機能する。

[0154] 図8に、上記構成を有するメモリ回路MR1の、メモリモード時の各種信号波形を示すタイミングチャートを示す。

[0155] 図8では、全書込期間T1に、第1の電位のデータとしてのHighのデータが書き込まれる場合を示している。また、図8の下方に、図6の(a)～(h)に対応する各期間におけるノードPIXの電位（左側）およびノードMRYの電位（右側）を併せて示した。なお、図8は、最初に走査される行の要素の信号波形を示すが、上述のようにリフレッシュ動作は全行で同時に行われるので、リフレッシュ期間T2の信号波形は全行で共通して起こる。

[0156] データ保持動作は、液晶表示装置10の外部から伝送ラインを介して駆動信号発生回路／映像信号発生回路12に、表示データとデータ保持命令とが入力され、命令を解釈してメモリモードとなることにより行われる。駆動信号発生回路／映像信号発生回路12は、表示データに基づいて画素アレイ11に供給する2値のデータを生成し、出力信号線vd(k)およびデマルチプレクサ13を介してソースラインSLを制御する。また同時に、駆動信号

発生回路／映像信号発生回路 12 は、メモリモードに沿った信号 s_2 、 s_3 を生成し、ゲートドライバ／CS ドライバ 14 および制御信号バッファ回路 15 を制御する。

[0157] ゲートドライバ／CS ドライバ 14 および制御信号バッファ回路 15 は、駆動信号発生回路／映像信号発生回路 12 から供給される信号 s_2 、 s_3 に従って、ゲートライン GL 、補助容量線 CS 、データ転送制御線 DT 、および、リフレッシュ出力制御線 RC を制御する。

[0158] ゲートライン GL には、ゲートドライバ／CS ドライバ 14 から、 $High$ （アクティブレベル）と Low （非アクティブレベル）とからなる 2 値レベルの電位が印加される。データ転送制御線 DT およびリフレッシュ出力制御線 RC には、制御信号バッファ回路 15 から、 $High$ と Low とからなる 2 値レベルの電位が印加される。上記 $High$ および Low のレベルについては、上記の各ライン・線に個別に設定されてもよい。補助容量線 CS は、ゲートドライバ／CS ドライバ 14 によって、一定の電位に固定される。

[0159] ソースライン SL には、デマルチプレクサ 13 から、ゲートライン GL の $High$ 電位よりも低い $High$ と Low とからなる 2 値のデータ（データ信号電位）が出力される。データ転送制御線 DT の $High$ 電位は、ソースライン SL の $High$ 電位とゲートライン GL の $High$ 電位とのいずれかに等しく、データ転送制御線 DT の Low 電位は、上記 2 値のデータの Low 電位に等しい。

[0160] 全書込期間 T_1 は、順に連続する期間 t_1 および期間 t_2 からなる。

[0161] 全書込期間 T_1 において、期間 t_1 では、ゲートライン GL およびデータ転送制御線 DT の電位がともに $High$ となる。リフレッシュ出力制御線 RC の電位は Low である。これによりトランジスタ $N_1 \cdot N_2$ が ON 状態になるため、スイッチ回路 SW_1 は導通状態、データ転送部 TS_1 は転送動作する状態となり、ノード P_{IX} にソースライン SL に供給された第 1 のデータ（ここでは $High$ とする）が書き込まれる。

[0162] 続いて期間 t_2 では、ゲートライン GL の電位が Low となる一方、デー

タ転送制御線DTの電位はHighを持続する。リフレッシュ出力制御線RCの電位はLowである。これにより、トランジスタN1がOFF状態になるため、スイッチ回路SW1は遮断状態になる。また、トランジスタN2がON状態を持続するため、データ転送部TS1は転送動作する状態を維持する。よって、ノードPIXからノードMRYに第1の電位のデータが転送されるとともに、ノードPIX・MRYはソースラインSLから切り離される。この期間t1～期間t2の過程は、図6の(a)の状態に相当する。

[0163] なお、全書込期間T1において、期間t1の開始時刻twは、ロウごとに異なる。これは、上述のように、異なるロウのメモリ回路MR1のスイッチ回路SW1を同時にON状態にして、データを書き込む期間をロウ間でオーバーラップさせることができないためである。但し、全書込期間T1では、行ごとの期間t1の終了タイミングを異なるように設定すれば、期間t1をロウ間でオーバーラップさせてもよい。また、期間t2は、他のロウの書き込みが行われている期間とも言える。

[0164] 次いで、リフレッシュ期間T2が、全てのメモリ回路MR1において時刻trから一斉に開始される。リフレッシュ期間T2では、ソースラインSLの電位は、第1の電位のデータのデータ電位であるHighとされる。

[0165] リフレッシュ期間T2は、順に連続する期間t3～t14を有している。

[0166] リフレッシュ期間T2において、期間t3では、ゲートラインGLの電位がLowとなり、データ転送制御線DTの電位がLowとなり、リフレッシュ出力制御線RCの電位がLowとなる。これによりトランジスタN2がOFF状態となるため、データ転送部TS1は非転送動作を行う状態となり、ノードPIXとノードMRYとは互いに切り離される。ノードPIXとノードMRYとには、ともにHighが保持される。この期間t3の過程は、図6の(b)の状態に相当する。

[0167] 続いて期間t4では、ゲートラインGLの電位がHighとなり、データ転送制御線DTの電位がLowを持続し、リフレッシュ出力制御線RCの電位がLowを持続する。これによりトランジスタN1がON状態となるため

、スイッチ回路SW1が導通状態となり、ノードPIXにソースラインSLから再びHigh電位が書き込まれる。

[0168] 期間t5では、ゲートラインGLの電位がLowとなり、データ転送制御線DTの電位がLowを持続し、リフレッシュ出力制御線RCの電位がLowを持続する。これによりトランジスタN1がOFF状態となるため、スイッチ回路SW1が遮断状態となり、ノードPIXは、ソースラインSLから切り離されてHighを保持する。この期間t4～期間t5の過程は、図6の(c)の状態に相当する。

[0169] 期間t6では、ゲートラインGLの電位がLowを持続し、データ転送制御線DTの電位がLowを持続し、リフレッシュ出力制御線RCの電位がHighになる。これによりトランジスタN4がON状態になり、リフレッシュ出力制御部RS1は第1の動作を行う。また、ノードMRYの電位がHighであることからトランジスタN3はON状態であるので、リフレッシュ出力制御部RS1がアクティブ状態となり、データ転送制御線DTからトランジスタN3・N4を介してノードPIXにLow電位が供給される。つまり、データ転送制御線DTは、図5における供給源VS1を兼ねている。

[0170] 期間t7では、ゲートラインGLの電位がLowを持続し、データ転送制御線DTの電位がLowを持続し、リフレッシュ出力制御線RCの電位がLowになる。これによりトランジスタN4がOFF状態になるので、リフレッシュ出力制御部RS1は第2の動作を行う状態となり、ノードPIXは、データ転送制御線DTから切り離されてLowを保持する。この期間t6～期間t7の過程は、図6の(d)の状態に相当する。

[0171] 期間t8では、ゲートラインGLの電位がLowを持続し、データ転送制御線DTの電位がHighになり、リフレッシュ出力制御線RCの電位がLowを持続する。これによりトランジスタN2がON状態となるため、データ転送部TS1が転送動作する状態となる。このとき、容量Ca1と容量Cb1との間で電荷の移動が起こり、ノードPIXおよびノードMRYの両方の電位がLowとなる。ノードPIXの電位は、容量Cb1からトランジス

タN2を介して容量Ca1に正電荷が移動することにより、若干の電圧 ΔV_x だけ上昇するが、Lowの電位範囲内にある。

[0172] この期間t8は、リフレッシュされたデータを、データ転送部TS1を介して互いに接続された第1データ保持部DS1と第2データ保持部DS2との両方によって保持する期間であり、長く設定することが可能である。

[0173] 期間t9では、ゲートラインGLの電位がLowを持続し、データ転送制御線DTの電位がLowになり、リフレッシュ出力制御線RCの電位がLowを持続する。これによりトランジスタN2がOFF状態となるため、データ転送部TS1が非転送動作を行う状態となり、ノードPIXとノードMRYとは互いに切り離される。ノードPIXとノードMRYとは、ともにLowが保持される。この期間t8～期間t9の上記過程は、図6の(e)の状態に相当する。

[0174] 期間t10では、ゲートラインGLの電位がHighになり、データ転送制御線DTの電位がLowを持続し、リフレッシュ出力制御線RCの電位がLowを持続する。これによりトランジスタN1がON状態となるため、スイッチ回路SW1は導通状態となり、ノードPIXにソースラインSLから再びHigh電位が書き込まれる。

[0175] 期間t11では、ゲートラインGLの電位がLowになり、データ転送制御線DTの電位がLowを持続し、リフレッシュ出力制御線RCの電位がLowを持続する。これによりトランジスタN1がOFF状態となるため、スイッチ回路SW1は遮断状態となり、ノードPIXは、ソースラインSLから切り離されてHighを保持する。この期間t10～期間t11の過程は、図6の(f)の状態に相当する。

[0176] 期間t12では、ゲートラインGLの電位がLowを持続し、データ転送制御線DTの電位がLowを持続し、リフレッシュ出力制御線RCの電位がHighになる。これによりトランジスタN4がON状態になるため、リフレッシュ出力制御部RS1は第1の動作を行う状態となる。また、ノードMRYの電位がLowであることからトランジスタN3はOFF状態であるの

で、リフレッシュ出力制御部RS1は非アクティブ状態となり、出力を停止した状態となる。ゆえに、ノードPIXはHighを保持したままとなる。

[0177] 期間t13では、ゲートラインGLの電位がLowを持続し、データ転送制御線DTの電位がLowを持続し、リフレッシュ出力制御線RCの電位がLowになる。これによりトランジスタN4はOFF状態となるため、リフレッシュ出力制御部RS1は第2の動作を行う状態となり、ノードPIXはHighを保持する。この期間t12～期間t13の上記過程は、図6の(g)の状態に相当する。

[0178] 期間t14では、ゲートラインGLの電位がLowを持続し、データ転送制御線DTの電位がHighになり、リフレッシュ出力制御線RCの電位がLowを持続する。これによりトランジスタN2がON状態となるため、データ転送部TS1は転送動作する状態となる。このとき、容量Ca1と容量Cb1との間で電荷の移動が起こり、ノードPIXおよびノードMRYの両方の電位がHighとなる。ノードPIXの電位は、容量Ca1からトランジスタN2を介して容量Cb1に正電荷が移動することにより、若干の電圧 ΔV_y だけ低下するが、Highの電位範囲内にある。この期間t14の過程は、図6の(h)の状態に相当する。

[0179] この期間t14は、リフレッシュされたデータを、データ転送部TS1を介して互いに接続された第1データ保持部DS1と第2データ保持部DS2との両方によって保持する期間であり、長く設定することが可能である。

[0180] 以上の動作により、期間t14では、ノードPIXおよびノードMRYにおいて、全書込期間T1の期間t1で書き込んだデータが復元される。ノードPIXの電位は、期間t1～t5および期間t10～t14でHigh、期間t6～t9でLowとなり、ノードMRYの電位は、期間t1～t7および期間t14でHigh、期間t8～t13でLowとなる。

[0181] この後、リフレッシュ期間T2を継続する場合には、駆動信号発生回路／映像信号発生回路12は、期間t3～期間t14の動作を繰り返す。新たなデータの書き込みを行う場合は、駆動信号発生回路／映像信号発生回路12

は、書き込み動作を行うように制御して、リフレッシュ期間 T2 を終了する。

[0182] このように、液晶表示装置 10 によれば、メモリ回路 MR1 に対して、第 1 データ保持部 DS1 にデータを書き込んだ後に、インバータを用いることなく、第 1 の電位のデータをソースライン SL から供給し、第 2 の電位のデータをデータ転送制御線 DT から供給することによって、画素メモリ 20 に書き込んだデータを、レベル反転させながらリフレッシュすることができる。

[0183] ここで、液晶は AC 的に極性を反転させない場合、焼きつきや液晶の劣化を引き起こすため、液晶に電圧を印加する場合および印加させない場合でも、液晶に印加させる電圧の絶対値を同じにしながら極性を反転させる必要がある。それゆえ、共通電極 COM の電位は、図 8 に示すように、ゲートライン GL の電位が High となってトランジスタ N1 が ON 状態となるごとに、High と Low との間で反転するように駆動される。このように、共通電極 COM を 2 値レベルに反転交流駆動することにより、液晶容量 C_{lc} を正極性と負極性とに交流駆動しながら、明暗を表示することができる。

[0184] また、一例として、共通電極 COM の電位 V_{com} の High および Low 電位は、2 値のデータの High および Low 電位にそれぞれ等しいとすると、(データ、V_{com}) = (H、H)、(L、H)、(H、L)、(L、L) とすることで、負の黒、負の白、正の白、正の黒、の 4 通りの階調表示が可能となる。よって、ノード PIX の電位がリフレッシュされるごとに、表示階調をほぼ維持したまま液晶印加電圧の向きが反転するように液晶が駆動されることになり、液晶印加電圧の実効値が正負で一定となる液晶の交流駆動が可能になる。

[0185] また、図 8 に例示するように、共通電極 COM の電位レベルの反転は、スイッチ回路 SW1 が導通している期間にのみに行っている。これによれば、共通電極 COM に供給される 2 値レベルが、画素電極 (ノード PIX) がスイッチ回路 SW1 を介してソースライン SL に接続されている期間にのみ反

転するので、画素電極電位がソースラインSLの電位に固定された状態で共通電極電位が反転する。よって、保持中の画素電極電位、特にリフレッシュ期間における画素電極電位が、ノードPIXがフローティングの際に共通電極電位の反転によって受けるような変動を受けずに済む。

[0186] なお、図6の(a)～(h)は画素メモリ20の状態遷移を表すものであったが、図8におけるメモリ回路MR1の動作ステップとしては、以下のよう
に区分することができる。

[0187] (1) ステップA (期間t1～期間t2 (全書込期間T1))

ステップAでは、駆動信号発生回路/映像信号発生回路12およびデマルチプレクサ13からソースラインSLに第1の電位のデータまたは第2の電位のデータを供給した状態、かつ、リフレッシュ出力制御部RS1に第2の動作を行わせた状態としてスイッチ回路SW1を導通させることにより画素メモリ20に上記データを書き込み、画素メモリ20に上記データが書き込まれた状態、かつ、リフレッシュ出力制御部RS1に第2の動作を行わせた状態としてデータ転送部TS1によって転送動作を行う。

[0188] (2) ステップB (期間t3～期間t4と期間t9～期間t10とのそれぞれ)

ステップBでは、ステップAに続いて、リフレッシュ出力制御部RS1に第2の動作を行わせた状態、かつ、データ転送部TS1に非転送動作を行わせた状態としてスイッチ回路SW1を導通させることにより、リフレッシュ出力制御部RS1をアクティブ状態とする制御情報に相当するレベルと同じ電位のデータをソースラインSLを介して第1データ保持部DS1に入力する。

[0189] (3) ステップC (期間t5～期間t6と期間t11～期間t12とのそれぞれ)

ステップCでは、ステップBに続いて、スイッチ回路SW1を遮断した状態、かつ、データ転送部TS1に非転送動作を行わせた状態としてリフレッシュ出力制御部RS1によって第1の動作を行うとともに、第1の動作の終

了時には供給源V S 1からリフレッシュ出力制御部R S 1の入力にリフレッシュ出力制御部R S 1をアクティブ状態とする制御情報に相当するレベルの反転レベルのデータを供給している状態とする。

[0190] (4) ステップD (期間 t 7 ~ 期間 t 8 と期間 t 13 ~ 期間 t 14 とのそれぞれ)

ステップDでは、ステップCに続いて、スイッチ回路S W 1を遮断した状態、かつ、リフレッシュ出力制御部R S 1に第2の動作を行わせた状態としてデータ転送部T S 1によって転送動作を行う。

[0191] そして、メモリモード時の動作全体としては、まずステップAを実行し、ステップAに続いて、ステップBの開始からステップDの終了までの一連の動作 (期間 t 3 ~ 期間 t 8) を1回以上実行する動作となる。

[0192] ここで、上記図8を用いたメモリ回路M R 1のデータ保持動作の説明では、全書込期間T 1に、第1の電位のデータとしてのH i g hが書き込まれる場合について説明したが、全書込期間T 1に、第2の電位のデータとしてのL o wが書き込まれる場合においても、図8と同様の考え方で電位変化を起こす。

[0193] また、メモリモード時のリフレッシュ期間T 2での動作の命令を、外部からの信号ではなく、発振器等にて内部で発生させたクロックにより生成するようにしてもよい。そうすることで外部システムが一定時間毎にリフレッシュ命令を入力する必要がなくなり、柔軟なシステム構築ができるという利点がある。

[0194] 以上、液晶表示装置10では、メモリモード時には、駆動信号発生回路/映像信号発生回路12で多階調を表示するためのアンプ等の回路やデータを停止できるので、低消費電力を実現することが可能となる。また、メモリモード時には、画素メモリ20内でデータ電位をリフレッシュすることができるため、リフレッシュのためにソースラインS Lを充放電しながらデータ電位を書き換える必要がないので、消費電力を削減することが可能となる。さらに、画素メモリ20内でデータ極性を反転することができるため、極性反

転時にソースラインSLを充放電しながらデータ極性を書き換える必要がないので、消費電力を削減することが可能となる。

[0195] また、メモリ回路としてのメモリ回路MR1には、リフレッシュ動作を行うためのインバータの貫通電流などといった消費電力が莫大に増加する要素が存在しないため、メモリモード自体の消費電力を従来よりも大幅に削減することができる。

[0196] ここで、上述した本実施例の液晶表示装置10においても、メモリモード時にリフレッシュ期間から全書込期間に切り替える際に、共通電極COMの電位の極性をリフレッシュ期間と全書込期間とで反転すると、全書込期間に移行した後に画面ノイズが生じる場合がある。

[0197] 図9に、液晶表示装置10において、メモリモード時にリフレッシュ期間から全書込期間へ移行した後に、画面ノイズが発生する場合の各種信号波形を示すタイミングチャートを示す。図9に示す各種信号は、図3に示す信号と同様のものを示す。

[0198] 図9に示すように、リフレッシュ期間から全書込期間へ移行した後、全書込期間では、ゲートラインGLが順次走査されることによって、画素メモリ20の第1データ保持部DS1、すなわちメモリ回路MR1のノードPIXに、新たな反転電位のデータが線順次で書き込まれる。

[0199] 一方、メモリモードにおいて液晶容量が交流駆動されている場合、共通電極COMは、全書込期間において最初のゲートラインGL（図9では、1行目のゲートラインGL1）の走査タイミングに応じて、極性反転が行われる。このため、図中点線Aに示すように、ノードPIXに新たな反転電位のデータが書き換えられていないにも拘らず、共通電極COMの電位だけが反転し、液晶容量C_{lc}への印加電圧が突然変動するメモリ回路MR1が出てくる。図9では、2～480行目のゲートラインGL2～480に駆動されるメモリ回路MR1がこれに相当する。メモリ回路MR1のノードPIXは、新たな反転電位のデータが書き込まれるまでは、前のデータを保持している。

- [0200] この結果、図中点線Aに示すような、メモリ回路MR1のノードPIXの電位が極性反転していないのに、すなわちノードPIXがフローティングになっているときに、共通電極COMの電位だけが極性反転してしまった期間において、リフレッシュ期間に例えば白表示であった画素が全書込期間に突然黒表示になってしまうなどの、画面ノイズが発生する。
- [0201] 注目すべきことの2つ目として、本実施例の液晶表示装置10は、以下に説明する動作を行うことで、メモリモードにおいてリフレッシュ期間から全書込期間へ移行した後、共通電極COMの電位が反転することに起因する画面ノイズを防止することが可能となっている。
- [0202] 図10に、液晶表示装置10において、メモリモード時にリフレッシュ期間から全書込期間へ移行するとき、画面ノイズを防止する動作が行われたときの各種信号波形を示すタイミングチャートを示す。図10に示す各種信号は、図3に示す信号と同様のものを示す。
- [0203] 図10中の点線Bに示すように、メモリモードにおいてリフレッシュ期間から連続して移行した次の全書込期間では、共通電極COMの電位を、当該リフレッシュ期間で最後の画素電極の電位の電位反転に合わせて反転した電位に設定する。すなわち、共通電極COMの電位は、リフレッシュ期間から連続して移行した全書込期間では極性を反転せずに、リフレッシュ期間での駆動により最後に変動して得られた電位を保持する。
- [0204] これにより、メモリ回路MR1のノードPIXがフローティングになっている期間に、共通電極COMの極性反転が生じることが無くなり、画面ノイズを防止することが可能となる。
- [0205] なお、上述した液晶表示装置10では、図3、4、9および10に、データの書き込みの際、1行目の画素メモリ20から順次走査している例について示したが、これに限らず、走査順序は設計に応じて変更することができる。また、通常モード時の駆動方法は、交流駆動が好ましいが、種々の駆動方法を用いることができる。
- [0206] また、図7では、Nチャネル型のトランジスタで構成されるメモリ回路M

R1を示したが、勿論、Pチャネル型の電界効果トランジスタを用いて構成することもできる。すなわち、画素メモリ20は、図5および図6を用いて説明したデータ保持動作を行う構成を備えていればよい。

[0207] また、上述の説明では、画素メモリ20として、リフレッシュ動作を精度良く行うメモリ回路MR1を例示したが、画面ノイズ防止の観点からは、勿論メモリ回路MR100を構成することもできる。さらに画面ノイズ防止の観点からは、画素メモリ20としては、リフレッシュを制御するリフレッシュ制御部などを備えたメモリ回路であって、リフレッシュ動作を停止する通常モードと、リフレッシュ動作を行うメモリモードとを切り替えて動作（駆動）するメモリ回路であってもよく、同様の効果を奏することができる。また、画素メモリ20が保持するデータを2値（High電位およびLow電位）としたが、3値以上でもよい。

[0208] また、上述した液晶表示装置10は、液晶に限らない表示装置にも適用可能である。例えば、誘電性液体などの表示素子を備える表示装置に適用できる。

[0209] 本発明の表示装置は、上記課題を解決するために、マトリクス状に設けられたメモリ回路と共通電極とを含む表示パネルを備え、上記メモリ回路に書き込んだ表示データをリフレッシュしながら保持して表示を行うメモリモードを有する表示装置であって、上記メモリモードでは、上記共通電極の電位を固定するとともに、全ての上記メモリ回路に表示データを行ごとに書き込む全書込期間と、上記共通電極を駆動しながら、上記全書込期間で書き込んだ表示データを少なくとも1回リフレッシュするリフレッシュ期間とが設けられており、上記メモリモードにおいて上記リフレッシュ期間から連続して移行した次の上記全書込期間では、上記共通電極の電位は、当該リフレッシュ期間で駆動により最後に変動して得られた電位を保持することを特徴としている。

[0210] また、本発明の表示装置の駆動方法は、上記課題を解決するために、マトリクス状に設けられたメモリ回路と共通電極とを含む表示パネルを備え、上

記メモリ回路に書き込んだ表示データをリフレッシュしながら保持して表示を行うメモリモードを有する表示装置の駆動方法であって、上記メモリモードでは、上記共通電極の電位を固定するとともに、全ての上記メモリ回路に表示データを行ごとに書き込む全書込期間と、上記共通電極を駆動しながら、上記全書込期間で書き込んだ表示データを少なくとも1回リフレッシュするリフレッシュ期間とが設けられており、上記メモリモードにおいて上記リフレッシュ期間から連続して移行した次の上記全書込期間では、上記共通電極の電位を、当該リフレッシュ期間で駆動により最後に変動して得られた電位を保持させることを特徴としている。

- [0211] 従来、メモリモードにおいて液晶容量が交流駆動されている場合、リフレッシュ期間から連続して移行した次の全書込期間において、最初の行のデータ書き込みのタイミングで共通電極の極性を反転すると、フローティングになっている画素電極に対応する液晶容量への印加電圧が突然変動し、画面ノイズが生じる場合があった。
- [0212] これに対し、上記の構成によれば、メモリモードにおいてリフレッシュ期間から連続して移行した次の全書込期間では、共通電極の電位は、当該リフレッシュ期間で駆動により最後に変動して得られた電位を保持する。すなわち、共通電極の電位は反転されない。これにより、画素電極がフローティングになっているときに、共通電極の極性反転が生じることが無くなり、画面ノイズを防止することが可能となる。
- [0213] また、本発明の表示装置は、上記表示パネルは、データ信号線と、走査信号線と、補助容量線とを備え、上記メモリ回路は、画素電極と、上記走査信号線の電位に応じて上記データ信号線と上記画素電極との間の導通と遮断とを選択的に行う第1スイッチ回路と、上記画素電極と上記補助容量線との間に形成された第1容量と、上記画素電極の電位のリフレッシュを制御するリフレッシュ制御部とを含むことが好ましい。
- [0214] 上記の構成によれば、メモリ回路内においてリフレッシュ制御部が画素電極の電位のリフレッシュを制御するので、リフレッシュに関する消費電力の

削減を図ることができる。

- [0215] さらに、本発明の表示装置は、上記表示パネルは、データ転送線と、リフレッシュ出力線とを備え、上記リフレッシュ制御部は、メモリ用電極と、上記データ転送線の電位に応じて上記画素電極と上記メモリ用電極との間の導通と遮断とを選択的に行う第2スイッチ回路と、上記リフレッシュ出力線および上記メモリ用電極の電位に応じて上記画素電極の電位をリフレッシュするための電位を供給する制御部と、上記メモリ用電極と上記補助容量線との間に形成された第2容量とを含むことが好ましい。
- [0216] 上記の構成によれば、メモリ回路内において制御部が画素電極の電位をリフレッシュするための電位を供給するので、メモリ回路の外部からのリフレッシュが不要となる。よって、リフレッシュに関する消費電力の削減を図ることができる。
- [0217] またさらに、本発明の表示装置は、上記メモリ回路は、電位供給源をさらに備え、上記制御部は、上記リフレッシュ出力線および上記メモリ用電極の電位に応じて上記電位供給源と上記画素電極との間の導通と遮断とを選択的に行う第3スイッチ回路であることが好ましい。
- [0218] 上記の構成によれば、制御部をインバータを用いない構成で実現することができるので、貫通電流による消費電力の増加を回避することができるとともに、画素電極とメモリ用電極とで同じ電位を保持することによって、第2スイッチ回路に用いられる転送素子にオフリーク電流が存在しても誤動作することを回避することができる。
- [0219] また、本発明の表示装置は、上記第1容量の容量値は、上記第2容量の容量値よりも大きく、上記第3スイッチ回路は、上記メモリ用電極に保持されている電位を導通遮断の制御信号とする第1スイッチと、上記リフレッシュ出力線の電位を導通遮断の制御信号とする第2スイッチとを備えており、上記第1スイッチと上記第2スイッチとは、上記電位供給源に接続される当該第3スイッチ回路の入力と上記画素電極に接続される当該第3スイッチ回路の出力との間に、互いに直列に接続されていることが好ましい。

- [0220] 上記の構成によれば、第2スイッチ回路を導通状態とするだけで、第1容量と第2容量との間での電荷移動によって、メモリ用電極の電位が、第2スイッチ回路を導通状態とする前の画素電極の電位に近くなるようにすることが容易となる。第1容量の容量値が第2容量の容量値よりも大きいほどこの効果は大きくなる。また、上記の構成によれば、メモリ回路に対して、画素電極にデータ信号電位を書き込んだ後に、インバータを用いることなく、画素電極をリフレッシュするための電位を電位供給源から選択的に供給する構成を容易に実現することができる。
- [0221] また、本発明の表示装置は、上記第1スイッチ回路、上記第2スイッチ回路、上記第1スイッチ、および上記第2スイッチは、Nチャネル型の電界効果トランジスタであることが好ましい。
- [0222] 上記の構成によれば、第1スイッチ回路、第2スイッチ回路、第1スイッチ、および第2スイッチが、互いに同極性であるNチャネル型の電界効果トランジスタであることにより、第1スイッチ回路、第2スイッチ回路、第1スイッチ、および第2スイッチをメモリ回路に同時に作り込むことができ、製造プロセスが容易になる。また、Nチャネル型であることにより、メモリ回路をアモルファスシリコンを用いて製造することができる。
- [0223] または、本発明の表示装置は、上記第1スイッチ回路、上記第2スイッチ回路、上記第1スイッチ、および上記第2スイッチは、Pチャネル型の電界効果トランジスタであることが好ましい。
- [0224] 上記の構成によれば、第1スイッチ回路、第2スイッチ回路、第1スイッチ、および第2スイッチが、互いに同極性であるPチャネル型の電界効果トランジスタであることにより、第1スイッチ回路、第2スイッチ回路、第1スイッチ、および第2スイッチをメモリ回路に同時に作り込むことができ、製造プロセスが容易になる。
- [0225] 本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせて得られる実施形態についても本発明の技術的範

圏に含まれる。

産業上の利用可能性

[0226] 本発明は、メモリ機能を有し、リフレッシュして保持したデータで表示を行うことができる表示装置に関する分野に好適に用いることができるだけでなく、表示装置の駆動方法や表示装置の製造方法に関する分野に好適に用いることができ、さらには、携帯電話のディスプレイなどの各種電子機器に関する分野にも広く用いることができる。

符号の説明

- [0227]
- 10 液晶表示装置（表示装置）
 - 11 画素アレイ
 - 12 駆動信号発生回路／映像信号発生回路
 - 13 デマルチプレクサ
 - 14 ゲートドライバ／CSドライバ
 - 15 制御信号バッファ回路
 - 20 画素メモリ
 - MR1, MR100 メモリ回路
 - SW1, SW100 スイッチ回路（第1スイッチ回路）
 - TS1, TS100 データ転送部（リフレッシュ制御部、第2スイッチ回路）
 - RS1 リフレッシュ出力制御部（リフレッシュ制御部、制御部、第3スイッチ回路）
 - RS100 リフレッシュ出力制御部（リフレッシュ制御部、制御部）
 - DS1, DS101 第1データ保持部
 - DS2, DS102 第2データ保持部
 - VS1 供給源（電位供給源）
 - Ca1, Ca100 容量（第1容量）
 - Cb1, Cb100 容量（リフレッシュ制御部、第2容量）
 - Clc 液晶容量

PIX ノード (画素電極)
MRY ノード (リフレッシュ制御部、メモリ用電極)
N1, N2 トランジスタ
N3 トランジスタ (第1スイッチ)
N4 トランジスタ (第2スイッチ)
SL (j) ($1 \leq j \leq m$), SLx ソースライン (データ信号線)
GL (i) ($1 \leq i \leq n$), GLx ゲートライン (走査信号線)
DT (i) ($1 \leq i \leq n$), DTx データ転送制御線 (データ転送線)
RC (i) ($1 \leq i \leq n$), RCx リフレッシュ出力制御線 (リフレッシュ出力線)
CS (i) ($1 \leq i \leq n$), CSx 補助容量線

請求の範囲

[請求項1]

マトリクス状に設けられたメモリ回路と共通電極とを含む表示パネルを備え、上記メモリ回路に書き込んだ表示データをリフレッシュしながら保持して表示を行うメモリモードを有する表示装置であって、
上記メモリモードでは、

上記共通電極の電位を固定するとともに、全ての上記メモリ回路に表示データを行ごとに書き込む全書込期間と、

上記共通電極を駆動しながら、上記全書込期間で書き込んだ表示データを少なくとも1回リフレッシュするリフレッシュ期間とが設けられており、

上記メモリモードにおいて上記リフレッシュ期間から連続して移行した次の上記全書込期間では、上記共通電極の電位は、当該リフレッシュ期間で駆動により最後に変動して得られた電位を保持することを特徴とする表示装置。

[請求項2]

上記表示パネルは、データ信号線と、走査信号線と、補助容量線とを備え、

上記メモリ回路は、画素電極と、上記走査信号線の電位に応じて上記データ信号線と上記画素電極との間の導通と遮断とを選択的に行う第1スイッチ回路と、上記画素電極と上記補助容量線との間に形成された第1容量と、上記画素電極の電位のリフレッシュを制御するリフレッシュ制御部とを含むことを特徴とする請求項1に記載の表示装置。

[請求項3]

上記表示パネルは、データ転送線と、リフレッシュ出力線とを備え、

上記リフレッシュ制御部は、メモリ用電極と、上記データ転送線の電位に応じて上記画素電極と上記メモリ用電極との間の導通と遮断とを選択的に行う第2スイッチ回路と、上記リフレッシュ出力線および上記メモリ用電極の電位に応じて上記画素電極の電位をリフレッシュ

するための電位を供給する制御部と、上記メモリ用電極と上記補助容量線との間に形成された第2容量とを含むことを特徴とする請求項2に記載の表示装置。

[請求項4]

上記メモリ回路は、電位供給源をさらに備え、

上記制御部は、上記リフレッシュ出力線および上記メモリ用電極の電位に応じて上記電位供給源と上記画素電極との間の導通と遮断とを選択的に行う第3スイッチ回路であることを特徴とする請求項3に記載の表示装置。

[請求項5]

上記第1容量の容量値は、上記第2容量の容量値よりも大きく、

上記第3スイッチ回路は、上記メモリ用電極に保持されている電位を導通遮断の制御信号とする第1スイッチと、上記リフレッシュ出力線の電位を導通遮断の制御信号とする第2スイッチとを備えており、

上記第1スイッチと上記第2スイッチとは、上記電位供給源に接続される当該第3スイッチ回路の入力と上記画素電極に接続される当該第3スイッチ回路の出力との間に、互いに直列に接続されていることを特徴とする請求項4に記載の表示装置。

[請求項6]

上記第1スイッチ回路、上記第2スイッチ回路、上記第1スイッチ、および上記第2スイッチは、Nチャネル型の電界効果トランジスタであることを特徴とする請求項5に記載の表示装置。

[請求項7]

上記第1スイッチ回路、上記第2スイッチ回路、上記第1スイッチ、および上記第2スイッチは、Pチャネル型の電界効果トランジスタであることを特徴とする請求項5に記載の表示装置。

[請求項8]

マトリクス状に設けられたメモリ回路と共通電極とを含む表示パネルを備え、上記メモリ回路に書き込んだ表示データをリフレッシュしながら保持して表示を行うメモリモードを有する表示装置の駆動方法であって、

上記メモリモードでは、

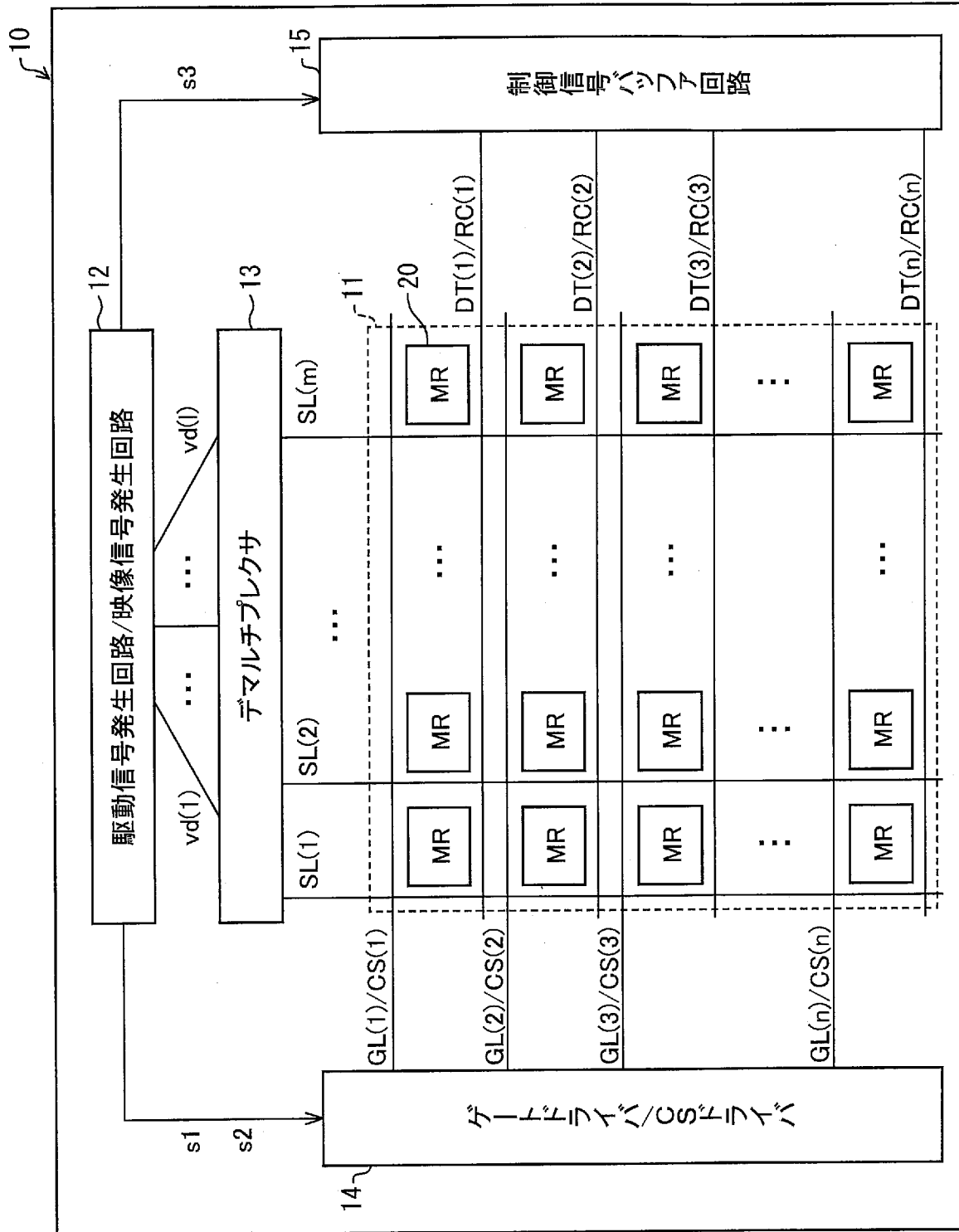
上記共通電極の電位を固定するとともに、全ての上記メモリ回路に

表示データを行ごとに書き込む全書込期間と、

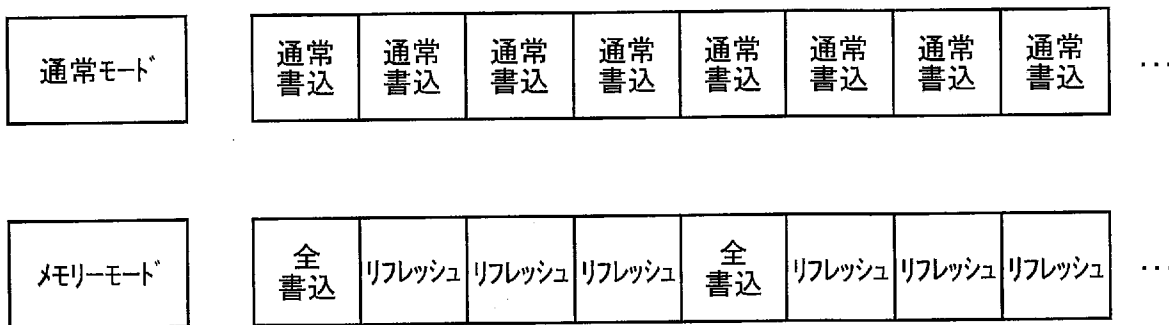
上記共通電極を駆動しながら、上記全書込期間で書き込んだ表示データを少なくとも1回リフレッシュするリフレッシュ期間とが設けられており、

上記メモリモードにおいて上記リフレッシュ期間から連続して移行した次の上記全書込期間では、上記共通電極の電位を、当該リフレッシュ期間で駆動により最後に変動して得られた電位を保持させることを特徴とする表示装置の駆動方法。

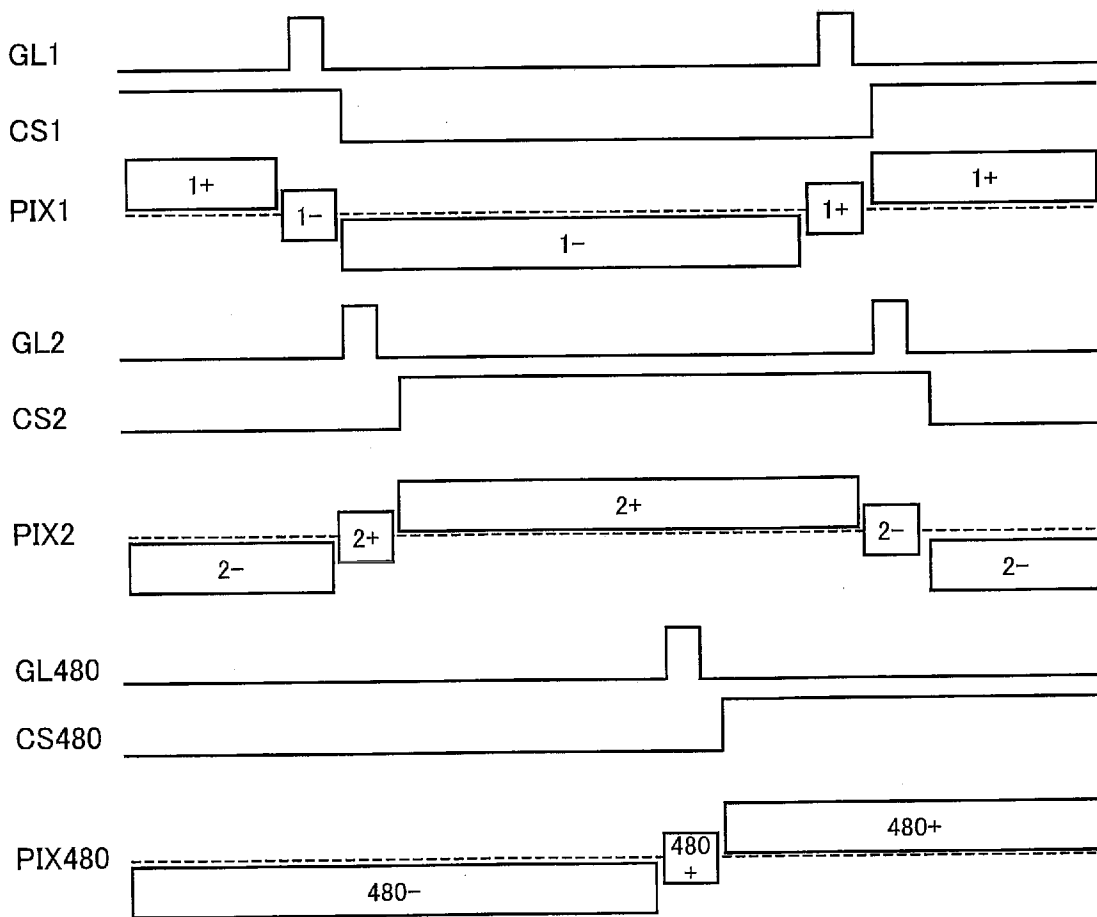
図1



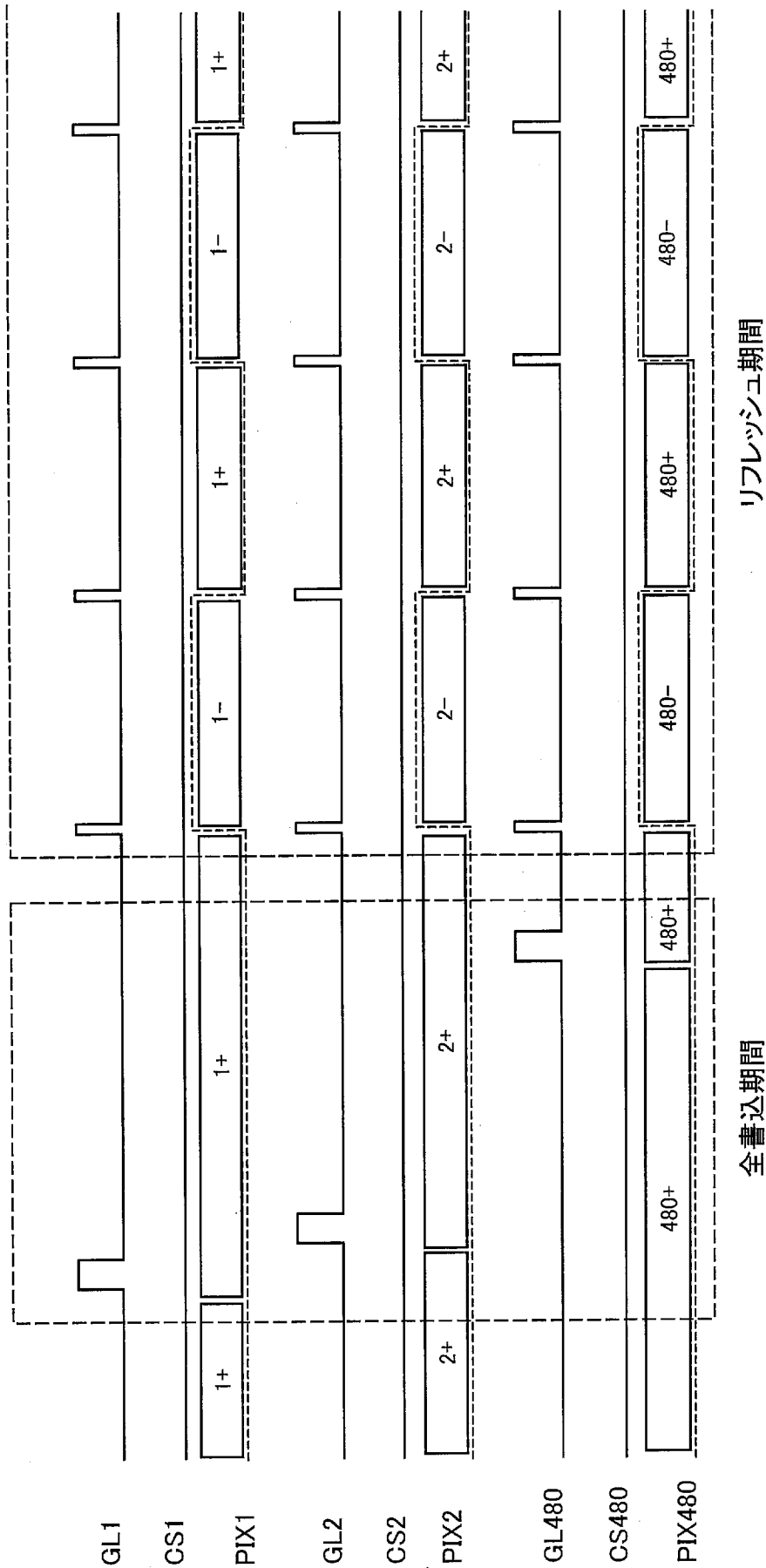
[図2]



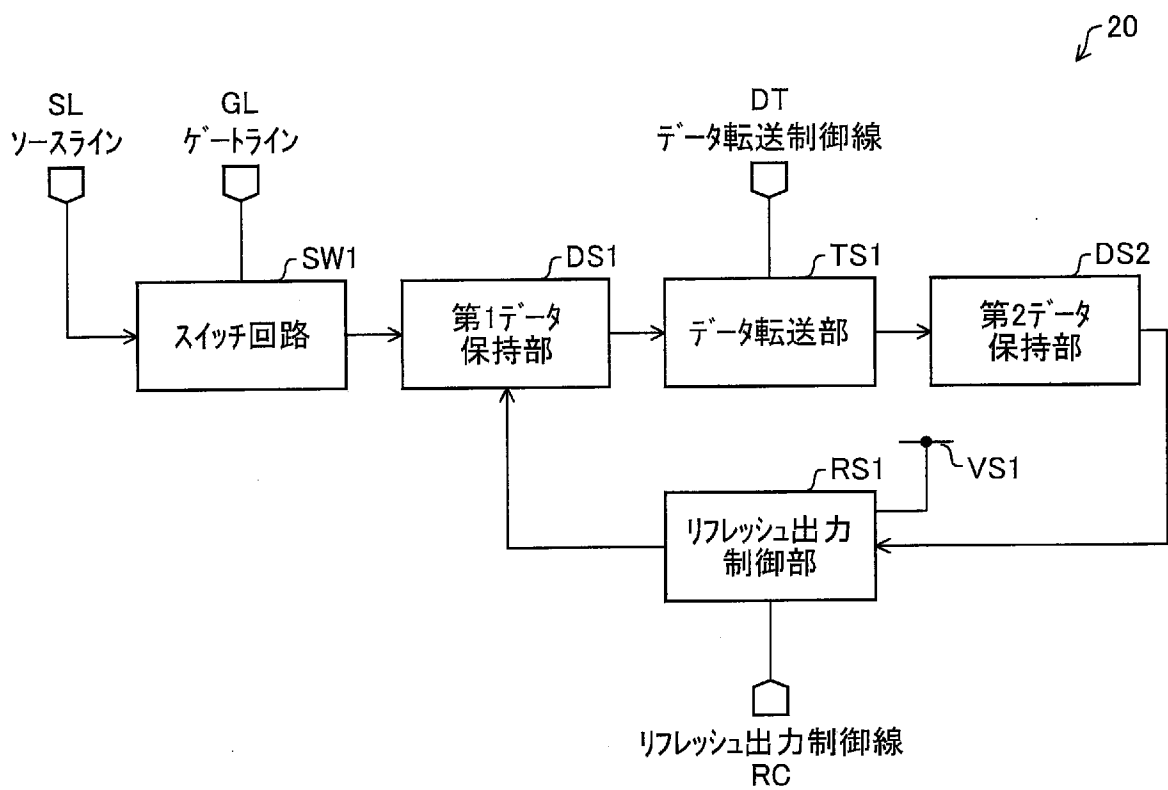
[図3]



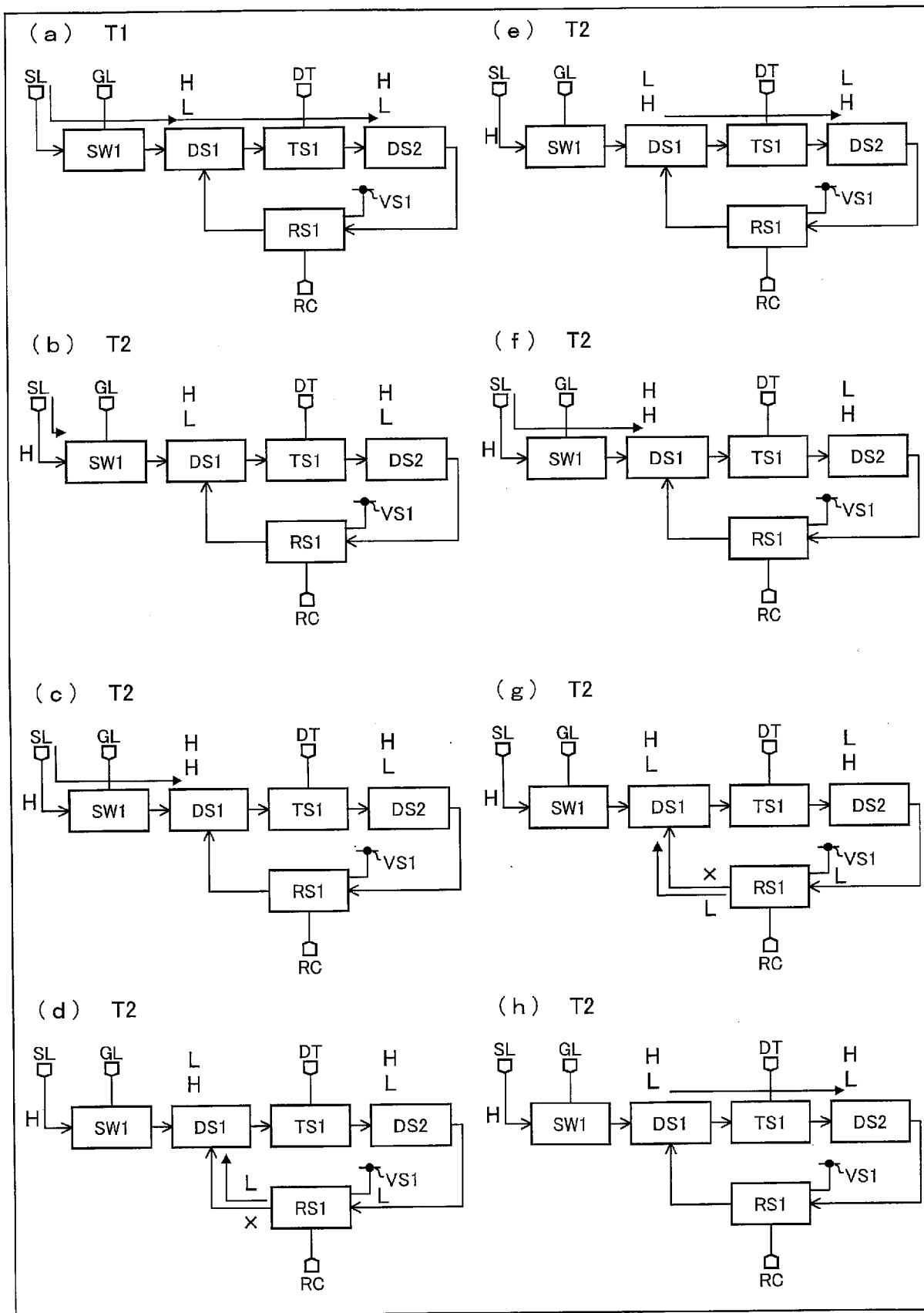
[図4]



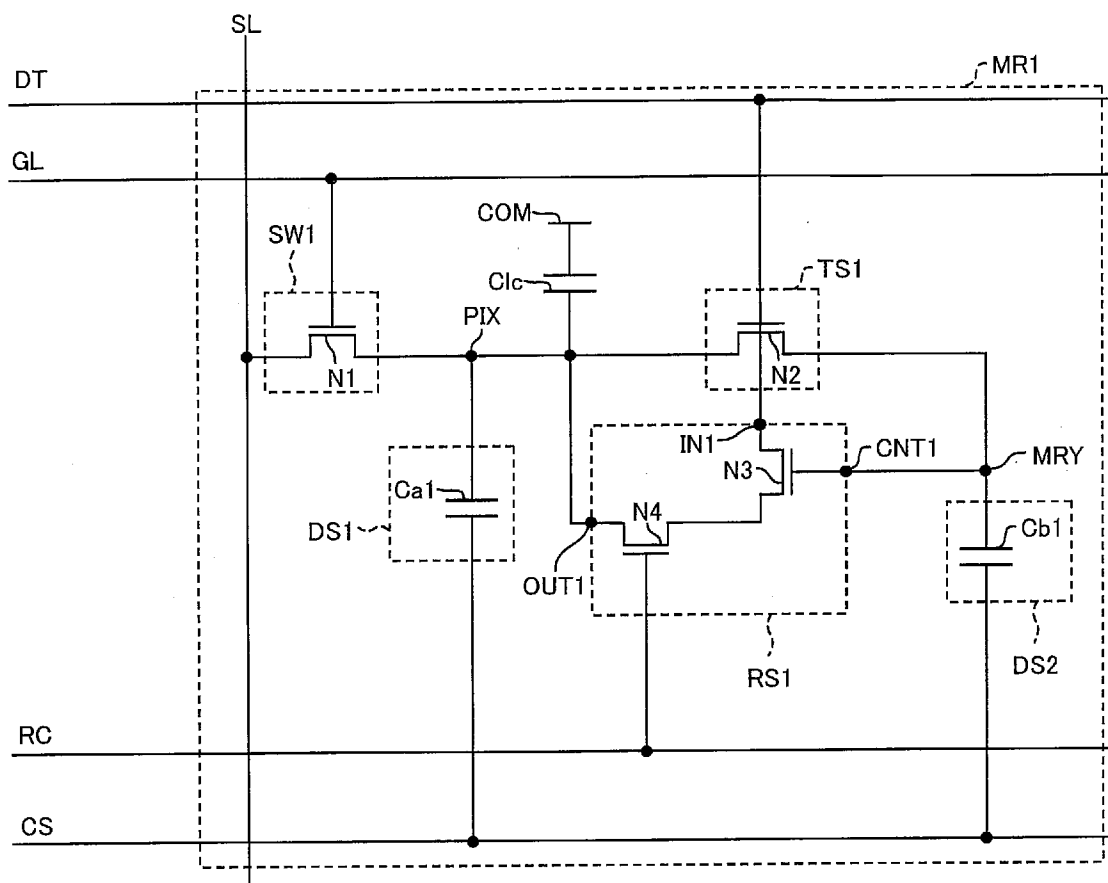
[図5]



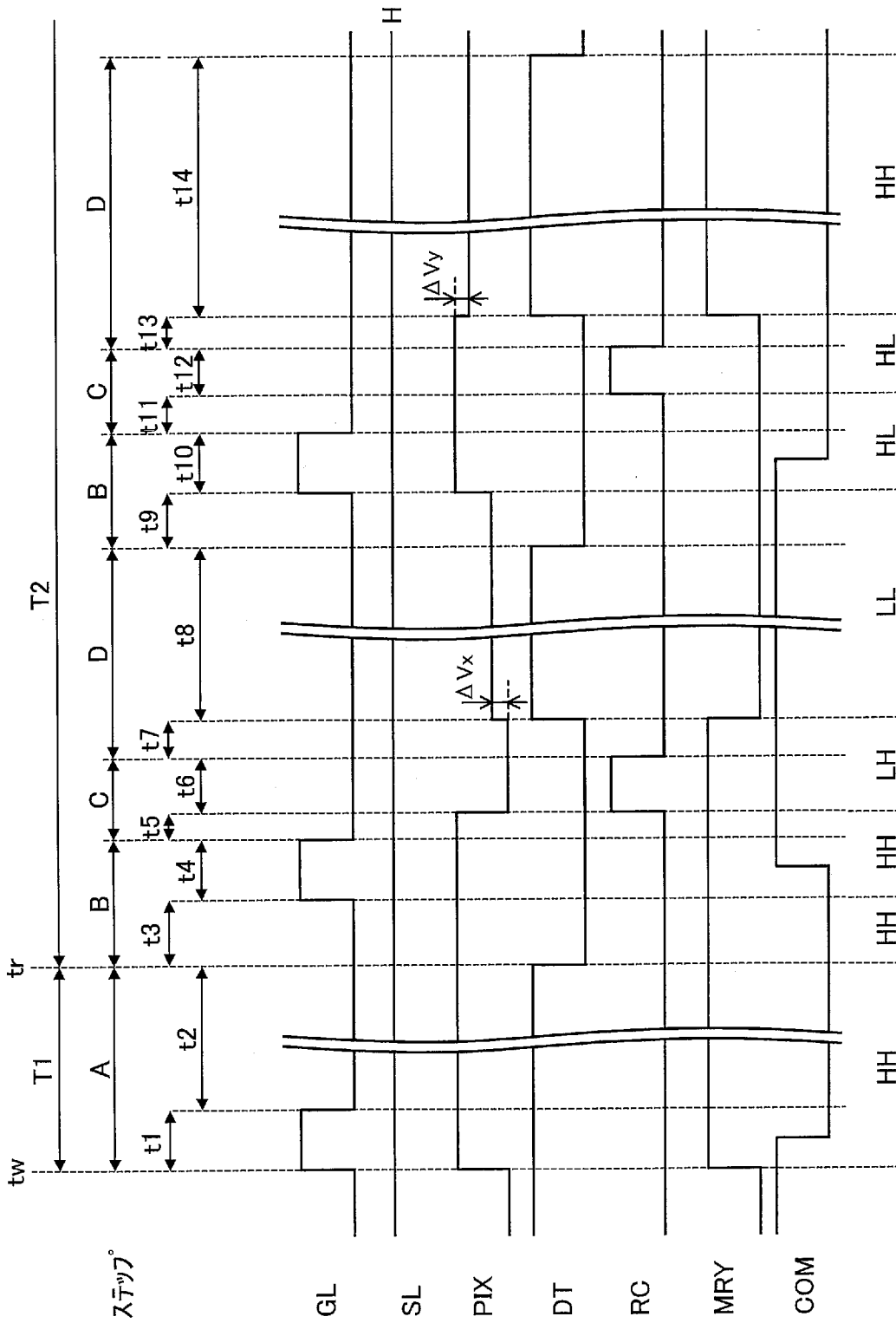
[圖6]



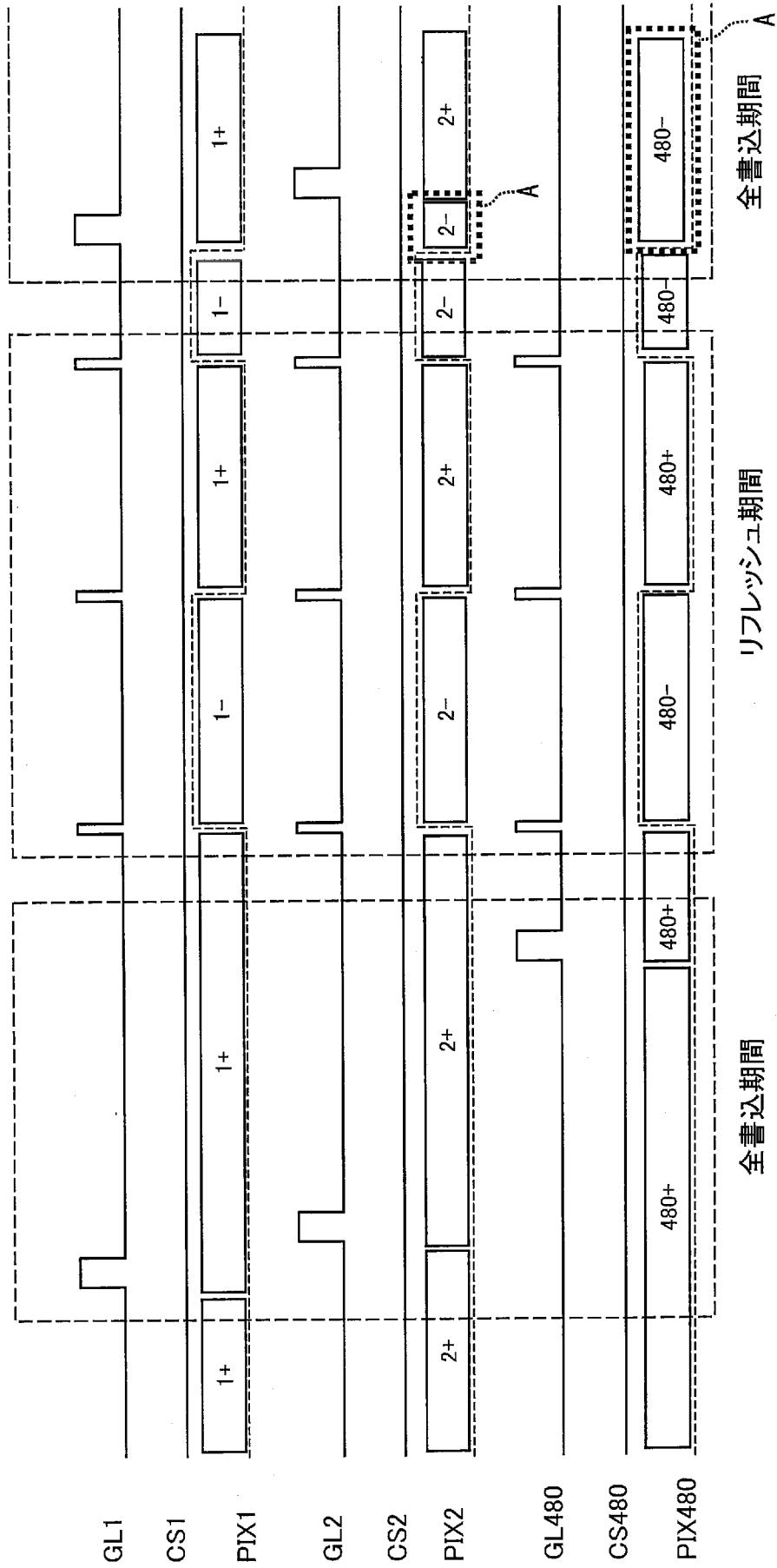
[図7]



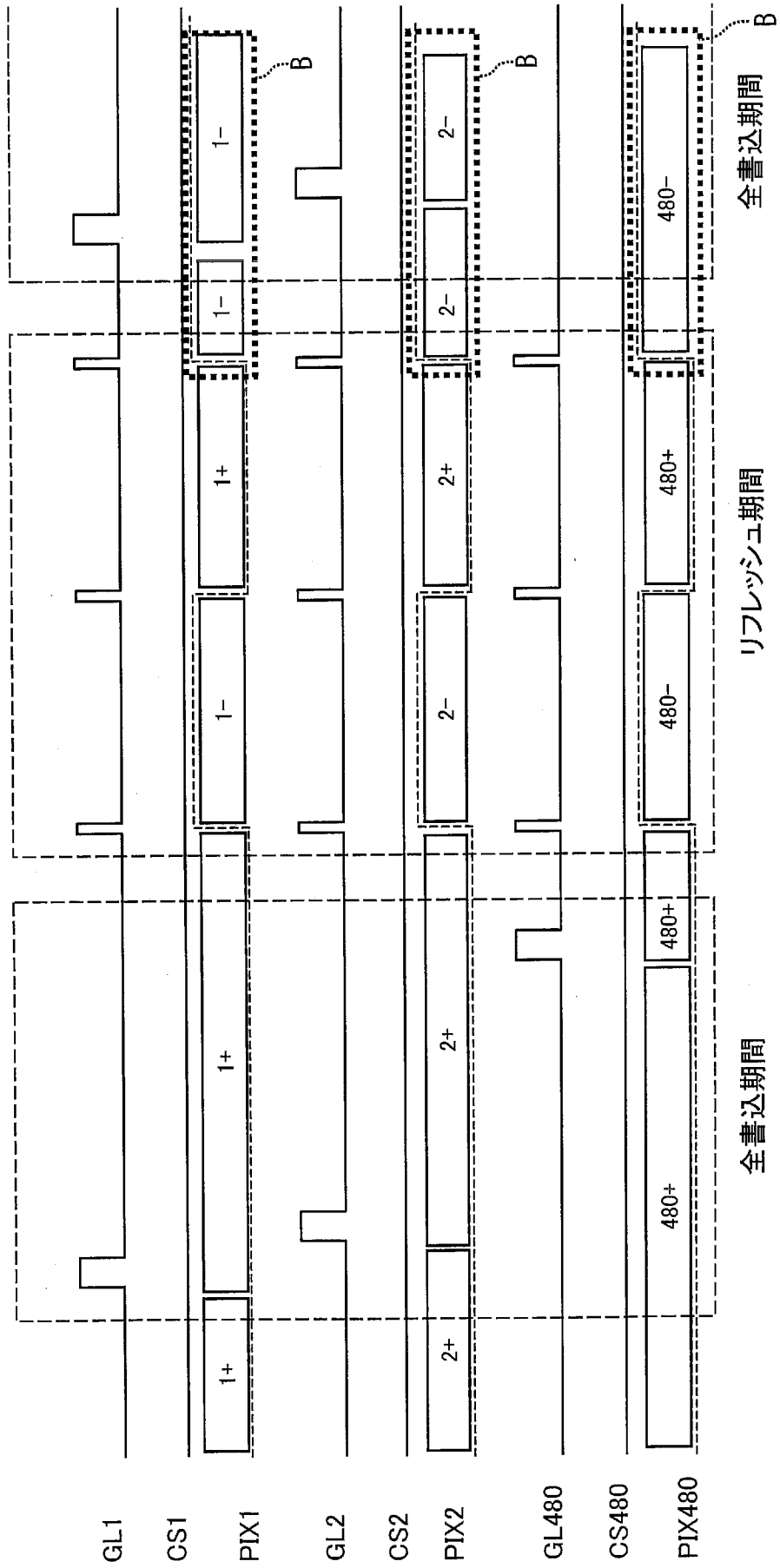
[図8]



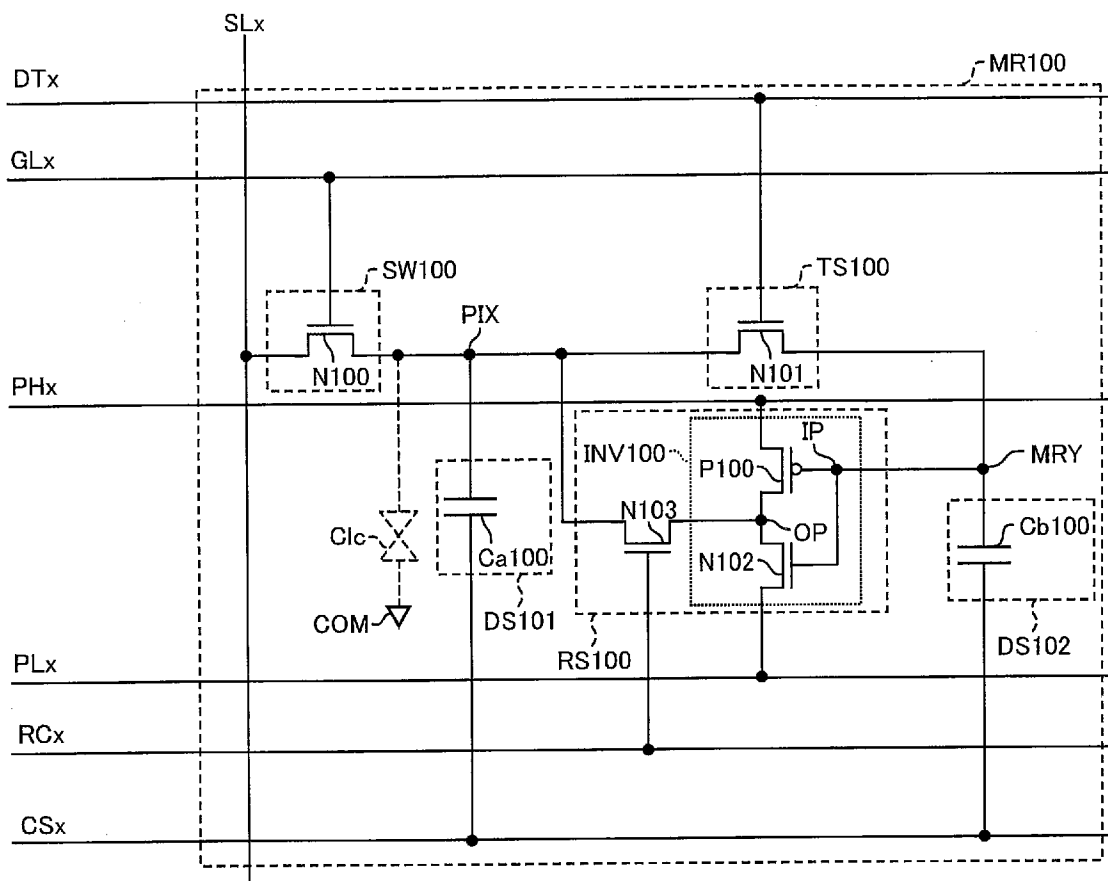
[図9]



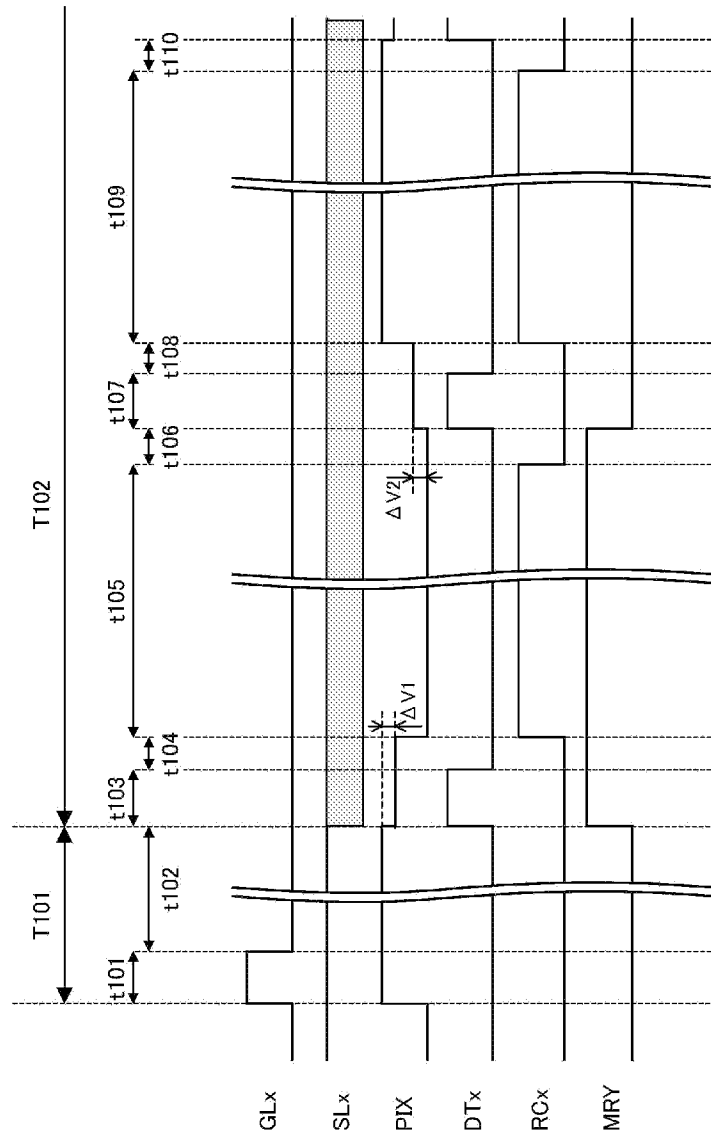
[図10]



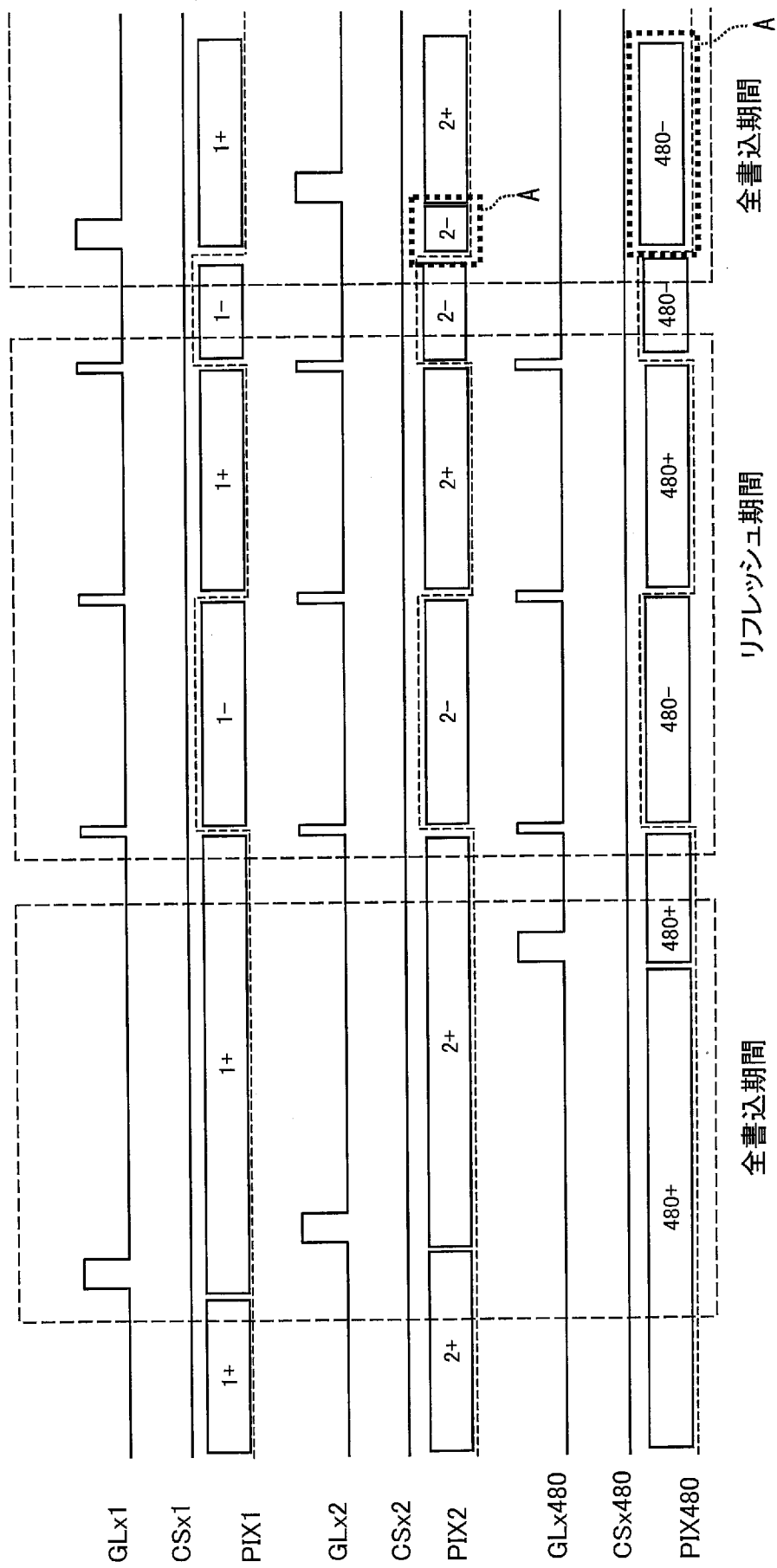
[図11]



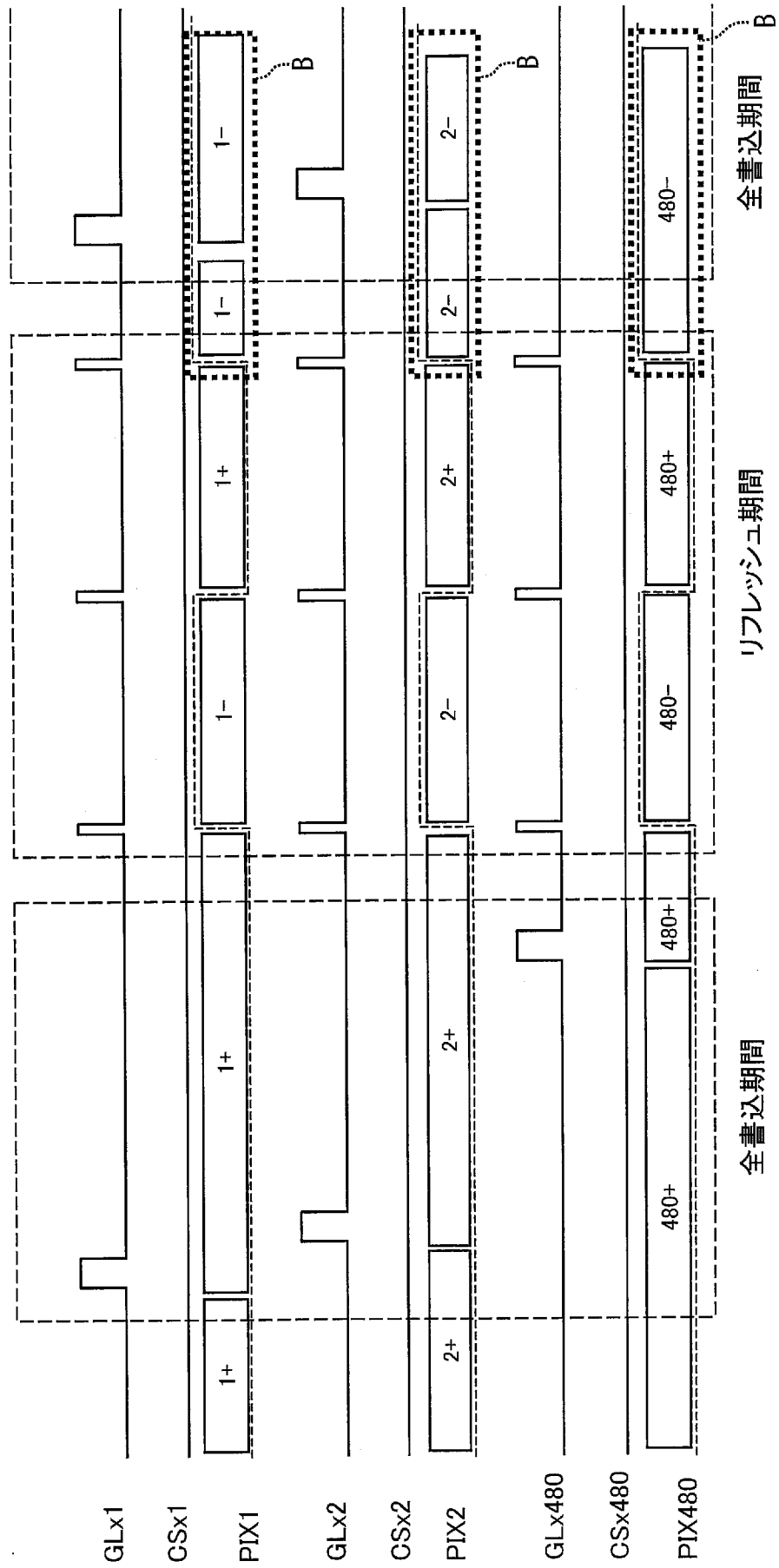
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/057283

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2007-034095 A (Hitachi Displays, Ltd.), 08 February 2007 (08.02.2007), paragraphs [0023] to [0044]; fig. 1 to 4	1, 8 2-4 5-7
Y A	JP 2002-229532 A (Toshiba Corp.), 16 August 2002 (16.08.2002), paragraphs [0050], [0052]; fig. 1	2-4 5-7
A	JP 2002-182621 A (Sharp Corp.), 26 June 2002 (26.06.2002), entire text; all drawings	1-8

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
17 May, 2010 (17.05.10)

Date of mailing of the international search report
25 May, 2010 (25.05.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2010/057283

JP 2007-034095 A	2007.02.08	US 2007/0024566 A1 CN 1904706 A
JP 2002-229532 A	2002.08.16	KR 10-2002-0059226 A TW 548625 B US 2002-075205 A1
JP 2002-182621 A	2002.06.26	US 2002/0063669 A1 EP 1197790 A2 DE 60131819 D TW 567453 B KR 10-2002-0027275 A CN 1348166 A

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2010年
 日本国実用新案登録公報 1996-2010年
 日本国登録実用新案公報 1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2007-034095 A (株式会社 日立ディスプレイズ) 2007.02.08, 【0023】～【0044】, 図1～4	1, 8 2-4 5-7
Y A	JP 2002-229532 A (株式会社東芝) 2002.08.16, 【0050】, 【0052】, 図1	2-4 5-7
A	JP 2002-182621 A (シャープ株式会社) 2002.06.26, 全文, 全図	1-8

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
--	---

国際調査を完了した日 17.05.2010	国際調査報告の発送日 25.05.2010
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 鳥居 祐樹 電話番号 03-3581-1101 内線 3226

JP 2007-034095 A	2007. 02. 08	US 2007/0024566 A1 CN 1904706 A
JP 2002-229532 A	2002. 08. 16	KR 10-2002-0059226 A TW 548625 B US 2002-075205 A1
JP 2002-182621 A	2002. 06. 26	US 2002/0063669 A1 EP 1197790 A2 DE 60131819 D TW 567453 B KR 10-2002-0027275 A CN 1348166 A