

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

G09G 3/36

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 94105741.0

[45]授权公告日 1999 年 7 月 21 日

[11]授权公告号 CN 1044292C

[22]申请日 94.5.12 [24]颁证日 99.4.15

[21]申请号 94105741.0

[30]优先权

[32]93.5.13 [33]JP [31]111829/1993

[32]93.5.13 [33]JP [31]111830/93

[73]专利权人 卡西欧计算机公司

地址 日本东京

[72]发明人 石川玲 川杉和弘

[56]参考文献

US4,317,115 1982. 2.23 G04G3/36

US4,778,260 1988.10.18 G02F1/13

审查员 夏国红

[74]专利代理机构 永新专利商标代理有限公司

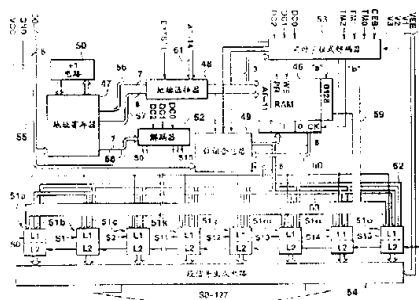
代理人 蹇 炜

权利要求书 3 页 说明书 20 页 附图页数 7 页

[54]发明名称 显示器驱动设备

[57]摘要

电子设备中驱动液晶显示屏的多个段驱动器,各包括显示数据存储器。将来自地址寄存器的 X 与 Y 地址供给该存储器,以指定数据写入区。该设备的控制设备在将数据存入显示存储器时,将数据输出到连接总线上,而在段驱动器通过解码器解码地址数据后判定写入是对其自身时,将传送的数据写入一寻址区。在显示显示存储器中的数据时,Y 地址由加 1 电路与一公共信号同步地加 1,由 Y 地址指定的一行数据同时从显示存储器的一输出口读出,经锁存电路转换成段信号并输出。



权 利 要 求 书

1、液晶显示面板的一种段驱动电路，用于通过有选择地驱动一组公共电极与一组段电极而启动显示操作，包括：

一个显示存储器，用于存储在所述液晶显示面板上显示的显示数据；

一个地址数据存储器，具有一个用于存储所述显示存储器的数据写入地址数据的写入地址寄存器及一个用于存储数据读出地址数据的读出地址寄存器；

一个数据写入电路，用于根据存储在所述写入地址寄存器中的地址数据将数据写入所述显示存储器中；

一个数据读出电路，用于根据存储在所述读出地址寄存器中的地址数据，从所述显示存储器中一次性读出待提供给所述段电极组的一个公共电极的一行显示数据；

一条总线，用于以并行方式传送从所述显示存储器中读出的一行显示数据；

连接在所述总线上的一个段数据存储器，用于存储所述数据读出电路所读出的一行显示数据；以及

一个段信号生成电路，用于根据存储在所述段数据存储器中的显示数据，驱动所述段电极组。

2、根据权利要求1的电路，其中所述显示存储器是由一个表示显示面板的X方向上的地址的X地址及一个表示其Y方向上的地址的Y地址指定的，所述写入地址寄存器具有一个用于存储X地址与Y地址的存储区，以及所述读出地址寄存器具有一个用于存储Y地址的存储区。

3、根据权利要求2的电路，还包括用于在读出显

示数据时，与一个公共信号同步地将所述读出地址寄存器的内容加1的装置。

4、根据权利要求2的电路，还包括用于接收从所述段驱动电路的外部提供的地址数据与显示数据的接收装置。

5、根据权利要求4的电路，其中所述段驱动电路是经由一条总线连接在一个外部控制设备上的，并且地址数据与显示数据是以分时方式经由总线提供的。

6、根据权利要求1的电路，其中所述段数据存储器具有一组用于存储预置位的多个数据项的锁存电路。

7、根据权利要求6的电路，还包括用于从所述锁存电路组中选择一个锁存电路的选择装置；以及用于从所述选择装置所选中的锁存电路中抽取数据，将该数据与其它数据组合并将组合后的数据存储进同一锁存电路的组合装置。

8、根据权利要求7的电路，其中所述选择装置包含一个用于解码从外部提供的地址数据的解码器，并且所述解码器的一个输出是用作锁存电路的一个读出指定信号的。

9、根据权利要求1的电路，其中所述显示面板是一块点阵型显示面板。

10、一种具有一个液晶显示器的电子设备，包括：
一块显示点阵型液晶显示面板，具有一个分成多个区的显示区；

一个公共驱动器，用于驱动液晶显示面板的一个公共电极；

多个段驱动器，用于各分显示区，并具有用于存储在分显示区上显示的显示数据的显示存储器，用于驱动

所述液晶显示面板的段电极;

一个控制设备, 用于控制所述电子设备的操作; 以及

一条连接总线, 用于将所述控制设备连接到所述段驱动器上;

其中所述控制设备包括传输装置, 用于将所述段驱动器的所述显示存储器的地址数据及存储在所述显示存储器中的显示数据传输到所述连接总线上; 并且各所述段驱动器中包括判定装置, 用于根据经由所述连接总线传输的地址数据判定该段驱动器本身是否已被选中, 及写入装置, 用于在判定该段驱动器本身被选中时, 将传输的显示数据写入一个相应的地址单元中。

1 1、根据权利要求1 0 的设备, 其中所述显示存储器包括一个由X 与Y 地址寻址的存储器, 所述地址数据中包括X 地址数据、Y 地址数据与段驱动器选择数据, 并且所述段驱动器的所述判定装置包括用于将段驱动器选择数据与一个预置的固有标识码进行比较的装置。

1 2、根据权利要求1 1 的设备, 其中所述段驱动器包括一个Y 地址加1 电路, 用于与一个公共信号的生成同步地更新Y 地址, 以及读出装置, 用于同时读出由Y 地址指定的并且对应于一个公共电极的一行显示数据。

1 3、根据权利要求1 2 的设备, 其中所述控制装置包括用于传输地址数据与组合数据的装置; 并且所述段驱动器还包括一个锁存电路, 用于锁存所述读出装置所读出的一行显示数据, 及一个数据组合电路, 用于根据地址数据从所述锁存电路中读出数据、将该读出数据与组合数据进行组合、并将组合结果返回给所述锁存电路。

说明书

显示器驱动设备

本发明涉及由内装式微处理器操作的电子装置中的显示器驱动设备，更具体地涉及具有用于存储显示数据的显示存储器的显示器驱动器。

在传统的电子数据库中，设置了诸如一个键输入部分及显示部分。事先通过键操作输入并存储在一个半导体存储器中的地址数据与表格数据在需要时读出并显示在显示部分上。

通常，在这种电子设备中采用一个液晶显示单元作为其显示部分。将存储在用作显示存储器的一个RAM（随机存取存储器）中的显示数据读出并输出到显示部分，下面是一个例子。具体地说，假定采用了一个8位数据处理微处理器，而液晶显示单元是由160点高×128点宽构成的，这时，在连接在它们上面的是一条8位的数据总线并且显示数据是从RAM传送的时，为了在水平方向上传送一行显示数据，必需重复启动16次8位数据读出操作。

然而，如上所述地重复启动从显示器存储器读出8位的过程，读出全部显示数据要占用很长的时间，并且由于必须启动大量的存储器存取而耗费大量的电力。

本发明是为了消除上述缺点而构思的，本发明的一个目的为提供一种显示设备，该设备能减少显示数据读出时间及电力消耗。

根据本发明的一个方面，提供了通过有选择地驱动一组公共电极及一组段电极而启动显示操作的液晶显示

面板的一种段驱动电路，包括用于存储在液晶显示面板上显示的显示数据的一个显示存储器；具有一个用于存储显示存储器的数据写入地址数据的写入地址寄存器及一个用于存储数据读出地址数据的读出地址寄存器的地址数据存储器；用于根据存储在写入地址寄存器中的地址数据将数据写入显示存储器的一个数据写入电路；用于根据存储在读出地址寄存器中的地址数据，一次性从显示存储器中读出要提供给段电极组的一行用于一个公共电极的显示数据的一个数据读出电路；用于以并行方式传送从显示存储器中读出的一行显示数据的一条总线；连接在该总线上的一个段数据存储器，用于存储由该数据读出电路读出的一行显示数据；以及一个段信号生成电路，用于根据存储在该段数据存储器中的显示数据驱动该段电极组。

根据本发明的另一方面，提供了用一个X地址与Y地址指定一个存储区的一种显示数据存储设备，包括可以用X地址指定的、用于存储显示数据的若干数目的一组存储器；用于以X地址与Y地址指定多个存储器之一并将数据写入该指定的存储器的写入装置；以及用于以Y地址指定所有的多个存储器以同时读出数据的读出装置。

根据本发明的又另一个方面，提供了具有一个液晶显示器的一种电子设备，包括一块具有分成多个区的一个显示区的显示点阵型液晶显示面板；一个用于驱动该液晶显示面板的一个公共电极的公共驱动器；用于各分显示区并且具有用于存储显示在分显示区上的显示数据的显示存储器，并用于驱动液晶显示面板的段电极的多个段驱动器；用于控制该电子设备的操作的一个控制设

备；以及用于将该控制设备连接到段驱动器上的一条连接总线；其中该控制设备包括用于将段驱动器的显示存储器的地址数据及存储在显示存储器中的显示数据传输给连接总线的传输装置；以及各段驱动器包括用于根据经由连接总线传输的地址数据判定该段驱动器本身是否被选中的判定装置，及用于当它判定该段驱动器本身被选中时将所传输的显示数据写入一个对应的地址单元的写入装置。

本发明的其它目的与优点将在下面的说明中提出，并且部分地从说明中是显而易见的，或者是可以通过实践本发明而理解的。本发明的目的与优点可以利用所附的权利要求书中所特别指出的手段及组合实现与获得。

结合在此并构成本说明书的一部分的附图例示了本发明的一个当前较佳实施例，并且结合上面给出的一般性说明及下面给出的较佳实施例的详细说明，起到说明本发明的原理的作用。

图1 为展示根据本发明的一个实施例的具有一个显示设备的电子设备的构造的外观图；

图2 为展示图1 中的电子设备的电子电路的构造的方框图；

图3 为展示图1 中的电子设备的一个液晶显示部分的一个段驱动器的电路构造的方框图；

图4 为展示将数据写入图3 中的段驱动器中的一个显示RAM所必需的写入地址数据的结构的示图；

图5 为展示图3 中的段驱动器中的一个地址寄存器的构造的示图；

图6 为展示图3 中的段驱动器中的显示RAM的外部构造的电路图；

图7 为例示该电子设备的段驱动器中的显示RAM的显示数据写入操作的流程图；以及

图8 为展示电子设备的段驱动器中的显示数据组合操作的流程图。

下面参照附图说明本发明的一个实施例。

图1 为展示装有本发明的显示设备的一种称作个人数字助手 (PDA) 的电子设备的构造的外观图。在图1 中, (A) 为一正视图, (B) 为一右侧视图; (C) 为一左侧视图, (D) 为一俯视平面图, 而 (E) 则为一仰视图。

在PDA 主体1 1 的正面中心部位上, 布置了一个3 2 0 点高×2 5 6 点宽的液晶显示部分1 2。各种控制键1 3, 诸如在登记/ 读出表格数据时操作的一个“数据本” (Data Book) 键、在登记/ 读出地址数据时操作的一个“地址本” (Addr s Book) 键、在设定键输入模式时操作的“键盘” (Key Board) 键, 在主体1 1 的正面下方部位上沿液晶显示部分1 2 的下缘配置。液晶显示部分1 2 与控制键1 3 的表面覆盖有一块透明的触摸板1 4。根据各种设定状态模式, 诸如数据的输入、指定与选择, 可以通过将一支触笔 (未示出) 对准接触在触摸板1 4 加以启动。

在PDA 主体1 1 的正面下方部位上, 布置有用于移动显示在液晶显示部分1 2 上的光标的操作的一个光标键1 5 及操作按钮 (A/B) 1 6 a、1 6 b。

在PDA 主体1 1 的右侧表面上, 设置有用于开/ 关电源操作的一个电源开关1 7、用于调节液晶显示部分1 2 上的反差的操作的一个显示反差量旋钮1 8、及用于调节为报告PDA 主体1 1 的操作状态而生成的电

子声音的音量的操作的一个音量旋钮1 9。

在P D A 主体1 1 的左侧表面上，设置有容许与诸如用作外部扩展存储器的一个R A M（随机存取存储器）卡及用于存储应用程序的一个R O M（只读存储器）卡这样的I C（集成电路）卡相连的一个I C卡插入槽，以及容许与诸如一台个人计算机这样的外部信息设备相连的一个R S - 2 3 2 C 连接器2 1。

在P D A 主体1 1 的上侧表面上，设置有用以红外线光学通信启动与外部信息处理设备之间的数据通信的一个光学通信光发送/接受部分2 2。在主体1 1 的下部表面上形成一个用于接纳一支用于触动触摸板1 4 的触笔（未示出）的触笔插入槽2 3。

图2 为展示P D A 的电子电路的构造的方框图。电子电路中包含一个用于控制各电路部分的操作的中央处理单元（X 8 6 C P U）2 4 a，一个用于控制触摸板1 4 中的键操作信号的输入处理的键控制器（K C U）2 5，一个用于根据提供给主控设备2 4 的晶体振荡信号（X T A L）3 3 启动计时操作的时钟发生器（C G）2 6，一个用于控制串行数据的输入/输出的串行输入/输出部分（S I O）2 7，一个用于控制并行数据的输入/输出的并行输入/输出部分（P I O）2 8，一个用于控制对R O M（8 M b i t × 4）3 4 及P S - R A M（4 M b i t × 2）3 4 的数据存取的存储器控制器（M C U）2 9，一个用于计数与检测来自中央处理单元2 4 a 的数据的一个预置的时间间隔的流逝时间的计时器控制器（T C U）3 0，一个用于控制诸如一个键输入信号这样的中断信号的输入处理的中断控制器（I C U）3 1，以及一个用于控制液晶显示部分1 2 的显

示定时的液晶定时控制器 (LCTC) 3 2。

在液晶定时控制器3 2 中设置有一个2 5 6 字节的RAM3 2 a，在RAM3 2 a 中写入有诸如光标、图形或符号等要与液晶显示部分1 2 的显示数据相组合的图象数据。

在ROM3 4 中事先存储有一个用于控制PDA电路的操作的系统程序及用于各种设定模式的应用程序。

PS-RAM3 5 是一个伪静态的RAM，其中设置有用存储显示数据的一个VRAM（视频存储器）。在RAM中存储有足够的用户登记的地址数据及信息数据。

主控设备 (MPU) 2 4 经由接口3 6 连接在RS-2 3 2 连接器2 1 上，且设置在光学通信光发送/接收部分2 2 中的一个红外光电晶体管2 2 a 经由适配器2 2 b 及接口3 6 连接在主控设备2 4 上。

再者，PDA的电子电路中包括一个由门阵列构成的电压转换部分3 7，使之能在5 伏上工作的触摸板1 4、IC卡连接器2 0 a 与用于发生电子声音的LSI（大规模集成电路）3 8 以及在3 伏上工作的主控设备2 4 之间传送输入/输出数据。

液晶显示部分1 2 分成第一至第四显示部分1 2 a 至1 2 d，各具有1 6 0 点高×1 2 8 点宽的一个区域。即，液晶显示部分1 2 的公共信号电极1 2 1 分成上下两个部分，并且上下两部分中每一部分的1 6 0 条公共线是由一个第一公共驱动器 (COM1) 3 9 及一个第二公共驱动器 (COM2) 4 0 共同驱动的，各驱动器输出8 0 个公共信号。

段信号电极1 2 2 分成两个部分，并且1 2 8 条段

线分别由对应于第一至第四显示部分1 2 a 至1 2 d 的第一段驱动器 (S E G 1) 4 1 至第四段驱动器 (S E G 4) 4 4 驱动。

将来自主控设备2 4 的液晶定时控制器3 2 的定时信号与显示数据提供给液晶显示部分1 2 的公共驱动器3 9 、4 0 及段驱动器4 1 至4 4 。

将触摸板1 4 的触摸操作信号作为一个中断信号提供给主控设备2 4 的中断控制器3 1 , 并将表示触摸位置的模拟数据用一个A / D 转换器4 5 转换成十位的数字数据并输出到主控设备2 4 的键控制器2 4 。

即, 在液晶显示部分1 2 中, 当第一至第四显示部分1 2 a 至1 2 d 中的第一公共线被第一公共驱动器3 9 驱动时, 段线是根据存储在段驱动器4 1 至4 4 中的第一水平行的显示数据驱动的。

此后, 第二、第三及以后的公共线顺序地受到驱动, 从而得以以并行的方式同时驱动对应于液晶显示部分1 2 的上面一半的第一与第二显示部分1 2 a 、1 2 b 中的1 6 0 条公共线以及对应于液晶显示部分1 2 的下面一半的第三与第四显示部分1 2 c 、1 2 d 中1 6 0 条公共线。显示图象的全部显示数据得以显示。

段驱动电路

图3 为展示P D A 的液晶显示部分1 2 的第一段驱动器4 1 的电路构造的方框图。第二段驱动器4 2 至第四段驱动器4 4 中每一个具有与第一段驱动器4 1 相同的构造, 从而省略它们的说明。

第一段驱动器4 1 具有一个显示R A M 4 6 , 它能存储要在对应于其自身的显示区的第一显示部分1 2 a

上显示的1 6 0 点高×1 2 8 点宽的显示数据。

显示R A M 4 6 的地址数据与显示数据是以一种分时技术从主控器2 4 的液晶定时控制器3 2 经由一条8 位数据总线5 5 (D 0 至D 7) 提供的。经由8 位数据总线5 5 (D 0 至D 7) 提供的地址数据存储在地地址寄存器4 7 中。地址寄存器4 7 的内容经由选择器4 8 提供给R A M 4 6 的地址端口。再者, 传输的显示数据经由位组合电路4 9 提供给R A M 4 6 的输入端口。

图4 为展示将数据写入P D A 的段驱动器中的显示R A M 4 6 中所必需的写入地址数据的结构的示图。在地址数据的高位第1 2 至第1 4 位位置中设置三位驱动器选择数据, 在其第8 至1 1 位位置中央设置四位X 地址, 并在其第0 至第7 位位置中设置8 位Y 地址。用于指定第一至第四段驱动器之一的三位驱动器选择数据是与地址数据一起从数据总线5 5 (D 0 至D 7) 提供的。例如, 如果驱动器选择数据为“0 0 0”, 便选择第一段驱动器4 1。如果驱动器选择数据为“0 0 1”, 则选择第二段驱动器4 2。如果驱动器选择数据为“0 1 0”, 则选择第三段驱动器4 3。如果驱动器选择数据为“1 0 0”, 则选择第四段驱动器4 4。由于显示数据是每次8 位经由数据总线5 5 (D 0 至D 7) 提供的, 显示数据必须写入R A M 4 6 中1 6 次才能准备水平方向(X 方向) 上的1 2 8 位。因此X 地址是用四位地址数据指定的。再者, Y 地址是由能够指定与垂直方向(Y 方向) 上的1 6 0 位相适应的2 5 6 个地址的8 位地址数据指定的。即, 全部数据写入地址数据是由1 5 位构成的。当从M P U 2 4 经由数据总线5 5 (D 0 至D 7) 提供写入地址数据时, 该地址数据是在两个独立的

周期中每次8 位提供的。

图5 为展示P D A 的段驱动器中的地址寄存器4 7 的构造的示图。地址寄存器4 7 中包含一个X 寄存器4 7 a 、Y 寄存器4 7 b 、D 寄存器4 7 c 及及Z 寄存器4 7 d 。X 寄存器4 7 a 与Y 寄存器4 7 b 用作写入地址寄存器, 它存储用于写入显示数据的写入地址数据。D 寄存器4 7 c 保存用于从显示R A M 4 6 读出显示数据的Y 地址数据。各寄存器的值由一个加1 电路 (增加1 电路) 5 0 顺序地增加。因此, 各寄存器可用作地址计数器。Z 寄存器4 7 d 用作显示锁存选择寄存器, 在将从显示R A M 4 6 中读出到对应于各条段线的显示锁存电路5 1 a 至5 1 o 的一部分显示数据提交给组合处理时, 这一寄存器保存用于指定锁存电路5 1 a 至5 1 o 中之一的地址数据。

在显示数据的写入过程中, 存储在地址寄存器4 7 的X 寄存器4 7 a 与Y 寄存器4 7 b 中的写入地址数据经由各7 位总线5 6 与8 位总线5 7 传送到地址选择器4 8 。在显示数据的读出过程中, 存在D 寄存器4 7 c 中的读出Y 地址数据经由8 位总线5 7 传送到地址选择器4 8 。再者, 在显示数据的组合过程中, 指定用于组合保持在地址寄存器4 7 的Z 寄存器4 7 d 中的显示数据的锁存电路的地址数据经由7 位数据总线5 8 传送到一个解码器5 2 。

指定与从L C T C 3 2 经由8 位总线5 5 (D 0 至D 7) 提供的组合数据相对应的段驱动器的驱动器选择数据设置在保持在Z 寄存器4 7 d 中的组合显示锁存选择数据中的高三位位置中。将显示锁存电路5 1 a 至5 1 o 之一指定为显示数据的组合目的地的4 位组合位置

地址数据设置在锁存选择数据的低4 位位置中。

在显示数据的写入过程中，在地址选择器4 8 输出的写入地址数据中的3 位驱动器选择数据是提供给一个定时/模式解码器5 3 的，而4 位X 地址与8 位Y 地址数据是提供给显示RAM 4 6 的一个地址端口（A 0 至A 1 1）的。在定时/模式解码器5 3 中，将驱动器选择数据与标识码（在第一段驱动器4 1 中为“0 0 0”）进行比较，这些标识码是在输入端（D C 0）至（D C 2）中事先设定的并且是段驱动器所固有的。然后检验驱动器选择数据与标识码之间是否吻合。

如果在定时/模式解码器5 3 中判定了标识码与驱动器选择数据之间的吻合，则将一个写启动信号WE 输出到显示RAM 4 6，并使从地址选择器4 8 提供给地址端口（A 0 至A 1 1）的写入X 与Y 地址有效。

再者，在读出显示数据时，地址选择器4 8 将来自D 寄存器4 7 c 的8 位读出Y 地址提供给显示RAM 4 6 的地址端口（A 0 至A 1 1）。在这一情况中，从定时/模式解码器5 3 输出一个用于同时读出水平方向（X 方向）上的一行显示数据的一个批读出信号“a”或者用于每次8 位读出显示数据的一个分部读出信号“b”两者之一。批读出信号“a”是提供给显示RAM 4 6 的一个1 2 8 位批输出端口（ $\overline{O}128$ ）的。分部读出信号“b”是提供给显示RAM 4 6 的8 位输出端口（ $\overline{O}$ ）的。从显示RAM 4 6 的批输出端口（ $\overline{O}128$ ）读出的一个水平行的1 2 8 位显示数据是通过一条1 2 8 位总线5 9 传送的，并且每次8 位地分配给及存储在显示锁存电路5 1 a 至5 1 o 中。从显示RAM 4 6 的输出端口（ $\overline{O}$ ）读出的8 位显示数据是通过一条8 位总

线6 0 传送给位组合电路4 9 的。

段驱动器4 1 的地址选择器4 8 是设计成允许经由1 5 位总线6 1 (A 0 至A 1 4) 将地址数据直接输入到显示RAM 4 6 , 以便与采用另一个MP U 的情况相适应。在这一情况中, 用一个切换信号E X T S E L 来判定RAM地址数据是经由地址寄存器4 7 还是经由1 5 位总线6 1 (A 0 至A 1 4) 输入的。在本实施例中, 不采用1 5 位总线6 1 。

位组合电路4 9 启动经由数据总线提供的显示数据的传递/传送处理或者组合/传送处理。组合处理的 (A N D 、 O R 、 E X O R) 一个指定规定信号根据来自MP U 2 4 的指令由定时/模式解码器5 3 提供。在显示数据的写入过程中, 位组合电路4 9 传递与传送显示数据, 这些数据是以每次8 位由MP U 2 4 经由8 位数据总线5 5 (D 0 至D 7) 顺序地向显示RAM 4 6 的输入端口 (I) 提供的。再有, 在显示数据在显示屏上的组合过程中, 由MP U 2 4 经由8 位数据总线5 5 (D 0 至D 7) 提供的组合数据与8 位显示数据组合, 这些数据是有选择地通过一条8 位总线6 2 从显示锁存电路5 1 a 至5 1 o 中之一中读出的, 然后通过一条8 位总线6 3 送回显示锁存电路5 1 a 至5 1 o 中的同一个中。

在重写存储在显示RAM 4 6 中的显示数据的组合过程的情况中, 由位组合电路4 9 组合从显示RAM 4 6 的输出端口 ($\overline{O}$) 读出的8 位显示数据及由MP U 2 4 提供的组合数据, 然后将其传送给显示RAM 4 6 的输入端口 (I) 。

在显示屏上组合显示数据的过程中, 解码器5 2 判定保持在地址寄存器4 7 的Z 寄存器4 7 d 中的高三位

驱动器选择数据与预先作为 (DC0) 至 (DC2) 设定的并且是该段驱动器所固有的驱动器标识码 (在第一段驱动器4 1 中为“0 0 0”) 之间的吻合/不吻合。当判定结果指明吻合时, 则解码保持在Z 寄存器4 7 d 中的低四位组合锁存位置地址数据, 并指定显示锁存电路5 1 a 至5 1 o 之一作为显示数据的组合目的地, 并输出其锁存位置指定信号S 0 至S 1 5。因此, 例如如果从解码器5 2 输出锁存指定信号S 0 并指定与一行显示数据的第0 至第7 位相对应的显示锁存电路5 1 a 作为显示数据的组合目的地, 则将保持在显示锁存电路5 1 a 中的8 位显示数据通过8 位总线6 2 传送到组合电路4 9, 并与经由8 位数据总线5 5 (D 0 至D 7) 传送的组合数据组合, 然后传送给显示锁存电路5 1 a 并存储在那里。

在本例中, 各显示锁存电路5 1 a 至5 1 o 具有第一与第二锁存部分L 1、L 2, 从显示RAM 4 6 的并行读出端口 (O 1 2 8) 读出的显示数据或者来自组合电路4 9 的数据以每次8 位锁存进第一锁存部分L 1 中, 而根据来自公共驱动器3 9、4 0 的公共线驱动信号输出到段信号生成电路5 4 的显示数据则从第一锁存部分L 1 移位到并锁存在第二锁存部分L 2 中。

即, 锁存在显示锁存电路5 1 a 至5 1 o 的第一锁存部分L 1 中的显示数据根据基于公共线驱动信号的一个锁存脉冲 (L P) 移位到并锁存在第二锁存部分L 2 中, 然后输出到段信号生成电路5 4, 以便按照显示数据驱动段线 (S 0 至S 1 2 7)。

段信号生成电路5 4 根据从显示锁存电路5 1 a 至5 1 o 中每一个的第二锁存部分L 2 所提供的1 2 8 位

显示数据选择一种显示器驱动电压 (V_1 、 V_2 、 V_3 、 V_{EE})，并驱动液晶显示部分12 (在本例中，第一显示部分12a) 的段线，并在此时，在液晶显示部分12上显示一起驱动的一行显示数据。

图6 为展示上述段驱动器中的显示RAM46的内部构造的电路图。显示RAM46中包含16个RAM，RAM0至RAM15。垂直方向(Y方向)上的160位 $\times$ 水平方向(X方向)上的128位的显示数据在水平方向中被除以16，并将各部分显示数据存储在对应的RAM中。根据输入到地址端口(A0至A11)的写入X地址与Y地址，每次8位将经由位组合电路49传送的显示数据写入16个RAM，RAM0至RAM15的一个指定的区域中。

即，将输入到地址端口(A0至A11)中的4位X地址输入到解码器46a并解码成用于指定16个RAM，RAM0至RAM15的一个RAM指定信号。解码器输出经由被一个来自定时/模式解码器53的写启动信号WE所启动的“与”门AND0至AND15提供给RAM，RAM0至RAM15，以将其设置在写入模式中。这样，便由解码器46a、“与”门AND0至AND15及定时/模式解码器53构成了一个数据写入电路。

再者，将输入到地址端口(A0至A11)的数据中的8位Y地址作为一个公共Y地址提供给16个RAM，RAM0至RAM15。

RAM0至RAM15的输出线连接到8位输出锁存部分L0至L15，并将来自定时/模式解码器53的批读出信号“a”作为一个用于读出显示数据的批锁

存脉冲提供给输出锁存部分L 0 至L 1 5 。

即，当批读出信号“a”提供给输出锁存部分L 0 至L 1 5 时，便根据指定给地址端口（A 0 至A 1 1）的一个读出Y地址指定了一个对RAM 0 至RAM 1 5 的公共Y地址，从而可将存储在RAM中的所有8位显示数据项读出并作为一行的128位显示数据锁存在对应的输出锁存部分L 0 至L 1 5 中。

从并行输出端口（ $\overline{O}$ 1 2 8）将锁存在输出锁存部分L 0 至L 1 5 中的一行的128位显示数据并行传送到显示锁存电路5 1 a 至5 1 o，并锁存与保持在它们的第一锁存部分L 1 中。从而，由锁存电路5 1 a 至5 1 o 与定时/模式解码器5 3 构成了一个数据读出电路。

再者，RAM 0 至RAM 1 5 的输出线是连接到门G 0 至G 1 5 上的，后者是由对应于来自解码器4 6 a 的X地址的一个RAM指定信号启动的，并且有选择地经由门G 0 至G 1 5 之一从RAM 0 至RAM 1 5 中读出的8位显示数据是锁存进输出锁存部分L E 中并从8位输出端口（ $\overline{O}$ ）传送到组合电路4 9 的。

即，当将来自定时/模式解码器5 3 的一个写启动信号WE提供给显示RAM 4 6 时，8位显示数据按照保持在地址寄存器4 7 的X与Y寄存器中的写入X与Y地址顺序地写入RAM 0 至RAM 1 5 中。当将来自定时/模式解码器5 3 的批读出信号“a”提供给显示RAM 4 6 时，来自所有RAM，RAM 0 至RAM 1 5 的所有8位显示数据项经由输出锁存部分L 0 至L 1 5 作为一行128位显示数据，按照保存在地址寄存器4 7 的D寄存器中的一个读出Y地址，同时读出到显示锁存部分5 1 a 至5 1 o 中。

显示数据写入操作

下面说明上述构造的PDA的段驱动器的显示数据写入操作。

图7 为展示个人数字助手的段驱动器中的显示RAM4 6 的数据写操作的流程图。在MPU3 2 将显示数据写入段驱动器的显示RAM4 6 的情况中, 它基本上输出高地址数据 (7 位) 及低地址数据 (8 位), 然后顺序地提供显示数据 (8 位)。段驱动器经由8 位数据总线5 5 (D0 至D7) 取出由3 位驱动器选择数据及4 位X 地址构成的用于写的高7 位地址数据, 并将其设置在地址寄存器4 7 的X 寄存器4 7 a 中 (框S 1)。

随着写入高地址, 当经由8 位数据总线5 5 (D0 至D7) 提供了由一个8 位地址构成的低地址数据时, 便将它设置在地址寄存器4 7 的Y 寄存器4 7 b (框S 2)。

将保持在X 寄存器4 7 a 中的高三位驱动器选择地址经由地址选择器4 8 提供给定时/模式解法器5 3 (框S 3)。接着, 经由地址选择器4 8 将保持在X 寄存器4 7 a 中的低4 位X 地址及保持在Y 寄存器4 7 b 中的8 位地址提供给显示RAM4 6 的地址端口 (A0 至A11)。

此时, 通过比较判定提供给定时/模式解法器5 3 的驱动器选择数据是否吻合该段驱动器所固有的、事先作为 (DC0) 至 (DC2) 设置在定时/模式解法器5 3 中的一个标识码 (在第一段驱动器4 1 中为“000”) (框S 4)。

当定时/模式解法器5 3 判定该驱动器选择数据与

该段驱动器固有的标识码吻合时，便将写启动信号WE提供给显示RAM4 6 中的1 6 个“与”门AND0 至AND1 5 。

然后，根据提供给显示RAM4 6 的地址端口 (A0 至A1 1) 的X 地址经由解码器4 6 a 指定RAM, RAM0 至RAM1 5 , 之一，并由提供给同一地址端口 (A0 至A1 1) 的Y 地址指定被指定的RAM的一个Y 地址，以便随在写入地址数据后面经由8 位数据总线5 5 (D0 至D7) 提供的8 位显示数据能够顺序地写入。

例如，在写入一行数据时，可以通过1 5 次将X 地址寄存器4 7 a 的内容加一来启动写入操作。再者，可以通过1 6 0 次将Y 地址寄存器4 7 b 的内容加1 重复启动写入一个水平行的显示数据的写入操作而写入段驱动器的占用区中的1 2 8 位宽×1 6 0 位高的显示数据。

显示操作

下面说明个人数字助手的段驱动器中的显示操作。

在液晶显示部分1 2 上的显示操作中，将主控设备2 4 中的液晶定时控制器3 2 输出的一个锁存脉冲LP 提供给定时/模式解码器5 3 。从定时/模式解码器5 3 将批读出信号“a ” 提供给显示RAM4 6 的批输出端口 ($\overline{O}1 2 8$) 。此时，将保持在地址寄存器4 7 的D 寄存器4 7 c 中的读出Y 地址数据经由地址选择器4 8 提供给显示RAM4 6 的地址端口 (A0 至A1 1) 。在1 6 个RAM, RAM0 至RAM1 6 中的Y 地址的8 位显示数据项同时被读出并锁存在对应的输出锁存部分L0 至L1 5 中。

然后，将锁存在显示RAM4 6 的输出锁存部分L 0 至L 1 5 中的一行1 2 8 位显示数据分配给显示锁存电路5 1 a 至5 1 o，并锁存进对应的显示锁存电路的第一锁存部分L 1 中。

在这一情况中，如果Y方向上的一条第一公共线被公共驱动器3 9 所驱动，则锁存在显示锁存电路5 1 a 至5 1 o 的第一锁存部分L 1 中的显示数据便根据锁存脉冲L P 移位并锁存进第二锁存部分L 2 中，并且输出到段信号生成电路5 4 中。

结果，便根据一行显示数据驱动第一段驱动器4 1 的占用区的第一显示部分1 2 a 的段线；以启动第一公共线的液晶显示。

此时，由加1 电路（增加1 电路）5 0 向计数保持在地址寄存器4 7 的D 寄存器4 7 c 中的读出Y 地址，而从显示RAM4 6 的并行读出端口（O 1 2 8）同时读出第二行的1 2 8 位显示数据，并将其传送给与锁存进对应的显示锁存部分5 1 a 至5 1 o 的第一锁存部分L 1 中，供下一次驱动公共线时作为显示数据使用。

此后，根据每次驱动公共线时顺序地加1 的读出Y 地址，顺序地读出一行的1 2 8 位显示数据并将其传送给显示锁存电路5 1 a 至5 1 o，从而启动了第一段驱动器4 1 在第一显示部分1 2 a 上的显示操作。

在第二至第四段驱动器4 2 至4 4 中启动与第一段驱动器4 1 中所启动的相同的显示数据读出过程，从而启动了液晶显示部分1 2 的整个区域的显示过程。

即，在各段驱动器4 1 至4 4 中读出与显示来自显示RAM4 6 的显示数据的过程中，根据加1 电路5 0 顺序地加1 的、在地址寄存器4 7 的D 寄存器4 7 c 中

的读出Y地址，将显示RAM46中的一行（128位）的所有显示数据顺序地读出。将读出的一行显示数据锁存在显示锁存电路51a至51o中，并通过驱动公共线同时输出到段信号生成电路54，因此，可以提高显示处理速度并减少存储器存取次数，从而减少功率消耗。

显示数据组合操作

下面说明个人数字助手的段驱动器中的显示数据组合操作。

图8为展示个人数字助手的段驱动器中的显示数据组合操作的流程图。在显示数据组合操作中，地址数据与组合数据是与显示数据组合的定时同步地从主控设备24提供的。即，当将用于一条公共线的驱动的一行显示数据读出到并锁存在显示锁存电路51a至51o的第一锁存部分L1中时，如果从MPU24经由8位数据总线55（D0至D7）提供了3位驱动器选择数据及4位组合锁存位置地址，则将上述7位构成的组合地址数据保持在地址寄存器47的Z寄存器47d中。

在这一情况中，将保持在Z寄存器47d中的高3位驱动器选择数据提供给解码器52，并通过比较判定这三位驱动器选择数据是否与该段驱动器固有的、并事先作为（DC0）至（DC2）设置在解码器52中的驱动器地址（在第一段驱动器41中为“000”）相吻合（框A2、A3）。

当在解码器52中判定驱动器选择数据与该段驱动器固有的驱动器地址吻合时，便在解码器52中解码保持在地址寄存器47的Z寄存器47d中的低4位组合锁存位置地址。选择显示锁存电路51a至51o中之

一作为组合锁存位置，将待组合的显示数据锁存在其中（框A 4 、A 5 ）。

在这一情况中，例如，如果解码器5 2 解码的组合锁存位置为“0 0 0 1”，并将显示锁存电路5 1 b 选择为组合锁存位置。则将显示锁存电路5 1 b 的第一锁存部分L 1 中所锁存的8 位显示数据通过8 位总线6 2 传送给位组合电路4 9 。

在7 位组合地址数据后面，从液晶定时控制器3 2 经由8 位数据总线5 5 （D 0 至D 7 ）将诸如表示一个光标的组合数据传送给位组合电路4 9 ，并与从第一锁存部分L 1 中读出的数据组合（框A 6 ）。

即，在这一情况中，光标图象数据与选择为组合锁存位置的显示锁存电路5 1 b 的第一锁存部分L 1 中的并且包含在下一次驱动公共线时输出到段信号生成电路5 4 的一行显示数据的第8 至第1 5 位中的显示数据进行组合。

将在位组合电路4 9 中组合的组合显示数据再一次传送到并锁存进显示锁存电路5 1 b 的第一锁存部分L 1 中。然后，在下一次驱动公共线时，将显示数据与锁存在其它显示锁存电路5 1 a 、5 1 c 至5 1 o 中的显示数据一起输出到段信号生成电路5 4 。

因此，事先存储在液晶定时控制器3 2 的内装式R A M 3 2 a 中的组合数据被组合与显示在液晶显示部分1 2 上的一个给定的显示位置中。

这样，当将一行显示数据读出到显示锁存电路5 1 a 至5 1 o 时，选择显示锁存电路5 1 a 至5 1 o 之一，并从该选中的显示锁存电路中将待组合的显示数据读到位组合电路4 9 ，与组合数据一起提交给组合处理。

然后再将显示数据传送回并锁存进显示锁存电路5 1 a至5 1 o中的同一个显示锁存电路中，使得在读出一行显示数据时，能在所要求的定时上达到数据组合。能够高速地、自由地达到图象组合而无需重写显示RAM 4 6的内容。

再者，可以重复地启动同一部分的重写组合处理，例如，通过选择与指定显示锁存电路5 1 a至5 1 o中的同一个显示锁存电路，求出来自选中的显示锁存电路的显示数据与经由8位数据总线5 5 (D 0至D 7)提供的组合数据的逻辑“与”，然后将组合结果再提交给逻辑“或”运算。

其它优点与改型将容易地被熟悉本技术的人员发现。因此，本发明在其广义上不限于这里所展示与描述的特定细节与代表性设备。从而，可以在不脱离所附的权利要求书及其等价物所定义的总的发明性概念的精神或范围的前提下，作出各种各样的改型。

图1

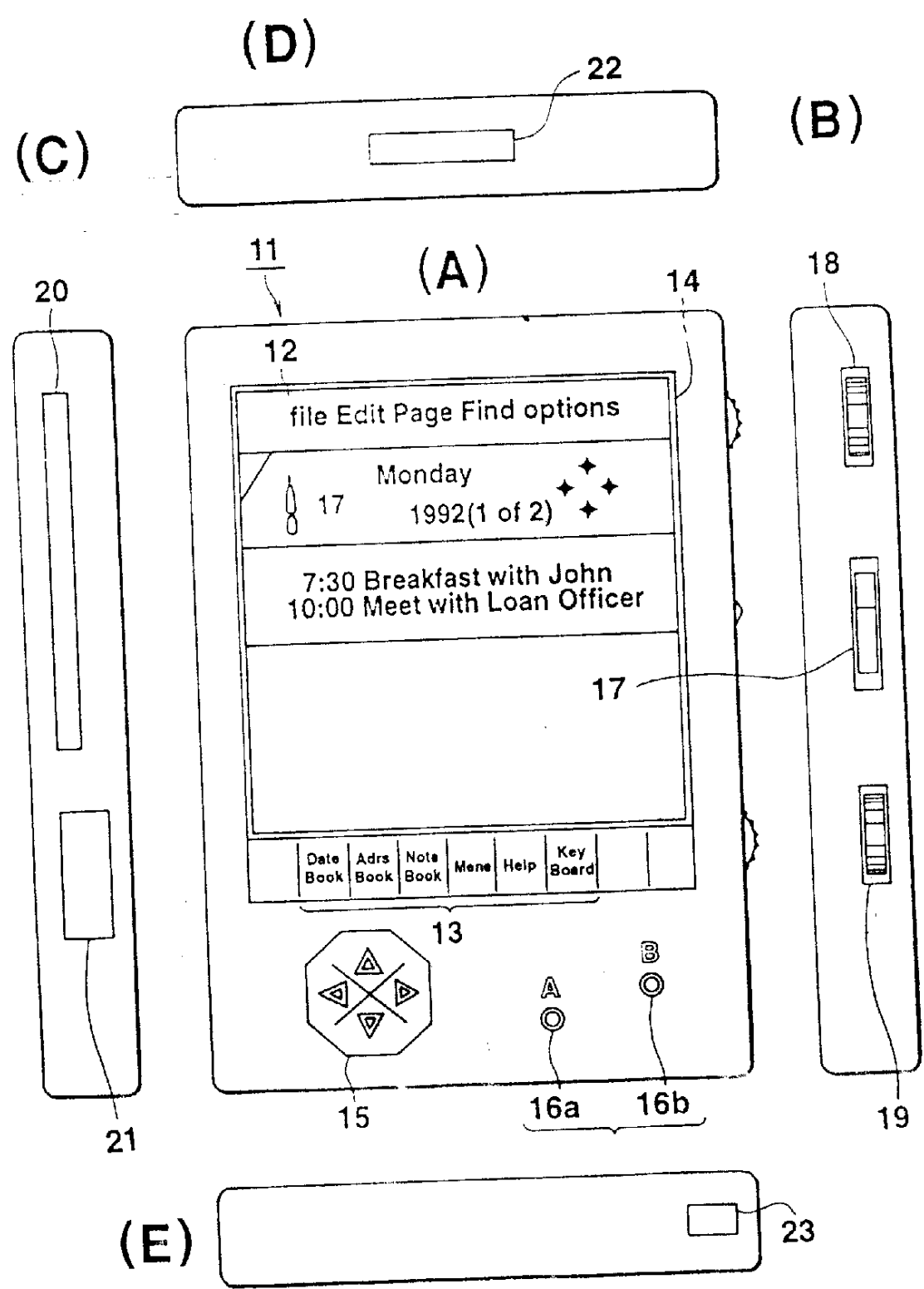


图3

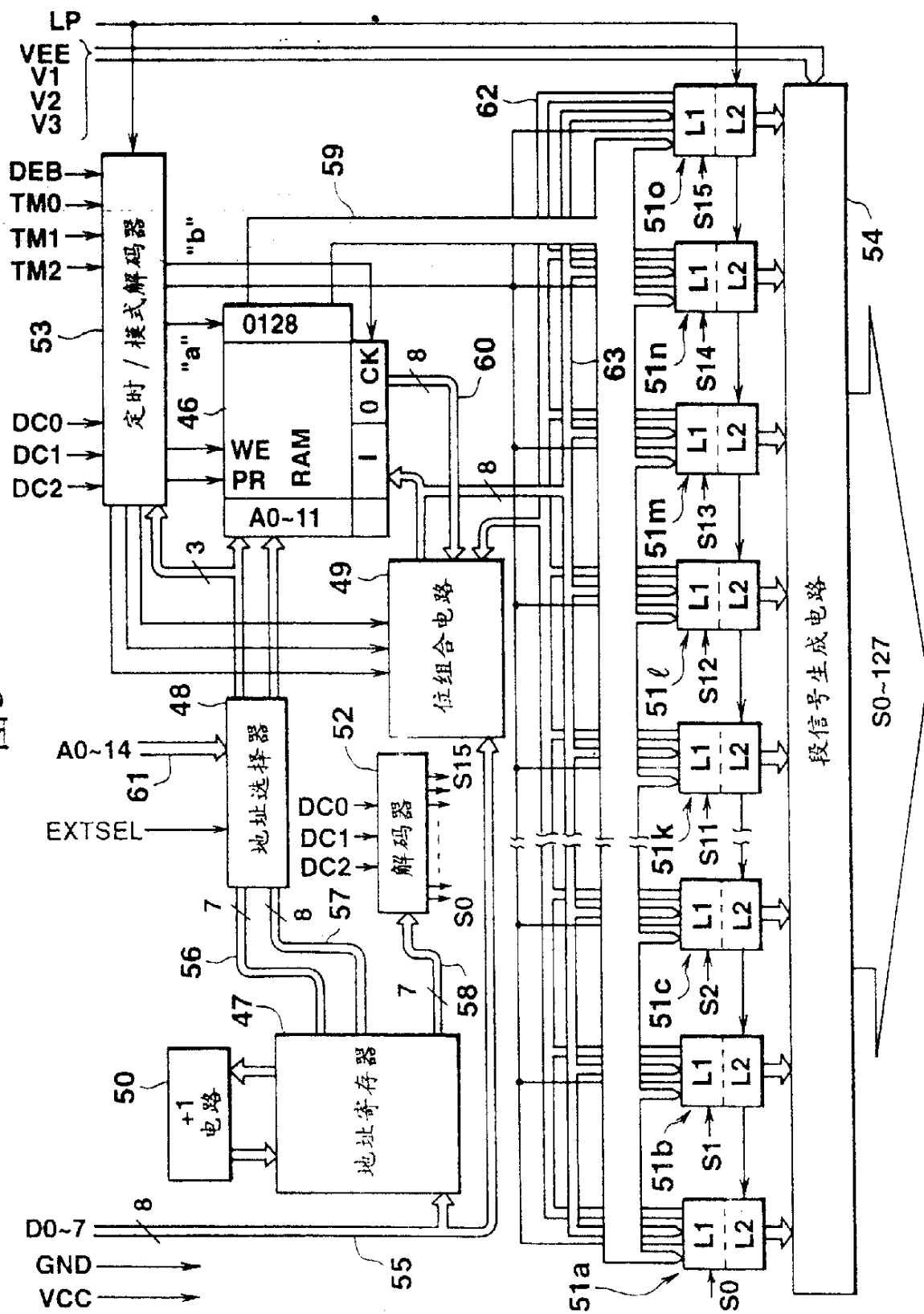


图4

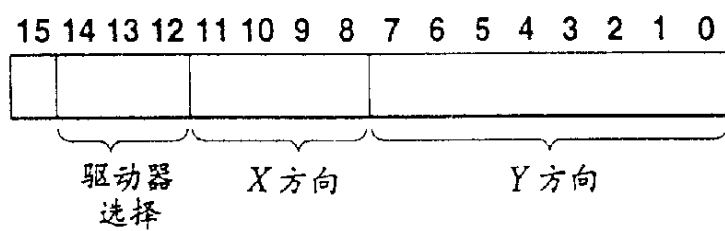


图5

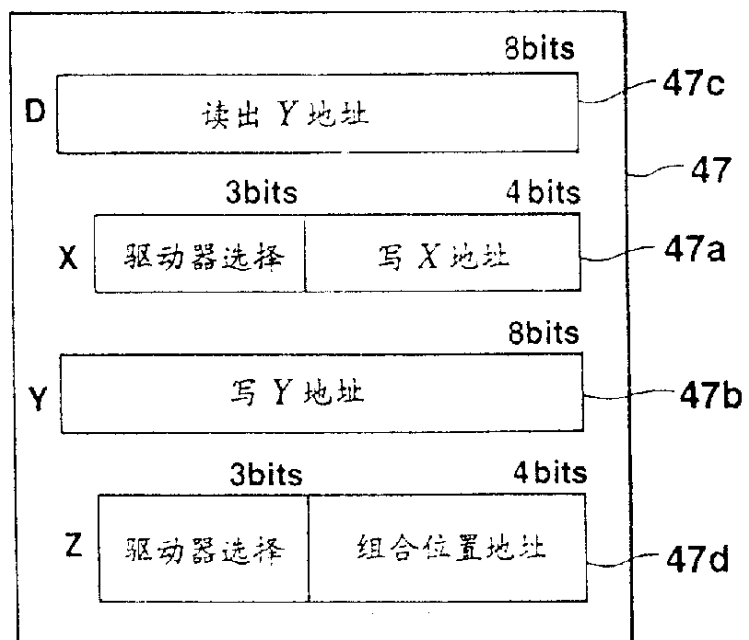


图6

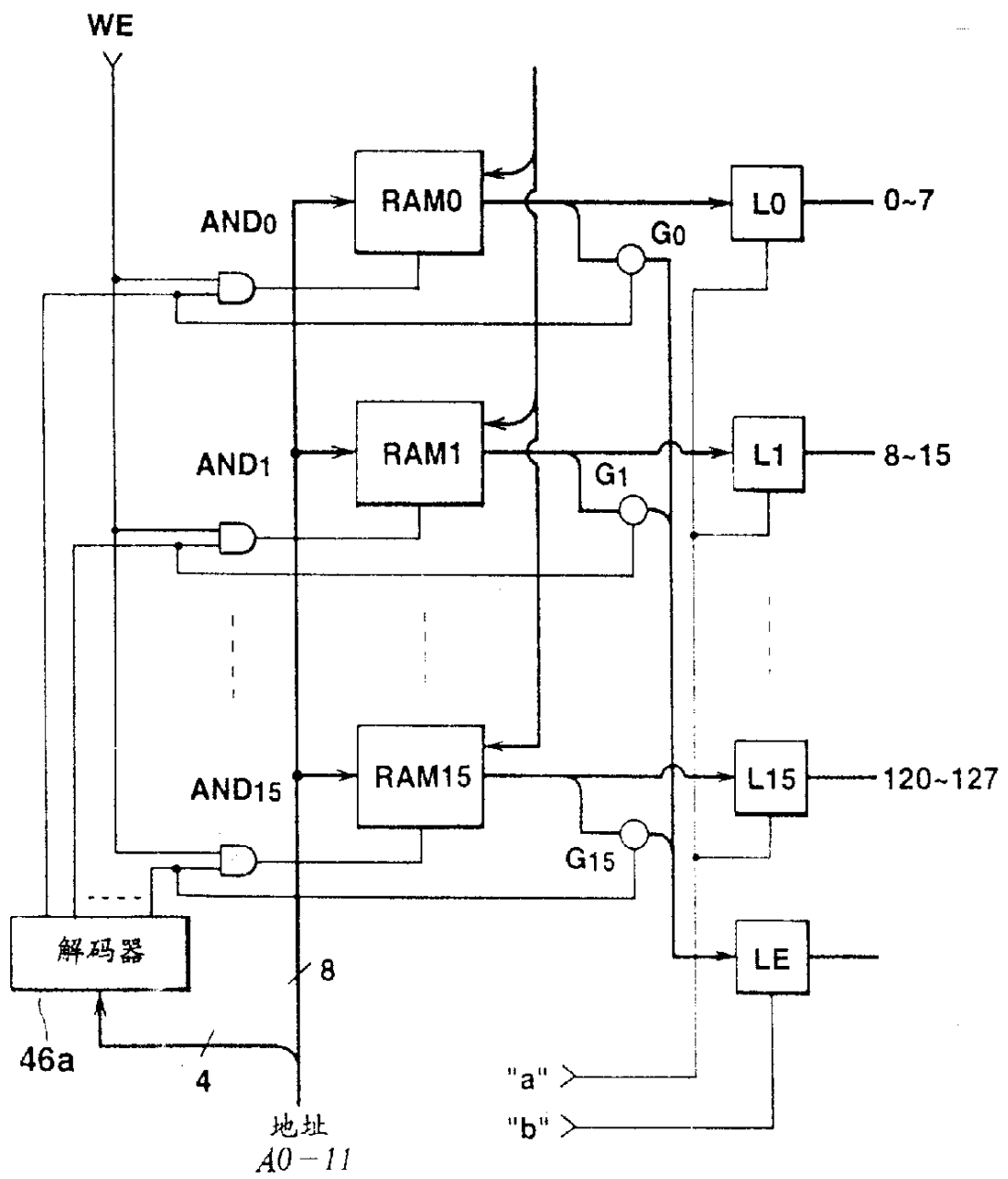


图7

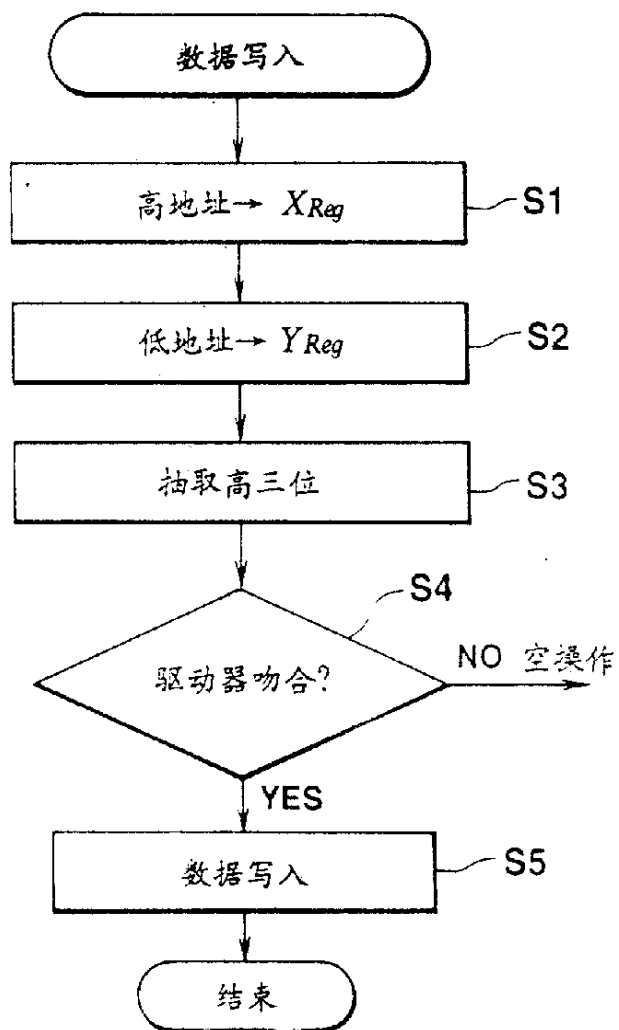


图8

