



(12)发明专利

(10)授权公告号 CN 104933990 B

(45)授权公告日 2017.03.22

(21)申请号 201510386544.0

(51)Int.Cl.

(22)申请日 2015.06.30

G09G 3/3266(2016.01)

(65)同一申请的已公布的文献号

G11C 19/28(2006.01)

申请公布号 CN 104933990 A

(56)对比文件

(43)申请公布日 2015.09.23

US 2008143706 A1, 2008.06.19,

(73)专利权人 上海天马有机发光显示技术有限公司

TW 201106374 A, 2011.02.16,

地址 200120 上海市浦东新区龙东大道
6111号1幢509室

CN 104008779 A, 2014.08.27,

专利权人 天马微电子股份有限公司

CN 104409045 A, 2015.03.11,

CN 104485061 A, 2015.04.01,

审查员 魏贯军

(72)发明人 吴桐 钱栋 王志良

权利要求书3页 说明书9页 附图4页

(74)专利代理机构 北京品源专利代理有限公司

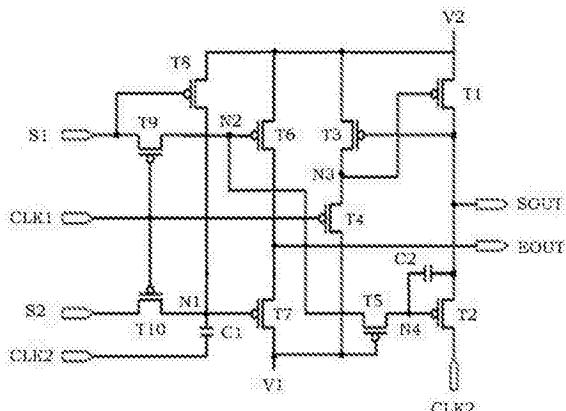
11332

代理人 孟金喆 胡彬

(54)发明名称
一种移位寄存单元及驱动方法、栅极驱动电
路

(57)摘要

本发明提供一种移位寄存单元及驱动方法、
栅极驱动电路。该移位寄存单元包括第一触发信
号输入端、第二触发信号输入端、第一时钟信号
端、第二时钟信号端、第一电平信号端、第二电平
信号端、第一节点N1、第二节点N2、第三节点N3、
第四节点N4、扫描信号输出端、发光信号输出端，
以及第一晶体管T1、第二晶体管T2、第三晶体管
T3、第四晶体管T4、第五晶体管T5、第六晶体管
T6、第七晶体管T7、第八晶体管T8、第九晶体管
T9、第十晶体管T10、第一电容C1和第二电容C2。
该移位寄存单元通过一个电路同时实现扫描驱
动信号和发光驱动信号的输出，同时缩小了电路
的占版面积，有利于窄边框设计以及提高版图设
计的灵活性。



1. 一种移位寄存单元，其特征在于，包括第一触发信号输入端、第二触发信号输入端、第一时钟信号端、第二时钟信号端、第一电平信号端、第二电平信号端、第一节点N1、第二节点N2、第三节点N3、第四节点N4、扫描信号输出端、发光信号输出端，以及第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10、第一电容C1和第二电容C2；

其中，所述第一晶体管T1的控制端电连接所述第三节点N3、第一极电连接所述第二电平信号端、第二极电连接所述扫描信号输出端；

所述第二晶体管T2的控制端电连接所述第四节点N4、第一极电连接所述第二时钟信号端、第二极电连接所述扫描信号输出端；

所述第三晶体管T3的控制端电连接所述扫描信号输出端、第一极电连接所述第二电平信号端、第二极电连接所述第三节点N3；

所述第四晶体管T4的控制端电连接所述第一时钟信号端、第一极电连接所述第一电平信号端、第二极电连接所述第三节点N3；

所述第五晶体管T5的控制端电连接所述第一电平信号端、第一极电连接所述第二节点N2、第二极电连接所述第四节点N4；

所述第六晶体管T6的控制端电连接所述第二节点N2、第一极电连接所述第二电平信号端、第二极电连接所述发光信号输出端；

所述第七晶体管T7的控制端电连接所述第一节点N1、第一极电连接所述第一电平信号端、第二极电连接所述发光信号输出端；

所述第八晶体管T8的控制端电连接所述第一触发信号输入端、第一极电连接所述第二电平信号端、第二极电连接所述第一节点N1；

所述第九晶体管T9的控制端电连接所述第一时钟信号端、第一极电连接所述第一触发信号输入端、第二极电连接所述第二节点N2；

所述第十晶体管T10的控制端电连接所述第一时钟信号端、第一极电连接所述第二触发信号输入端、第二极电连接所述第一节点N1；

所述第一电容C1的第一极与所述第二时钟信号端电连接，所述第一电容的第二极与所述第一节点N1电连接；

所述第二电容C2的第一极与所述第四节点N4电连接，所述第二电容的第二极与所述扫描信号输出端电连接。

2. 根据权利要求1所述的移位寄存单元，其特征在于，所述第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9和第十晶体管T10全部采用P型晶体管。

3. 根据权利要求2所述的移位寄存单元，其特征在于，所述第一电平信号端稳定输出低电平信号，所述第二电平信号端稳定输出高电平信号。

4. 根据权利要求1所述的移位寄存单元，其特征在于，所述第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9和第十晶体管T10全部采用N型晶体管。

5. 根据权利要求4所述的移位寄存单元，其特征在于，所述第一电平信号端稳定输出高电平信号，所述第二电平信号端稳定输出低电平信号。

6. 根据权利要求1所述的移位寄存单元，其特征在于，还包括一第三电容，所述第三电容的第一极与所述第二电平信号端电连接，所述第三电容的第二极与所述第二节点电连接。

7. 根据权利要求1所述的移位寄存单元，其特征在于，还包括一第四电容，所述第四电容的第一极与所述第一节点N1电连接，所述第四电容的第二极与所述发光信号输出端电连接。

8. 根据权利要求1所述的移位寄存单元，其特征在于，所述第一触发信号输入端为扫描触发信号输入端，所述第二触发信号输入端为发光触发信号输入端。

9. 一种移位寄存单元的驱动方法，其特征在于，所述移位寄存单元采用权利要求2所述的移位寄存单元；

在第一时间段内，所述第一触发信号输入端输入高电平，所述第二触发信号输入端输入低电平；所述第一时钟信号端输入低电平，所述第二时钟信号端输入高电平；所述第一晶体管、所述第四晶体管、所述第五晶体管、所述第七晶体管、所述第九晶体管、所述第十晶体管导通，所述第二晶体管、所述第三晶体管、所述第六晶体管、所述第八晶体管断开；所述扫描信号输出端输出高电平，所述发光信号输出端输出低电平；

在第二时间段内，所述第一触发信号输入端输入高电平，所述第二触发信号输入端输入高电平；所述第一时钟信号端输入高电平，所述第二时钟信号端输入低电平；所述第一晶体管、所述第五晶体管和所述第七晶体管导通，所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第六晶体管、所述第八晶体管、所述第九晶体管、所述第十晶体管断开；所述扫描信号输出端输出高电平，所述发光信号输出端输出低电平；

在第三时间段内，所述第一触发信号输入端输入低电平，所述第二触发信号输入端输入高电平；所述第一时钟信号端输入低电平，所述第二时钟信号端输入高电平；所述第一晶体管、所述第二晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第八晶体管、所述第九晶体管和所述第十晶体管导通，所述第三晶体管和所述第七晶体管断开；所述扫描信号输出端输出高电平，所述发光信号输出端输出高电平；

在第四时间段内，所述第一触发信号输入端输入高电平，所述第二触发信号输入端输入低电平；所述第一时钟信号端输入高电平，所述第二时钟信号端输入低电平；所述第二晶体管、所述第三晶体管、所述第五晶体管、所述第六晶体管导通，所述第一晶体管、所述第四晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管和所述第十晶体管断开；所述扫描信号输出端输出低电平，所述发光信号输出端输出高电平；

在第五时间段内，所述第一触发信号输入端输入高电平，所述第二触发信号输入端输入低电平；所述第一时钟信号端输入低电平，所述第二时钟信号端输入高电平；所述第一晶体管、所述第四晶体管、所述第五晶体管、所述第七晶体管、所述第九晶体管和所述第十晶体管导通，所述第二晶体管、所述第三晶体管、所述第六晶体管和所述第八晶体管断开；所述扫描信号输出端输出高电平，所述发光信号输出端输出低电平。

10. 一种栅极驱动电路，包括第一时钟信号发生器、第二时钟信号发生器、扫描触发信号发生器、发光触发信号发生器以及N级逐级串联的权利要求1-5任意一项所述的移位寄存单元，其中，N为正整数；

每一所述移位寄存单元的第一时钟信号端和第二时钟信号端分别电连接所述第一时

钟信号发生器和所述第二时钟信号发生器,所述第一时钟信号发生器和所述第二时钟信号发生器输出的时钟信号反相;

第1级移位寄存单元的第一触发信号输入端、第二触发信号输入端分别接收扫描触发信号发生器和发光触发信号发生器,第M级移位寄存单元的第一触发信号输入端、第二触发信号输入端分别电连接所述第M-1级移位寄存单元的扫描信号输出端和发光信号输出端,其中,M为大于等于2且小于等于N的正整数。

一种移位寄存单元及驱动方法、栅极驱动电路

技术领域

[0001] 本发明涉及显示技术领域，尤其涉及一种移位寄存单元及驱动方法、栅极驱动电路。

背景技术

[0002] 有机发光显示技术由于具有轻薄、省电等优点，很快成为显示技术领域发展的热点。对于有机发光显示器而言，驱动电路不仅需要提供扫描驱动信号，还需要提供发光驱动信号。

[0003] 目前，扫描驱动信号和发光驱动信号分别由两个独立的驱动电路提供。这种设置方式需要的晶体管和电容的数量较多，而且需要多条时钟信号线（通常为4~6条），导致驱动电路所占版图面积较大，由此获得的显示器的边框较宽，限制了版图设计的灵活性。

发明内容

[0004] 本发明提供一种移位寄存单元及驱动方法、栅极驱动电路，以解决现有技术的问题。

[0005] 第一方面，本发明提供一种移位寄存单元，包括，第一触发信号输入端、第二触发信号输入端、第一时钟信号端、第二时钟信号端、第一电平信号端、第二电平信号端、第一节点N1、第二节点N2、第三节点N3、第四节点N4、扫描信号输出端、发光信号输出端，以及第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10、第一电容C1和第二电容C2；

[0006] 其中，所述第一晶体管T1的控制端电连接所述第三节点N3、第一极电连接所述第二电平信号端、第二极电连接所述扫描信号输出端；

[0007] 所述第二晶体管T2的控制端电连接所述第四节点N4、第一极电连接所述第二时钟信号端、第二极电连接所述扫描信号输出端；

[0008] 所述第三晶体管T3的控制端电连接所述扫描信号输出端、第一极电连接所述第二电平信号端、第二极电连接所述第三节点N3；

[0009] 所述第四晶体管T4的控制端电连接所述第一时钟信号端、第一极电连接所述第一电平信号端、第二极电连接所述第三节点N3；

[0010] 所述第五晶体管T5的控制端电连接所述第一电平信号端、第一极电连接所述第二节点N2、第二极电连接所述第四节点N4；

[0011] 所述第六晶体管T6的控制端电连接所述第二节点N2、第一极电连接所述第二电平信号端、第二极电连接所述发光信号输出端；

[0012] 所述第七晶体管T7的控制端电连接所述第一节点N1、第一极电连接所述第一电平信号端、第二极电连接所述发光信号输出端；

[0013] 所述第八晶体管T8的控制端电连接所述第一触发信号输入端、第一极电连接所述第二电平信号端、第二极电连接所述第一节点N1；

[0014] 所述第九晶体管T9的控制端电连接所述第一时钟信号端、第一极电连接所述第一触发信号输入端、第二极电连接所述第二节点N2；

[0015] 所述第十晶体管T10的控制端电连接所述第一时钟信号端、第一极电连接所述第二触发信号输入端、第二极电连接所述第一节点N1；

[0016] 所述第一电容C1的第一极与所述第二时钟信号端电连接，所述第一电容的第二极与所述第一节点N1电连接；

[0017] 所述第二电容C2的第一极与所述第四节点N4电连接，所述第二电容的第二极与所述扫描信号输出端电连接。

[0018] 第二方面，本发明提供的一种驱动方法，在第一时间段内，所述第一触发信号输入端输入高电平，所述第二触发信号输入端输入低电平；所述第一时钟信号端输入低电平，所述第二时钟信号端输入高电平；所述第一晶体管、所述第四晶体管、所述第五晶体管、所述第七晶体管、所述第九晶体管、所述第十晶体管导通，所述第二晶体管、所述第三晶体管、所述第六晶体管、所述第八晶体管断开；所述扫描信号输出端输出高电平，所述发光信号输出端输出低电平；

[0019] 在第二时间段内，所述第一触发信号输入端输入高电平，所述第二触发信号输入端输入高电平；所述第一时钟信号端输入高电平，所述第二时钟信号端输入低电平；所述第一晶体管、所述第五晶体管和所述第七晶体管导通，所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第六晶体管、所述第八晶体管、所述第九晶体管、所述第十晶体管断开；所述扫描信号输出端输出高电平，所述发光信号输出端输出低电平；

[0020] 在第三时间段内，所述第一触发信号输入端输入低电平，所述第二触发信号输入端输入高电平；所述第一时钟信号端输入低电平，所述第二时钟信号端输入高电平；所述第一晶体管、所述第二晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第八晶体管、所述第九晶体管和所述第十晶体管导通，所述第三晶体管和所述第七晶体管断开；所述扫描信号输出端输出高电平，所述发光信号输出端输出高电平；

[0021] 在第四时间段内，所述第一触发信号输入端输入高电平，所述第二触发信号输入端输入低电平；所述第一时钟信号端输入高电平，所述第二时钟信号端输入低电平；所述第二晶体管、所述第三晶体管、所述第五晶体管、所述第六晶体管导通，所述第一晶体管、所述第四晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管和所述第十晶体管断开；所述扫描信号输出端输出低电平，所述发光信号输出端输出高电平；

[0022] 在第五时间段内，所述第一触发信号输入端输入高电平，所述第二触发信号输入端输入低电平；所述第一时钟信号端输入低电平，所述第二时钟信号端输入高电平；所述第一晶体管、所述第四晶体管、所述第五晶体管、所述第七晶体管、所述第九晶体管和所述第十晶体管导通，所述第二晶体管、所述第三晶体管、所述第六晶体管和所述第八晶体管断开；所述扫描信号输出端输出高电平，所述发光信号输出端输出低电平。

[0023] 第三方面，本发明提供一种栅极驱动电路，包括第一时钟信号发生器、第二时钟信号发生器扫描触发信号发生器、发光触发信号发生器以及N级逐级串联的移位寄存单元，其中，N为正整数；

[0024] 每一一所述移位寄存单元的第一时钟信号端和第二时钟信号端分别电连接所述第一时钟信号发生器和所述第二时钟信号发生器，所述第一时钟信号发生器和所述第二时钟

信号发生器输出的时钟信号反相；

[0025] 第1级移位寄存单元的第一触发信号输入端、第二触发信号输入端分别接收扫描触发信号发生器和发光触发信号发生器，第M级移位寄存单元的第一触发信号输入端、第二触发信号输入端分别电连接所述第M-1级移位寄存单元的扫描信号输出端和发光信号输出端，其中，M为大于等于2且小于等于N的正整数。

[0026] 本发明提供的移位寄存单元通过一个电路同时实现扫描驱动信号和发光驱动信号的输出，既减少了晶体管、电容和信号线的数量，又简化了时钟信号（由两个时钟信号实现移位寄存功能），从而缩小了电路的占版面积，有利于窄边框设计以及提高版图设计的灵活性。此外，扫描驱动信号和发光驱动信号分别由反相的电平驱动，而且，扫描信号输出端的输出作为下一级移位寄存单元的扫描驱动信号，发光信号输出端的输出作为下一级移位寄存单元的发光驱动信号，降低了驱动电路的复杂度。

附图说明

[0027] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图做一简单地介绍，显而易见地，下面描述中的附图是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0028] 图1是本发明一个实施例提供的一种移位寄存单元的电路结构图；

[0029] 图2为本发明另一个实施例提供的一种移位寄存单元的电路结构图；

[0030] 图3为本发明一个实施例提供的一种移位寄存单元的驱动时序图；

[0031] 图4为本发明一个实施例提供的一种栅极驱动电路的结构示意图；

[0032] 图5为本发明一个实施例提供的一种栅极驱动电路的驱动时序图。

具体实施方式

[0033] 为使本发明的目的、技术方案和优点更加清楚，以下将参照本发明实施例的附图，通过实施方式清楚、完整地描述本发明的技术方案，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0034] 参考图1所示，为本发明一个实施例提供的一种移位寄存单元的电路结构图。该移位寄存单元包括：第一触发信号输入端S1、第二触发信号输入端S2、第一时钟信号端CLK1、第二时钟信号端CLK2、第一电平信号端V1、第二电平信号端V2、第一节点N1、第二节点N2、第三节点N3、第四节点N4、扫描信号输出端SOUT、发光信号输出端EOUT，以及第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10、第一电容C1和第二电容C2。

[0035] 其中，第一晶体管T1的控制端电连接第三节点N3，第一极电连接第二电平信号端V2，第二极电连接扫描信号输出端SOUT。

[0036] 第二晶体管T2的控制端电连接第四节点N4，第一极电连接第二时钟信号端CLK2，第二极电连接扫描信号输出端SOUT。

[0037] 第三晶体管T3的控制端电连接扫描信号输出端SOUT，第一极电连接第二电平信号

端V2,第二极电连接第三节点N3。

[0038] 第四晶体管T4的控制端电连接第一时钟信号端CLK1,第一极电连接第一电平信号端V1,第二极电连接第三节点N3。

[0039] 第五晶体管T5的控制端电连接第一电平信号端V1,第一极电连接第二节点N2,第二极电连接第四节点N4。

[0040] 第六晶体管T6的控制端电连接第二节点N2,第一极电连接第二电平信号端V2,第二极电连接发光信号输出端EOUT。

[0041] 第七晶体管T7的控制端电连接第一节点N1,第一极电连接第一电平信号端V1,第二极电连接发光信号输出端EOUT。

[0042] 第八晶体管T8的控制端电连接第一触发信号输入端S1、第一极电连接第二电平信号端V2,第二极电连接第一节点N1。

[0043] 第九晶体管T9的控制端电连接第一时钟信号端CLK1,第一极电连接第一触发信号输入端S1,第二极电连接第二节点N2。

[0044] 第十晶体管T10的控制端电连接第一时钟信号端CLK1,第一极电连接第二触发信号输入端S2,第二极电连接第一节点N1。

[0045] 第一电容C1的第一极与第二时钟信号端CLK2电连接,第一电容C1的第二极与第一节点N1电连接。

[0046] 第二电容C2的第一极与第四节点N4电连接,第二电容C2的第二极与扫描信号输出端SOUT电连接。

[0047] 在如图1所示的本实施例中,第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9和第十晶体管T10全部采用P型晶体管。但也不局限于此,也可以是第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9和第十晶体管T10全部采用N型晶体管(图中未给出)。采用纯P型晶体管或者纯N型晶体管的一点好处是能够节省工艺步骤,降低成本。

[0048] 需要说明的是,当第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9和第十晶体管T10全部采用P型晶体管时,第一电平信号端V1稳定输出低电平信号VGL,第二电平信号端V2稳定输出高电平信号VGH,高电平信号VGH和低电平信号VGL的取值范围通常为-7~10V,本实施例中,低电平信号VGL的范围为-7V~-3V,高电平信号VGH的范围为4V~10V,例如当低电平信号VGL取-7V、-6V或-4V时,高电平信号VGH对应取值为4V、6V或8V。

[0049] 当第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9和第十晶体管T10全部采用N型晶体管时,第一电平信号端V1稳定输出高电平信号VGH,第二电平信号端V2稳定输出低电平信号VGL,高电平信号VGH和低电平信号VGL的取值范围通常为-7~10V,本实施例中,低电平信号VGL的范围为-7V~-3V,高电平信号VGH的范围为4V~10V,例如当低电平信号VGL取-7V、-6V或-4V时,高电平信号VGH对应取值为4V、6V或8V。

[0050] 还需说明的是,无论是在图1所示的纯P型晶体管实施例中还是纯N型晶体管的情况下,第一触发信号输入端S1为扫描触发信号输入端,用于输入扫描触发信号;第二触发信

号输入端S2为发光触发信号输入端,用于输入发光触发信号。

[0051] 参阅图2所示,为本发明另一个实施例提供的一种移位寄存单元的电路结构图。该移位寄存单元包括:第一触发信号输入端S1、第二触发信号输入端S2、第一时钟信号端CLK1、第二时钟信号端CLK2、第一电平信号端V1、第二电平信号端V2、第一节点N1、第二节点N2、第三节点N3、第四节点N4、扫描信号输出端SOUT、发光信号输出端EOUT,以及第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10、第一电容C1、第二电容C2、第三电容C3和第四电容C4。

[0052] 其中,第一晶体管T1的控制端电连接第三节点N3,第一极电连接第二电平信号端V2,第二极电连接扫描信号输出端SOUT。

[0053] 第二晶体管T2的控制端电连接第四节点N4,第一极电连接第二时钟信号端CLK2,第二极电连接扫描信号输出端SOUT。

[0054] 第三晶体管T3的控制端电连接扫描信号输出端SOUT,第一极电连接第二电平信号端V2,第二极电连接第三节点N3。

[0055] 第四晶体管T4的控制端电连接第一时钟信号端CLK1,第一极电连接第一电平信号端V1,第二极电连接第三节点N3。

[0056] 第五晶体管T5的控制端电连接第一电平信号端V1,第一极电连接第二节点N2,第二极电连接第四节点N4。

[0057] 第六晶体管T6的控制端电连接第二节点N2,第一极电连接第二电平信号端V2,第二极电连接发光信号输出端EOUT。

[0058] 第七晶体管T7的控制端电连接第一节点N1,第一极电连接第一电平信号端V1,第二极电连接发光信号输出端EOUT。

[0059] 第八晶体管T8的控制端电连接第一触发信号输入端S1、第一极电连接第二电平信号端V2,第二极电连接第一节点N1。

[0060] 第九晶体管T9的控制端电连接第一时钟信号端CLK1,第一极电连接第一触发信号输入端S1,第二极电连接第二节点N2。

[0061] 第十晶体管T10的控制端电连接第一时钟信号端CLK1,第一极电连接第一节点N1,第二极电连接第二触发信号输入端S2。

[0062] 第一电容C1的第一极与第二时钟信号端CLK2电连接,第一电容C1的第二极与第一节点N1电连接。

[0063] 第二电容C2的第一极与第四节点N4电连接,第二电容C2的第二极与扫描信号输出端SOUT电连接。

[0064] 第三电容C3的第一极与第二电平信号端V2电连接,第三电容C3的第二极与第二节点N2电连接。设计第三电容C3的好处在于,第三电容C3可代替第六晶体管T6的寄生电容用以保持第二节点N2的电位,从而使扫描信号输出端EOUT和发光信号输出端SOUT的输出更稳定。

[0065] 第四电容C4的第一极与第一节点N1电连接,第四电容C4的第二极与发光信号输出端电连接。设计第四电容C4的好处在于,第四电容C4可代替第七晶体管T7的寄生电容用以保持第一节点N1的电位,从而使扫描信号输出端EOUT和发光信号输出端SOUT的输出更稳

定。

[0066] 在如图2所示的本实施例中,第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9和第十晶体管T10全部采用P型晶体管。但也不局限于此,也可以是第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9和第十晶体管T10全部采用N型晶体管(图中未给出)。采用纯P型晶体管或者纯N型晶体管的一点好处是能够节省工艺步骤,降低成本。

[0067] 需要说明的是,当第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9和第十晶体管T10全部采用P型晶体管时,第一电平信号端V1稳定输出低电平信号VGL,第二电平信号端V2稳定输出高电平信号VGH,高电平信号VGH和低电平信号VGL的取值范围通常为-7~10V,本实施例中,低电平信号VGL的范围为-7V~-3V,高电平信号VGH的范围为4V~10V,例如当低电平信号VGL取-7V、-6V或-4V时,高电平信号VGH对应取值为4V、6V或8V。

[0068] 当第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9和第十晶体管T10全部采用N型晶体管时,第一电平信号端V1稳定输出高电平信号VGH,第二电平信号端V2稳定输出低电平信号VGL,高电平信号VGH和低电平信号VGL的取值范围通常为-7~10V,本实施例中,低电平信号VGL的范围为-7V~-3V,高电平信号VGH的范围为4V~10V,例如当低电平信号VGL取-7V、-6V或-4V时,高电平信号VGH对应取值为4V、6V或8V。

[0069] 还需说明的是,无论是在图2所示的纯P型晶体管实施例中还是纯N型晶体管的情况下,第一触发信号输入端S1为扫描触发信号输入端,用于输入扫描触发信号;第二触发信号输入端S2为发光触发信号输入端,用于输入发光触发信号。

[0070] 针对本发明各实施例提供的移位寄存单元,本发明还提供一种移位寄存单元的驱动方法。参考图3所示,为本发明一个实施例提供的一种移位寄存单元的驱动时序图。该时序图是以纯P型晶体管构成的移位寄存单元为例进行说明,即第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9和第十晶体管T10全部采用P型晶体管,与之相对应的,第一电平信号端V1稳定输出低电平信号VGL,第二电平信号端V2稳定输出高电平信号VGH。

[0071] 在第一时间段t1内,第一触发信号输入端S1输入高电平,第二触发信号输入端S2输入低电平;第一时钟信号端CLK1输入低电平,第二时钟信号端CLK2输入高电平;第四晶体管T4、第九晶体管T9和第十晶体管T10导通,第八晶体管T8断开,第二触发信号输入端S2输入的低电平信号经第十晶体管T10传输至第一节点N1,第一节点N1为低电位,第一触发信号输入端S1输入的高电平信号经第九晶体管T9传输至第二节点N2,第二节点N2为高电位,因此,第六晶体管T6断开,第七晶体管T7导通,因此,第一电平信号端V1稳定输出的低电平信号VGL经第七晶体管T7传输至发光信号输出端EOUT,即在第一时间段t1内,发光信号输出端EOUT输出低电平;由于第四晶体管T4导通,第一电平信号端V1稳定输出的低电平信号VGL经第四晶体管T4传输至第三节点N3,第三节点N3为低电位,第一晶体管T1导通,同时,第一电平信号端V1稳定输出低电平信号VGL使得第五晶体管T5导通,第一触发信号输入端S1输入的高电平信号经第九晶体管T9和第五晶体管T5传输至第四节点N4,第四节点N4为高电平,

第二晶体管T2断开，因此，扫描信号输出端SOUT输出来自于第二电平信号端V2稳定输出高电平信号VGH，即在第一时间段t1内，扫描信号输出端SOUT输出高电平。

[0072] 在第二时间段t2内，第一触发信号输入端S1输入高电平，第二触发信号输入端S2输入高电平；第一时钟信号端CLK1输入高电平，第二时钟信号端CLK2输入低电平。第四晶体管T4、第八晶体管T8、第九晶体管T9和第十晶体管T10断开，由于第二时钟信号端CLK2由第一时间段t1的高电平变为低电平，由于第一电容C1的存在，第一节点N1的电位被拉至更低，因此第七晶体管T7保持导通状态，发光信号输出端EOUT输出来自于第一电平信号端V1稳定输出的低电平信号VGL，即在第二时间段t2内，发光信号输出端EOUT输出低电平。同时，第五晶体管T5导通，第二节点N2和第四节点N4均保持第一时间段T1的高电位，第二晶体管T2和第六晶体管T6保持第一时间段t1的断开状态，同时第三节点N3周围的第一晶体管T1、第三晶体管T3、第四晶体管T4以及连接导线的第一晶体管T1的寄生电容使第三节点N3保持低电位，第一晶体管T1导通，扫描信号输出端SOUT输出来自于第二电平信号端V2稳定输出高电平信号VGH，即在第二时间段t2内，扫描信号输出端SOUT输出高电平。进一步地，由于第三晶体管T3断开，使第三节点N3保持低电位，从而保持第一晶体管T1导通。

[0073] 在第三时间段t3内，第一触发信号输入端S1输入低电平，第二触发信号输入端S2输入高电平；第一时钟信号端CLK1输入低电平，第二时钟信号端CLK2输入高电平。第八晶体管T8、第九晶体管T9和第十晶体管T10导通，第二触发信号输入端S2输入的低电平信号经第十晶体管T10传输至第一节点N1，第一节点N1为高电位，第一触发信号输入端S1输入的低电平信号经第九晶体管T9传输至第二节点N2，第二节点N2为低电位，第六晶体管T6导通，第七晶体管T7断开，发光信号输出端EOUT输出来自于第二电平信号端V2稳定输出的高电平信号VGH，即在第三时间段t3内，发光信号输出端EOUT输出高电平。同时，由于第四晶体管T4和第五晶体管T5导通，第三节点N3接收来自于第一电平信号端V1稳定输出的低电平信号VGL，第三节点N3为低电位，第一触发信号输入端S1输入的低电平信号经第九晶体管T9和第五晶体管T5传输至第四节点N4，第四节点N4为低电位，第一晶体管T1和第二晶体管T2同时导通，由于第二时钟信号端CLK2输入高电平，因此，在第三时间段t3内，扫描信号输出端SOUT输出高电平。此时，第三晶体管T3断开，使第三节点N3保持低电位，从而保持第一晶体管T1导通。

[0074] 在第四时间段t4内，第一触发信号输入端S1输入高电平，第二触发信号输入端S2输入低电平；第一时钟信号端CLK1输入高电平，第二时钟信号端CLK2输入低电平。虽然第二触发信号输入端S2恢复低电平，但由于第一时钟信号端CLK1输入高电平，第四晶体管T4、第八晶体管T8、第九晶体管T9和第十晶体管T10断开，由于第一电容C1的存在，第一节点N1维持上一时间段（第三时间段t3）的高电位，第七晶体管T7保持断开，由于第二节点N2周围的第一晶体管T6、第九晶体管T9、第五晶体管T5以及连接导线的第一晶体管T1的寄生电容使第二节点N2保持上一时间段（第三时间段t3）的低电位，第六晶体管T6导通，发光信号输出端EOUT输出来自于第二电平信号端V2稳定输出的高电平信号VGH，即在第四时间段t4内，发光信号输出端EOUT输出高电平。同时，第二时钟信号端CLK2由上一时间段（第三时间段t3）的高电平转为低电平，由于第二电容C2的存在，第四节点N4被耦合至更低的电位，第二晶体管T2保持导通，扫描信号输出端SOUT稳定输出来自于第二时钟信号端CLK2输出的低电平，即在第四时间段t4内，扫描信号输出端SOUT输出低电平。此时，第三晶体管T3被迅速导通，来自第二电平信号端V2稳定输出的高电平信号VGH经过第三晶体管T3将第三节点N3的电位拉至

高电位,第一晶体管T1断开,从而确保在第四时间段t4内扫描信号输出端SOUT稳定地输出低电平。

[0075] 在第五时间段t5内,第一触发信号输入端S1输入高电平,第二触发信号输入端S2输入低电平;第一时钟信号端CLK1输入低电平,第二时钟信号端CLK2输入高电平。第四晶体管T4、第九晶体管T9和第十晶体管T10导通,第二触发信号输入端S2输入的低电平信号经第十晶体管T10传输至第一节点N1,第一节点N1为低电位,第七晶体管T7导通,第一触发信号输入端S1输入的高电平信号经第九晶体管T9传输至第二节点N2,第二节点N2为高电位,第六晶体管T6断开,发光信号输出端EOUT输出来自第一电平信号端V1稳定输出的低电平信号VGL,即在第五时间段t5内,发光信号输出端EOUT输出低电平。同时,由于第四晶体管T4导通,第一电平信号端V1稳定输出的低电平信号VGL传输至第三节点N3,第三节点N3为低电位,第一晶体管T1导通;同时,第五晶体管T5导通,第一触发信号输入端S1输入的高电平信号经第九晶体管T9和第五晶体管T5传输至第四节点N4,第四节点N4为高电位,第二晶体管T2断开,扫描信号输出端SOUT输出来自第二电平信号端V2稳定输出的高电平信号VGH,即在第五时间段t5内,扫描信号输出端SOUT输出高电平。

[0076] 需要说明的是,对于本发明实施例提供的移位寄存单元的驱动方法,并不局限于图3中所示的情况,也可以是适用于以纯N型晶体管构成的移位寄存单元,在此种情况下,与该移位寄存单元相对应的驱动时序图与图3正好反相,与之相对应的,第一电平信号端V1稳定输出高电平信号VGH,第二电平信号端V2稳定输出低电平信号VGL,在此不再赘述。

[0077] 在第五时间段t5之后的很长时间段内,发光信号输出端EOUT稳定地输出低电平,扫描信号输出端SOUT稳定地输出高电平,直至下一个有效输入到来。

[0078] 参考图4所示,为本发明一个实施例提供的一种栅极驱动电路的结构示意图。该栅极驱动电路包括第一时钟信号发生器41、第二时钟信号发生器42、扫描触发信号发生器43、发光触发信号发生器44以及N级逐级串联的移位寄存单元,其中,N为正整数。

[0079] 每级移位寄存单元的第一时钟信号端CLK1和第二时钟信号端CLK2分别电连接第一时钟信号发生器41和第二时钟信号发生器42。而且,第一时钟信号发生器41和第二时钟信号发生器42输出的时钟信号反相。

[0080] 第1级移位寄存单元VSR(1)的第一触发信号输入端S1、第二触发信号输入端S2分别接收扫描触发信号发生器43和发光触发信号发生器44,第2级移位寄存单元VSR(2)的第一触发信号输入端S1、第二触发信号输入端S2分别电连接第一级移位寄存单元VSR(1)的扫描信号输出端SOUT1和发光信号输出端EOUT1。以此类推,第M级移位寄存单元VSR(M)的第一触发信号输入端S1、第二触发信号输入端S2分别电连接第M-1级移位寄存单元VSR(M-1)的扫描信号输出端SOUTM-1和发光信号输出端EOUTM-1,其中,m为大于等于2且小于等于N的正整数。因此,第N级移位寄存单元VSR(N)的第一触发信号输入端S1、第二触发信号输入端S2分别电连接第N-1级移位寄存单元VSR(N-1)的扫描信号输出端SOUTN-1和发光信号输出端EOUTN-1。

[0081] 参阅图5所示,为本发明一个实施例提供的一种栅极驱动电路的驱动时序图。其中,第一时钟信号端CLK1和第二时钟信号端CLK2输入的时钟信号反相。第一触发信号输入端S1和第二触发信号输入端S2分别输入发光触发信号和扫描触发信号。EOUT1、SOUT1分别表示第1级移位寄存单元的发光信号输出端和扫描信号输出端的输出信号,EOUT2、SOUT2分

别表示第2级移位寄存单元的发光信号输出端和扫描信号输出端的输出信号,以此类推,EOUTN、SOUTN分别表示第N级移位寄存单元输出发光信号输出端和扫描信号输出端的输出信号。

[0082] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

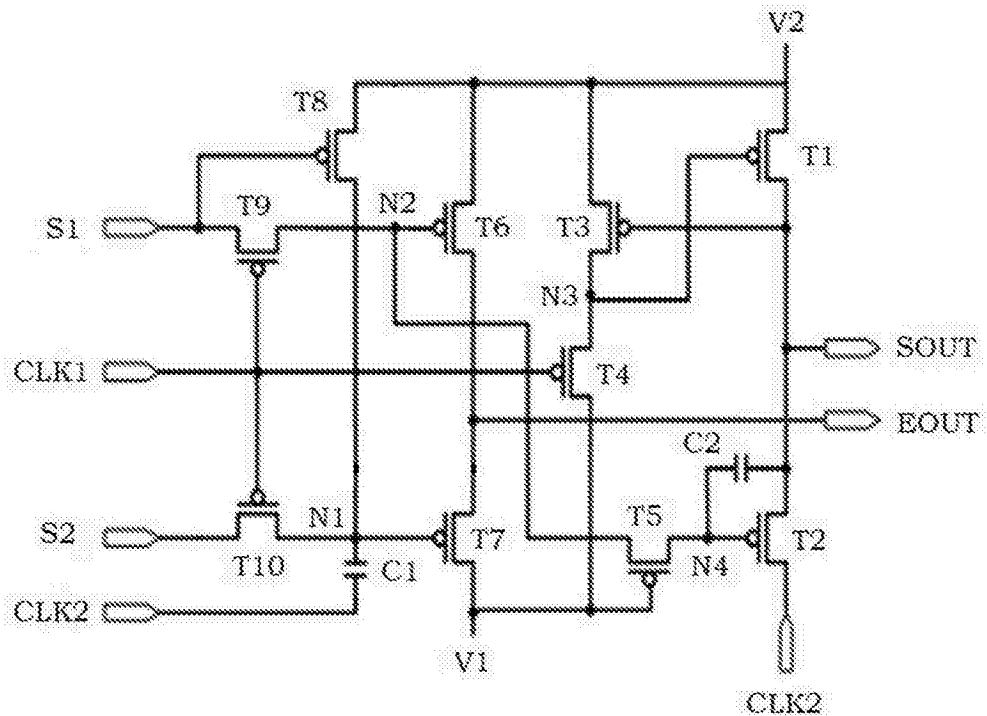


图1

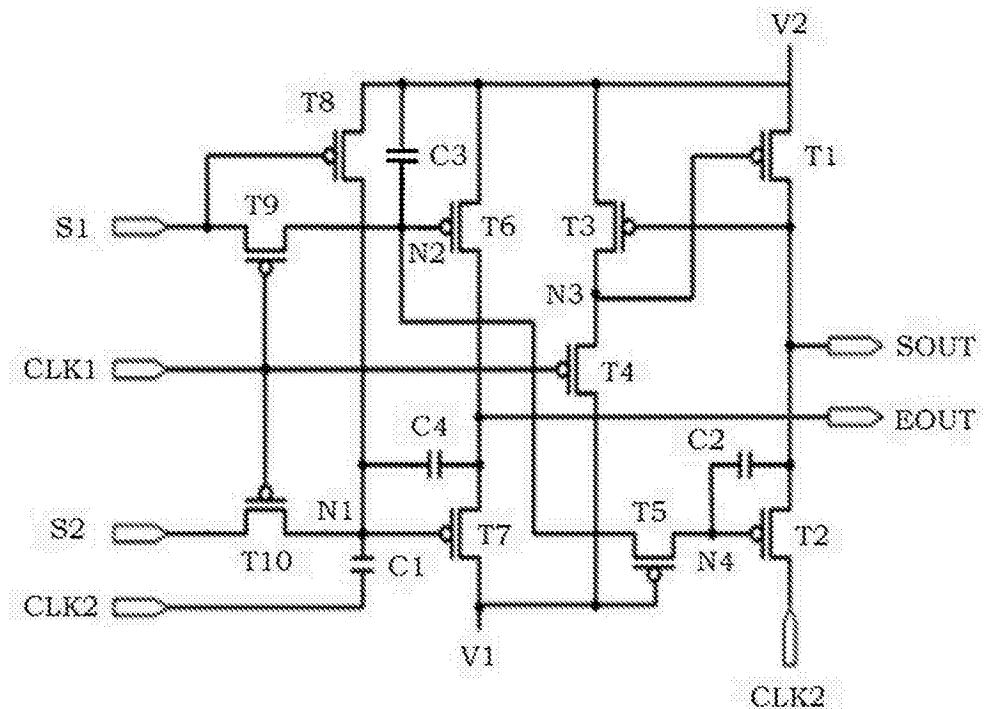


图2

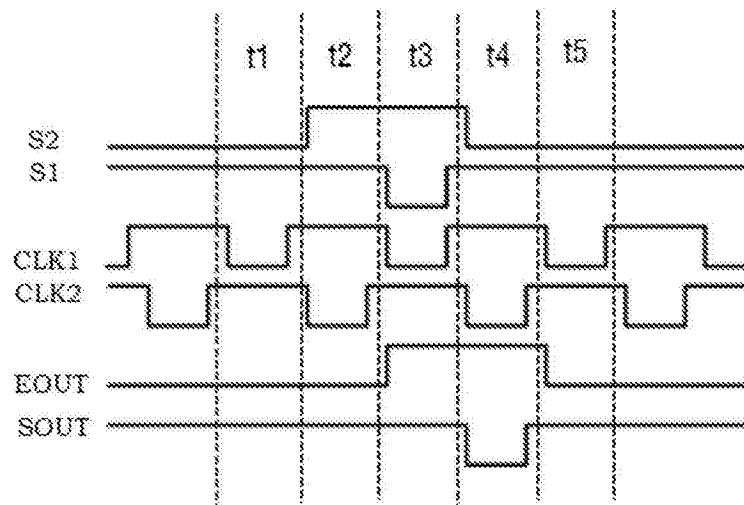


图3

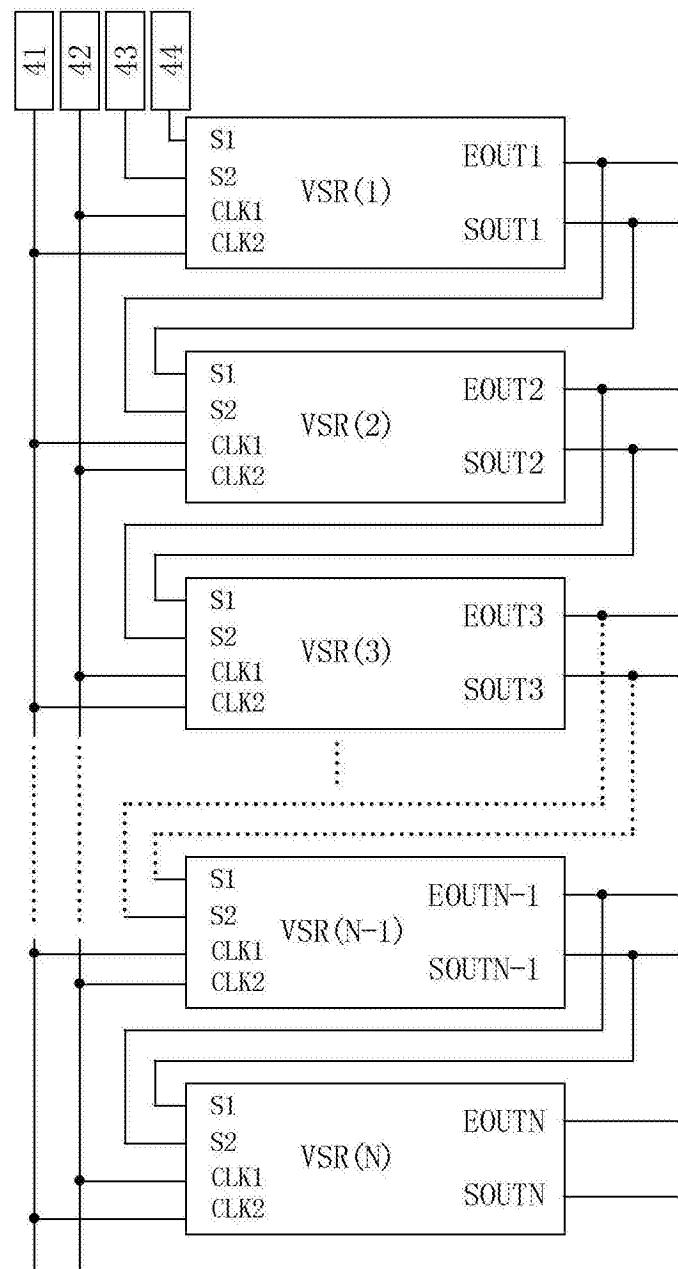


图4

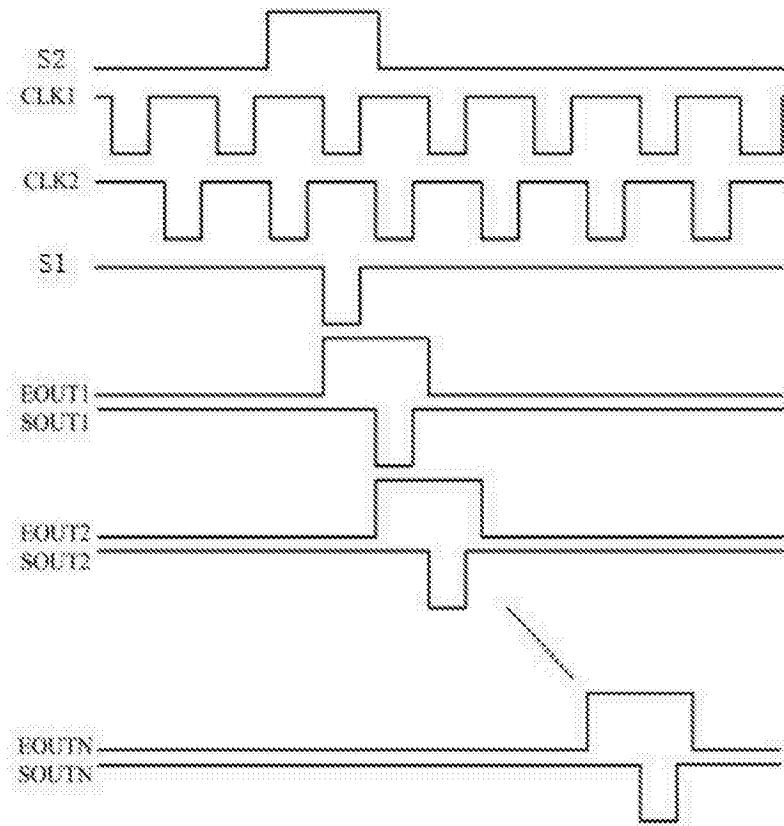


图5