



(12)发明专利

(10)授权公告号 CN 103178106 B

(45)授权公告日 2016.10.05

(21)申请号 201210552008.X

(22)申请日 2012.12.18

(65)同一申请的已公布的文献号

申请公布号 CN 103178106 A

(43)申请公布日 2013.06.26

(30)优先权数据

13/333,843 2011.12.21 US

(73)专利权人 电力集成公司

地址 美国加利福尼亚州

(72)发明人 A·康迪莫夫

(74)专利代理机构 北京北翔知识产权代理有限公司

公司 11285

代理人 徐燕 杨勇

(51)Int.Cl.

H01L 29/778(2006.01)

H01L 23/552(2006.01)

(56)对比文件

US 2009/0267116 A1, 2009.10.29, 说明书第[0033]-[0054]段;图2-3, 5.

US 2009/0267116 A1, 2009.10.29, 说明书第[0033]-[0054]段;图2-3, 5.

US 2005/0051796 A1, 2005.03.10, 说明书第[0041], [0056]段;图11.

JP 昭63-266854 A, 1988.11.02, 说明书第3栏第4段-第4栏第3段;图1.

CN 101299437 A, 2008.11.05, 全文.

审查员 卢振宇

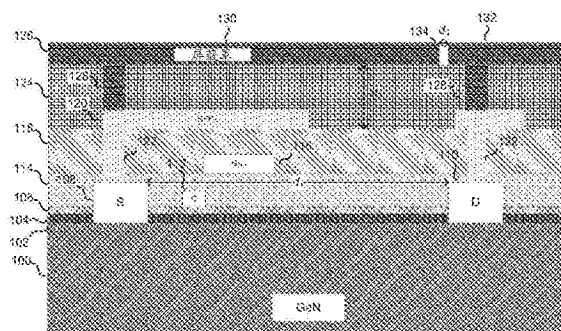
权利要求书2页 说明书6页 附图5页

(54)发明名称

用于异质结构的场效应晶体管的屏蔽罩

(57)摘要

公开了用于提供具有改进性能和/或产生减少噪声的异质结型场效应晶体管(HFET)的器件。一个栅电极位于所述有源区的一部分上方并被配置为调制HFET的所述有源区中的一个传导沟道。所述有源区在一个半导体膜中位于源电极和漏电极之间。一个第一钝化膜位于所述有源区上方。一个封装膜位于所述第一钝化膜上方。在所述封装膜上的第一金属模包括一个位于所述有源区的大部分上方的屏蔽罩,并且电连接至所述源电极。



1. 一种半导体器件,包括:

异质结构的场效应晶体管HFET,该异质结构的场效应晶体管在半导体膜中具有一个位于源电极和漏电极之间的有源区,其中:一个栅电极位于所述有源区的一部分上方并被配置为调制所述有源区中的一个传导沟道;

第一钝化膜,位于所述有源区上方;

封装膜,位于所述第一钝化膜上方;以及

第一金属模,在所述封装膜上,其中所述第一金属模包括一个位于所述有源区的大部分上方的屏蔽罩,并且电连接至所述源电极,其中所述屏蔽罩的几何形状不被优化使所述栅电极的与所述漏电极最接近的边缘上的电场扩散开。

2. 根据权利要求1所述的半导体器件,其中:一个间隙被限定在所述第一金属模中,以及其中所述间隙将所述屏蔽罩与所述第一金属模的连接至所述漏电极的一部分分离开。

3. 根据权利要求2所述的半导体器件,其中所述间隙未形成在所述有源区上方。

4. 根据权利要求2所述的半导体器件,其中从所述漏电极到所述源电极的距离比所述间隙的宽度大5到6倍。

5. 根据权利要求1所述的半导体器件,进一步包括:

第一栅场板,由所述第一钝化膜上的第二金属模限定,其中所述第一栅场板被设计成使栅电极的与所述漏电极最接近的边缘上的电场扩散开。

6. 根据权利要求5所述的半导体器件,进一步包括:

第二栅场板,由位于所述第一钝化膜和所述封装膜之间的第二钝化膜上的第三金属模限定。

7. 根据权利要求6所述的半导体器件,其中所述屏蔽罩完全重叠所述第一栅场板。

8. 根据权利要求1所述的半导体器件,其中所述屏蔽罩覆盖所述有源区的至少75%。

9. 根据权利要求8所述的半导体器件,其中所述屏蔽罩覆盖整个所述有源区。

10. 根据权利要求5所述的半导体器件,其中所述有源区的至少75%被所述屏蔽罩单独地覆盖、或被所述第二金属模单独地覆盖、或者被所述屏蔽罩和所述第二金属模以组合方式覆盖。

11. 根据权利要求10所述的半导体器件,其中整个所述有源区被所述屏蔽罩单独地覆盖、或被所述第二金属模单独地覆盖、或者被所述屏蔽罩和所述第二金属模以组合方式覆盖。

12. 根据权利要求1所述的半导体器件,其中所述第一钝化膜是多个钝化膜。

13. 根据权利要求1所述的半导体器件,其中所述第一金属模在如下一个金属层中,该金属层是最远离所述有源区的金属层。

14. 一种半导体器件,包括:

衬底;

在所述衬底上的缓冲层;

在所述缓冲层上的半导体膜,被配置为在所述缓冲层中形成一个沟道;

源电极,接触所述半导体膜;

漏电极,接触所述半导体膜,其中一个有源区位于所述源电极和所述漏电极之间;

第一钝化膜,位于所述半导体膜上方;

栅电极,被配置为调制所述有源区中的沟道;

封装膜,位于所述第一钝化膜上方;以及

屏蔽罩,位于所述封装膜上,电连接至所述源电极并延伸到所述有源区之外,其中所述屏蔽罩覆盖所述有源区的大部分,且所述屏蔽罩的几何形状不被优化使栅电极的与漏电极最接近的边缘上的电场扩散开。

15.根据权利要求14所述的半导体器件,进一步包括:

在所述第一钝化膜和所述封装膜之间的一个或多个钝化膜。

16.根据权利要求15所述的半导体器件,进一步包括:

第一栅场板,在所述第一钝化膜上、或者在所述第一钝化膜和所述封装膜之间的所述一个或多个钝化膜中的一个钝化膜上。

17.根据权利要求16所述的半导体器件,进一步包括:

第二栅场板,在所述第一钝化膜和所述封装膜之间的所述一个或多个钝化膜中的一个钝化膜上。

18.根据权利要求14所述的半导体器件,其中所述栅电极在所述第一钝化膜上。

19.根据权利要求14所述的半导体器件,进一步包括:

一个栅场板,在所述栅电极和所述屏蔽罩之间。

20.根据权利要求14所述的半导体器件,其中所述屏蔽罩覆盖所述有源区的至少75%。

用于异质结构的场效应晶体管的屏蔽罩

技术领域

[0001] 本公开文本总体涉及异质结构的场效应晶体管(HFET),更具体地,本公开文本涉及用于HFET的屏蔽罩(shield wrap)。

背景技术

[0002] 许多电子设备诸如蜂窝电话、个人数字助理(PDA)、笔记本电脑等都利用电力工作。因为电力通常通过壁上插座以高压交流电流(AC)传送,可利用一个设备——一般称为功率转换器——来通过能量传递元件将高压AC输入转化为已调直流(DC)输出。在目前的许多电子设备中,通常使用开关式功率转换器来提高效率和尺寸以及减少部件数量。开关式功率转换器可使用一个电力开关,该电力开关在关位置(通态)和开位置(断态)之间切换以将能量从功率转换器的输入端传递至输出端。一般,电力开关是需要承受远远大于AC输入电压的高压器件。

[0003] 在开关式功率转换器中使用的一种类型的高压场效应晶体管(FET)是HFET,也称为高电子迁移率晶体管(HEMT)。HFET可作用用于高压电力电子器件——诸如功率转换器——的切换器件中的开关。在某些应用中,基于宽带隙的半导体的HFET可能是有用的,因为较高的带隙可提高高温时的性能。在高压HFET中使用的宽带隙的半导体的实例包括诸如碳化硅(SiC)、氮化镓(GaN)、以及金刚石等的材料,但是也可使用其他材料。

发明内容

[0004] 根据本发明的一个方面,提供一种半导体器件,包括:异质结构的场效应晶体管(HFET),该异质结构的场效应晶体管在半导体膜中具有一个位于源电极和漏电极之间的有源区,其中:一个栅电极位于所述有源区的一部分上方并被配置为调制所述有源区中的一个传导沟道;第一钝化膜,位于所述有源区上方;封装膜,位于所述第一钝化膜上方;以及第一金属模,在所述封装膜上,其中所述第一金属模包括一个位于所述有源区的大部分上方的屏蔽罩,并且电连接至所述源电极。

[0005] 在一个优选的实施方式中,一个间隙被限定在所述第一金属模中,以及其中所述间隙将所述屏蔽罩与所述第一金属模的连接至所述漏电极的一部分分离开。

[0006] 在一个优选的实施方式中,所述间隙未形成在所述有源区上方。

[0007] 在一个优选的实施方式中,从所述漏电极到所述源电极的距离比所述间隙的宽度大5到6倍。

[0008] 在一个优选的实施方式中,所述的半导体器件进一步包括:第一栅场板,由所述第一钝化膜上的第二金属模限定。

[0009] 在一个优选的实施方式中,所述半导体器件,进一步包括:第二栅场板,由位于所述第一钝化膜和所述封装膜之间的第二钝化膜上的第三金属模限定。

[0010] 在一个优选的实施方式中,所述屏蔽罩完全重叠所述第一场板。

[0011] 在一个优选的实施方式中,所述屏蔽罩覆盖所述有源区的至少75%。

[0012] 在一个优选的实施方式中,所述屏蔽罩覆盖整个所述有源区。

[0013] 在一个优选的实施方式中,所述有源区的至少75%被所述屏蔽罩单独地覆盖、或被所述第二金属模单独地覆盖、或者被所述屏蔽罩和所述第二金属模以组合方式覆盖。

[0014] 在一个优选的实施方式中,整个所述有源区被所述屏蔽罩单独地覆盖、或被所述第二金属模单独地覆盖、或者被所述屏蔽罩和所述第二金属模以组合方式覆盖。

[0015] 在一个优选的实施方式中,所述第一钝化膜是多个钝化膜。

[0016] 在一个优选的实施方式中,所述第一金属模在如下一个金属层中,该金属层是最远离所述有源区的金属层。

[0017] 根据本发明的第二方面,提供一种半导体器件,包括:衬底;在所述衬底上的缓冲层;在所述缓冲层上的半导体膜,被配置为在所述缓冲层中形成一个沟道;源电极,接触所述半导体膜;漏电极,接触所述半导体膜,其中一个有源区位于所述源电极和所述漏电极之间;第一钝化膜,位于所述半导体膜上方;栅电极,被配置为调制所述有源区中的沟道;封装膜,位于所述第一钝化膜上方;以及屏蔽罩,位于所述封装膜上,电连接至所述源电极,其中所述屏蔽罩覆盖所述有源区的大部分。

[0018] 在一个优选的实施方式中,所述半导体器件进一步包括:在所述第一钝化膜和所述封装膜之间的一个或多个钝化膜。

[0019] 在一个优选的实施方式中,所述半导体器件进一步包括:第一栅场板,在所述第一钝化膜上、或者在所述第一钝化膜和所述封装膜之间的所述一个或多个钝化膜中的一个钝化膜上。

[0020] 在一个优选的实施方式中,所述半导体器件进一步包括:第二栅场板,在所述第一钝化膜和所述封装膜之间的所述一个或多个钝化膜中的一个钝化膜上。

[0021] 在一个优选的实施方式中,所述栅电极在所述第一钝化膜上。

[0022] 在一个优选的实施方式中,所述半导体器件进一步包括:一个栅场板,在所述栅电极和所述屏蔽罩之间。

[0023] 在一个优选的实施方式中,所述屏蔽罩覆盖所述有源区的至少75%。

附图说明

[0024] 从下文结合附图提供的对本发明的更具体描述中,本发明的多个实施方案的各个方面、特征和优点将变得更加明了。

[0025] 参照下面的附图描述本发明的非限制性和非排他性实施方案,其中在各个视图中相似的参考数字指的是相似的部分,除非另有说明。

[0026] 图1示出根据本发明的一个实施方案的具有屏蔽罩的一个示例HFET。

[0027] 图2示出具有屏蔽罩的另一个示例HFET。

[0028] 图3示出根据本发明的一个实施方案的用于形成具有屏蔽罩的HFET的一个示例方法的流程图。

[0029] 图4示出不具有根据本发明的一个实施方案的屏蔽罩的一个示例HFET的电学结果。

[0030] 图5示出具有根据本发明的一个实施方案的屏蔽罩的一个示例HFET的电学结果。

具体实施方式

[0031] 在下面的描述中,阐述了许多具体细节以提供对本发明的透彻理解。然而,本领域普通技术人员将明了不必使用所述具体细节来实践本发明。在另一些情况中,没有详细描述众所周知的材料或方法以避免模糊本发明。

[0032] 本说明书通篇所用的“一个实施方案”、“一实施方案”、“一个实施例”或“一实施例”,意味着在本发明的至少一个实施方案中包括针对该实施方案或实施例所描述的具体特征、结构或特性。因此,贯穿本说明书在各个地方出现的短语“在一个实施方案中”、“在一实施方案中”、“一个实施例”或“一实施例”,不一定都指的是相同的实施方案或实施例。此外,具体的特征、结构或特性可按照任意合适的组合和/或子组合结合在一个或多个实施方案或实施例中。具体的特征、结构或特性可被包括在一个集成电路、一个电子电路、一个组合式逻辑电路、或者提供所述功能的其他合适部件中。另外,应意识到,本文所提供的附图是出于向本领域普通技术人员解释的目的,并且附图不一定按比例绘制。

[0033] 在下面的描述中,使用一个示例的FET进行解释。所述示例的FET被称为一个HFET,尽管该FET具有栅电介质。在这方面,所述示例的FET也可被称为金属绝缘体半导体FET(MISFET)。或者,所述示例的FET也可被称为HEMT。但是,为便于解释,使用术语HFET。应理解,下面使用的这些术语不限制权利要求。

[0034] 如本申请中使用的,电连接是欧姆连接。例如,仅通过金属相互接触的两个金属模(metal pattern)是电连接的。相比,漏电极和源电极不是电连接的,因为这些电极之间的任何连接都是通过半导体中的一个沟道连接的,并且受到栅电极的控制。类似地,当使用栅电介质来将栅电极与该栅电极下面的半导体绝缘时,该栅电极不电连接至该栅电极下面的半导体。

[0035] HFET作为高压开关的运行涉及数百伏特电压的超快速(亚微秒)切换。这种快速切换可在器件的有源区(active region)附近和远离有源区产生大的电磁场。这些场的频率可以接近HFET的工作频率(例如,在kHz到MHz范围内)。然而,HFET的沟道会由于沟道的不均匀性而遭受具有更高频率的局部电磁场。这些更高频率的局部场会与触点(contact)、焊盘(pad)、以及金属喷镀相互作用从而在GHz到THz范围发射。任意这些大的场都会是损毁性的和/或导致干扰周围的电路甚至附近的电子器件。所述场还会导致暴露至所述场的包装材料、内部连线、以及电介质层的长期退化和寿命缩短。

[0036] 图1示出根据本发明的一个实施方案的一个示例的半导体器件,该半导体器件包括使用一个示例的屏蔽罩的一个示例的HFET。所述示例的HFET被形成在一个衬底(为简洁在图1中省略)上。在衬底上,一个缓冲层100被形成成为GaN膜。另一个半导体膜102被放置在缓冲层100的表面上,以与缓冲层100形成异质结构。半导体膜102在缓冲层100的顶部形成一个传导沟道。例如,半导体膜102可以是AlGaN。在其他示例的FET(未示出,包括非异质结构的FET)中,半导体膜102可以是其他材料、可被省略、或者可以是与缓冲层100相同的材料。类似地,在其他示例的FET(未示出)中,缓冲层100可以由其他材料——诸如,硅、砷化镓(GaAs)、磷化铟(InP)、SiC等——制成。在一些实例中,缓冲层100和/或半导体膜102可以由多层膜制成的复合膜。

[0037] 一个钝化膜(passivation film)104形成在半导体膜102上。钝化膜104可形成栅

电介质的一部分并且可生长为高质量绝缘材料。例如,钝化膜104可以由如下材料制成,诸如 Al_2O_3 、二氧化锆(ZrO_2)、氮化铝(AlN)、氧化铪(HfO_2)、二氧化硅(SiO_2)、氮化硅(Si_3N_4)、或其他合适的栅电介质材料。钝化膜104还可与半导体膜102形成高质量的界面,这会提高可靠性以及增加电子的表面迁移率,从而提高器件性能。

[0038] 钝化膜104可被形成为低缺陷/低陷阱密度(trap density)膜,这允许通过使热载流子可被喷射和/或俘获在钝化膜104中的概率最小化来提高栅电介质可靠性。例如,可使用原子层沉积(ALD)来形成高质量材料以用作钝化膜104。

[0039] 一个钝化膜106形成在钝化膜104上。与钝化膜104一样,钝化膜106也可形成栅电介质的一部分。钝化膜106可与钝化膜104以类似方式并且由类似材料制成。例如,可使用原位(in situ)ALD方法在相同ALD工具中形成钝化膜104和106,而不需将衬底暴露至工具外的环境中。钝化膜104和106的组合厚度可以是例如5nm至20nm。对于形成这些膜的方法的更详细解释,参见转让给本申请的相同受让人的2011年12月12日提交的、题为“IN SITU GROWN GATE DIELECTRIC AND FIELD PLATE DIELECTRIC”的美国专利申请No.13/323,672,该申请的全部内容出于各种目的通过引用方式纳入本文。根据本发明的实施方案的屏蔽罩可同样适用于该申请中公开的FET。在其他示例的FET中,仅使用了单个钝化膜(例如,钝化膜104)。

[0040] 一个源电极108和一个漏电极110形成在半导体膜102上。在其他示例的HFET中,这些电极也可接触在半导体膜102下的缓冲层100。在源电极108和漏电极110之间的区域形成一个有源区,在该有源区中可形成一个传导沟道并且该传导沟道可受栅电极112控制,所述栅电极112被形成在钝化膜106的顶部上。在其他示例的FET中,栅电极112可被直接形成在半导体膜102上。栅电极112被配置为调制所述有源区中的传导沟道。换言之,通过改变在栅电极112上的电压,可控制有源区中通过沟道进行的传导。用于这些电极的金属堆栈(metal stack)可包括例如Al、Ni、Ti、TiW、TiN、TiAu、TiAlMoAu、TiAlNiAu、TiAlPtAu等。也可使用除了金属以外的其他传导材料。

[0041] 钝化膜114形成在源电极108、漏电极110以及栅电极112上,以允许形成到所述电极、一个或多个场板(如果使用的话)、以及屏蔽罩的互连。钝化膜114可由绝缘材料制成,诸如氮化硅、氧化硅等。在一些实例中,钝化膜114可以是不同膜的多个层的复合膜。

[0042] 一个栅场板116形成在钝化膜114的顶部。栅场板116被设计为将栅电极112的最接近漏电极110的边缘上的电场扩散开。扩散HFET的这个区域的电场可减小载流子可被喷射到栅电介质(钝化层104和106)的概率,并可帮助改善HFET的可靠性。在其他示例的HFET中,可省略栅场板。栅场板116可由与源电极、漏电极、或栅电极类似的材料制成。

[0043] 一个钝化膜118形成在栅场板116上。一个金属模120可形成在该钝化膜118上。金属模120可包括另一个栅场板和多个路径122以与电极电接触。在另一些示例的HFET中,可仅使用一个栅场板,或者可使用两个以上的栅场板。

[0044] 一个封装膜124形成在金属模120上。封装膜124可与钝化膜104、106、114、118不同的地方在于,与更加靠近半导体膜102的钝化膜相比,封装膜124的缺陷/陷阱密度不那么重要。这允许封装膜124由可能不适用于钝化膜的材料制成。然而,封装膜124也可由与用于一个或多个钝化膜的相同材料制成。例如,封装膜124可以是氧化硅、氮化硅、玻璃(例如,烧结玻璃(frit-on glass))、有机电介质(例如,聚酰亚胺或苯并环丁烯基的电介质)等。在一些

实例中,封装膜124可以是由多层膜制成的复合膜。封装膜124可以是例如约0.5 μm 到5 μm 厚。在一个实施例中,封装膜124是1 μm 厚。

[0045] 一个金属模126形成在封装膜124上。金属模126包括屏蔽罩130、漏连接件132以及路径128。漏连接件132通过一个或多个路径128与漏电极110电接触。屏蔽罩130通过一个或多个路径128与源电极108电接触。与上述的场板相比,屏蔽罩130不可被设计为扩散所述电场。相反,屏蔽罩130可容纳由HFET产生的电磁辐射。换言之,屏蔽罩130与栅场板的不同在于,屏蔽罩130覆盖尽可能多的HFET。因此,屏蔽罩130的几何形状不可被优化使栅电极112的与漏电极110最接近的边缘上的电场扩散开。在一个实施例中,屏蔽罩130可延伸重叠尽可能多的HFET的表面,而不在源电极108和漏电极110之间形成DC电通路。通过重叠HFET的全部或一部分,屏蔽罩130可减小传输到HFET外部的电磁辐射以及反射回到HFET的电磁辐射。为了减小在屏蔽罩130与屏蔽罩130下方的金属层及半导体层之间的电容耦合,可增加封装层124的厚度 d_2 。

[0046] 限定在金属模126中的一个间隙134可被设计具有一个宽度 d_3 ,该宽度足够宽,使得屏蔽罩130不会在高压时与漏连接件132短路。例如,源电极108和漏电极110之间的有源区可具有一个宽度 d_1 ,该宽度对于HFET的每100V切换电压为约1 μm (例如,500V HFET将具有约5 μm 的 d_1)。相比,如果间隙134被填充氮化硅(SiN)(每500-600V的切换电压可仅需要约1 μm 的SiN),间隙134的宽度 d_3 可以是 d_1 的五分之一到六分之一或更小(例如,500V HFET将具有 d_3 约1 μm)。在一个实例中, d_3 是 d_1 的15-20%。金属模126可以是例如约0.7 μm 到2 μm 厚。

[0047] 图2示出根据本发明的一个实施方案的另一个示例的半导体器件,该半导体器件包括使用一个示例的屏蔽罩的一个示例的HFET。如图所示的,一个金属模226形成在封装膜224上。金属模226包括屏蔽罩230、源连接件232以及路径228。源连接件232通过一个或多个路径228与源电极208电接触。屏蔽罩230通过一个或多个路径228与漏电极210电接触。如图所示,屏蔽板230可延伸通过栅场板222一个距离 d_3 。在一个实施例中,栅场板222还可作为屏蔽罩230的一部分起作用,以使得器件表面的覆盖率最大化。

[0048] 图3示出根据本发明的一个实施方案的用于形成具有一个示例的屏蔽罩的一个示例的HFET的一个示例方法的流程图。虽然在流程图中包括多个处理步骤,但应理解根据本发明的一个实施方案可能需要其他处理步骤来制造具有一个示例屏蔽罩的一个示例HFET。在其他示例方法中,图3中示出的步骤可按照一个不同顺序实施,或者所述步骤可被组合。例如,栅电极和栅场板可同时形成。还在另一些示例方法中,一些步骤可被省略。例如,如果想要不具有栅场板的HFET,则一个示例方法可省略形成栅场板。

[0049] 图4和5描述了不具有根据本发明的一个实施方案的屏蔽罩(图4)和具有根据本发明的一个实施方案的屏蔽罩(图5)的示例HFET的实验结果。具体而言,图4和5描绘了具有和不具有屏蔽罩的HFET的I-V特性。所述结果通过在断态(栅偏压=-10V)和通态(栅偏压=0V)之间应用脉冲信号于HEMT而获得。为显示图4和5的图表,漏偏压被设置为多个值。以10ms周期和0.1%占空比实施脉冲信号。总的栅极宽度是约450 μm 。图4和5的x轴是瞬间漏电压,y轴是瞬间漏电流。

[0050] 如通过比较图4中的结果(对应于HFET不具有屏蔽罩)与图5中的结果(对应于HFET具有根据本发明的一个屏蔽罩)所明了的,对于具有屏蔽罩的HFET,瞬间漏电流的分布更受限。更受限的分布对应于HFET具有较小退化以及在较高漏电压的更好性能。具体而言,图4

示出对于不具有屏蔽罩的示例HFET,对在335V以下的漏电压没有失真;图5示出对于根据本发明的一个实施方案的具有屏蔽罩的示例HEFT,对在365V以下的漏电压没有失真。

[0051] 对本发明的示例实施例的上述描述,包括在摘要中描述的内容,都不意在是排他的或者限于所公开的具体形式。尽管本发明的具体实施方案和实施例在本文中是出于示例目的描述的,但在不偏离本发明的更宽主旨和范围的情况下,各种等同修改都是可能的。事实上,应理解,厚度、材料、处理操作等的具体实施例都是出于解释目的提供的,根据本发明教导,在另外的实施方案、实施例和方法中也可使用其他的厚度、材料、处理操作等。

[0052] 在上述详细描述的启示下,可对本发明的实施例做出这些修改。随后的权利要求中使用的术语不应理解为将本发明限制于说明书和权利要求中公开的具体实施方案。而是,所述范围完全由下列权利要求决定,所述权利要求根据权利要求解释的既定原则理解。本说明书和附图相应地应被理解为示例性而非限制性的。

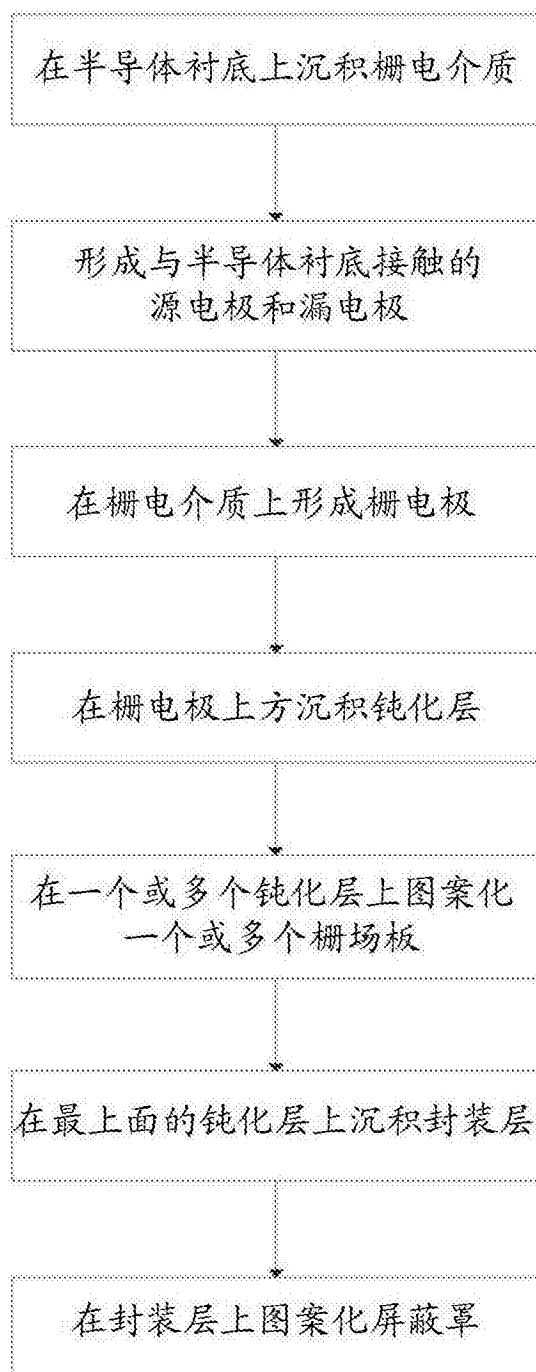
300

图3

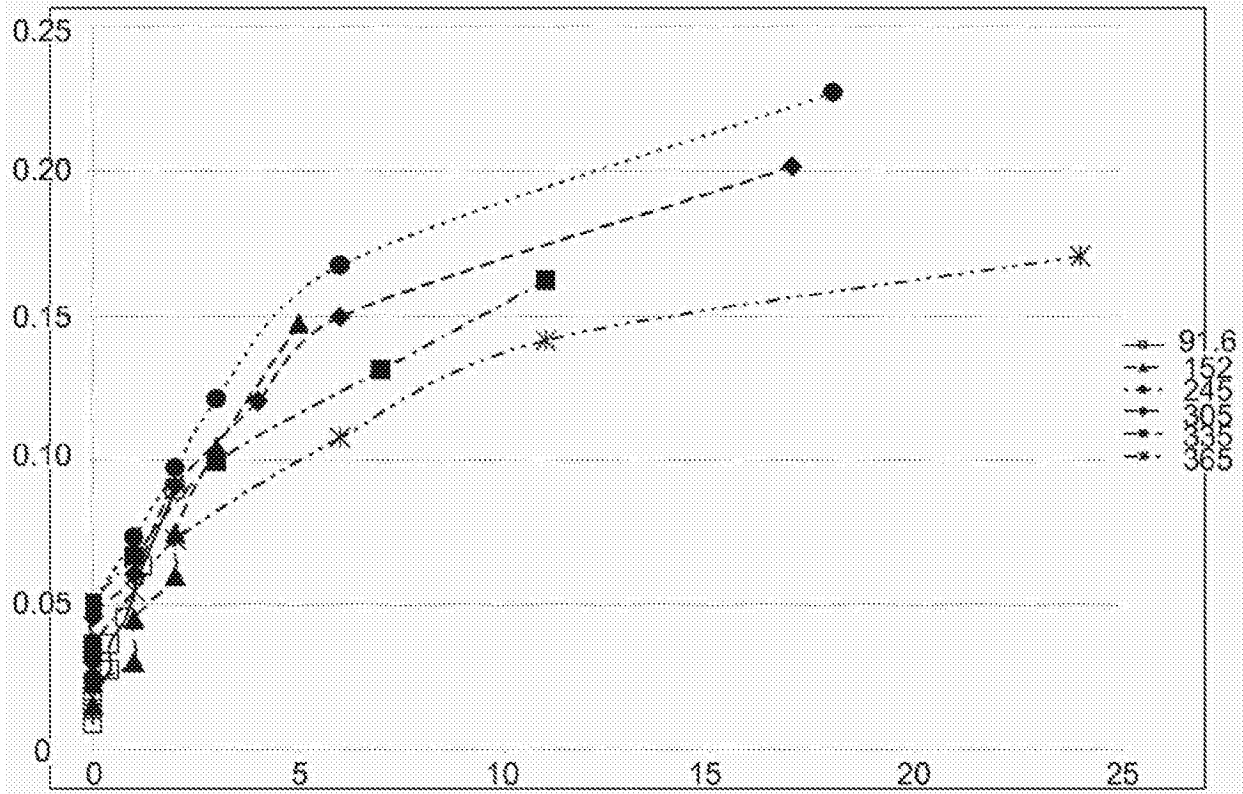


图4

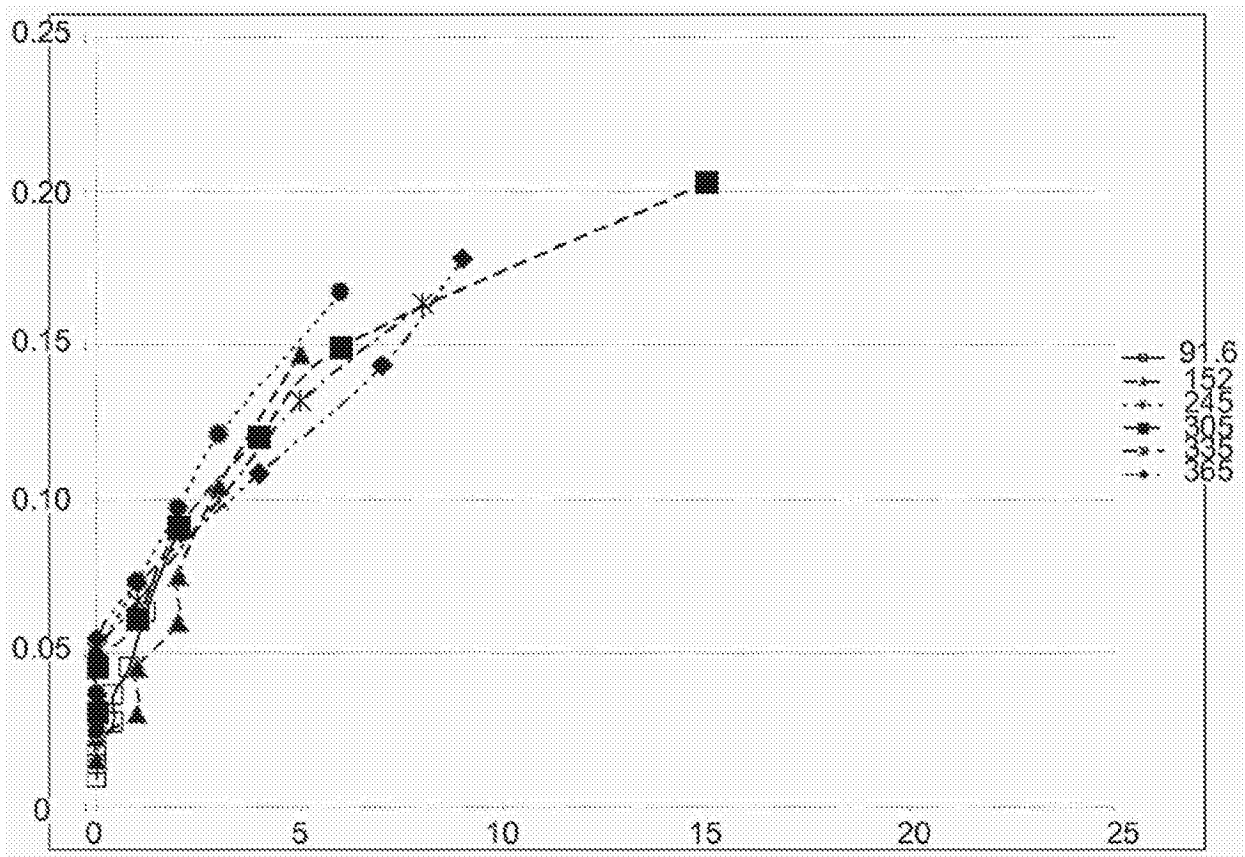


图5