

(43) 国際公開日
2006年11月2日 (02.11.2006)

PCT

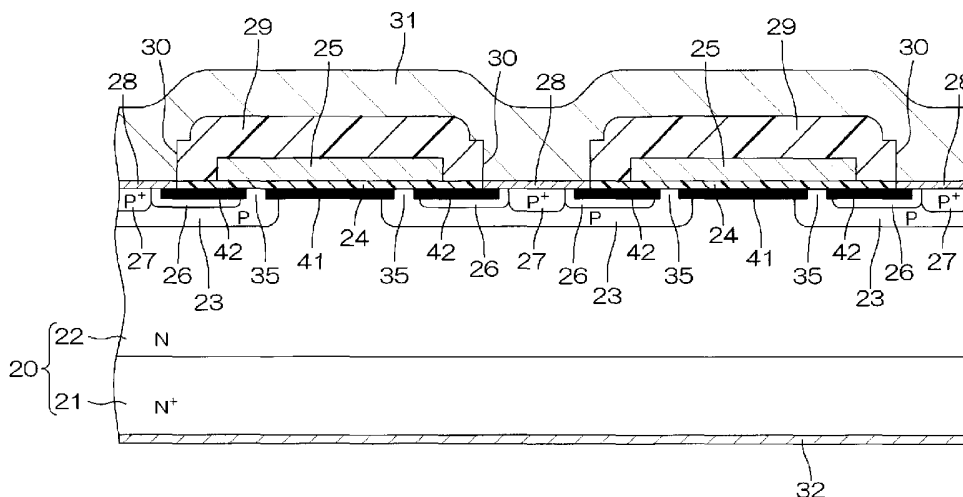
(10) 国際公開番号
WO 2006/115125 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2006/308136
- (22) 国際出願日: 2006年4月18日 (18.04.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-125497 2005年4月22日 (22.04.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 三浦 峰生 (MIURA, Mineo) [JP/JP]; 〒6158585 京都府京都市右
- 京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外 (INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町2丁目6番12号 サンマリオンNBFタワー2-1階 あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: A semiconductor device includes a first conductivity type SiC semiconductor substrate; a second conductivity type well formed on the SiC semiconductor substrate; a first impurity diffused layer formed by introducing a first conductivity type impurity in a region surrounding the well so as to partially overlap the well; a second impurity diffused layer formed in the well by introducing the first conductivity type impurity in a region at a prescribed interval from the impurity diffused layer; and gate electrodes arranged to face each other by having a gate insulating film in between, in a channel region between the first and the second impurity diffused layers.

(57) 要約: この半導体装置は、第1導電型のSiC半導体基板と、このSiC半導体基板上に形成された第2導電型のウエルと、このウエルを取り囲む領域に、このウエルと一部重なるように第1導電型の不純物を導入して形成された第1不純物拡散層と、前記ウエル内において、前記不純物拡散層と所定の間隔を開けた領域に前記第1導電型の不純物を導入して形成された第2不純物拡散層と、前記第1および第2不純物拡散層間のチャンネル領域にゲート絶縁膜を挟んで対向配置されたゲート電極とを含む。



WO 2006/115125 A1



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置およびその製造方法

技術分野

[0001] この発明は、SiC (炭化シリコン) 半導体基板を用いた半導体装置およびその製造方法に関する。

背景技術

[0002] 家庭用民生機器や電気自動車(たとえばハイブリッド車)の電源(とくにインバータを用いたもの)には、従来から、Si(シリコン)半導体基板を用いたパワーMOSFETが用いられてきた。パワーエレクトロニクスの分野では、電力変換時におけるデバイスでの損失が問題となっており、低損失化が課題となっているが、Si材料を用いたパワーMOSFETでは技術的な限界に近づきつつあると言われており、さらなる高効率化の実現は困難な状況に立ち至っている。

[0003] そこで、SiC半導体のパワーデバイスへの応用についての研究が進められている。SiCは、バンドギャップがSiの3倍、絶縁破壊電界がSiの10倍などといった、優れた物性を持つ化合物であり、パワーデバイスに応用すれば、Si系パワーデバイスよりも低損失なデバイスを実現できる。しかし、SiC半導体基板を用いたMOSFETには、チャンネル部分の抵抗が高いという課題があり、実用化が困難であると言われている。

[0004] 図6は、SiC半導体基板を用いたパワーMOSFETの構造例を示す図解的な断面図である。N型SiC半導体基板1上にN型SiCエピタキシャル層2が形成されており、このSiCエピタキシャル層2の表層部にMOS構造が形成されている。すなわち、SiCエピタキシャル層2の表層部には、間隔を開けてP型ウエル3が複数個形成されており、隣接するP型ウエル3に跨る領域には、SiCエピタキシャル層2上に、ゲート絶縁膜4を挟んで、ゲート電極5が形成されている。図6ではゲート電極5は分離されて表されているが、これらは、図示しない位置で連続している。

[0005] 各P型ウエル3内には、ゲート電極5の縁部に沿ってN⁺型ソース層6が形成され、さらに、P型ウエル3に接続されたP⁺型層7が形成されている。N⁺型ソース層6およびP⁺型層7は、SiCエピタキシャル層2の表面に形成されたコンタクトメタル8(たとえば、Ni

からなるもの)に接続されている。このコンタクトメタル8は、ゲート電極5を覆う層間絶縁膜9およびゲート絶縁膜4に形成されたコンタクト孔10を介して、ソース電極11に接合され、電氣的に接続されている。ソース電極11は、層間絶縁膜9上のほぼ全面を覆って形成される金属層(たとえば、Alからなるもの)からなり、コンタクト孔10に入り込んで、コンタクトメタル8と接触するようになっている。

[0006] このような構成により、ゲート電極5に適切な電圧を印加すれば、P型ウエル3においてゲート電極5の直下に位置するチャネル領域12に反転層が生じ、ドレイン領域としてのSiC半導体基板1とソース層6との間が導通する。このようにして、トランジスタ動作が可能となる。

P型ウエル3は、図7の図解的な平面図に示すように、たとえば、矩形に形成される。この矩形のP型ウエル3の内部に矩形の N^+ 型ソース層6が形成されており、さらに、その内方に、 P^+ 型層7が形成されている。この場合、チャネル長Lは、P型ウエル3の縁部と N^+ 型ソース層6の縁部との間の距離によって規定される。

特許文献1:特開2000-22137号公報(図7)

発明の開示

発明が解決しようとする課題

[0007] SiC半導体材料に対しては、Si半導体材料の場合のような二重拡散プロセスによる不純物の導入を行うことができず、不純物拡散層の形成は、専ら、イオン注入による選択的ドーピングによらざるを得ない。そのため、第1のマスクを用いたイオン注入によってP型ウエル3を形成し、さらに第2のマスクを用いたイオン注入によって N^+ 型ソース層6が形成される。

[0008] したがって、第1および第2のマスクのずれが生じれば、図7に示すように、P型ウエル3の中央位置に N^+ 型ソース層6を整合させることができず、場所によってチャネル長Lがばらつくこととなり、所望のデバイス特性を得ることができない。むろん、マスクずれに再現性を期待することはできないから、作製されるMOSFETのデバイス特性にばらつきが生じることは避けられない。

[0009] また、前記のような構成のパワーMOSFETの場合、P型ウエル3間の間隔が狭いと、この間を通る電流は、いわゆるJFET(Junction Field-Effect Transistor)抵抗を受け

、オン抵抗が高くなる。むろん、この問題は、P型ウェル3間の間隔を広くとることによって解消されるが、この場合には、単位面積当たりのチャネル幅(チャネル領域12の総延長)が短くなり、チャネル抵抗が増加してしまう。すなわち、もともとSiC半導体を用いたMOSFETにおいて最大の課題ともいえるべき大きなチャネル抵抗をさらに増大させてしまう結果を招き、オン抵抗が高くなる。

[0010] したがって、SiC半導体を用いたMOSFETのオン抵抗(JFET抵抗およびチャネル抵抗を含む。)の低減は、容易にはなしえない課題となっていた。

この発明の第1の目的は、SiC半導体を用いつつ安定したデバイス特性を得ることができる構造の半導体装置およびその製造方法を提供することである。

また、この発明の第2の目的は、SiC半導体を用いながらオン抵抗を効果的に低減することが可能な半導体装置およびその製造方法を提供することである。

課題を解決するための手段

[0011] この発明の半導体装置は、第1導電型のSiC半導体基板(20)と、このSiC半導体基板上に形成され、前記第1導電型とは異なる第2導電型のウェル(23)と、前記SiC半導体基板において前記ウェルを取り囲む領域に、前記ウェルと一部重なるように前記第1導電型の不純物を導入して形成された第1不純物拡散層(41)と、前記ウェル内において、前記不純物拡散層と所定の間隔を開けた領域に前記第1導電型の不純物を導入して形成された第2不純物拡散層(42、26)と、前記第1および第2不純物拡散層間のチャネル領域(35)にゲート絶縁膜(24)を挟んで対向配置されたゲート電極(25)とを含む。なお、括弧内の英数字は後述の実施形態における対応構成要素等を表す。以下、この項において同じ。

[0012] この構成によれば、チャネル長は、ウェルの縁部と第2不純物拡散層の縁部との間の距離ではなく、第1および第2不純物拡散層間の距離によって規定される。したがって、ウェルおよび第2不純物拡散層をイオン注入によって形成するための各マスクの重ね合わせ精度に依存することなく、安定したデバイス特性を実現できる。

しかも、ウェルを取り囲む領域は、第1不純物拡散層によって低抵抗化されているので、複数のウェルを隣接配置する場合に、ウェル間のJFET抵抗が第1不純物拡散層によって低減される。そのため、複数のウェルを狭い間隔で近接配置することが

可能となり、隣接するゲート電極間の間隔を短くして、微細構造化を図ることができる。このようにして、単位面積当たりのチャネル幅を増加することができ、かつ、JFET抵抗を低く抑えることができるので、オン抵抗を低減することができる。

- [0013] 前記半導体装置は、前記ウェル内において前記第2不純物拡散層と少なくとも一部重なる領域に形成され、前記第1導電型のソース拡散領域(26)をさらに含むことが好ましい。これにより、第2不純物拡散層をソース領域に電氣的に接続することができる。

前記第1不純物拡散層および第2不純物拡散層は、一つのマスク(37)を用いたイオン注入によって同時に形成されたものであることが好ましい。

- [0014] この構成によれば、第1および第2不純物拡散層が共通のマスクを用いたイオン注入によって同時に形成されるので、これらは、自己整合的に配置されることとなり、それらの間の距離を確実に一定の値とすることができる。これによって、より安定したチャネル長を得ることができ、安定したデバイス特性の半導体装置を実現できる。

この発明の半導体装置の製造方法は、第1導電型のSiC半導体基板(20)に第2導電型の不純物を導入してウェル(23)を形成する工程と、前記SiC半導体基板において前記ウェルを取り囲む領域に、前記ウェルと一部重なるように前記第1導電型の不純物を導入して第1不純物拡散層(41)を形成する工程と、前記ウェル内において、前記不純物拡散層と所定の間隔を開けた領域に前記第1導電型の不純物を導入して第2不純物拡散層(42, 26)を形成する工程と、前記第1および第2不純物拡散層間のチャネル領域(35)にゲート絶縁膜(24)を挟んでゲート電極(25)を対向配置する工程とを含む。これにより、前述の構成の半導体装置が得られる。

- [0015] 前記第1不純物拡散層および第2不純物拡散層を形成する工程は、これらに対応する開口部を有する共通のマスク(37)を用いたイオン注入によって同時に行われることが好ましい。

本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

- [0016] [図1]この発明の第1の実施形態に係る個別半導体素子としてのパワーMOSFETの

構成を示す図解的な断面図である。

[図2]前記パワーMOSFETの一部の図解的な平面図である。

[図3]図3A～3Fは、前述のパワーMOSFETの製造工程を説明するための図解的な断面図である。

[図4]この発明の第2の実施形態に係るパワーMOSFETの構成を説明するための図解的な断面図である。

[図5]前記第2の実施形態の他の変形例を示す図解的な断面図である。

[図6]SiC半導体基板を用いた従来のパワーMOSFETの構造例を示す図解的な断面図である。

[図7]図6のパワーMOSFETの一部の図解的な平面図である。

符号の説明

- [0017] 20…N型半導体基板、21…N⁺型SiC基板、22…N型エピタキシャル層、23…P型ウェル、24…ゲート絶縁膜、25…ゲート電極、26…N⁺型ソース層、27…P⁺型層、28…コンタクトメタル、29…層間絶縁膜、30…コンタクト孔、31…ソース電極、32…ドレイン電極、35…チャネル領域、37…イオン注入マスク、41…第1N型不純物拡散層、42…第2N型不純物拡散層

発明を実施するための最良の形態

- [0018] 図1は、この発明の第1の実施形態に係る個別半導体素子としてのパワーMOSFETの構成を示す図解的な断面図である。このパワーMOSFETは、N⁺型SiC基板21上にN型SiCエピタキシャル層22を成長させて作製したSiC半導体基板20を備えている。N型エピタキシャル層22の表層部には、複数のP型ウェル23が間隔を開けて形成されている。この実施形態では、個々のP型ウェル23は、図2の図解的な平面図に示すように、たとえば矩形(正方形を含む)に形成されていて、この矩形のP型ウェル23がSiC半導体基板20上にたとえば格子状に分散配列されて形成されている。
- [0019] 隣り合うP型ウェル23間の領域に跨るように、SiC半導体基板20の表面には、ゲート絶縁膜24を挟んでゲート電極25が形成されている。各P型ウェル23内において、ゲート電極25の縁部にゲート絶縁膜24を介して対向する位置には、それぞれN⁺型

ソース層26が形成されている。このN⁺型ソース層26は、この実施形態ではP型ウェル23とほぼ相似形の矩形形状を有し、その内方の中央部には、P型ウェル23の配線接続のためのP⁺型層27が形成されている。

[0020] ゲート電極25は、層間絶縁膜29によって覆われている。この層間絶縁膜29およびゲート絶縁膜24には、P⁺型層27およびこのP⁺型層27周囲のN⁺型ソース層26の一部を露出させるコンタクト孔30が形成されている。このコンタクト孔30の底部には、コンタクトメタル28が形成されていて、このコンタクトメタル28は、P⁺型層27およびN⁺型ソース層26に電気的に接続されている。さらに、層間絶縁膜29上のほぼ全面を覆うようにソース電極31が形成されていて、このソース電極31は、コンタクト孔30に入り込み、コンタクトメタル28に接合されている。ドレインとなるSiC基板21の下面には、ドレイン電極32が形成されている。

[0021] N型エピタキシャル層22の表層部(SiC半導体基板20表層部)において、各P型ウェル23を取り囲む領域(隣接するP型ウェル23の間の領域)には、第1N型不純物拡散層41(図2においては2点鎖線で囲んだ斜線領域で示す。)が形成されている。この第1N型不純物拡散層41は、P型ウェル23の縁部に重なるように形成されている。

一方、P型ウェル23の内部には、第1N型不純物拡散層41の縁部に対向するように第2N型不純物拡散層42(図2においては2点鎖線で囲んだ斜線領域で示す。)が形成されている。この第2N型不純物拡散層42は、この実施形態では、矩形リング状に形成されており、N⁺型ソース層26とほぼ重なり合うとともに、N⁺型ソース層26から外方にはみ出して、その縁部がP型ウェル23内に配置されている。

[0022] この実施形態では、第1N型不純物拡散層41および第2N型不純物拡散層42は、共通のマスクを用いたイオン注入により自己整合的に形成されており、第1および第2N型不純物拡散層41、42の対向する縁部間の距離は至るところで一定となっている。この距離は、たとえば、0.3 μm ~ 2.0 μm とされることが好ましい。

このような構成により、ゲート電極25に適切な電圧を印加すれば、P型ウェル23の表面においてゲート電極25に対向する部分に反転層(チャネル)が形成されることになる。この反転層を介して、第1および第2N型不純物拡散層41、42間が導通し、ド

レイン領域として機能するN型SiC半導体基板20からソース電極31へと向かう電流が流れることになる。

[0023] P⁺型ウエル23において、実質的にチャネル領域35として機能するのは、第1および第2N型不純物拡散層41, 42の間のP型の領域である。このチャネル領域35の距離(チャネル長)Lは、第1および第2N型不純物拡散層41, 42の間の距離によって規定されることになるが、前述のとおり、この距離は至るところで一定となっている。そのため、安定したデバイス特性を得ることができ、製品間の特性のばらつきも抑制できる。

[0024] また、P型ウエル23の間の領域に第1N型不純物拡散層41が形成されていることにより、隣接するP型ウエル23の間を電流が通るときに受けるJFET抵抗が低減されることになる。そのため、複数のP型ウエル23を、JFET抵抗を大きく増大させることなく近接配置することが可能となる。その結果、単位面積中に多数のP型ウエル23を配置して微細構造化を図ることができる。これにより、チャネル領域35の総延長であるチャネル幅を大幅に増大させることができる。その結果、低いオン抵抗を実現することができる。

[0025] しかも、第1および第2N型不純物拡散層41, 42が共通のマスクを用いたイオン注入によって自己整合的に形成されるため、これらの間の距離を短く設定して、チャネル長Lを短くすることができる。これによりチャネル抵抗をさらに低減することができるので、オン抵抗をより一層低くすることが可能となる。

図3A～3Fは、前述のパワーMOSFETの製造工程を説明するための図解的な断面図である。まず、図3Aに示すように、N⁺型SiC基板21上にN型エピタキシャル層22が成長させられ、その後にイオン注入によりP型ウエル23が形成される。さらに、別のマスクを用いて、P型ウエル23のほぼ中央部にP型不純物をイオン注入することにより、P⁺型層27が形成される。

[0026] 次いで、図3Bに示すように、別のマスクを用いたN型不純物イオンの注入によって、N⁺型ソース層26が形成される。

その後、図3Cに示すように、第1および第2N型不純物拡散層41, 42に対応したパターンの開口を有するイオン注入マスク37を用いてN型不純物イオンを注入する

ことによって、第1および第2N型不純物拡散層41、42が同時に形成される。

[0027] 次いで、図3Dに示すように、SiC半導体基板20の表面にゲート絶縁膜24が形成され、さらに、P型ウェル23の中央領域を露出させるパターンのゲート電極25(たとえばポリシリコンからなるもの)が形成される。そして、ゲート電極25から露出している領域のゲート絶縁膜24の中央部に、P⁺型層27およびN⁺型ソース層26の一部の領域を露出させる開口が形成され、この開口に、たとえばNiからなるコンタクトメタル28が埋め込まれる。また、N⁺型SiC基板21の下面にはドレイン電極32となる金属膜が形成される。

[0028] 次いで、図3Eに示すように、コンタクトメタル28の上方領域にコンタクト孔30を有する層間絶縁膜29(たとえば、SiO₂からなるもの)が形成され、この層間絶縁膜29によってゲート電極25が覆われることになる。

そして、図3Fに示すように、全面にソース電極31を構成する金属膜(たとえばAlからなるもの)が形成される。このソース電極31は、コンタクト孔30に入り込み、コンタクトメタル28に接合されることになる。

[0029] このようにして、図1に示す構造のパワーMOSFETを得ることができる。

そして、第1および第2N型不純物拡散層41、42が、イオン注入マスク37を共通に用いたイオン注入によって自己整合的に形成されるので、これらの間の距離によって規定されるチャネル長Lは、SiC半導体基板20上の至るところで一定となる。これにより、安定なデバイス特性を得ることができ、製品毎の特性のばらつきを抑制することができる。

[0030] 図4は、この発明の第2の実施形態に係るパワーMOSFETの構成を説明するための図解的な断面図である。この図4において、前述の図1に示された各部と対応する部分には図1の場合と同一の参照符号を付して示す。この実施形態では、前述の第1の実施形態における第2N型不純物拡散層42が設けられていない。一方、P型ウェル23を取り囲む領域(P型ウェル23の間の領域)には、P型ウェル23に縁部を入り込ませたN型不純物拡散層41が形成されている。したがって、このN型不純物拡散層41とN⁺型ソース層26との間の領域がチャネル領域35となり、これらの間の距離によってチャネル長Lが規定されることになる。

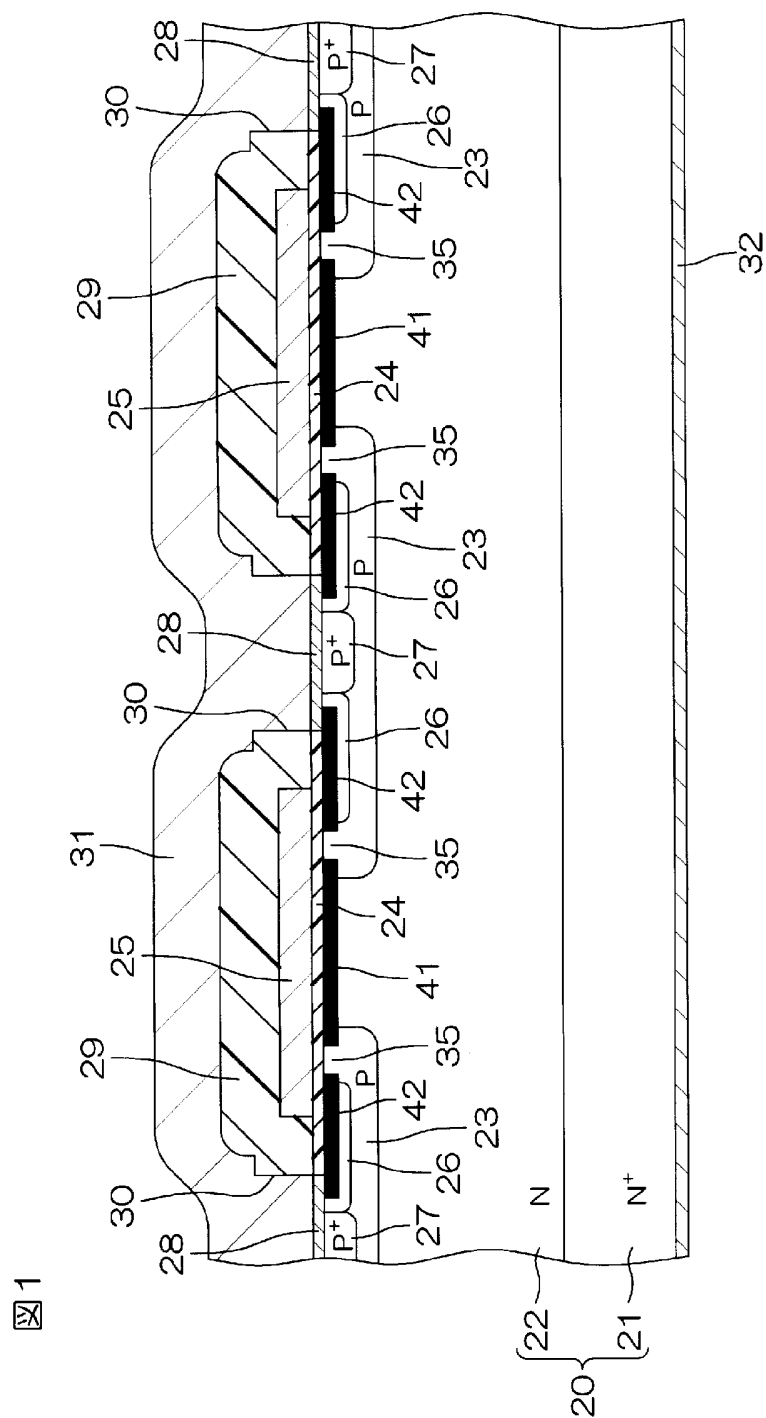
- [0031] この実施形態では、N型不純物拡散層41は、N⁺型ソース層26と共通のイオン注入マスクを用いて、自己整合的に形成されていて、N⁺型ソース層26が第2N型不純物拡散層としての役割を担う。そのため、前述の第1の実施形態の場合と同じく、チャンネル長Lは基板20上のいたるところで一定となり、安定したデバイス特性を得ることができる。
- [0032] もちろん、N型不純物拡散層41によって、JFET抵抗を低減することができるから、P型ウェル23間の距離を縮小して微細構造化を図ることができ、それによりチャンネル幅を増大させ、オン抵抗の低減を図ることができる。また、N型不純物拡散層41とN⁺型ソース層26とが自己整合的に形成されるので、これらの間の距離を短くして(たとえば、0.3 μm ~ 2.0 μm)、チャンネル長Lを短縮することができる。その結果、チャンネル抵抗を一層低減して、オン抵抗の低減を図ることができる。
- [0033] 図5は、前述の図4の構成を変形して、N型不純物拡散層41の形成を、N⁺型ソース層26の形成のためのイオン注入とは別のイオン注入工程によって行った場合を示している。この場合、N⁺型ソース層26の層厚と、N型不純物拡散層41の層厚とが異なることになる。この構成では、N型不純物拡散層41の不純物濃度および層厚を、N⁺型ソース層26に依存することなく定めることができる。そのため、N型不純物拡散層41の不純物濃度および拡散深さを、JFET抵抗低減の目標値や必要な耐圧を考慮して適切に定めることができ、これにより、安定したデバイス特性と、オン抵抗の低減とを両立したパワーMOSFETを構成することができる。
- [0034] 以上、この発明の実施形態について説明したが、この発明は、さらに他の形態で実施することもできる。たとえば、前述の実施形態では、パワーMOSFETを例にとったが、IGBT (Insulated Gate Bipolar Transistor) などの他の構造の半導体装置にも、この発明の適用が可能である。
- また、前述の実施形態では、N型SiC半導体基板20上にNチャンネル型のMOSFETを形成した例を示したが、P型SiC半導体基板を用い、各部の導電型を前述の各実施形態の場合とは反対にして、Pチャンネル型のMOSFETを構成してもよい。
- [0035] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定

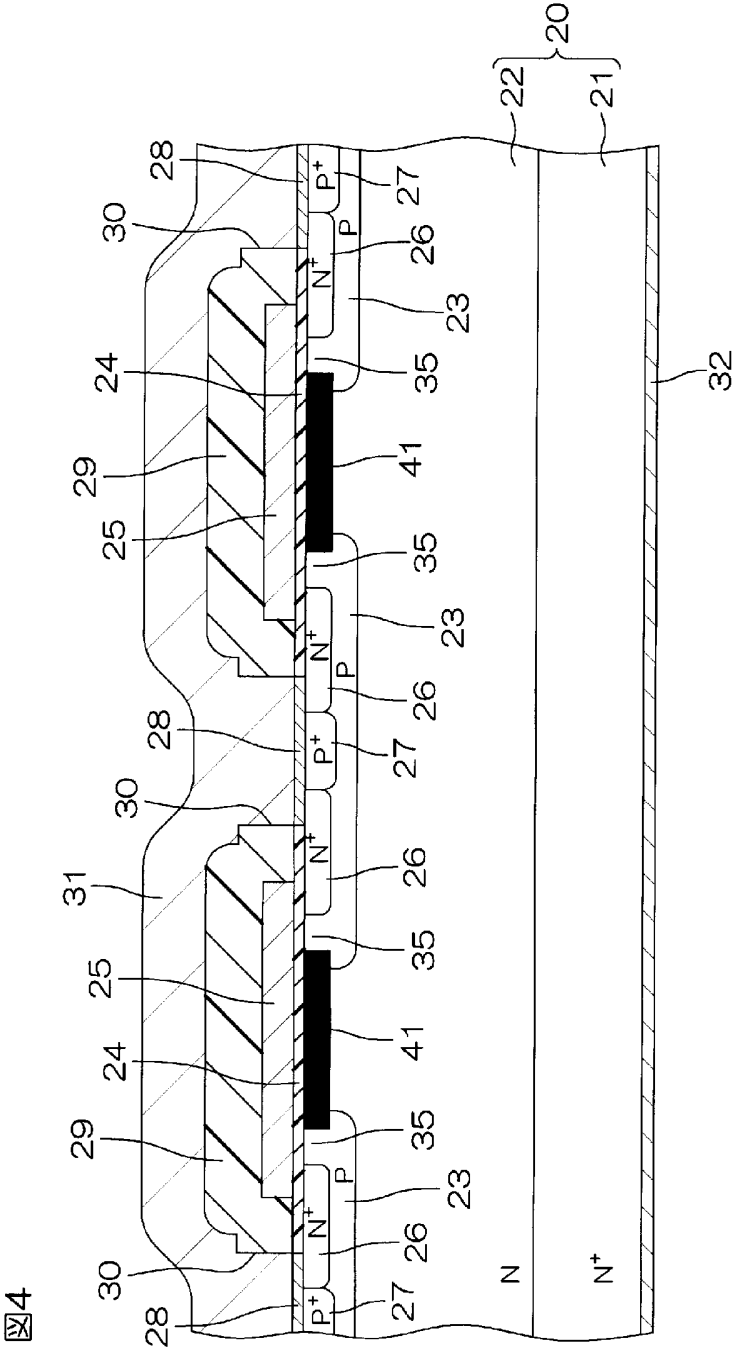
して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

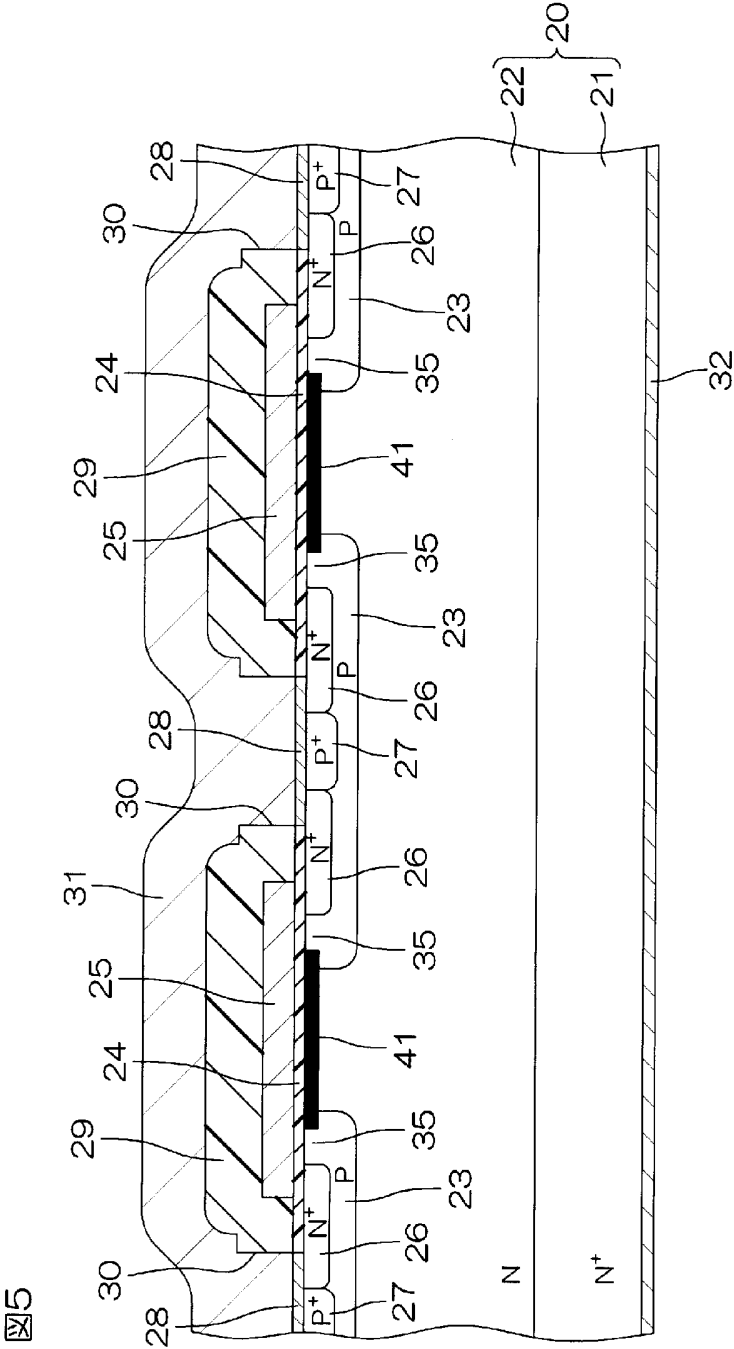
この出願は、2005年4月22日に日本国特許庁に提出された特願2005-125497号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

請求の範囲

- [1] 第1導電型のSiC半導体基板と、
このSiC半導体基板上に形成され、前記第1導電型とは異なる第2導電型のウエルと、
前記SiC半導体基板において前記ウエルを取り囲む領域に、前記ウエルと一部重なるように前記第1導電型の不純物を導入して形成された第1不純物拡散層と、
前記ウエル内において、前記不純物拡散層と所定の間隔を開けた領域に前記第1導電型の不純物を導入して形成された第2不純物拡散層と、
前記第1および第2不純物拡散層間のチャネル領域にゲート絶縁膜を挟んで対向配置されたゲート電極とを含む、半導体装置。
- [2] 前記ウエル内において前記第2不純物拡散層と少なくとも一部重なる領域に形成され、前記第1導電型のソース拡散領域をさらに含む、請求項1記載の半導体装置。
- [3] 前記第1不純物拡散層および第2不純物拡散層は、一つのマスクを用いたイオン注入によって同時に形成されたものである、請求項1記載の半導体装置。
- [4] 第1導電型のSiC半導体基板に第2導電型の不純物を導入してウエルを形成する工程と、
前記SiC半導体基板において前記ウエルを取り囲む領域に、前記ウエルと一部重なるように前記第1導電型の不純物を導入して第1不純物拡散層を形成する工程と、
前記ウエル内において、前記不純物拡散層と所定の間隔を開けた領域に前記第1導電型の不純物を導入して第2不純物拡散層を形成する工程と、
前記第1および第2不純物拡散層間のチャネル領域にゲート絶縁膜を挟んでゲート電極を対向配置する工程とを含む、半導体装置の製造方法。
- [5] 前記第1不純物拡散層および第2不純物拡散層を形成する工程が、これらに対応する開口部を有する共通のマスクを用いたイオン注入によって同時に行われる、請求項4記載の半導体装置の製造方法。







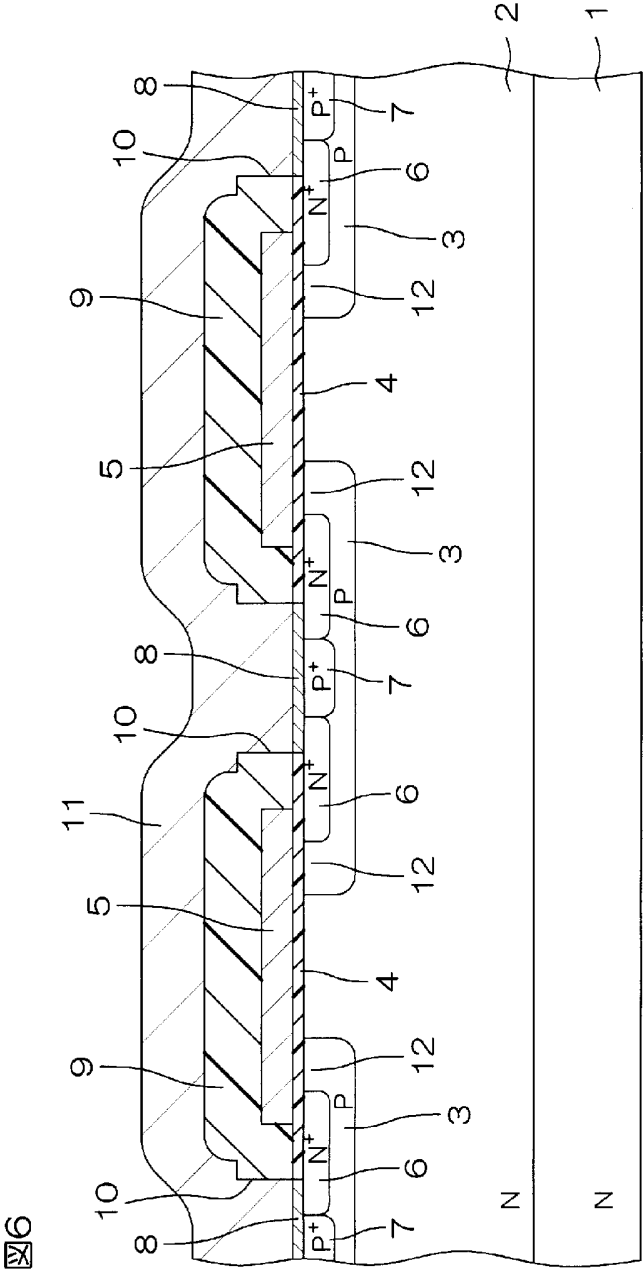
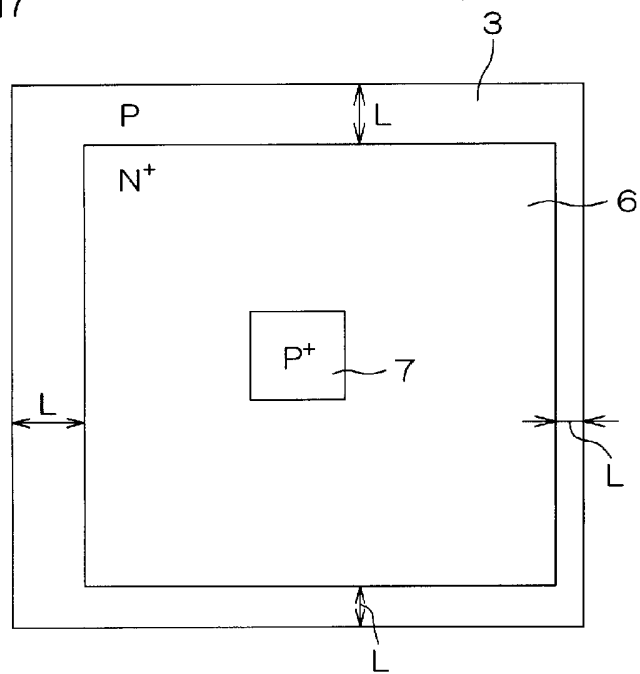


図7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/308136

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01), **H01L21/336**(2006.01), **H01L29/12**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78(2006.01), **H01L21/336**(2006.01), **H01L29/12**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-94097 A (Denso Corp.), 06 April, 2001 (06.04.01), Par. Nos. [0056] to [0072]; Figs. 1, 4 to 7 (Family: none)	1 3-5
Y	JP 62-11275 A (Hitachi, Ltd.), 20 January, 1987 (20.01.87), Page 4, upper right column, line 1 to page 5, lower right column, line 2; Figs. 4 to 6 (Family: none)	3-5
Y	JP 2-231771 A (NEC Corp.), 13 September, 1990 (13.09.90), Page 2, lower left column, line 15 to lower right column, line 17; Fig. 1 (Family: none)	3-5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
03 July, 2006 (03.07.06)

Date of mailing of the international search report
11 July, 2006 (11.07.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/308136

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-160407 A (Nippondenso Co., Ltd.), 25 June, 1993 (25.06.93), Par. Nos. [0058] to [0063]; Figs. 2, 4 to 8, 16 & WO 1993/012545 A1 & EP 0570595 B1 & US 5545908 A & DE 69224740 D	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01), H01L21/336(2006.01), H01L29/12(2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01), H01L21/336(2006.01), H01L29/12(2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 2001-94097 A (株式会社デンソー) 2001.04.06, 段落【0056】-【0072】, 図1, 図4-図7 (ファミリーなし)	1 3-5
Y	J P 62-11275 A (株式会社日立製作所) 1987.01.20, 第4頁右上欄第1行-第5頁右下欄第2行、第4図-第6図 (ファミリーなし)	3-5
Y	J P 2-231771 A (日本電気株式会社) 1990.09.	3-5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

03.07.2006

国際調査報告の発送日

11.07.2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

恩田 春香

電話番号 03-3581-1101 内線 3498

4 L

8934

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	13, 第2頁左下欄第15行ー右下欄第17行, 第1図 (ファミリーなし) JP 5-160407 A (日本電装株式会社) 1993.06.25, 段落【0058】-【0063】, 図2, 図4-図8, 図16 & WO 1993/012545 A1 & EP 0570595 B1 & US 5545908 A & DE 69224740 D	1-5