(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/10

(45) 공고일자 1999년03월20일
(11) 등록번호 특0180064
(24) 등록일자 1998년11월30일

(21) 출원번호	특1995-046692	(65) 공개번호	특1996-026782
(22) 출원일자	1995년12월05일	(43) 공개일자	1996년07월22일
(30) 우선권주장	94-304040 1994년12월07일 일본(JP)		

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 오와키 유키히토
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
후쿠다 료
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 이세진, 김윤배

심사관 : 민병준

(54) 반도체 기억장치

요약

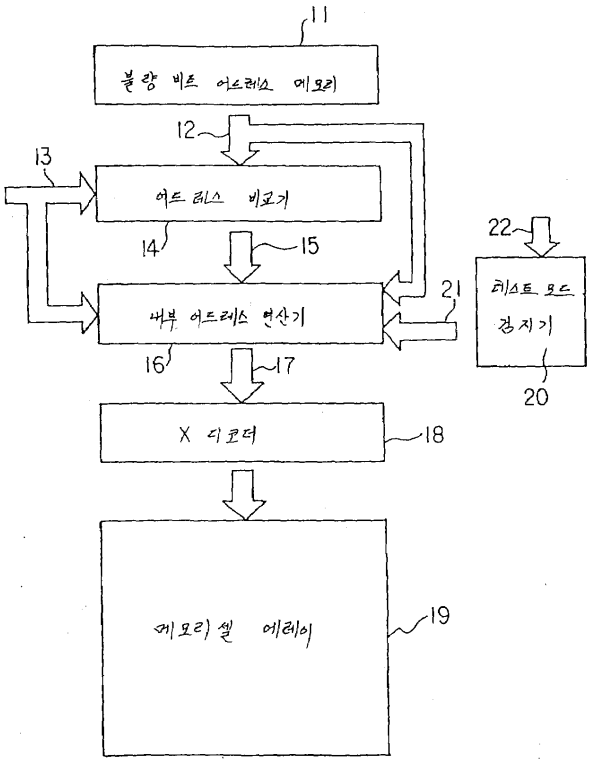
[목적]

불량비트를 불량 용장메모리셀로 치환하지 않고 확실히 구제할 수 있고, 또한 불량비트 구제효율의 향상을 도모할 수 있는 반도체 기억장치를 제공하는 것.

[구성]

XY방향으로 어레이형태로 배설되는 메모리셀 어레이(19)를 갖춘 반도체 기억장치에 있어서, X어드레스 및 Y어드레스로 정의되는 메모리셀 중 불량비트의 메모리셀의 X어드레스를 기억하는 불량비트 어드레스 메모리(11)와, 외부어드레스버스(13)로부터 입력되는 어드레스와 불량비트 어드레스 메모리(11)로부터의 어드레스를 비교하는 어드레스 비교기(14) 및, 이 비교기(14)에 의해 외부어드레스버스(13)로부터 불량비트의 어드레스에 상당하는 상당하는 X어드레스(Xe)가 입력되었다고 판단된 때에 내부어드레스버스(17)에 Xe+m(m은 정 또는 부의 정수)을 발생하는 내부어드레스 연산기(16)를 갖춘 것을 특징으로 한다.

대표도



명세서

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1도는 본 발명의 일실시예에 따른 반도체 기억장치의 기본구성을 나타낸 블럭도.

제2도는 실시예에 이용된 메모리셀 어레이의 어드레스구성을 나타낸 도면.

제3도는 불량비트에 대응하는 어드레스 시프트의 상태를 설명하기 위한 도면.

제4도는 종래의 반도체 기억장치의 기본구성을 나타낸 블럭도.

제5도는 실시예에 따른 반도체 기억장치의 보다 구체적인 구성을 나타낸 도면.

제6도는 어드레스 비교기를 나타낸 회로도.

제7도는 어드레스 변환장치를 나타낸 회로도.

제8도는 어드레스 변환장치를 나타낸 블럭도.

제9도는 가산수 산출회로를 나타낸 블럭도.

제10도는 다른 실시예에 따른 반도체 기억장치의 개략구성을 나타낸 블럭도.

제11도는 불량어드레스 기억장치 및 불량어드레스 검지회로를 나타낸 회로도.

제12도는 대체어드레스 기억장치 및 대체어드레스 출력장치를 나타낸 회로도.

제13도는 외부어드레스 무효회로를 나타낸 회로도이다.

* 도면의 주요부분에 대한 부호의 설명

11 : 불량비트 어드레스 메모리	12 : 불량비트 어드레스의 출력버스
13 : 외부어드레스버스	14 : 어드레스 비교기
15 : 어드레스 비교결과의 출력버스	16 : 내부어드레스 연산기
17 : 내부어드레스버스	18 : X디코더
19 : 메모리셀 어레이	20 : 테스트모드 검지기
21 : 테스트모드 플래그의 출력버스	22 : 외부핀 입력신호

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 메모리셀이 복수개 어레이형태로 배치된 메모리셀 어레이를 갖춘 반도체 기억장치에 관한 것으로, 특히 메모리셀의 불량비트 구제기능을 갖춘 반도체 기억장치에 관한 것이다.

[종래의 기술]

메모리셀이 매트릭스형태로 배치된 메모리셀 어레이에 있어서는, 모든 비트(메모리셀)를 결함없이 형성하는 것은 극히 어렵다. 이 때문에, 결함을 갖는 메모리셀을 별도로 준비한 메모리셀로 치환하는, 소위 불량비트의 구제가 필요하다.

종래의 대표적인 불량비트 구제방식으로서, 제4도에 나타낸 구성이 알려져 있다. 도면 중 참조부호 1은 주메모리셀 어레이, 2는 용장메모리셀 어레이, 3은 주메모리셀 어레이(1)측의 디코더, 4는 용장메모리셀 어레이(2)측의 선택디코더, 5는 용장퓨즈, 6은 제어회로이다.

이 방식에서는, 복수의 메모리셀을 메모리 매트(mat)로 분할하고, 그 메모리 매트에 있어서 주메모리셀 어레이 (1)와 용장메모리셀 어레이 (2)를 갖추고, 외부로부터 어드레스가 입력되면 불량비트 어드레스인가 아닌가를 판단한다. 그리고, 불량비트의 어드레스이면, 주메모리셀 어레이 (1)의 디코더 (3)로부터의 출력을 활성화한 채로 하고, 용장메모리셀 어레이 (2)의 디코드회로(4)를 활성화하여 용장메모리셀 어레이 (2)에 억세스 하도록 되어 있었다.

그렇지만, 이러한 종래방식에는 다음과 같은 2가지의 문제가 있었다. 제1로는, 용장메모리셀 어레이(2)의 불량을 미리 테스트할 수 없기 때문에, 주메모리셀 어레이 (1)의 불량비트를 용장메모리셀로 치환해도, 불량 용장메모리셀로 치환해 버려 구제할 수 없는 경우가 있다. 또 제2로는, 용장메모리로 구제되는 것은 그 용장메모리에 인접하는 어레이뿐이므로, 구제효율이 나쁘다는 문제가 있었다.

이와 같이, 종래의 반도체 기억장치에 있어서는, 불량비트를 용장메모리셀로 치환해도, 불량 용장메모리셀로 치환해 버려 구제할 수 없는 경우가 있고, 또 용장메모리로 구제되는 것은 그것에 인접하는 어레이뿐이므로 구제효율이 나쁘다는 문제가 있었다.

[발명의 목적]

본 발명은 상기한 사정을 고려하여 이루어진 것으로, 불량비트를 불량 용장메모리셀로 치환하지 않고 확실히 구제할 수 있고, 또한 불량비트 구제효율의 향상을 도모할 수 있는 반도체 기억장치를 제공하는 것을 목적으로 한다.

[발명의 구성]

본 발명의 골자는, 용장메모리셀의 테스트를 가능하게 하는 것, 더 나아가서는 용장메모리를 반드시 인접하지 않은 메모리 매트의 불량비트 구제에도 이용하는 점에 있다.

즉 본 발명은, XY방향으로 어레이형태로 배설되는 메모리셀 어레이를 갖춘 반도체 기억장치에 있어서, X어드레스 및 Y어드레스로 정의되는 메모리셀 중 불량비트의 메모리셀의 적어도 X어드레스를 기억하는 수단과, 외부로부터 불량비트의 어드레스에 상당하는 X어드레스(X_e)가 입력될 때, 내부어드레스로서 X_{e+m} (m은 정(正) 또는 부(負)의 정수)을 발생하는 수단을 구비하여 이루어진 것을 특징으로 한다.

여기에서, 본 발명의 바람직한 실시태양으로서는 다음의 것을 들 수 있다.

(1) 외부로부터 불량비트의 어드레스에 상당하는 X어드레스(X_e) 및 X_e보다 상위의 어드레스(X_i)가 입력될 때, 내부어드레스로서 X_{i+m}(m은 정 또는 부의 정수)을 발생하는 것.

(2) 메모리셀 어레이에 복수의 불량비트가 존재하고, 그 X어드레스가 하위로부터 X_{ej}(j=1, 2, …)인 경우, 외부어드레스로서 X_0로부터 X_{e1-1}까지의 어드레스(X_i)가 입력될 때에는 내부어드레스로서 외부어드레스와 같은 어드레스(X_i)를 발생한다. 그리고, 외부어드레스로서 X_{e1}로부터 X_{e2-2}까지의 어드레스(X_i)가 입력될 때에는 내부어드레스로서 외부어드레스에 1을 더한 어드레스(X_{i+1})를 발생하고, 외부어드레스로서 X_{e2-1}로부터 X_{e3-3}까지의 어드레스(X_i)가 입력될 때에는 내부어드레스로서 외부어드레스에 2를 더한 어드레스(X_{i+2})를 발생한다. 즉, 외부어드레스로서 $X_{ej-(j-1)}$로부터 $X_{e(j+1)-(j+1)}$까지의 어드레스(X_i)가 입력될 때에는 내부어드레스로서 외부어드레스에 j를 더한 어드레스(X_{i+j})를 발생하는 것.

(3) X어드레스를 비트선 선택을 위한 열어드레스(또는 워드선 선택을 위한 행어드레스)로 하고, Y어드레스를 행 어드레스(또는 열어드레스)로 한 것.

(4) 불량비트의 메모리셀의 X어드레스 및 Y어드레스의 쌍방을 기억하는 수단과, 불량비트의 편재(偏在)에 따라 어드레스 시프트해야 할 어드레스(X, Y)의 어느 하나를 선택하는 수단 및, 외부로부터 불량비트 어드레스에 상당하는 상기 선택된 X어드레스(X_e) 또는 Y어드레스(Y_e)가 입력될 때, 내부어드레스로서 X_{e+m} 또는 Y_{e+m}(m은 정 또는 부의 정수)을 발생하는 수단을 구비하여 이루어진 것.

(5) 어드레스 시프트를 부(負)로 하는 것.

[작용]

본 발명에 의하면, 불량비트의 메모리셀의 X어드레스를 기억하는 수단과, 불량비트의 어드레스(X_e)의 입력에 의해 X_{e+m}의 내부어드레스를 발생하는 수단을 설치함으로써, 주메모리셀 어레이와 용장메모리셀 어레이의 물리적 구분을 반드시 필요로 하지 않고 용장메모리셀부도 주메모리셀부와 동등하게 억세스 테스트를

행하는 것이 가능하게 된다. 이 때문에, 불량비트의 착실한 구제가 가능하고, 더욱이 구제효율을 향상시킬 수 있다.

또, 상기 (1)과 같이 구성하면, 불량비트의 어드레스 이상의 어드레스를 갖는 부분은, m비트 어드레스가 시프트하게 되어 XX_e의 수에 대해 m비트 가산이라는 간단한 연산에 의해 불량비트의 구제가 가능하게 된다. 더욱이, 상기 (2)와 같이, 복수의 불량비트의 X어드레스를 하위로부터 X_{ej}(j=1, 2, …)로 설정하고, 외부어드레스로서 X_{ej-}(j-1)로부터 $X_{e(j+1)-(j+1)}$까지의 어드레스가 입력될 때에, 내부어드레스로서 외부어드레스에 j를 더한 내부어드레스(X_{i+j})를 발생함으로써, 불량비트가 복수개 존재하는 경우에도 불량비트를 간단히 구제하는 것이 가능하게 된다.

[실시예]

이하, 도면을 참조해서 본 발명의 실시예를 상세히 설명한다.

먼저, 본 발명의 실시예의 개략에 대해 설명한다.

제1도는 본 발명의 일실시예에 따른 반도체 기억장치의 기본구성을 나타낸 도면이다. 도면 중 참조부호 11은 불량비트의 X어드레스를 기억하는 불량비트 어드레스 메모리, 12는 불량비트 어드레스의 출력버스, 13은 외부어드레스가 입력되는 외부어드레스버스, 14는 버스(12, 13)의 각 어드레스를 비교하는 어드레스 비교기, 15는 어드레스 비교결과의 출력버스, 16은 내부어드레스를 작성하기 위한 내부어드레스 연산기, 17은 작성된 내부어드레스가 출력되는 내부어드레스버스, 18은 X디코더, 19는 메모리셀 어레이, 20은 테스트모드 검지기, 21은 테스트모드 플래그의 출력버스, 22는 외부핀 입력신호를 나타내고 있다.

실시예의 메모리셀 어레이(19)는, 외부적으로는 α비트의 X어드레스를 갖는 것으로서 사용하지만, 내부어드레스는 β비트(α+1)로 정의되는 것으로 한다. 구체적으로는, 제2도에 나타낸 바와 같이 메모리셀 어레이(19)는, 본래 필요한 α비트의 X어드레스에 상당하는 부분에 더하여, 불량비트 구제를 위한 여유분이 설치되어 있다. 한편, 어레이(19)를 구성하는 메모리셀로서는, 여기에서는 예컨대 DRAM을 이용한다.

이러한 구성에 있어서, 칩 외부 혹은 동일 칩내 메모리유니트 외부로부터 α비트의 X어드레스가 외부어드레스버스(13)에 입력되면, 그 어드레스는 어드레스 비교기 (14)에 의해 β비트(β α)의 불량비트 어드레스 메모리(11)의 어드레스 출력과 비교된다. 구체적으로는, β비트 어드레스의 하위 α비트와 비교된다. 이하의 실시예에서는 β=α+1로 하여 설명한다.

먼저, 불량비트수가 1인 경우에 대해 설명한다. 입력어드레스(외부어드레스)가 불량비트 어드레스와 하위 n비트에서 일치하지 않는 경우에는, 어드레스 비교결과 출력버스(15)로 불일치신호가 출력되고, 내부어드레스버스(17)에는 외부어드레스버스(13)로부터의 입력어드레스와 동일한 어드레스 데이터가 출력된다. 그리고, 이 어드레스가 X디코더 (18)에 입력되어 어드레스에 대응하는 X선택선, 예컨대 워드선이 선택된다.

한편, 입력어드레스가 불량비트 어드레스와 하위의 n비트에서 일치한 경우 및 불량비트 어드레스와 같거나 큰 어드레스인 경우에는, 내부어드레스 연산기(16)에 의해 외부어드레스버스(13)의 데이터에 m을 더한 어드레스가 발생된다. 여기에서, 예컨대 m=1이다. 이상에 의해 불량비트는 1비트 상위의 어드레스와 치환된다.

불량비트가 복수개인 경우에 관해, 이하 설명의 간단화를 위해 2비트 불량이 어드레스 X_A 및 X_B에 있고 X_AX_B인 때를 예로 들어 제3도를 참조하여 설명한다.

외부어드레스버스(13)의 입력 (X_i)이 X_A보다 작은 어드레스인 경우에는, 내부어드레스버스(17)에는 외부어드레스버스(13)와 동일한 데이터 (X_i)가 출력된다. 외부어드레스버스(13)의 입력 (X_i)이 X_A와 같거나 크면서 X_{B-1}보다 작을 때, 내부어드레스버스(17)에는 외부어드레스버스(13)의 데이터 (X_i)에 1이 더해진 값(X_{i+1})이 출력된다. 또, 외부어드레스버스(13)의 입력 (X_i)이 X_{B-1}과 같거나 클 때에는, 내부어드레스버스(17)에는 외부어드레스버스(13)의 입력(X_i)에 2를 더한 값(X_{i+2})이 출력된다. 이상에 의해 불량비트는 치환된다. 이 어드레스 시프트의 상태를 제2도에 나타내고 있다.

마찬가지로 하여, 불량비트가 3비트 이상인 경우에는, 불량비트의 X어드레스가 하위로부터 X_{ej} (j=1, 2, …)인 경우, 외부어드레스버스(13)에 의해 X_0로부터 X_{e1-1}까지의 어드레스(X_i)가 입력될 때에는 내부어드레스버스(17)에 외부어드레스와 같은 내부어드레스(X_i)를 발생하고, 외부어드레스버스(13)에 의해 $X_{ej-(j-1)}$로부터 $X_{e(j+1)-(j+1)}$까지의 어드레스가 입력될 때에는 내부어드레스 버스(17)에 외부어드레스에 j를 더한 어드레스(X_{i+j})를 발생한다. 이에 따라, j개의 불량비트를 구제할 수 있게 된다.

다음에, 본 실시예에서의 테스트모드에 관해 설명한다. 본 실시예에서는, 외부핀으로의 신호 또는 외부핀으로의 입력의 조합에 의해 테스트모드로 들어가 테스트 플래그를 활성화한다.

테스트모드는 A, B 2개의 모드로 분할되고, 그 2개의 모드는 외부핀으로의 입력 내지는 입력의 조합에 의해 테스트모드 검지기(20)에서 검지되어 테스트 모드 플래그의 출력버스(21)로 출력된다.

A모드에 있어서는, 외부어드레스버스(13)의 데이터는 그대로 내부어드레스버스(17)로 출력된다. 이에 따라, 제2도에 나타낸 α(비트에 상당하는 분(分)의 메모리셀이 억세스된다. B모드에 있어서는, 내부어드레스버스(17)에는 최상위비트를 1로 하고 하위어드레스는 어드레스버스(13)의 데이터가 출력된다. 이에 따라, 제2도에 나타낸 여유분의 메모리셀이 억세스된다.

이상에 의해, A, B의 테스트모드에 있어서는, 메모리셀 어레이(19)의 모든 셀로의 억세스가 가능하게 된다. 즉, 주메모리셀부와 용장메모리셀부의 구별없이 억세스 테스트를 행할 수 있다.

다음에, 상기 제1도에서 나타낸 본 발명의 실시예에 대해 상세히 설명한다.

전술한 바와 같이, 이 실시예의 반도체 기억장치는 정규의 주메모리셀과 용장메모리셀을 구별하지 않고 외부로부터 억세스되는 어드레스수보다도 많은 셀과 그것에 대응하는 어드레스를 준비하고 있다.

즉, 복수개의 기억소자 일부의 기억소자를 외부로부터 억세스하여 사용하는 것으로, 제5도에 나타낸 바와 같이 외부로부터 입력되는 어드레스 Am(0≤Am≤Amax)은 내부의 어드레스 Dm(0≤Dm≤Dmax)으로 변환되지만, 이때 AmaxDmax로 되어 있다.

외부로부터 입력된 어드레스는 어드레스버퍼 (23)에 격납된다. 11은 제1도의 불량비트 어드레스 메모리인 어드레스 기억장치로서, 내부어드레스 중 억세스하지 않은 것, 즉 불량비트 어드레스를 기억하고 있다. 이것은, 퓨즈라도 좋고, ROM이라도 좋다. 어드레스 기억장치 (11)는 1개 있고, i번째(0≤i≤1)의 어드레스 기억장치 (11)에 격납되어 있는 불량비트 어드레스는 Bi이다.

어드레스버퍼(23)에 격납되어 있던 어드레스(Am)는 어드레스 비교기 (14)로 보내지고, 어드레스 비교기 (14)는 어드레스 기억장치(11)에 기억된 어드레스(Bi)와 어드레스버퍼(23)에 격납된 외부어드레스(Am)와의 비교를 행한다. 이 비교결과는, 제1도의 내부어드레스 연산기(16)로서의 어드레스 변환장치로 보내지고, 어드레스 변환장치(16)는 이 비교결과를 기초로 외부어드레스(Am)를 내부어드레스(Dm)로 변환한다. 이때, 어드레스 기억장치(11)에 기억된 불량비트 어드레스(Bi)로 변환되는 외부어드레스(Am)가 없도록 변환을 행한다. 이렇게 하여 변환된 내부어드레스에 따라 디코더(18)가 디코드한 메모리셀 어레이(19)내의 기억소자를 억세스한다.

상술한 외부어드레스(Am)로부터 내부어드레스(Dm)로의 변환으로서는, 외부로부터 입력된 어드레스(Am)가, 어드레스 기억장치(11)에 기억된 불량비트 어드레스가 작은 쪽으로부터 i번째의 것 이상이고 i+1번째의 것 미만일 때에는, 외부어드레스에 i를 더하여 내부어드레스로 한다고 하는 변환을 고려할 수 있다. 이하에, 이 변환을 행하는 실시예에 대해 설명한다.

i번째의 불량어드레스 기억장치(11)에는 작은 쪽으로부터 i번째의 불량비트 어드레스(Bi)를 기억시킨다. 어드레스 비교기(14)의 회로구성을 제6도에 나타낸다. 제6도에 도시된 어드레스 비교기(14)는 i번째(0≤i≤1)의 것이고, 외부로부터 입력된 Am은 n비트라고 한다. 또, 불량비트 어드레스의 Bm과 외부로부터 입력된 Am의 k자릿수째가 각각 bk, ak이고, 1~k자릿수째 까지의 수가 Bk, Ak이다. 어드레스 비교기(14)는 외부어드레스(Am)와 불량비트 어드레스(Bi)의 대소를 비교하는 장치이다.

다음에, 어드레스 변환장치(16)의 회로구성을 제7도(a), (b)에 나타낸다. di(0≤i≤1)는 ci와 ci+1의 EXNOR출력으로 되어 있다. 단, d0는 c1의 출력이 그대로 입력되고 있다. AmB1이라면, d0만이 H로 되고, Bi≤AmBi+I일 때는 di만이 H로 된다.

제7도(b)에 나타낸 바와 같이, 이 di(0≤i≤1)가, 어드레스버퍼(23)와 가산회로를 연결하는 트랜스퍼 게이트 Qi(0≤i≤1)와, i가산회로의 출력측에 설치된 트랜스퍼 게이트 Qi(0≤i≤1)의 게이트에 입력되고 있다. i가산회로는, 입력에 i를 가산하는 회로로, 통상의 전가산기로 이루어져 있다. 이에 따라, 외부로부터 입력된 어드레스(Am)가 불량비트 어드레스(Bm)중 작은 쪽으로부터 i번째의 것 이상이고 i+1번째의 것 미만일 때(Bi≤Am≤Bi+I)에는, 외부어드레스(Am)에 i를 더하여 내부어드레스(Dm)로 한다고 하는 변환을 행할 수 있다.

다음에, 외부로부터 입력된 어드레스(Am)가 불량어드레스 기억장치 (11)에 기억된 불량비트 어드레스의 작은 쪽으로부터 i번째의 것 이상이고 i+1번째의 것 미만일 때에는, 외부어드레스에 i를 더하여 내부어드레스로 한다고 하는 변환을 행하는 또 하나의 실시예에 대해 설명한다.

본 실시예에서는, 어드레스 기억장치(11)에는 불량비트의 어드레스(Bi)가 입력되어 있으면 좋고, 상기 실시예와 같이 그 순번을 문제삼지 않는다. 또, 어드레스 기억장치(11)는 퓨즈라도 좋고, ROM이라도 좋다. 어드레스 비교기(14)로는 상기 실시예와 동일한 것을 이용했다. 어드레스 변환장치(16)의 블럭도를 제8도에 나타낸다. 어드레스 비교기(14)의 출력 ci(0≤i≤1)는 가산수산출회로(16-2)에 입력된다. 가산수 산출회로(16-2)의 블럭도를 제9도에 나타낸다.

이 회로는, 불량비트의 어드레스(Bi)와 외부로부터 입력된 어드레스(Am)가 Bi≤Am의 관계를 만족하는 Bi의 갯수를 구하는 것이다. Bi≤Am의 관계는 어드레스 비교기(14)의 출력 ci(0≤i≤1)중 ci가 L일 때에 만족되므로, Bi≤Am의 관계를 만족하는 Bi의 갯수는 ci의 인버터출력을 가산함으로써 구해진다. 가산은 ci를 2개씩 조(組)로 하여 가산하고, 그 출력을 또 2개씩 조로 하여 가산한다고 하는 조작을 반복하여 행한다. 제1단의 가산은 1비트씩의 가산이므로 1비트의 가산기로 충분하고, 이 출력은 2비트로 되므로 다음단은 2비트씩의 가산기를 필요로 한다.

이와 같이 하여 1≤2i로 되는 j단째까지 가산하면, Bi≤Am의 관계를 만족하는 Bi의 갯수를 산출할 수 있다. 이 출력(g)과, 어드레스버퍼(23)에 외부로부터 입력되고 있는 어드레스(Am)를 가산하는 것이 어드레스 가산회로(16-3)이다. 어드레스 가산회로(16-3)의 출력이 내부어드레스(Dm)로 된다. 이에 따라, 외부로부터 입력된 어드레스(Am)가, 불량비트 어드레스(Bi)중 작은 쪽으로부터 i번째의 것 이상이고 i+1번째의 것 미만일 때(Bi≤Am≤Bi+1)에는, 외부어드레스(Am)에 i를 더하여 내부어드레스(Dm)로 한다고 하는 변환을 행할 수 있다.

본 실시예는 상기 실시예에 비해, 어드레스 기억장치(11)에 입력되는 불량비트 어드레스(Bi)는 순서가 부동(不同)이라고 하는 잇점을 갖는다. 이 점은, 기억장치의 적응성을 증가시키고, 테스트시간 등의 대폭적인 단축으로 이어진다. 또, 만일 어드레스 기억장치(11)와 어드레스 비교기(14)의 조합 중 1개가 파괴되어 있어도 그것을 사용하지 않으면 되므로, 모든 어드레스 기억장치(11)와 어드레스 비교기(14)의 조합이 동작하지 않으면 안되는 상기 실시예에 비해, 칩의 수율을 향상시키는 것으로도 이어진다.

다음에, 복수개의 기억소자 중 일부의 기억소자를 외부로부터 억세스하여 사용하는 기억장치에서, 불량비트 어드레스로 변환되는 외부어드레스(Am)가 없도록 외부어드레스(Am)로부터 내부어드레스(Dm)로의 변환으로서, 이하의 것을 고려할 수 있다.

불량비트 어드레스(Bi)와, 그것을 대신하는 어드레스(Ei)를 기억해 두고, Bi에 억세스되었을 때(Am=Bi(0

≤i≤1))에는 Ei에 억세스하도록(Dm=Ei) 하고, 그 이외 일 때(Am≠Bi(0≤i≤1))에는 외부어드레스(Am)를 내부어드레스로 하는 (Dm=Am) 방법이다. 이하, 이 변환을 행하는 실시예에 대해 설명한다.

제10도는 본 발명의 더욱 다른 실시예에 따른 반도체 기억장치의 개략구성을 나타낸 블럭 도이다. 외부로부터 입력되는 어드레스 Am(0≤Am≤Amax)은 내부어드레스 Dm(0≤Dm≤Dmax)으로 변환되지만, 이때 AmaxDmax로 되어 있는 점은 전술한 실시예와 마찬가지이다.

외부로부터 입력된 어드레스는 어드레스버퍼(23)에 격납된다. 11은 어드레스 기억장치로서, 내부어드레스 중 억세스하지 않은 것, 즉 불량비트 어드레스를 기억하고 있다. 이것은, 퓨즈라도 좋고, ROM이라도 좋다. 어드레스 기억장치(11)는 1개 있고, i번째(0≤i≤1)의 어드레스 기억장치(11)에 격납되어 있는 불량비트 어드레스는 Bi이다.

어드레스버퍼(23)에 격납된 어드레스(Am)는 불량어드레스 검지회로(25)로 보내진다. i번째의 어드레스 검지회로(25)의 출력은 2개 있다. 하나는 RON으로 외부어드레스 무효회로(26)에 입력되고 있고, 다른 하나는 RONi로 i번째의 대체어드레스 출력장치(28)에 입력되고 있다. i번째의 어드레스 검지회로(25)는 i번째의 어드레스 기억장치(11)에 기억된 어드레스(Bi)가 어드레스버퍼 (23)에 격납된 외부어드레스와 일치하는가 아닌가를 검사한다. 일치한 경우, 출력선을 통해 외부어드레스 무효회로(26)를 기동시켜 외부어드레스를 무효로 함과 동시에, i번째의 대체어드레스 출력장치(28)로 대체어드레스를 출력시킨다. i번째의 대체어드레스 출력장치(28)는, i번째의 어드레스 검지회로(25)의 신호에 의해 i번째의 대체어드레스 기억장치(27)에 기억된 어드레스를 내부어드레스(Dm)로서 출력한다. 이렇게 하여 변환된 내부어드레스에 따라 디코더(18)가 디코드한 기억소자(19)를 억세스한다.

제11도는 i번째의 불량어드레스 기억장치(11)와 불량어드레스 검지회로(25)의 일실시예에 따른 회로도이고, 제12도는 i번째의 대체어드레스 기억장치(27)와 대체어드레스 출력장치(28)의 일실시예에 따른 회로도이며, 제13도는 외부어드레스 무효회로(26)의 일실시예에 따른 회로도이다. 이 예에서는, 외부로부터 입력되는 어드레스를 14비트(a0~a13)라고 가정하고 있지만, 몇 비트로 되어도 본 실시예를 적용할 수 있다.

제11도 중, F0, F0'~F13, F13'는 퓨즈이고, 이것이 불량어드레스 기억장치(11)이다. 이것을 레이저로 태워 절단함으로써, 어드레스를 기억한다. 예컨대, (i+1)비트째(0≤i≤13)의 어드레스가 1이라면 Fi를 태워 절단하고, 0이라면 Fi'를 태워 절단한다.

Q0, Q0'~Q13, Q13 '는 nMOS 트랜지스터로서, 그 게이트에는 외부어드레스(a0~a13)와 그 상보신호(/a0~/a13)가 순번대로 입력되고 있다. 소오스에는, F0~F13'의 퓨즈가 접속되어 있고, 그 앞은 접지되어 있다. Q0~Q13'의 드레인측은 공통단자(/RONi)에 접속되어 있다. /RONi는 PR1에 의해 pMOS 트랜지스터(Q14)를 통해 Vcc로 프리차지(pre-charge)된다. /RONi는 프리차지 후 어느 정도 시간을 둔 신호(PR2)에 의해 nMOS 트랜지스터 (Q15)를 통해 nMOS 트랜지스터(Q16)의 게이트에 접속된다. Q16의 드레인측은 단자(RON)에 접속되고, 소오스측은 접지되어 있다. RON은 PR1에 의해 pMOS 트랜지스터 (Q17)를 통해 Vcc로 프리차지된다. 또, RONi는 인버터 2개에 의해 자기자신을 래치하고 있다.

또, /RONi는 PR2에 의해 nMOS 트랜지스터(Q18)를 통해 RONi에 접속된다. RONi는 PR1에 의해 nMOS 트랜지스터(Q17)를 통해 Vss로 프리차지된다. 또, RONi는 인버터 2개에 의해 자기자신을 래치하고 있다.

동작은 이하와 같이 해서 수행한다. 먼저, 어드레스가 입력되기 전에는 PR1에 의해 /RONi는 H로, RON은 L로, RONi는 L로 프리차지된다. 어드레스가 입력되고, 불량어드레스 기억장치(11)에 기억된 어드레스와 일치하면 /RONi는 L로 되고, 불량어드레스 기억장치(11)에 기억된 어드레스와 일치하지 않으면 /RONi는 H 그대로이다. 이후, PR2에 의해 Q15와 Q18이 온(ON)한다. /RONi가 L일 때는, RON은 H 그대로이고, RONi는 L 그대로이다. /RONi가 H일 때는, RON은 L로 되고, RONi는 H로 된다.

F50~F63은 퓨즈이고, 이것이 대체어드레스 기억장치(29)이다. 이것을 레이저로 태워 절단함으로써, 어드레스를 기억한다. 예컨대, (i+1)비트째(0≤i≤13)의 어드레스가 0이라면 F(50+i)를 태워 절단하고, 1이라면 태워 절단하지 않는다.

퓨즈(F50~F63)의 한쪽의 단자는 접지되어 있고, 다른 한쪽의 단자는 e0~e13의 단자에 접속되어 있다. e0~e13의 단자는 PR1에 의해 pMOS 트랜지스터(Q30~Q43)를 통해 Vcc로 프리차지된다. 이에 따라, 퓨즈 F(50+i)를 절단한 것만 ei의 출력이 H로 되어 상기와 같이 기억된 대체어드레스가 출력되게 된다.

e0~e13은 각각 RONi를 게이트입력으로 하는 nMOS 트랜지스터(Q50~Q63)를 통해 내부어드레스(d0~d13)에 접속되어 있다. 또, a0~a13은 각각 RON을 게이트입력으로 하는 nMOS 트랜지스터(Q70~Q83)를 통해 내부어드레스(d0~d13)에 접속되어 있다.

이들 회로에 의해 어드레스가 입력되어 불량어드레스 기억장치(11)에 기억된 어드레스와 일치하면, RON은 L로 되고, RONi는 H로 된다. 이때는 외부어드레스(Am)는 출력되지 않고, 대체어드레스(Dm)가 출력된다. 불량어드레스 기억장치(11)에 기억된 어드레스와 일치하지 않으면, RON은 H로 되고, RONi는 L로 된다. 이때는 외부어드레스(Am)가 출력되고, 대체어드레스(Dm)가 출력되지 않는다.

이상과 같이 하여, 불량비트 어드레스(Bi)와 그것을 대신하는 어드레스(Ei)를 기억해 두고, Bi에 억세스되었을 때(Am=Bi(0≤i≤1))에는 Ei에 억세스 하도록(Dm=Ei) 하고, 그것 이외일 때(Am≠Bi(0≤i≤1))에는 외부어드레스(Am)를 내부어드레스로 하는(Dm=Am) 것이 가능하다. 디코더에 관해서는, 종래보다도 어드레스 비트수가 1비트 증가하는 분만큼 복잡해진다.

또한, 본 발명은 상술한 실시예에 한정되는 것은 아니다. 실시예에서는, X어드레스에 관해 불량비트의 어드레스기억, 어드레스 시프트를 행했지만, Y어드레스에 관해 마찬가지로 어드레스기억, 어드레스 시프트를 행하도록 해도 좋다. 불량비트가 X어드레스측에 편재하는가 Y어드레스측에 편재하는가에 따라 X 또는 Y를 선택하면 좋다. 불량비트의 편재가 미리 알려져 있지 않은 경우는, X, Y 쌍방에 관해 불량비트의 어드레스기억, 어드레스 시프트의 기능을 갖게 하여 실제로 테스트한 결과에 따라 X 또는 Y를 선택하도록 해도 좋다.

또, 메모리셀은 DRAM에 한정되지 않고, 다른 종류, 에컨대 SRAM, EPROM, EEPROM 등을 사용할 수 있다. 그 밖에 본 발명의 요지를 이탈하지 않는 범위에서 여러 가지로 변형하여 실시할 수 있다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 불량비트의 메모리의 X어드레스를 기억하는 수단과, 불량비트 어드레스(X_e)의 입력에 의해 X_{e+m}의 내부어드레스를 발생하는 수단을 설치함으로써, 용장메모리셀의 테스트를 가능하게 할 수 있고, 더욱이 용장메모리를 반드시 인접하지 않는 메모리 매트의 불량비트 구제에도 이용할 수 있으며, 이에 따라 불량비트를 불량 용장메모리로 치환하지 않고 확실히 구제할 수 있고, 또한 구제효율의 향상을 도모할 수 있는 반도체 기억장치를 실현하는 것이 가능하게 된다.

(57) 청구의 범위

청구항 1

XY방향으로 어레이형태로 배설되는 메모리셀 어레이를 갖춘 반도체 기억장치에 있어서, X어드레스 및 Y어드레스로 정의되는 메모리셀 중 불량비트의 메모리셀의 적어도 X어드레스를 기억하는 수단과, 외부로부터 불량비트의 어드레스에 상당하는 X어드레스(X_e)가 입력될 때, 내부어드레스로서 X_{e+m}(m은 정 또는 부의 정수)을 발생하는 수단을 구비하여 이루어진 것을 특징으로 하는 반도체 기억장치.

청구항 2

제1항에 있어서, 외부로부터 상기 불량비트의 어드레스에 상당하는 X어드레스(X_e) 및 X_e보다 상위의 어드레스(X_i)가 입력될 때, 내부어드레스로서 X_{i+m}(m은 정 또는 부의 정수)을 발생하는 수단을 갖춘 것을 특징으로 하는 반도체 기억장치.

청구항 3

제1항에 있어서, 상기 메모리셀 어레이에 복수의 불량비트가 존재하고, 그 X어드레스가 하위로부터 X_{ej}(j=1, 2, …)인 경우, 외부어드레스로서 X_0로부터 X_{e1-1}까지의 어드레스(X_i)가 입력될 때에는 내부어드레스로서 외부어드레스와 같은 어드레스(X_i)를 발생하고, 외부어드레스로서 $X_{ej-(j-1)}$로부터 $X_{e(j+1)-(j+1)}$까지의 어드레스($X_{\ i}$)가 입력될 때에는 내부어드레스로서 외부어드레스에 j를 더한 어드레스(X_{i+j})를 발생하는 수단을 갖춘 것을 특징으로 하는 반도체 기억장치.

청구항 4

제1항에 있어서, X어드레스를 열 또는 행 어드레스로 하고, Y어드레스를 행 또는 열어드레스로 한 것을 특징으로 하는 반도체 기억장치.

청구항 5

XY방향으로 어레이형태로 배설되는 메모리셀 어레이를 갖춘 반도체 기억장치에 있어서, 불량비트의 메모리셀의 X어드레스 및 Y어드레스를 기억하는 수단과, 불량비트의 편재에 따라 어드레스 시프트해야 할 어드레스(X, Y)의 어느 하나를 선택하는 수단 및, 외부로부터 불량비트 어드레스에 상당하는 상기 선택된 X어드레스(X_e) 또는 Y어드레스(Y_e)가 입력될 때, 내부어드레스로서 X_{e+m} 또는 Y_{e+m}(m은 정 또는 부의 정수)을 발생하는 수단을 구비하여 이루어진 것을 특징으로 하는 반도체 기억장치.

청구항 6

적어도 X방향으로 어레이형태로 배설되는 메모리셀 어레이를 갖춘 반도체 기억장치에 있어서, 외부로부터 입력되는 X어드레스를 내부의 X어드레스로 변환하는 조작에 있어서, 억세스되지 않은 내부 X어드레스를 임의로 규정할 수 있는 어드레스 변환회로를 갖춘 것을 특징으로 하는 반도체 기억장치.

청구항 7

제6항에 있어서, 복수의 불량어드레스를 기억하는 수단과 그 어드레스와 외부로부터 입력되는 어드레스의 대소를 비교하는 수단을 구비하고, 상기 외부로부터 입력되는 어드레스와 같거나 작은 불량비트의 갯수를 출력하는 수단을 구비하는 것을 특징으로 하는 반도체 기억장치.

청구항 8

제7항에 있어서, 상기 외부로부터 입력된 어드레스와 같거나 작은 불량 어드레스의 갯수를 외부어드레스에 가산하여 내부어드레스를 발생하는 것을 특징으로 하는 반도체 기억장치.

청구항 9

제7항에 있어서, 상기 외부로부터 입력된 어드레스와 같거나 작은 불량어드레스의 갯수를 출력하는 수단은, 1비트의 불량어드레스를 기억하는 수단을 갖춘 것을 특징으로 하는 반도체 기억장치.

청구항 10

제6항에 있어서, 외부로부터 입력되는 X어드레스로부터 내부의 X어드레스로 변환할 때, 임의로 규정된 어드레스에 대응하는 외부어드레스가 입력되었을 때에 미리 기억시킨 내부 X어드레스를 발생하는 수단을 갖춘 것을 특징으로 하는 반도체 기억장치.

청구항 11

제6항에 있어서, 외부어드레스 혹은 그것을 검지증폭한 어드레스와 내부에서 발생된 어드레스를 절체하여 전달하는 것이 가능한 내부어드레스버스를 갖춘 것을 특징으로 하는 반도체 기억장치.

청구항 12

제11항에 있어서, 상기 내부어드레스버스의 논리버스폭이 상기 외부어드레스버스의 논리버스폭보다 넓은 것을 특징으로 하는 반도체 기억장치.

청구항 13

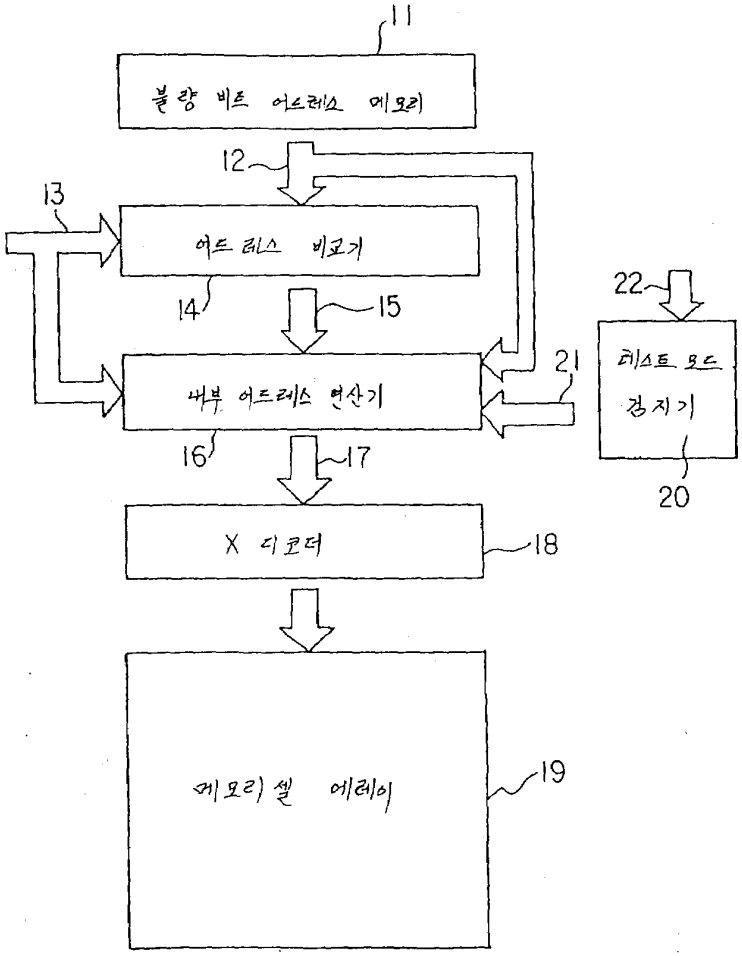
제10항에 있어서, 불량어드레스를 기억하는 수단과, 외부어드레스와 그 불량어드레스를 비교하는 수단 및, 상기 외부어드레스가 상기 불량어드레스와 일치했을 때 미리 기억해 둔 내부어드레스를 내부어드레스버스로 출력하는 수단을 구비한 것을 특징으로 하는 반도체 기억장치.

청구항 14

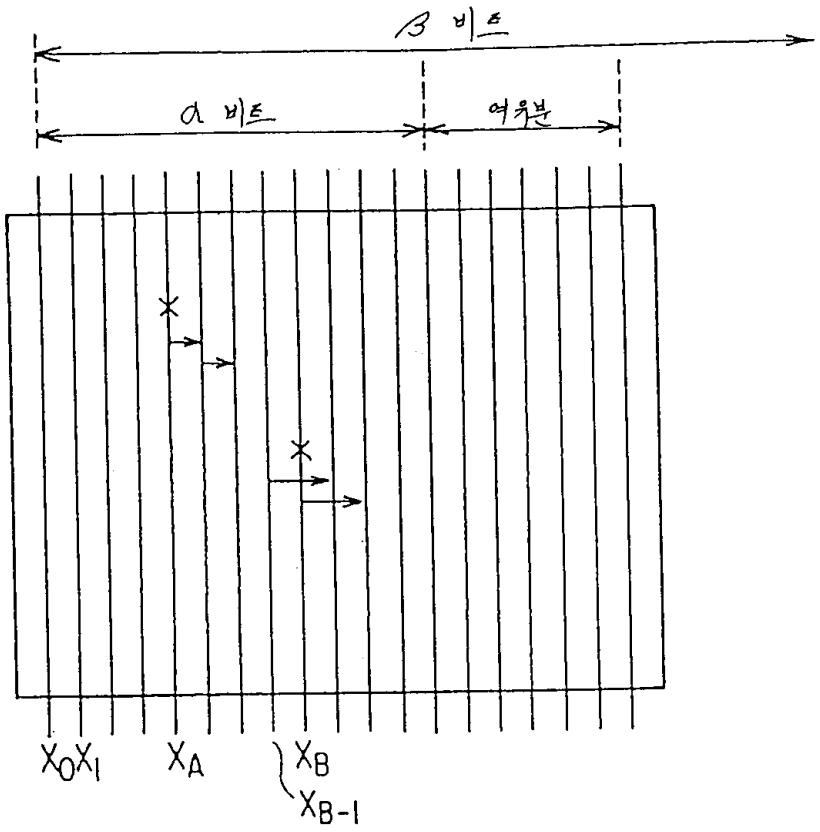
제13항에 있어서, 상기 기억되는 내부어드레스를 기억하는 수단으로서, 전기적 혹은 레이저광에 의해 절단되는 퓨즈를 이용하는 것을 특징으로 하는 반도체 기억장치.

도면

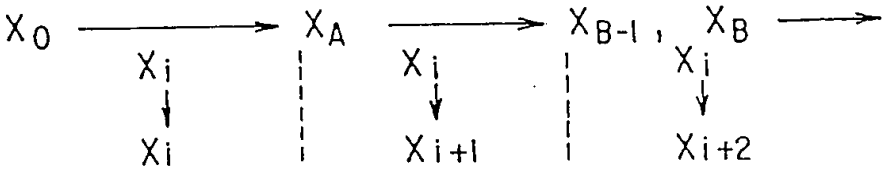
도면1



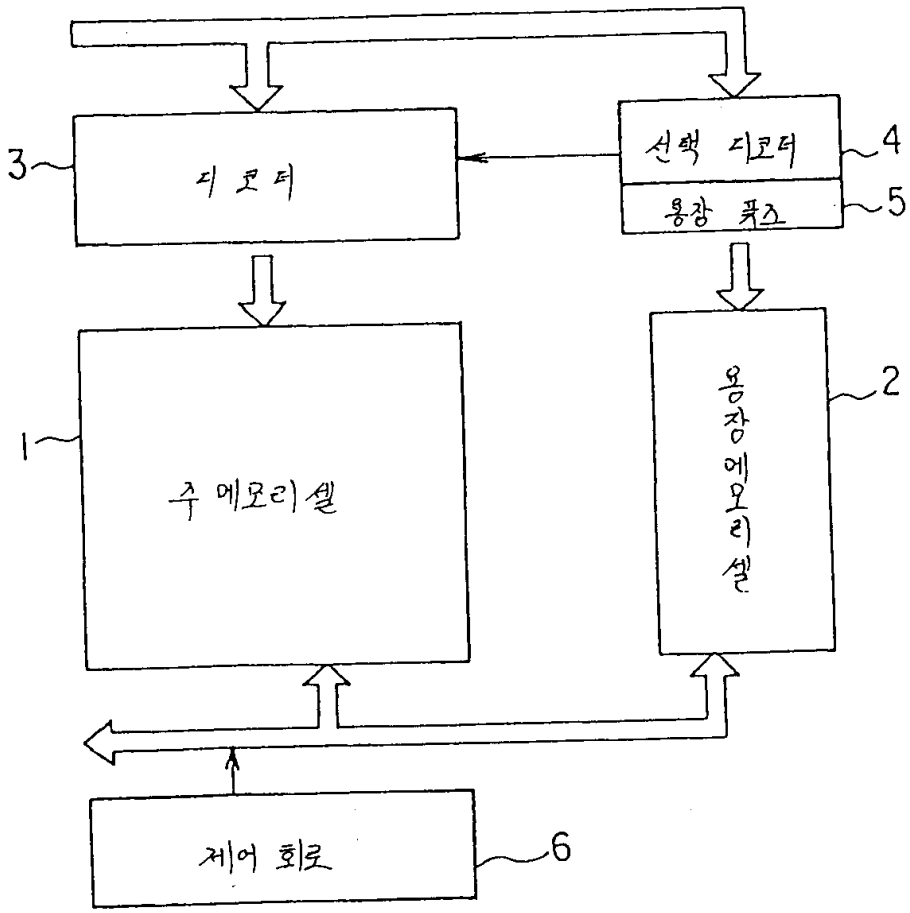
도면2



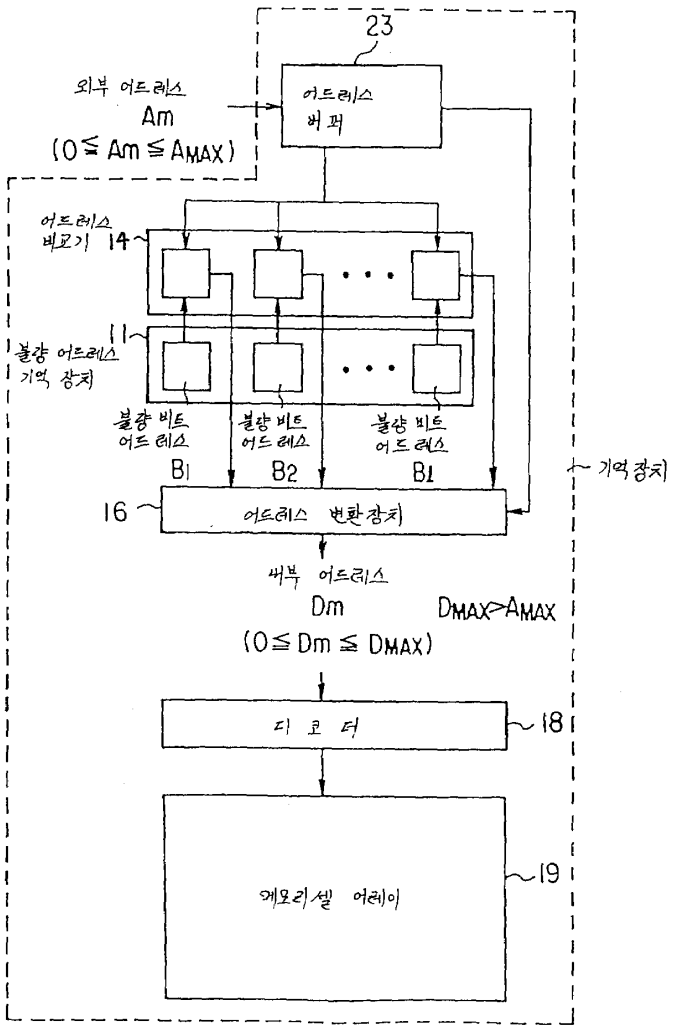
도면3



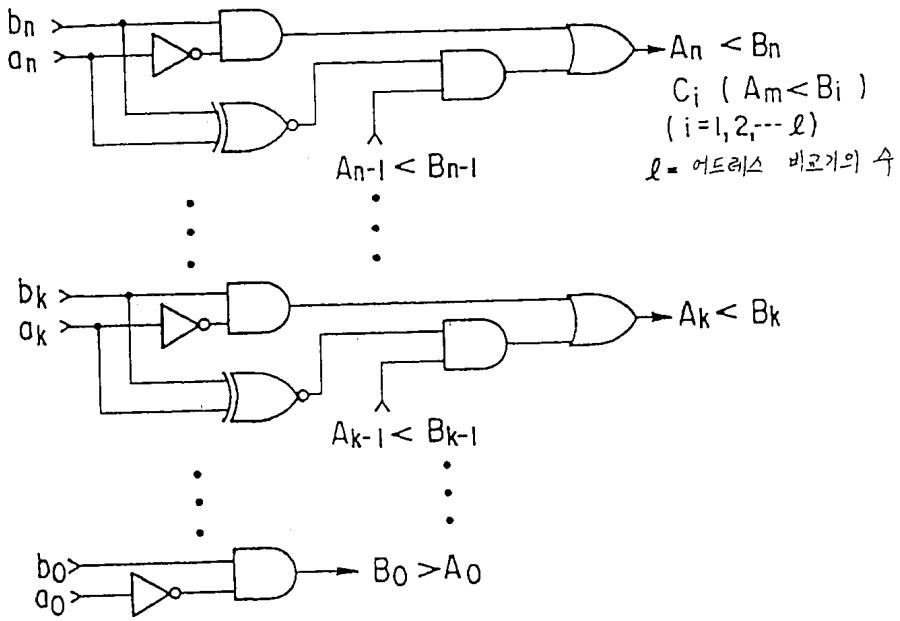
도면4



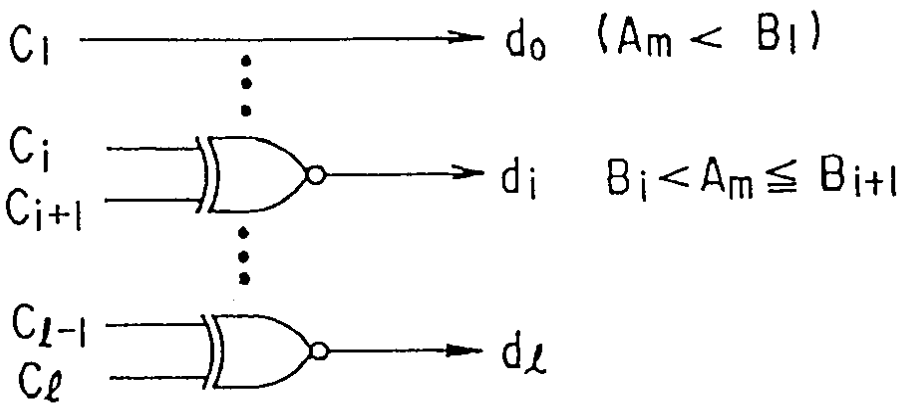
도면5


23
외부 어드레스
Am
(0≦Am≦AMAX)
어드레스
버퍼
어드레스
비교기 14
11
불량 어드레스
기억 장치
불량 비트
어드레스
B1
불량 비트
어드레스
B2
불량 비트
어드레스
B1
기억장치
16
어드레스 변환장치
내부 어드레스
Dm
DMAX>AMAX
(0≦Dm≦DMAX)
디 코 더
18
메모리셀 어레이
19

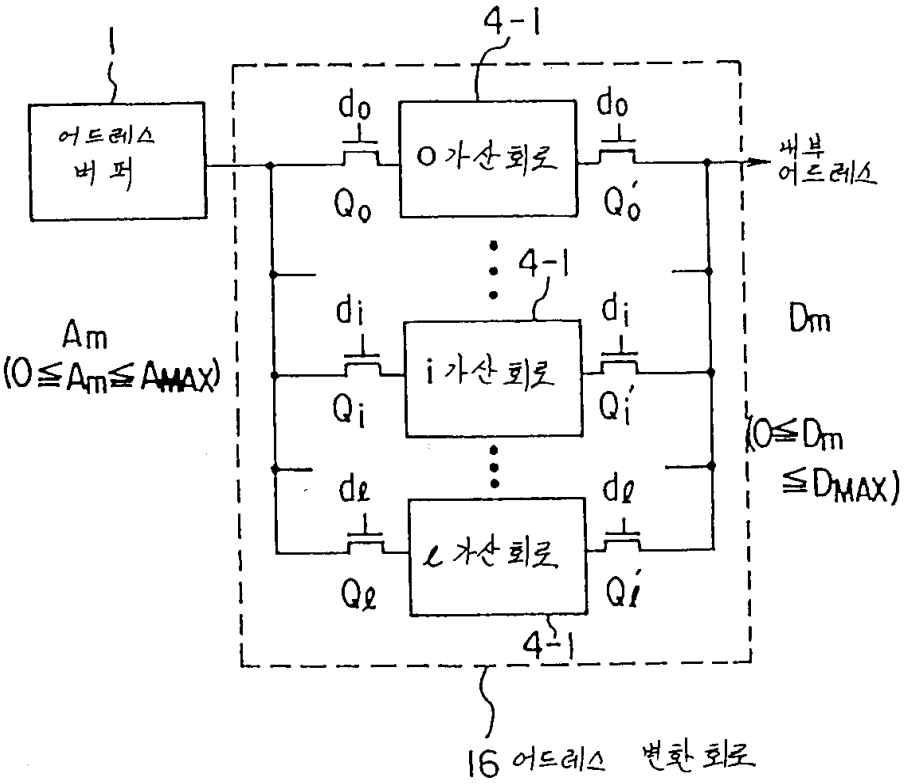
도면6


bn
an
An < Bn
Ci (Am<Bi)
(i=1,2,--- ℓ)
ℓ = 어드레스 비교기의 수
An-1 < Bn-1
bk
ak
Ak < Bk
Ak-1 < Bk-1
b0
a0
B0 > A0

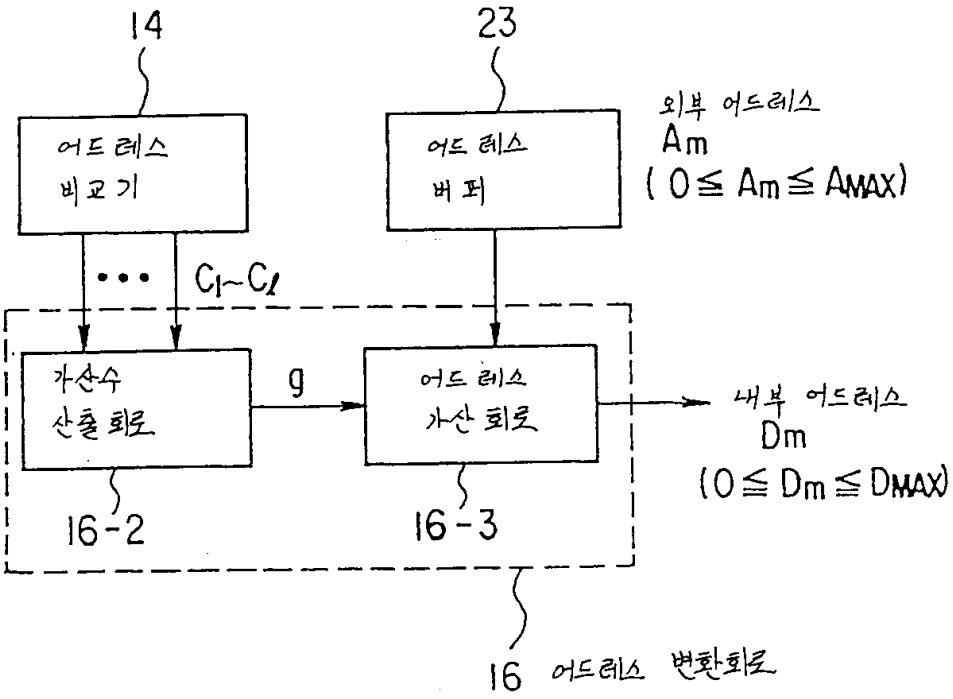
도면7a


C1
d0 (Am < B1)
Ci
Ci+1
di Bi < Am ≦ Bi+1
Cℓ-1
Cℓ
dℓ

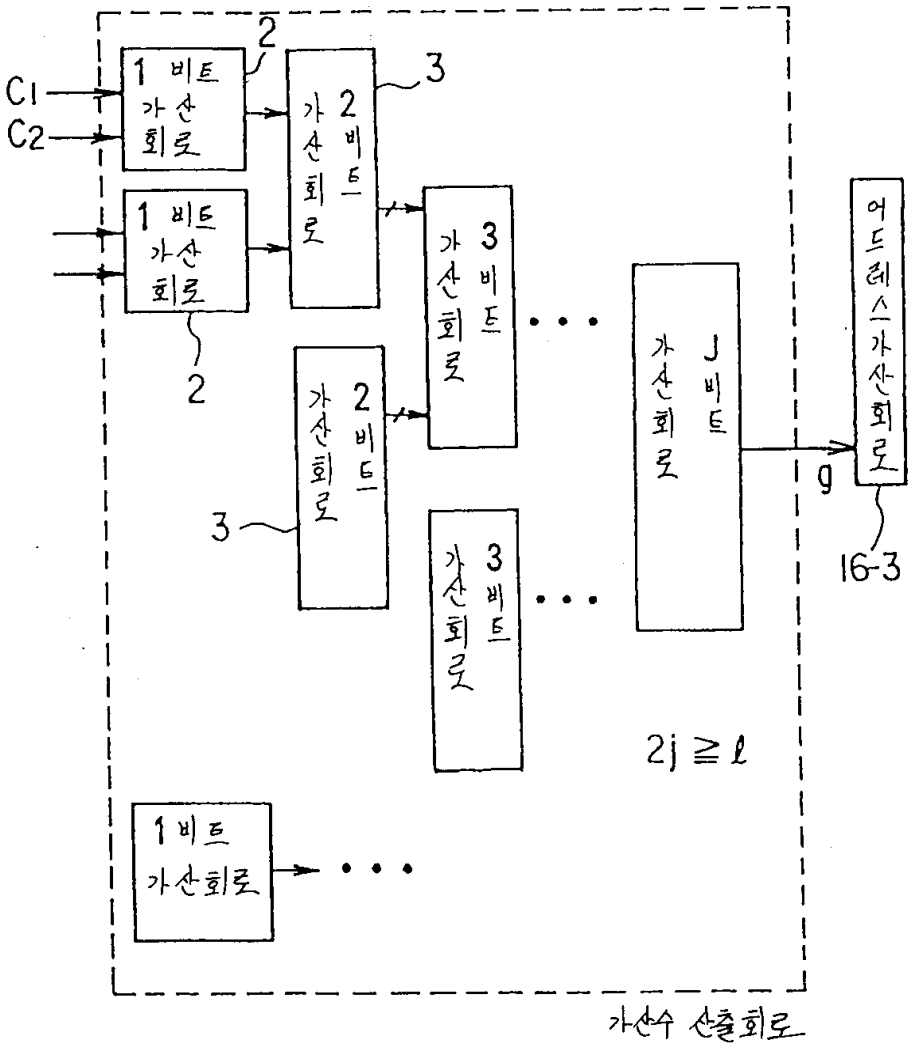
도면7b


1
어드레스 버퍼
4-1
d0
0 가산 회로
Q0
Q'0
외부 어드레스
Am
(0≦Am≦AMAX)
di
i 가산 회로
Qi
Q'i
Dm
(0≦Dm ≦DMAX)
dℓ
ℓ 가산 회로
Qℓ
Q'ℓ
16 어드레스 변환 회로

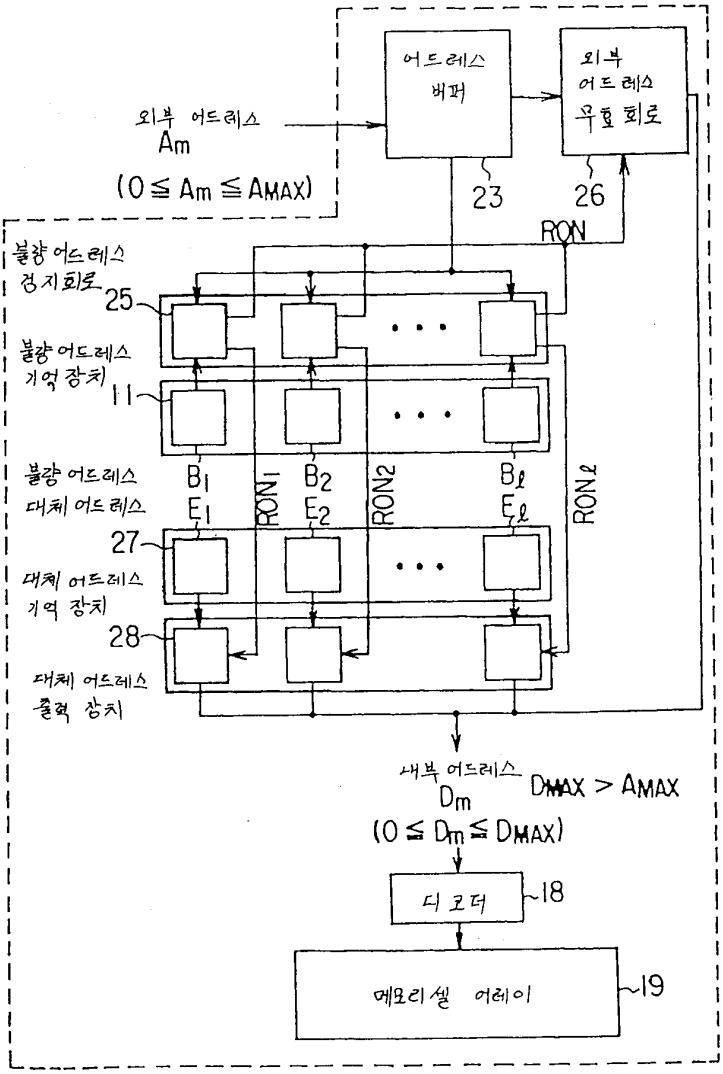
도면8


14
23
어드레스
비교기
어드레스
버퍼
외부 어드레스
Am
(0≦Am≦AMAX)
C1~Cl
가산수
산출회로
g
어드레스
가산회로
내부 어드레스
Dm
(0≦Dm≦DMAX)
16-2
16-3
16
어드레스 변환회로

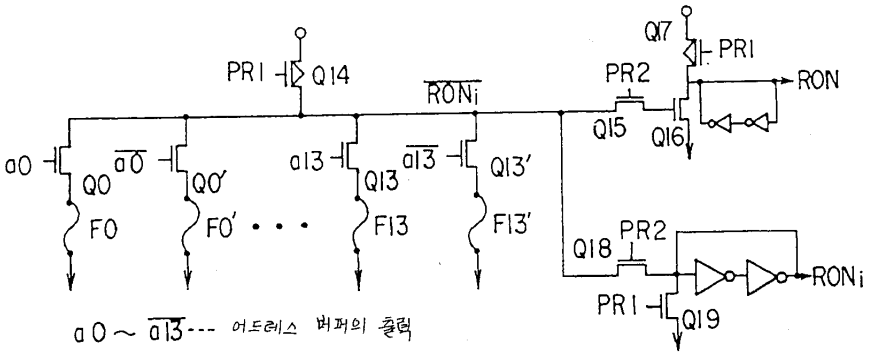
도면9


C1
C2
1 비트 가산 회로
2
2 비트 가산 회로
3
3 비트 가산 회로
J 비트 가산 회로
g
어드레스 가산 회로
16-3
1 비트 가산 회로
2
2 비트 가산 회로
3
3 비트 가산 회로
2j ≧ ℓ
1 비트 가산 회로
가산수 산출 회로

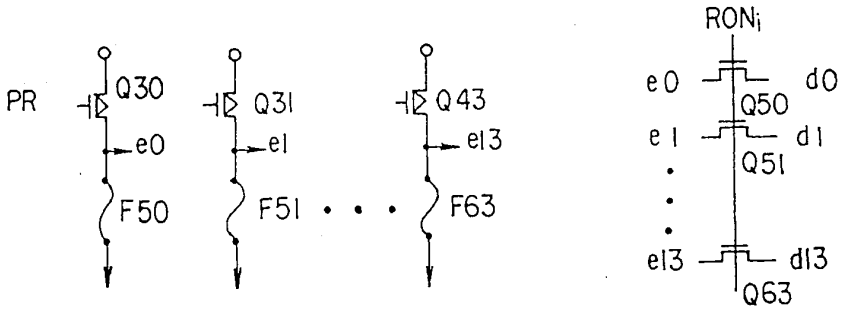
도면10


어드레스 버퍼
외부 어드레스 무효 회로
외부 어드레스
Am
(0 ≦ Am ≦ AMAX)
23
26
RON
불량 어드레스 검지회로
25
불량 어드레스 기억 장치
11
불량 어드레스 대체 어드레스
B1 E1
B2 E2
Bℓ Eℓ
RON1
RON2
RONℓ
27
대체 어드레스 기억 장치
28
대체 어드레스 출력 장치
내부 어드레스
Dm
DMAX > AMAX
(0 ≦ Dm ≦ DMAX)
디코더
18
메모리셀 어레이
19

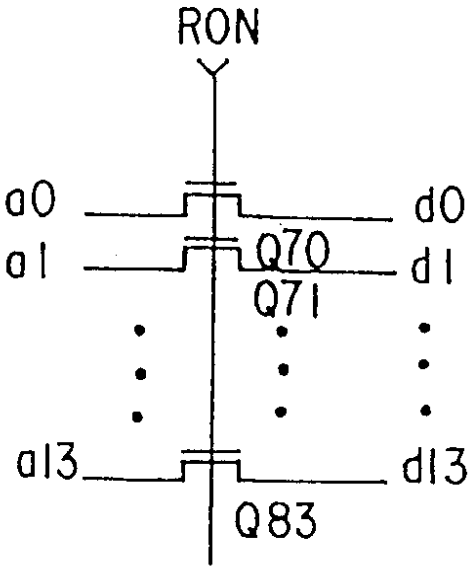
도면11


PR1
Q14
RONi
Q7
PR1
PR2
RON
Q15
Q16
a0
a0
Q0
Q0'
a13
a13
Q13
Q13'
F0
F0'
F13
F13'
Q18
PR2
RONi
PR1
Q19
a0 ~ a13 --- 어드레스 버퍼의 출력

도면12


PR
Q30
Q31
Q43
e0
e1
e13
F50
F51
F63
RONi
e0
e1
e13
Q50
Q51
Q63
d0
d1
d13

도면13


RON
a0
a1
a13
Q70
Q71
Q83
d0
d1
d13