



- (51) 국제특허분류:
H01L 23/00 (2006.01) H01L 25/07 (2006.01)
H01L 23/495 (2006.01) H01L 23/28 (2006.01)
- (21) 국제출원번호: PCT/KR2016/012676
- (22) 국제출원일: 2016년 11월 4일 (04.11.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0155906 2015년 11월 6일 (06.11.2015) KR
- (71) 출원인: 주식회사 엘지화학 (LG CHEM, LTD.)
[KR/KR]; 07336 서울시 영등포구 여의대로 128, Seoul (KR).
- (72) 발명자: 김정학 (KIM, Jung Hak); 34122 대전시 유성구 문지로 188 LG 화학 기술연구원, Daejeon (KR). 김희정 (KIM, Hee Jung); 34122 대전시 유성구 문지로 188 LG 화학 기술연구원, Daejeon (KR). 김세라 (KIM, Se Ra); 34122 대전시 유성구 문지로 188 LG 화학 기술연구원, Daejeon (KR). 조정호 (JO, Jung Ho); 34122 대전시 유성구 문지로 188 LG 화학 기술연구원, Daejeon (KR). 이광주 (LEE, Kwang Joo); 34122 대전시 유성구 문지로 188 LG 화학 기술연구원, Daejeon (KR). 남승희 (NAM, Seung Hee); 34122 대전시 유성구 문지로 188 LG 화학 기술연구원, Daejeon (KR). 김영국 (KIM,

Young Kook); 34122 대전시 유성구 문지로 188 LG 화학 기술연구원, Daejeon (KR).

- (74) 대리인: 유미특허법인 (YOU ME PATENT AND LAW FIRM); 06134 서울시 강남구 테헤란로 115, Seoul (KR).

- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

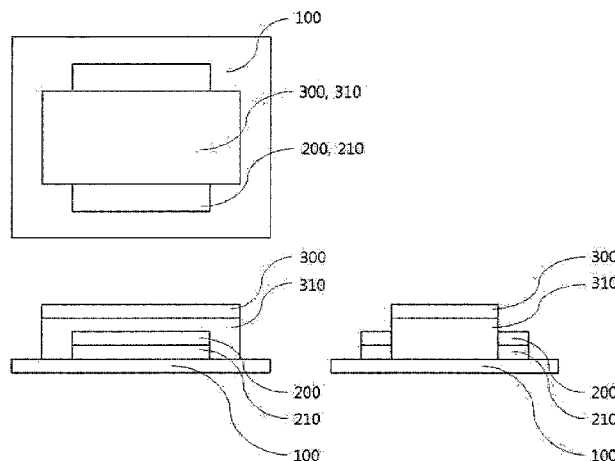
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 발명의 명칭 : 반도체 장치 및 반도체 장치의 제조 방법

[도 1]



(57) Abstract: The present invention relates to a semiconductor device and a semiconductor device manufacturing method and, more specifically, to a semiconductor device and a semiconductor device manufacturing method, which can prevent damage to a top portion semiconductor chip even if some degree of excessive force is applied thereto during a die bonding process or a wire bonding process.

(57) 요약서: 본 발명은 반도체 장치 및 반도체 장치의 제조 방법에 관한 것으로, 보다 상세하게는, 다이본딩 공정 또는 와이어 본딩 공정 시 어느 정도 과도한 힘이 가해지더라도, 최상부 반도체 칩의 손상을 방지할 수 있는 반도체 장치 및 반도체 장치의 제조 방법에 관한 것이다.

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

【명세서】

【발명의 명칭】

반도체 장치 및 반도체 장치의 제조 방법

【기술분야】

5 관련 출원(들)과의 상호 인용

본 출원은 2015년 11월 6일자 한국 특허 출원 제 10-2015-0155906호에 기초한 우선권의 이익을 주장하며, 해당 한국 특허 출원의 문헌에 개시된 모든 내용은 본 명세서의 일부로서 포함된다.

본 발명은 반도체 장치 및 반도체 장치의 제조 방법에 관한 것으로, 10 보다 상세하게는, 다이본딩 공정 또는 와이어 본딩 공정 시 어느 정도 과도한 힘이 가해지더라도, 최상부 반도체 칩의 손상을 줄일 수 있고, 안정적으로 와이어 본딩을 할 수 있는 반도체 장치 및 반도체 장치의 제조 방법에 관한 것이다.

15 【배경기술】

일반적으로 반도체 장치의 제조 공정은 웨이퍼에 미세한 패턴을 형성하는 공정 및 최종 장치의 규격에 맞추도록 웨이퍼를 연마하여 패키징(packaging)하는 공정을 포함한다. 패키징 공정은 반도체 칩의 불량을 검사하는 웨이퍼 검사 공정; 웨이퍼를 절단하여 낱개의 칩으로 20 분리하는 다이싱 공정; 분리된 칩을 회로 필름(circuit film) 또는 리드 프레임의 탑재판에 부착시키는 다이본딩 공정; 반도체 칩 상에 구비된 칩 패드와 회로 필름 또는 리드 프레임의 회로 패턴을 와이어와 같은 전기적 접속 수단으로 연결시키는 와이어 본딩 공정; 반도체 칩의 내부 회로와 그 외의 부품을 보호하기 위해 봉지재로 외부를 감싸는 몰딩 공정; 리드와 25 리드를 연결하고 있는 댄바를 절단하는 트림 공정; 리드를 원하는 형태로 구부리는 포밍 공정; 및 완성된 패키지의 불량을 검사하는 완성품 검사공정 등을 포함한다.

광의적으로 다이싱 공정은 반도체 웨이퍼의 후면을 그라인딩(grinding)하고, 칩들 사이의 다이싱 라인을 따라 반도체 웨이퍼를 30 절단함으로써 서로 분리된 복수개의 개별칩들을 제조하는 공정이다. 상기

다이싱 공정을 통해, 복수개의 칩들이 형성된 반도체 웨이퍼로부터 서로 분리된 개별 칩들이 제조된다.

다이본딩 공정에서는 이렇게 준비된 단수 또는 복수의 개별 반도체 칩을 다이본딩 필름 등에 의해 기판 등에 부착하게 되며, 이렇게 부착된
5 반도체 칩 상에 구비된 칩 패드와 회로 필름 또는 리드 프레임의 회로 패턴은 와이어 본딩 공정을 통해 와이어와 같은 전기적 접속 수단으로 연결시키게 된다.

그러나 반도체 칩의 박형화에 따라, 위의 다이본딩 공정 또는 와이어
공정에서 과도한 힘이 가해질 경우, 최상부의 박형화된 칩에 손상이
10 발생하는 문제점이 있는 실정이었다.

【발명의 내용】

【해결하려는 과제】

본 발명은 다이본딩 공정 또는 와이어 본딩 공정 시 반도체 칩의
15 손상을 줄일 수 있고, 안정적으로 와이어 본딩을 할 수 있는 반도체 장치 및 반도체 장치의 제조 방법을 제공하는 것이다.

【과제의 해결 수단】

본 발명은 기판; 상기 기판 상에 제1다이본딩 층에 의해 다이본딩된
20 제1반도체 칩; 상기 제1반도체 칩 상에 제2다이본딩 층에 의해 다이본딩된 제2반도체 칩을 포함하고, 상기 제2다이본딩 층은 상기 제2반도체 칩의 하부 영역 중 상기 제1반도체 칩의 영역과 겹쳐지지 않은 영역을 몰딩하는 형태로 형성되는, 반도체 장치를 제공한다.

상기 반도체 장치는 상기 기판 및 상기 제1다이본딩 층 사이에 1
25 내지 5개의 다이본딩된 반도체 칩을 더 포함하는 것일 수도 있다.

그리고, 상기 제1다이본딩 층 및 제2다이본딩 층은 에폭시 수지 및 경화제가 포함된 접착층을 포함하는 것일 수 있다.

그리고 상기 접착층은 경화 전의 점도가 130°C에서 3000Pa·s 이하인 것이 바람직할 수 있다.

30 또한, 상기 제1 및 제2다이본딩 층은 두께가 10 내지 160um인 것이

바람직할 수 있다.

한편, 본 발명은 하부에 제1다이본딩 필름을 포함하는 제1반도체 칩을 기판 상에 다이본딩하는 단계; 및 하부에 제2다이본딩 필름을 포함하는 제2반도체 칩을 상기 제1반도체 칩 상에 다이본딩하는 단계;를
5 포함하고, 상기 제2다이본딩 필름이 상기 제2반도체 칩의 하부 영역 중 상기 제1반도체 칩의 영역과 겹쳐지지 않은 영역을 몰딩하는 형태로 다이본딩을 진행하는, 반도체 장치의 제조 방법을 제공한다.

일 실시예에 따르면, 상기 제1반도체 칩을 다이본딩하는 단계 이전에, 상기 기판 상에 1 내지 5개의 반도체 칩을 다이본딩하는 단계를 더 포함할
10 수 있다.

그리고, 상기 제1다이본딩 필름 및 제2다이본딩 필름은 에폭시 수지 및 경화제가 포함된 접착층을 포함하는 것일 수 있다.

상기 접착층은 경화 전의 점도가 130°C에서 3000Pa·s 이하인 것이 바람직할 수 있다.

15

【발명의 효과】

본 발명의 반도체 장치는 다이본딩 공정 또는 와이어 본딩 공정 시 어느 정도 과도한 힘이 가해지더라도, 최상부 반도체 칩의 손상을 방지할 수 있고, 안정적으로 와이어 본딩을 진행할 수 있다.

20 또한, 본 발명의 반도체 장치의 제조 방법은 상기와 같은 반도체 장치를 간단한 방법에 의해 제조할 수 있다.

【도면의 간단한 설명】

도 1은 본 발명의 일 실시예에 따른 반도체 장치를 정투상도 법에
25 의해 나타낸 것이다.

도 2는 본 발명의 일 실시예에 따른 반도체 장치에 와이어 본딩이 적용된 것을 나타낸 것이다.

도 3은 본 발명의 일 실시예에 따른 반도체 장치의 단면을 나타낸 것이다.

30 도 4는, 본 발명의 비교예에 따른 반도체 장치의 단면을 나타낸

것이다.

【발명을 실시하기 위한 구체적인 내용】

본 발명의 반도체 장치는 기판; 상기 기판 상에 제1다이본딩 층에 의해 다이본딩된 제1반도체 칩; 상기 제1반도체 칩 상에 제2다이본딩 층에 의해 다이본딩된 제2반도체 칩을 포함하고, 상기 제2다이본딩 층은 상기 제2반도체 칩의 하부 영역 중 상기 제1반도체 칩의 영역과 겹쳐지지 않은 영역을 몰딩하는 형태로 형성된다.

또한, 본 발명의 반도체 장치의 제조 방법은 하부에 제1다이본딩 필름을 포함하는 제1반도체 칩을 기판 상에 다이본딩하는 단계; 및 하부에 제2다이본딩 필름을 포함하는 제2반도체 칩을 상기 제1반도체 칩 상에 다이본딩하는 단계;를 포함하고, 상기 제2다이본딩 필름이 상기 제2반도체 칩의 하부 영역 중 상기 제1반도체 칩의 영역과 겹쳐지지 않은 영역을 몰딩하는 형태로 다이본딩을 진행된다.

본 발명에서, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용되며, 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.

또한, 본 명세서에서 사용되는 용어는 단지 예시적인 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도는 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다", "구비하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 구성 요소 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 구성 요소, 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

또한 본 발명에 있어서, 각 층 또는 요소가 각 층들 또는 요소들의 "상에" 또는 "위에" 형성되는 것으로 언급되는 경우에는 각 층 또는 요소가 직접 각 층들 또는 요소들의 위에 형성되는 것을 의미하거나, 다른 층 또는 요소가 각 층 사이, 대상체, 기재 상에 추가적으로 형성될 수 있음을 의미한다.

본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 예시하고 하기에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

이하, 본 발명을 보다 상세하게 설명한다.

본 발명의 일 구현예에 따르면, 기판; 상기 기판 상에 제1다이본딩 층에 의해 다이본딩된 제1반도체 칩; 상기 제1반도체 칩 상에 제2다이본딩 층에 의해 다이본딩된 제2반도체 칩을 포함하고, 상기 제2다이본딩 층은 상기 제2반도체 칩의 하부 영역 중 상기 제1반도체 칩의 영역과 겹쳐지지 않은 영역을 몰딩하는 형태로 형성되는, 반도체 장치가 제공된다.

상기 제2반도체 칩의 하부 영역 중 상기 제1반도체 칩의 영역과 겹쳐지지 않은 영역이라 함은, 제1반도체 칩과 제2반도체 칩이 완전히 겹쳐지는 형태로 적층되지 않은 경우에 있어서, 제2반도체 칩의 하부가 제1반도체 칩 상부 표면의 외부로 돌출되었을 때, 그 돌출 부분과 기판 사이의 빈 공간을 의미한다.

또한, 상기 겹쳐지지 않은 영역을 몰딩하는 형태로 형성된다 함은, 상술한 돌출 부분과 기판 사이의 빈 공간을 상기 제2다이본딩 층이 메꾸는 형태로 형성되는 것을 의미한다.

도 1은 본 발명의 일 실시예에 따른 반도체 장치를 정투상도 법에 의해 나타낸 것이다.

도 1을 참고하면, 본 발명의 반도체 장치는 기판(100); 상기 기판 상에 제1다이본딩 층(210)에 의해 다이본딩된 제1반도체 칩(200); 상기 제1반도체 칩 상에 제2다이본딩 층(310)에 의해 다이본딩된 제2반도체 칩(300)을 포함하고, 상기 제2다이본딩 층(310)은 상기 제2반도체 칩의 하부 영역 중 상기 제1반도체 칩의 영역과 겹쳐지지 않은 영역을 몰딩하는 형태로 형성되는 것을 확인할 수 있다.

일반적으로 반도체 칩은, 다이본딩 필름을 반도체 웨이퍼의 하부에 부착하고, 반도체 웨이퍼를 완전 분단 또는 분단 가능하게 부분 처리한 후,

반도체 웨이퍼의 다이본딩 필름과 다이싱 필름 면에 자외선을 조사하여 반도체 웨이퍼 다이본딩 필름과 다이싱 필름면의 접착력을 하강시킨 후, 상기 반도체 웨이퍼의 분단에 의해 분리된 개별 칩들을 픽업하여 제조된다.

이러한 반도체 칩들은 기판 상에 다이본딩 필름에 의해 복수의 층
5 형태로 적층되며, 적층된 각각의 반도체 칩 상에 구비된 칩 패드와 회로 필름 또는 리드 프레임의 회로 패턴을 와이어 본딩 공정을 통해 연결시키게 된다.

그러나, 반도체 칩들이 복수의 층 형태로 적층될 때, 상기 와이어를 통해 기판의 회로 필름 또는 회로 패턴과 연결할 수 있도록 공간을
10 확보하기 위해, 상부의 칩과 하부의 칩은 완전히 겹쳐지지 않는 형태로 적층되게 된다.

따라서, 상기와 같이 겹쳐지지 않는 부분에 다이본딩 공정 또는 와이어 본딩 공정에서 과도한 힘이 가해질 경우, 최상부의 박형화된 칩에 손상이 발생할 수 있다.

이에 본 발명자들은 상부에 적층되는 반도체 칩의 다이본딩 층이
15 상기와 같이 하부의 반도체 칩과 겹쳐지지 않는 부분을 몰딩하는 형태로 적층할 경우, 이러한 칩의 손상을 방지할 수 있다는 점을 확인하고 발명을 완성하였다.

도 2는 본 발명의 일 실시예에 따른 반도체 장치에 와이어 본딩이
20 적용된 것을 나타낸 것이다.

도 2를 참조하면, 우측과 같이 일반적인 다이본딩의 경우, 최상부 반도체 칩의 일부분이 기저의 반도체 칩과 직접 접촉하지 못하고, 외부로 돌출되어 있는 것을 확인할 수 있다. 따라서 이 부분에 와이어(400) 본딩 공정이 진행될 때, 과도한 힘이 가해지는 경우, 최상부의 박형화된 칩에
25 손상이 발생할 수 있고, 와이어 본딩 진동으로 인한 칩의 미세한 떨림에 의하여 기존 본딩된 와이어가 손상될 수 있다.

그러나 좌측의 경우, 최상부 반도체 칩이 기저의 반도체 칩과 직접 접촉하지 못하고, 외부로 돌출되어 있는 부분에, 다이본딩 층에 의한 몰딩이 형성되기 때문에, 최상부 반도체 칩의 안정성을 확보할 수 있다.
30 따라서, 이 부분에 와이어(400) 본딩 공정이 진행될 때, 과도한 힘이

가해지더라도, 반도체 칩에 손상이 발생하는 것을 방지할 수 있고, 와이어 본딩 진동으로 인한 칩의 미세한 떨림에 의해 기존 본딩된 와이어가 손상되는 것을 방지할 수 있다.

본 발명의 일 실시예에 따르면, 상기 반도체 장치는 상기 기판 및
5 상기 제1다이본딩 층 사이에 1 내지 5개의 다이본딩된 반도체 칩을 더 포함하는 것일 수 있다. 즉, 두 개의 반도체 칩을 적층한 반도체 장치뿐 아니라, 그 이상의 복수 개의 반도체 칩을 적층하는 경우 역시, 상부에 적층되는 반도체 칩의 다이본딩 층이 그 하부의 반도체 칩과 겹쳐지지 않는 부분을 몰딩하는 형태로 적층될 수 있다.

10 상기 제1다이본딩 층 및 제2다이본딩 층은 에폭시 수지 및 경화제가 포함된 접착층을 포함하는 것일 수 있으며, 이러한 접착층이 경화된 형태로 존재하는 것일 수 있다. 또한 상기 제1 및 제2다이본딩 층은, 서로 동일한 성분이거나 상이한 성분으로 형성될 수도 있다.

본 발명에서 사용될 수 있는 상기 에폭시 수지에는 이 분야에서
15 공지된 일반적인 접착제용 에폭시 수지가 포함될 수 있으며, 예를 들면, 분자 내에 2개 이상의 에폭시기를 함유하고, 중량평균분자량이 100 내지 2,000인 에폭시 수지를 사용할 수 있다. 위와 같은 에폭시 수지는 경화 공정을 통해 하드한 가교 구조를 형성하여, 탁월한 접착성, 내열성 및 기계적 강도를 나타낼 수 있다.

20 보다 구체적으로 본 발명에서는 특히 평균 에폭시 당량이 100 내지 1,000인 에폭시 수지를 사용하는 것이 바람직하다. 에폭시 수지의 에폭시 당량이 100 미만이면, 가교 밀도가 지나치게 높아져서, 접착 필름이 전체적으로 딱딱한 성질을 나타낼 우려가 있고, 1,000을 초과하면, 내열성이 저하될 우려가 있다.

25 위와 같은 에폭시 수지의 예로는, 비스페놀 A 에폭시 수지 또는 비스페놀 F 에폭시 수지 등의 이관능성 에폭시 수지; 또는 크레졸 노볼락 에폭시 수지, 페놀 노볼락 에폭시 수지, 4관능성 에폭시 수지, 비페닐형 에폭시 수지, 트리페놀메탄형 에폭시 수지, 알킬 변성 트리페놀메탄형 에폭시 수지, 나프탈렌형 에폭시 수지, 디시클로펜타디엔형 에폭시 수지
30 또는 디시클로펜타디엔 변성 페놀형 에폭시 수지 등의 3개 이상의 관능기를

가지는 다관능성 에폭시 수지의 일종 또는 이종 이상을 들 수 있으나, 이에 제한되는 것은 아니다.

본 발명에서는 특히 상기 에폭시 수지로서 이관능성 에폭시 수지 및 다관능성 에폭시 수지의 혼합 수지를 사용하는 것이 바람직하다. 본 명세서에서 사용하는 용어 『다관능성 에폭시 수지』는 3개 이상의 관능기를 가지는 에폭시 수지를 의미한다. 즉, 일반적으로 이관능성 에폭시 수지는 유연성 및 고온에서의 흐름성 등은 우수하나, 내열성 및 경화 속도가 떨어지는 반면, 관능기가 3개 이상인 다관능성 에폭시 수지는 경화 속도가 빠르고, 높은 가교 밀도로 인해 탁월한 내열성을 보이나, 유연성 및 흐름성이 떨어진다.

따라서, 상기 두 종류의 수지를 적절히 혼합, 사용함으로써 해서, 접착층의 탄성률 및 택(tack) 특성을 제어할 수 있고, 특히, 제2반도체 칩을 적층할 때, 우수한 유연성 및 흐름성을 이용하여, 제2다이본딩 층이 제1반도체 칩의 영역과 겹쳐지지 않은 영역을 몰딩하는 형태로 형성될 수 있다.

또한, 상기 접착층은 저탄성 고분자량 수지를 더 포함할 수도 있다. 저탄성 고분자량 수지는 접착제 내에서 소프트 세그먼트를 이루어 고온에서의 응력 완화 특성을 부여하는 역할을 할 수 있다. 본 발명에서는 상기 고분자량 수지로서, 상기 에폭시 수지와 블렌딩되어 필름 형성 시에 부서짐을 유발하지 않고, 가교 구조의 형성 후 점탄성을 나타낼 수 있으며, 다른 성분과의 상용성 및 보관 안정성이 우수한 것이라면, 어떠한 수지 성분도 사용될 수 있다.

상기 저탄성 고분자량 수지의 구체적인 종류는, 전술한 특성을 만족하는 한, 특별히 제한되지 않는다. 예를 들면, 본 발명에서는 폴리에테르이미드, 폴리에테르이미드, 폴리에스테르이미드, 폴리아미드, 폴리에테르술폰, 폴리에테르케톤, 폴리올레핀, 폴리염화비닐, 페녹시, 반응성 아크릴로니트릴부타디엔 고무 또는 아크릴계 수지 등을 사용하거나, 이 중 이종 이상을 혼합하여, 사용할 수 있으나, 본 발명이 반드시 이에 한정되는 것은 아니다.

상기에서 아크릴계 수지의 구체적인 예로는 (메타)아크릴산 및 그 유도체를 포함하는 아크릴계 공중합체를 들 수 있으며, 이 때 (메타)아크릴산 및 그 유도체의 예로는 (메타)아크릴산; 메틸 (메타)아크릴레이트 또는 에틸 (메타)아크릴레이트 등의 탄소수 1 내지 12의 알킬기를 함유하는 알킬 (메타)아크릴레이트; (메타)아크릴로니트릴 또는 (메타)아크릴아미드; 및 기타 공중합성 단량체들이 포함된다.

상기 아크릴계 수지는 또한 글리시딜기, 히드록시기, 카복실기 및 아민기 등의 일종 또는 이종 이상의 관능기를 포함할 수 있으며, 이와 같은 관능기는 글리시딜 (메타)아크릴레이트, 히드록시 (메타)아크릴레이트, 히드록시에틸 (메타)아크릴레이트 또는 카복시 (메타)아크릴레이트 등의 단량체를 공중합시킴으로써 도입할 수 있다.

접착제 조성물에 포함될 수 있는 경화제는 상기 에폭시 수지 및/또는 저탄성 고분자량 수지와 반응하여, 가교 구조를 형성할 수 있는 것이라면 특별히 제한되지 않는다. 예를 들면, 본 발명에서는 상기 두 성분과 동시에 반응하여 가교 구조를 형성할 수 있는 경화제를 사용할 수 있는데, 이와 같은 경화제는 접착제 내의 소프트 세그먼트 및 하드 세그먼트와 각각 가교 구조를 이루어 내열성을 향상시키는 동시에, 양자의 계면에서 두 세그먼트의 가교제로 작용하여 반도체 장치의 신뢰성을 향상시킬 수 있다.

또한, 상술한 접착제 조성물은, 취급성, 내열성, 및 용융 점도의 조절을 위하여, 필러를 추가로 포함할 수도 있다. 본 발명에서 사용될 수 있는 필러의 종류는 특별히 제한되지 않으며, 일반적으로 유기 및 무기 필러를 사용할 수 있고, 바람직하게는 무기 필러를 사용할 수 있다. 상기 무기 필러의 구체적인 예로는 실리카, 알루미나, 탄산 칼슘, 수산화 마그네슘, 산화 알루미늄, 활석, 또는 질화 알루미늄 등을 단독으로, 혹은 2종 이상을 혼합하여 사용할 수 있으나, 이에 제한되는 것은 아니다. 또한, 이온성 불순물을 흡착하여 신뢰성을 향상시킬 수 있는, 이온흡착제를 무기 필러로 사용할 수도 있다. 이러한 이온흡착제는, 특별히 제한되지는 않으며, 수산화 마그네슘, 탄산 마그네슘, 규산 마그네슘, 산화 마그네슘 등을 포함하는, 마그네슘계 화합물, 규산 칼슘, 탄산 칼슘, 산화 칼슘 등을 포함하는, 칼슘계 화합물, 알루미나, 수산화 알루미늄, 질화 알루미늄,

붕산 알루미늄 휘스커 등을 포함하는, 알루미늄계 화합물, 지르코늄계 화합물, 안티몬계 화합물, 비스무트계 화합물 등을 사용할 수 있으며, 2종 이상 혼합하여 사용할 수도 있다.

또한, 상기 필러는 평균 입경이 약 0.001 μ m 내지 약 10 μ m, 5 바람직하게는 약 0.005 μ m 내지 1 μ m일 수 있다. 평균 입경이 0.001 μ m 미만이면, 접착층 내에서 필러가 응집되거나, 외관 불량 발생 우려가 있고, 10 μ m를 초과하면, 접착층 표면에서 필러의 돌출, 열압착 시 칩의 손상, 접착성 저하 등의 문제점이 발생할 수 있다.

상기 필러는 접착제 조성물에서 필러를 제외한 전체 수지 10 100중량부에 대하여 약 0.5중량부 내지 약 120중량부, 바람직하게는 약 5중량부 내지 약 100중량부의 양으로 포함될 수 있다. 함량이 약 0.5중량부 미만이면, 필러 첨가로 인한 내열성 및 취급성 향상 효과가 충분치 않을 수 있고, 약 120중량부를 초과할 경우, 작업성 및 기재 부착성이 저하되고, 고온에서의 점도 상승으로 몰딩성 및 접착력이 저하될 수 있다.

15 또한, 상기 접착제 조성물은 전술한 성분과 함께 경화제를 추가로 포함할 수 있다. 상기 경화제는 전술한 에폭시 수지 및/또는 열가소성 수지와 가교 구조를 형성할 수 있는 것이라면, 특별히 한정되지 않는다. 본 발명의 일 태양에서, 상기 경화제는 전술한 에폭시 수지 및 열가소성 수지와 모두 반응하여 가교 구조를 형성할 수 있다. 이와 같은 경화제는 20 조성물 내에서 소프트 세그먼트(soft segment)를 이루는 열가소성 수지 및 하드 세그먼트(hard segment)를 이루는 에폭시 수지와 각각 가교 구조를 이루어 내열성을 향상시키는 동시에, 상기 성분들의 계면에서 연결 고리 역할을 하여, 반도체 패키지의 신뢰성을 향상시킬 수 있다.

상기 경화제는, 구체적으로 예를 들어, 다관능성 페놀 수지를 사용할 25 수 있으며, 수산기 당량이 약 100 내지 약 1,000인 다관능성 페놀 수지를 사용하는 것이 보다 바람직할 수 있다. 페놀 수지의 수산기 당량이 약 100 미만이면, 에폭시 수지와의 경화물이 딱딱한 성질을 가져, 반도체 패키지의 완충 특성이 저하될 우려가 있으며, 수산기 당량이 약 1,000을 초과하면, 가교 밀도가 저하되어, 조성물의 내열성이 저하될 우려가 있다.

그리고, 상기 경화제는 연화점이 약 60°C 내지 약 140°C일 수 있다. 경화제의 연화점이 약 60°C 미만이면,택 특성의 증가로 인해, 접착 필름의 B-스테이지 탄성율이 저하되거나, 픽업 특성 등의 공정성이 악화될 우려가 있고, 특히 고온에서 점도가 지나치게 낮아져서, 고온 접착력이 저하될
5 우려가 있다. 연화점이 약 140°C를 초과하는 경우, 웨이퍼에 대한 부착성이 저하되어, 다이싱 시 칩 비산 등의 문제가 발생할 우려가 있다.

위와 같은 다관능성 페놀 수지의 예로는 자일록 노볼락 수지, 비스페놀 F 수지, 비스페놀 F 노볼락 수지, 비스페놀 A 수지, 페놀 노볼락 수지, 크리졸 노볼락 수지, 비스페놀 A 노볼락 수지, 페놀 아랄킬 수지,
10 다관능 노볼락 수지, 디시클로펜타디엔 페놀 노볼락 수지, 아미노 트리아진 페놀 노볼락 수지, 폴리부타디엔 페놀 노볼락 수지, 또는 비페닐 타입 수지 등을 들 수 있으며, 단독으로 사용하거나, 2종 이상을 혼합하여 사용할 수 있다.

상술한 경화제는 에폭시 수지의 에폭시 당량 대비 약 0.4 내지 2
15 당량비, 바람직하게는 약 0.5 내지 약 1.8 당량비의 양으로 조성물 내에 포함되는 것이 바람직하다. 경화제가 약 0.4 당량비 미만으로 포함되는 경우, 경화 후 미반응 에폭시가 증가하여, 유리전이온도 및 내열성이 저하되거나, 미반응 에폭시기의 반응을 위해 장시간 고온 상태를 유지해야하는 문제점이 발생할 수 있다. 또한 경화제가 약 2 당량비를
20 초과하여 포함되면, 미반응 수산기로 인해 조성물의 흡습율, 저장 안정성, 및 유전 특성 등이 악화될 우려가 있다.

또한, 본 발명의 일 실시예에 따르면, 상기 접착층은 경화 전의 점도가 약 130°C에서 약 3000Pa·s 이하일 수 있고, 바람직하게는 약 50 내지
25 약 2500 Pa·s일 수 있으며, 더욱 바람직하게는 약 100 내지 약 2000 Pa·s일 수 있다. 특히 제2다이본딩 층에 포함되는 접착층의 점도가 상기 범위에 있는 것이 바람직하다. 다이본딩 필름의 접착층이 상기와 같은 점도 범위를 갖고 있음으로 해서, 다이본딩 공정이 원활하게 진행될 수 있으며, 특히, 제2반도체 칩을 적층할 때, 약 0.5kg/cm² 내지 약 4kg/cm²의 작은 압력을
30 가하더라도 우수한 유연성 및 흐름성을 이용하여, 제2다이본딩 층이

제1반도체 칩의 영역과 겹쳐지지 않은 영역을 몰딩하는 형태로 형성될 수 있다

또한, 칩을 부착하는 공정에서의 온도는 약 80 내지 약 180°C인 것이 바람직하고, 부착 시간은 약 0.5초 내지 약 3초 동안 이루어지는 것이 바람직하며, 부착 압력은 약 0.5kg/cm² 내지 약 4kg/cm²인 것이 바람직할 수 있다.

또한, 상기 다이본딩 필름은 자외선 경화형 점착체를 포함하는 점착층을 더 포함할 수도 있다. 다이본딩 필름은 이러한 점착층에 의해 반도체 칩의 하부에 점착된 형태로 존재할 수 있다. 즉, 반도체 웨이퍼에 이러한 다이본딩 필름을 부착한 후 자외선을 조사하여 경화시키고, 반도체 웨이퍼반도체를 분단하여, 하부에 다이본딩 필름이 부착된 반도체 칩의 형태로 제조될 수 있다.

상기 자외선 경화형 점착체는 아크릴계 수지, 광개시제, 및 가교제를 포함하는 것일 수 있다.

상기에서 아크릴계 수지는 중량평균분자량이 10만 내지 150만, 바람직하게는 20만 내지 100만일 수 있다. 중량평균분자량이 10만 미만이면, 코팅성 또는 응집력이 저하되어, 박리 시에 피착체에 잔여물이 남거나, 또는 점착제 파괴 현상이 일어날 우려가 있다. 또한, 중량평균분자량이 150만을 초과하면, 베이스 수지가 자외선 경화형 화합물의 반응을 방해하여, 박리력 감소가 효율적으로 이루어지지 않을 우려가 있다.

이러한 아크릴계 수지는 예를 들면, (메타)아크릴산 에스테르계 단량체 및 가교성 관능기 함유 단량체의 공중합체일 수 있다. 이 때 (메타)아크릴산 에스테르계 단량체의 예로는 알킬 (메타)아크릴레이트를 들 수 있으며, 보다 구체적으로는 탄소수 1 내지 12의 알킬기를 가지는 단량체로서, 펜틸 (메타)아크릴레이트, n-부틸 (메타)아크릴레이트, 에틸 (메타)아크릴레이트, 메틸 (메타)아크릴레이트, 헥실 (메타)아크릴레이트, n-옥틸 (메타)아크릴레이트, 이소옥틸 (메타)아크릴레이트, 2-에틸헥실 (메타)아크릴레이트, 도데실 (메타)아크릴레이트 또는 데실 (메타)아크릴레이트의 일종 또는 이종 이상의 혼합을 들 수 있다.

또한, 공중합체에 포함되는 가교성 관능기 함유 단량체는 가교제

또는 후술하는 자외선 경화형 화합물과 반응할 수 있는 관능기를 공중합체에 부여하여 점착제의 내구신뢰성, 점착력, 및 응집력을 조절하는 역할을 한다. 가교성 관능기 함유 단량체의 예로는 히드록시기 함유 단량체, 카복실기 함유 단량체 또는 질소 함유 단량체의 일종 또는 이종 이상의 혼합을 들 수 있다. 이 때 히드록실기 함유 화합물의 예로는, 2-히드록시에틸 (메타)아크릴레이트, 2-히드록시프로필 (메타)아크릴레이트, 4-히드록시부틸(메타)아크릴레이트, 6-히드록시헥실(메타)아크릴레이트, 8-히드록시옥틸(메타)아크릴레이트, 2-히드록시에틸렌글리콜(메타)아크릴레이트, 또는 2-히드록시프로필렌글리콜(메타)아크릴레이트 등을 들 수 있고, 카복실기 함유 화합물의 예로는, (메타)아크릴산, 2-(메타)아크릴로일옥시아세트산, 3-(메타)아크릴로일옥시프로필산, 4-(메타)아크릴로일옥시부틸산, 아크릴산 이중체, 이타콘산, 말레산, 또는 말레산 무수물 등을 들 수 있으며, 질소 함유 단량체의 예로는 (메타)아크릴로니트릴, N-비닐 피롤리돈 또는 N-비닐 카프로락탐 등을 들 수 있으나, 이에 제한되는 것은 아니다. 상기 아크릴계 수지에는 또한 상용성 등의 기타 기능성 향상의 관점에서, 초산비닐, 스티렌 또는 아크릴로니트릴 등이 추가로 포함될 수 있다.

또한, 본 발명에서 사용할 수 있는 자외선 경화형 화합물의 종류는 특별히 제한되지 않으며, 예를 들면, 중량평균분자량이 500 내지 300,000 정도인 다관능성 화합물(ex. 다관능성 우레탄 아크릴레이트, 다관능성 아크릴레이트 단량체 또는 올리고머 등)을 사용할 수 있다. 이 분야의 평균적 기술자는 목적하는 용도에 따른 적절한 화합물을 용이하게 선택할 수 있다.

상기 자외선 경화형 화합물의 함량은 전술한 베이스 수지 100 중량부에 대하여, 5 중량부 내지 400 중량부, 바람직하게는 10 중량부 내지 200 중량부일 수 있다. 자외선 경화형 화합물의 함량이 5 중량부 미만이면, 경화 후 점착력 저하가 충분하지 않아 픽업성이 떨어질 우려가 있고, 400 중량부를 초과하면, 자외선 조사 전 점착제의 응집력이 부족하거나, 이형 필름 등과의 박리가 용이하게 이루어지지 않을 우려가 있다.

상기 자외선 경화 점착제는 상기의 첨가형 자외선 경화형 화합물뿐

아니라, 아크릴 공중합체에 탄소-탄소 이중결합을 측쇄 또는 주쇄 말단에 결합된 형태로도 사용가능하다.

즉, 아크릴계 공중합체는 또는 (메타)아크릴산 에스테르계 단량체 및 가교성 관능기 함유 단량체를 포함하는 주사슬의 측쇄에 결합된 자외선
5 경화형 화합물을 추가로 포함할 수 있다.

상기와 같은 화합물의 종류는, 광경화성 관능기(ex. 자외선 중합성 탄소-탄소 이중결합)를 한 분자당 1 내지 5개, 바람직하게는 1 또는 2개 포함하고, 또한 상기 주사슬에 포함되는 가교성 관능기와 반응할 수 있는 관능기를 가지는 한 특별히 제한되지는 아니한다. 이때 주사슬의 가교성
10 관능기와 반응할 수 있는 관능기의 예로는 이소시아네이트기 또는 에폭시기 등을 들 수 있으나, 이에 제한되는 것은 아니다.

상기 자외선 중합성기 함유 화합물의 구체적인 예로는 주사슬에 포함된 히드록시기와 반응할 수 있는 관능기를 포함하는 것으로서, (메타)아크릴로일옥시 이소시아네이트, (메타)아크릴로일옥시 메틸
15 이소시아네이트, 2-(메타)아크릴로일옥시 에틸 이소시아네이트, 3-(메타)아크릴로일옥시 프로필 이소시아네이트, 4-(메타)아크릴로일옥시 부틸 이소시아네이트, m-프로페닐- α , α -디메틸벤질이소시아네이트, 메타크릴로일이소시아네이트, 또는 알릴 이소시아네이트; 디이소시아네이트 화합물 또는 폴리이소시아네이트 화합물을 (메타)아크릴산 2-
20 히드록시에틸과 반응시켜 얻어지는 아크릴로일 모노이소시아네이트 화합물; 디이소시아네이트 화합물 또는 폴리이소시아네이트 화합물, 폴리올화합물 및 (메타)아크릴산 2-히드록시에틸을 반응시켜 얻어지는 아크릴로일 모노이소시아네이트 화합물; 또는 주사슬에 포함되는 카복실기와 반응할 수 있는 관능기를 포함하는 것으로써 글리시딜(메타)아크릴레이트 또는 알릴
25 글리시딜 에테르 등의 일종 또는 이종 이상을 들 수 있으나, 이에 제한되는 것은 아니다.

상기와 같은 자외선 경화형 화합물은 주사슬에 포함된 가교성 관능기의 5몰% 내지 90몰%를 치환하여 베이스 수지의 측쇄에 포함될 수 있다. 상기 치환량이 5몰% 미만이면 자외선 조사에 의한 박리력 저하가
30 충분하지 않을 우려가 있고, 90몰%를 초과하면 자외선 조사 전의 점착제의

응집력이 저하될 우려가 있다.

상기 광개시제의 종류 역시 특별히 한정되지 않고, 이 분야에서 알려진 일반적인 개시제의 사용이 가능하며, 그 함량은 상기 자외선 경화형 화합물 100 중량부에 대하여 0.05 중량부 내지 20 중량부일 수 있다.

- 5 광개시제의 함량이 0.05 중량부 미만이면, 자외선 조사에 의한 경화 반응이 부족해져 픽업성이 저하될 우려가 있고, 20 중량부를 초과하면 경화 과정에는 가교 반응이 짧은 단위로 일어나거나, 미반응 자외선 경화형 화합물이 발생하여 피착체 표면의 잔사에 원인이 되거나, 경화 후 박리력이 지나치게 낮아져 픽업성이 저하될 우려가 있다. 또한, 점착부에 포함되어
- 10 점착력 및 응집력을 부여하기 위한 가교제의 종류 역시 특별히 한정되지 않으며, 이소시아네이트계 화합물, 아지리딘계 화합물, 에폭시계 화합물 또는 금속 킬레이트계 화합물 등의 통상의 화합물을 사용할 수 있다. 상기 가교제는 베이스 수지 100 중량부에 대하여 0.5 중량부 내지 40 중량부, 바람직하게는 0.5 중량부 내지 20 중량부의 양으로 포함될 수 있다. 상기
- 15 함량이 0.5 중량부 미만이면, 점착제의 응집력이 부족할 우려가 있고, 20 중량부를 초과하면, 자외선 조사 전 점착력이 부족하여, 칩 비산 등이 일어날 우려가 있다.

- 본 발명의 점착층에는 또한 로진 수지, 터펜(terpene) 수지, 페놀 수지, 스티렌 수지, 지방족 석유 수지, 방향족 석유 수지 또는 지방족
- 20 방향족 공중합 석유 수지 등의 점착 부여제가 적절히 포함될 수 있다.

- 본 발명의 또 다른 일 실시예에 따르면, 상기 제1 및 제2 다이본딩 층은 두께가 약 1 내지 약 160 μ m일 수 있고, 바람직하게는 약 15 내지 약 120 μ m일 수 있으며, 더욱 바람직하게는 약 20 내지 약 100 μ m일 수 있다. 적층 전의 다이본딩 필름 두께가 상기 범위에 있을 때, 제2다이본딩 층에
- 25 의한 물당이 바람직하게 이루어질 수 있다.

- 또한, 본 발명의 일 실시예에 따른 반도체 장치는, 최외부가 외부 보호층(500)에 의해 물당된 형태일 수 있다. 즉, 반도체 장치의 외부 전체가 반도체 봉지 재료(Packaging Material, Encapsulating Material)에 의해 뒤덮인 형태로, 외부 환경으로부터 반도체 칩을 보호하고, 반도체
- 30 칩을 전기적으로 외부와 절연시켜주며, 반도체 칩 작동 시 발생하는 열을

효과적으로 방출하게 하기 위하여, 에폭시 몰딩용 화합물 (ECM) 등에 의해, 몰딩된 형태인 것이 바람직하다.

한편, 본 발명의 또 다른 일 구현예에 따르면, 하부에 제1다이본딩 필름을 포함하는 제1반도체 칩을 기판 상에 다이본딩하는 단계; 및 하부에 제2다이본딩 필름을 포함하는 제2반도체 칩을 상기 제1반도체 칩 상에 다이본딩하는 단계;를 포함하고, 상기 제2다이본딩 필름이 상기 제2반도체 칩의 하부 영역 중 상기 제1반도체 칩의 영역과 겹쳐지지 않은 영역을 몰딩하는 형태로 다이본딩을 진행하는, 반도체 장치의 제조 방법이 제공된다.

발명의 일 실시예에 따르면, 상기 제1반도체 칩을 다이본딩하는 단계 이전에, 상기 기판 상에 1 내지 5개의 반도체 칩을 다이본딩하는 단계를 더 포함할 수도 있다. 2 이상의 반도체 칩이 적층되는 경우에 대한 설명은 상술한 바와 같다.

또한, 상기 제1다이본딩 필름 및 제2다이본딩 필름은 에폭시 수지 및 경화제가 포함된 접착층을 포함할 수 있고, 상기 접착층은 경화 전의 점도가 130°C에서 3000Pa·s 이하인 것이 바람직할 수 있다.

상기 제1다이본딩 필름, 제2다이본딩 필름, 및 접착층의 특성에 대해서는 상기 반도체 장치의 설명 부분에서 상술한 바와 같다.

이하, 발명의 구체적인 실시예를 통해, 발명의 작용 및 효과를 보다 상술하기로 한다. 다만, 이러한 실시예는 발명의 예시로 제시된 것에 불과하며, 이에 의해 발명의 권리범위가 정해지는 것은 아니다.

<제조예>

[다이싱 필름의 제조]

제조예 1

2-에틸헥실 아크릴레이트, 메틸 아크릴레이트, 및 메틸 메타크릴레이트를 공중합하여 아크릴레이트계 공중합체를 제조하였다(중량 평균 분자량 800,000g/mol, Tg: 10°C).

상기 공중합체 100중량부에, 이소시아네이트 경화제 5 중량부 및

중량 평균 분자량이 20,000인 다관능성 올리고머 10 중량부를 혼합하고, 광개시제로 Darocur TPO(제조사: Ciba) 0.7중량부를 혼합하여, 자외선 경화형 점착제 조성물을 제조하였다.

5 제조된 자외선 경화형 점착제 조성물을 두께 38um의 이형 처리된 폴리에스테르 필름 위에 도포하고, 110°C에서 3분간 건조하였으며, 건조 후 도포된 조성물의 두께는 10um였다.

점착층이 건조된 후, 두께가 100um인 폴리올레핀 필름에 라미네이트하여 다이싱 필름을 제조하였다.

10 [다이본딩 필름의 제조]

제조예 2-1

톨루엔 용매 100중량부에, 부틸아크릴레이트 40중량부, 에틸아크릴레이트 60중량부, 아크릴로니트릴 15중량부, 글리시딜 메타크릴레이트 10 중량부를 혼합하여, 아크릴계 열가소성 수지를
15 얻었다(중량 평균 분자량: 700,000g/mol, Tg: 10°C).

상기 아크릴계 열가소성 수지 50중량부에, 에폭시 수지로 EOCN-103s(크레졸 노볼락형 에폭시 수지, 제조사: 일본화약, 에폭시 당량 214, 연화점 83°C) 150중량부, 경화제로 KPH-F2001(페놀 노볼락계 경화제, 제조사: 코오롱유화, 수산기 당량: 106, 연화점 88°C) 106중량부, 실란
20 커플링제로 A-187(감마-글리시독시프로필트리메톡시실란, 제조사: GE 도시바실리콘) 5중량부, 경화 촉진제로 2PZ(2-페닐 이미다졸, 제조사: 시코쿠 화성) 0.1 중량부, 충전제로 SFP-30M(구상 실리카 분말, 제조사: 덴카, 평균 입경: 700nm) 100중량부, 및 메틸에틸케톤을 교반 혼합하여, 바니시를 제조하였다.

25 상기 바니시를 두께 38um의 이형 처리된 PET 필름에 도포하고, 110°C에서 3분 간 건조하여 도막 두께가 40um인 다이본딩 필름을 제조하였다.

제조예 2-2

30 충전제로 SFP-30M을 150중량부 사용한 것을 제외하고는, 상기 제조예

2-1과 동일한 방법으로 다이본딩 필름을 제조하였다.

제조예 2-3

충진제로 SFP-30M 대신, SFP-10X(구상 실리카, 제조사: 덴카, 평균
5 입경: 300nm)을 60중량부로 사용한 것을 제외하고는, 상기 제조예 2-1과
동일한 방법으로 다이본딩 필름을 제조하였다.

제조예 2-4

에폭시 수지의 경화제로 KPH-F2001 대신 KH-6021(비스페놀 A형
10 노블락계 경화제, 제조사: DIC corp, 연화점: 133°C)을 사용한 것을
제외하고는, 상기 제조예 2-1과 동일한 방법으로 다이본딩 필름을
제조하였다.

비교제조예 2-5

15 충진제로 SFP-30M을 300중량부 사용한 것을 제외하고는, 상기 제조예
2-1과 동일한 방법으로 다이본딩 필름을 제조하였다.

비교제조예 2-6

20 아크릴계 열가소성 수지를 50중량부가 아닌 100중량부 사용한 것을
제외하고는, 상기 제조예 2-1과 동일한 방법으로 다이본딩 필름을
제조하였다.

비교제조예 2-7

25 충진제로 SFP-30M 대신, SFP-10X(구상 실리카, 제조사: 덴카, 평균
입경: 300nm)을 150중량부로 사용한 것을 제외하고는, 상기 제조예 2-1과
동일한 방법으로 다이본딩 필름을 제조하였다.

[다이싱 다이본딩 필름의 제조]

제조예 3-1 내지 3-4 및 비교제조예 3-5 내지 3-7

30 상기 제조예 2-1 내지 2-4 및 비교제조예 2-5 내지 2-7에서 제조된

각각의 다이본딩 필름을 원형으로 절단한 후, 상기 제조예 1에서 제조된 다이싱 필름에 상기 다이본딩 필름을 5kgf/cm^2 의 조건에서 합지를 통해 전사하여, 다이싱 다이본딩 필름을 제조하였다.

5 [반도체 장치의 제조]

실시예 1-1 내지 1-4 내지 비교예 1-5 내지 1-7

8인치 실리콘 웨이퍼를 40°C 로 세팅된 테이프 마운터(제조사: DS 정공)에서, 제조예 3-1 내지 3-4 및 비교제조예 3-5 내지 3-7의 다이싱 다이본딩 필름과 10초 간 라미네이션 하였다.

- 10 다이싱 다이본딩된 실리콘 웨이퍼(두께 $40\mu\text{m}$)를 가로 10mm, 세로 13mm로 가공하여 반도체 칩을 준비하였다.

(제1반도체 칩 적층)

- 상기 반도체 칩을 기판(두께 0.5mm, 가로 60mm, 세로 230mm)에 대해 2kgf/cm^2 , 125°C 의 조건에서 2초 간 압착하여, 다이본딩하고, 125°C 의
15 오븐에서 1시간 동안 경화를 진행하였다.

(제2반도체 칩 적층)

- 상기 제1반도체 칩 상에, 제1반도체 칩과 십자 모양으로 교차되도록 동일한 크기의 제2반도체 칩을 적층하여, 제2반도체 칩의 하부 영역 중 제1반도체 칩과 겹쳐지지 않는 영역이 제1반도체의 측면 양 쪽에
20 형성되었다(각각, 가로 1.5mm, 세로 10mm). 2kgf/cm^2 , 125°C 의 조건에서 2초 간 압착하여, 다이본딩한 후, 125°C 의 오븐에서 1시간 동안 경화하여, 반도체 장치를 제조하였다.

[몰딩 평가]

- 25 상기 실시예 및 비교예에서 제조된 반도체 장치에 대해,
제2반도체 칩의 적층 후, 125°C 의 오븐에서 1시간 동안 경화하고, 제2반도체 칩의 길이 방향으로 반도체 장치(적층체)의 단면을 연마하여, 광학 현미경으로 몰딩 여부를 확인하였다.

- 제2다이본딩 층이 제2반도체 칩의 하부 영역 중 제1반도체 칩의
30 영역과 겹쳐지지 않은 영역을 완전히 몰딩하는 형태로 형성된 경우, 0로

표시하고, 완전히 몰딩이 형성되지 않은 경우를 X로 표시하였다.

도 3은, 본 발명의 실시예 1-1에서 제조된 반도체 장치의 연마된 단면을, 광학 현미경으로 관찰한 것이다.

도 3 중, 원 안쪽 부분을 참조하면, 본 발명의 일 실시예에 따른 반도체 장치의 경우, 제2다이본딩 층이 제2반도체 칩의 하부 영역 중 제1반도체 칩의 영역과 겹쳐지지 않은 영역을 완전히 몰딩하는 형태로 형성된 것을 확인할 수 있다.

도 4는, 본 발명의 비교예 3-5에서 제조된 반도체 장치의 연마된 단면을, 광학 현미경으로 관찰한 것이다.

도 4 중, 원 안쪽 부분을 참조하면, 비교예에 따른 반도체 장치의 경우, 제2다이본딩 층이 제2반도체 칩의 하부 영역 중 제1반도체 칩의 영역과 겹쳐지지 않은 영역에서, 완전히 몰딩이 형성되지 않아, 일부 빈 공간이 남아있는 것을 확인할 수 있다.

15 [제2반도체 칩의 내크랙성 평가]

상기 실시예 및 비교예에서 제조된 반도체 장치에 대해,

제2반도체 칩의 적층 후, 125°C의 오븐에서 1시간 동안 경화하고, 제2반도체 칩의 상부 영역 중, 제1반도체 칩의 영역과 겹쳐지지 않은 부위에 높이 60 μ m의 금 와이어(지름 25 μ m)를 와이어 본딩 공정에 의해 연결하고, 제2반도체 칩의 크랙 유무를 광학 현미경으로 관찰하여, 크랙이 발생하지 않은 경우 0, 크랙이 발생한 경우 X로 표시하였다.

위 몰딩 평가 및 내크랙성 평가 결과를 아래 표 1에 정리하였다.

【표 1】

	제2다이본딩 층 접착층의 점도 (Pa·s)	몰딩 평가	내크랙성 평가
실시예 1-1	1,200	0	0
실시예 1-2	1,800	0	0

실시예 1-3	1,650	0	0
실시예 1-4	1,500	0	0
비교예 1-5	3,600	X	X
비교예 1-6	12,400	X	X
비교예 1-7	5,600	X	X

상기 표 1을 참조하면, 본 발명의 실시예에 따른 반도체 장치는 제2다이본딩 층이 상기 제2반도체 칩의 하부 영역 중 상기 제1반도체 칩의 영역과 겹쳐지지 않은 영역을 몰딩하는 형태로 형성되어, 비교예에 따른 반도체 장치에 비해, 몰딩 특성 및 내크랙성이 우수한 것을 확인할 수 있다.

5

【부호의 설명】

100: 기판

200: 제1반도체 칩

10 210: 제1다이본딩 층

300: 제2반도체 칩

310: 제2다이본딩 층

400: 와이어

500: 외부보호층

15

【청구의 범위】**【청구항 1】**

기판;

상기 기판 상에 제1다이본딩 층에 의해 다이본딩된 제1반도체 칩;

5 상기 제1반도체 칩 상에 제2다이본딩 층에 의해 다이본딩된 제2반도체 칩을 포함하고,

상기 제2다이본딩 층은 상기 제2반도체 칩의 하부 영역 중 상기 제1반도체 칩의 영역과 겹쳐지지 않은 영역을 몰딩하는 형태로 형성되는, 반도체 장치.

10

【청구항 2】

제1항에 있어서,

상기 기판 및 상기 제1다이본딩 층 사이에 1 내지 5개의 다이본딩된 반도체 칩을 더 포함하는, 반도체 장치.

15

【청구항 3】

제1항에 있어서,

상기 제1 및 제2다이본딩 층은 에폭시 수지 및 경화제가 포함된 접착층을 포함하는, 반도체 장치.

20

【청구항 4】

제3항에 있어서,

상기 제2다이본딩 층에 포함되는 접착층은 경화 전의 점도가 130°C에서 3000Pa·s 이하인, 반도체 장치.

25

【청구항 5】

제1항에 있어서,

상기 제1 및 제2다이본딩 층은 두께가 1 내지 160um인, 반도체 장치.

【청구항 6】

30

하부에 제1다이본딩 필름을 포함하는 제1반도체 칩을 기판 상에 다이본딩하는 단계; 및

하부에 제2다이본딩 필름을 포함하는 제2반도체 칩을 상기 제1반도체 칩 상에 다이본딩하는 단계;를 포함하고,

- 5 상기 제2다이본딩 필름이 상기 제2반도체 칩의 하부 영역 중 상기 제1반도체 칩의 영역과 겹쳐지지 않은 영역을 몰딩하는 형태로 다이본딩을 진행하는, 반도체 장치의 제조 방법.

【청구항 7】

- 10 제6항에 있어서,

상기 제1반도체 칩을 다이본딩하는 단계 이전에, 상기 기판 상에 1 내지 5개의 반도체 칩을 다이본딩하는 단계를 더 포함하는, 반도체 장치의 제조 방법.

- 15 **【청구항 8】**

제6항에 있어서,

상기 제1다이본딩 필름 및 제2다이본딩 필름은 에폭시 수지 및 경화제가 포함된 접착층을 포함하는, 반도체 장치의 제조 방법.

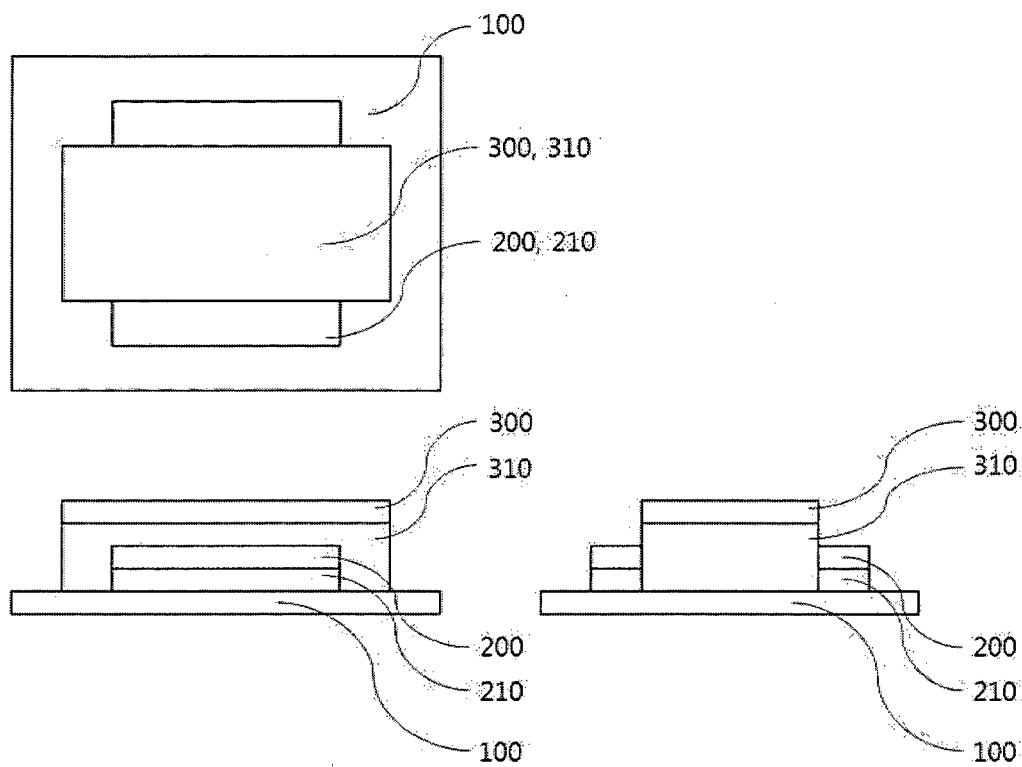
- 20 **【청구항 9】**

제8항에 있어서,

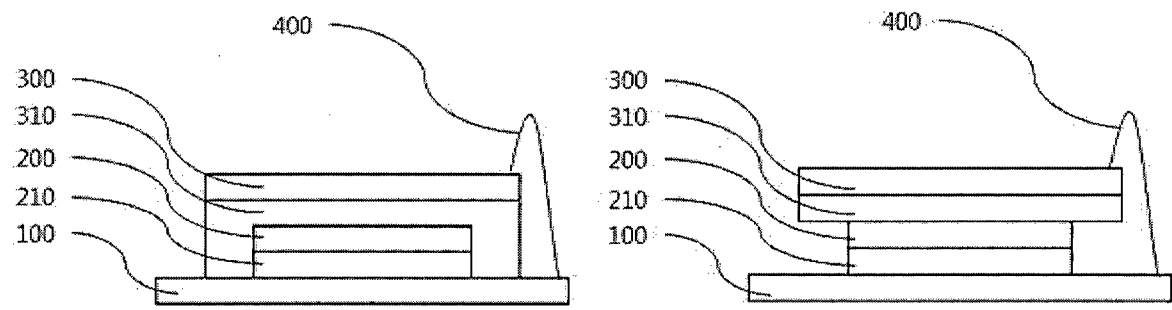
상기 제2다이본딩 필름에 포함된 접착층은 경화 전의 점도가 130°C에서 3000Pa·s 이하인, 반도체 장치의 제조 방법.

【도면】

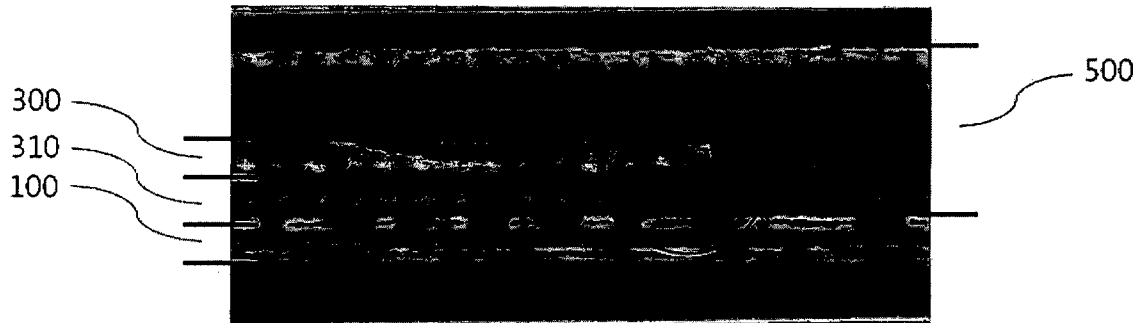
【도 1】



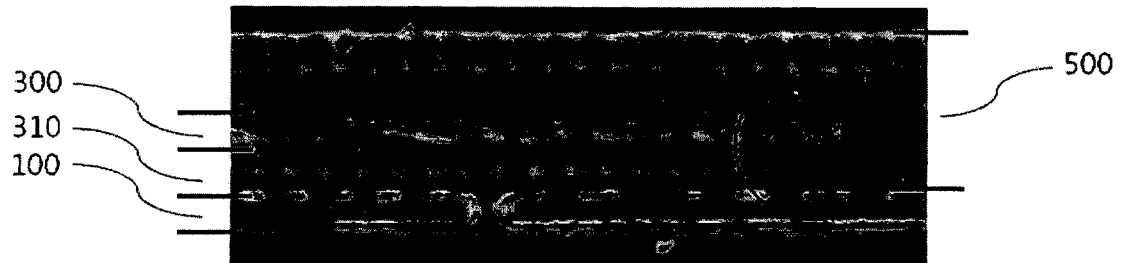
【도 2】



【도 3】



【도 4】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/012676**A. CLASSIFICATION OF SUBJECT MATTER*****H01L 23/00(2006.01)i, H01L 23/495(2006.01)i, H01L 25/07(2006.01)i, H01L 23/28(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 23/00; H01L 23/52; H01L 23/12; H01L 23/49; C09J 7/02; H01L 23/14; H01L 25/065; C09J 133/04; H01L 23/495; H01L 25/07; H01L 23/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as aboveElectronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS (KIPO internal) & Keywords: substrate, die bond, stack, device, overlap**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2014-0027805 A (SK HYNIX INC.) 07 March 2014 See paragraphs [0021]-[0022] and figures 1-2.	1-2,6-7
Y		3-5,8-9
Y	KR 10-2007-0022729 A (SHARP KABUSHIKI KAISHA et al.) 27 February 2007 See paragraphs [0067], [0113] and figure 5.	3-5,8-9
A	KR 10-2014-0062984 A (CHEIL INDUSTRIES INC.) 27 May 2014 See paragraphs [0020]-[0043] and figure 1.	1-9
A	KR 10-0593814 B1 (ACE INDUSTRIES CO., LTD.) 28 June 2006 See claims 18-21 and figure 5c.	1-9
A	US 2010-03M740 A1 (CHOI, Keun-Ho et al.) 16 December 2010 See paragraphs [0034]-[0057] and figure 1.	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 FEBRUARY 2017 (13.02.2017)

Date of mailing of the international search report

13 FEBRUARY 2017 (13.02.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/012676

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2014-0027805 A	07/03/2014	NONE	
KR 10-2007-0022729 A	27/02/2007	CN 100479105 C CN 101095215 A EP 1763070 A1 JP 2005-327789 A US 2008-0241995 A1 US 2009-0220783 A1 WO 2005-109479 A1	15/04/2009 26/12/2007 14/03/2007 24/11/2005 02/10/2008 03/09/2009 17/11/2005
KR 10-2014-0062984 A	27/05/2014	NONE	
KR 10-0593814 B1	28/06/2006	CN 1978571 A CN 1978571 B US 2007-0126129 A1	13/06/2007 28/12/2011 07/06/2007
US 2010-0314740 A1	16/12/2010	KR 10-2010-0134354 A	23/12/2010

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 23/00(2006.01)i, H01L 23/495(2006.01)i, H01L 25/07(2006.01)i, H01L 23/28(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 23/00; H01L 23/52; H01L 23/12; H01L 23/49; C09J 7/02; H01L 23/14; H01L 25/065; C09J 133/04; H01L 23/495; H01L 25/07; H01L 23/28

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: substrate, die bond, stack, device, overlap

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2014-0027805 A (에스케이하이닉스 주식회사) 2014.03.07 단락 [0021]-[0022] 및 도면 1-2 참조.	1-2, 6-7
Y		3-5, 8-9
Y	KR 10-2007-0022729 A (샤프 가부시카가이샤 등) 2007.02.27 단락 [0067], [0113] 및 도면 5 참조.	3-5, 8-9
A	KR 10-2014-0062984 A (제일모직주식회사) 2014.05.27 단락 [0020]-[0043] 및 도면 1 참조.	1-9
A	KR 10-0593814 B1 (에이스 인더스트리 주식회사) 2006.06.28 청구항 18-21 및 도면 5c 참조.	1-9
A	US 2010-0314740 A1 (KEUN-HO CHOI 등) 2010.12.16 단락 [0034]-[0057] 및 도면 1 참조.	1-9

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 02월 13일 (13.02.2017)

국제조사보고서 발송일

2017년 02월 13일 (13.02.2017)

ISA/KR의 명칭 및 우편주소



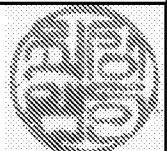
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2014-0027805 A	2014/03/07	없음	
KR 10-2007-0022729 A	2007/02/27	CN 100479105 C CN 101095215 A EP 1763070 A1 JP 2005-327789 A US 2008-0241995 A1 US 2009-0220783 A1 WO 2005-109479 A1	2009/04/15 2007/12/26 2007/03/14 2005/11/24 2008/10/02 2009/09/03 2005/11/17
KR 10-2014-0062984 A	2014/05/27	없음	
KR 10-0593814 B1	2006/06/28	CN 1978571 A CN 1978571 B US 2007-0126129 A1	2007/06/13 2011/12/28 2007/06/07
US 2010-0314740 A1	2010/12/16	KR 10-2010-0134354 A	2010/12/23