



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2015년06월16일  
(11) 등록번호 10-1529331  
(24) 등록일자 2015년06월10일

(51) 국제특허분류(Int. Cl.)  
H01L 29/73 (2006.01)  
(21) 출원번호 10-2009-7005341  
(22) 출원일자(국제) 2007년06월18일  
심사청구일자 2012년06월18일  
(85) 번역문제출일자 2009년03월13일  
(65) 공개번호 10-2009-0052878  
(43) 공개일자 2009년05월26일  
(86) 국제출원번호 PCT/US2007/014139  
(87) 국제공개번호 WO 2008/020911  
국제공개일자 2008년02월21일  
(30) 우선권주장  
60/838,249 2006년08월17일 미국(US)  
(56) 선행기술조사문헌  
US20050012143 A1\*  
Qingchun Zhang et al, Design and Fabrications  
of High Voltage IGBTs on 4H-SiC, Proceedings  
of the 18th International Symposium on Power  
Semiconductor Devices and ICs(2006.06.04)\*  
US05972801 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
크리 인코포레이티드  
미국 노스 캐롤라이나 27703-8475 더럼 실리콘 드  
라이브 4600  
(72) 발명자  
짱 칭춘  
미국 노스 캐롤라이나 27519 캐리 히코리우드 블  
러바드 108  
류 세형  
미국 미시건 48331 파밍턴 힐즈 사이테이션 트라  
이앵글 29751 아파트먼트 11101  
(뒷면에 계속)  
(74) 대리인  
양영준, 백만기, 정은진

전체 청구항 수 : 총 7 항

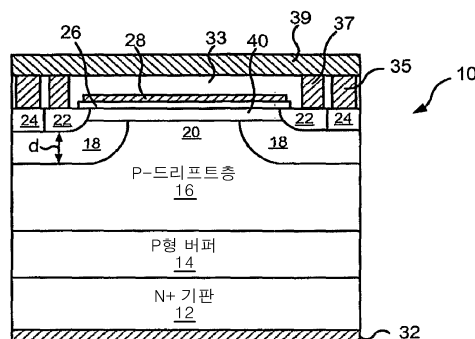
심사관 : 최정민

(54) 발명의 명칭 고전력 절연 게이트 바이폴라 트랜지스터

(57) 요약

절연 게이트 바이폴라 트랜지스터(IGBT)는 제1 도전형을 갖는 기판, 상기 제1 도전형에 반대되는 제2 도전형을 갖는 드리프트층 및 상기 드리프트층 안에 있고 상기 제1 도전형을 갖는 웰 영역을 갖는다. 에피택셜 채널 조절층이 상기 드리프트층 위에 있고 상기 제2 도전형을 갖는다. 에미터 영역이 상기 에피택셜 채널 조절층의 표면으로부터 상기 에피택셜 채널 조절층을 관통하여 상기 웰 영역으로 확장된다. 상기 에미터 영역은 상기 제2 도전형을 갖고 상기 에미터 영역에 인접한 상기 웰 영역 내에서 적어도 부분적으로 채널 영역을 한정한다. 게이트 산화막층이 상기 채널 영역 위에 있고, 게이트가 상기 게이트 산화막층 위에 있다. 관련된 방법들이 또한 기재된다.

대표도 - 도1



(72) 발명자

**조나스 샬럿**

미국 노스 캐롤라이나 27560 모리스빌 베를린 웨이  
209

**아가르왈 아난트 케이.**

미국 노스 캐롤라이나 27514 채플 힐 블랙 타이 레  
인 208

---

**명세서**

**청구범위**

**청구항 1**

절연 게이트 바이폴라 트랜지스터(insulated gate bipolar transistor)로서,  
 제1 도전형을 갖는 기판;  
 상기 제1 도전형에 반대되는 제2 도전형을 갖는 드리프트층;  
 상기 드리프트층 내에 있고 상기 제1 도전형을 갖는 웰 영역;  
 상기 드리프트층 위에 있고 상기 제2 도전형을 갖는 에피택셜 채널 조절층;  
 상기 에피택셜 채널 조절층의 표면으로부터 상기 에피택셜 채널 조절층을 통해 상기 웰 영역 내로 확장되는 에미터 영역 - 상기 에미터 영역은 상기 제2 도전형을 갖고 상기 에미터 영역에 인접한 상기 웰 영역 내의 채널 영역을 적어도 부분적으로 한정함 -;  
 상기 채널 영역 위의 게이트 산화막층;  
 상기 게이트 산화막층 위의 게이트;  
 상기 채널 조절층의 표면으로부터 상기 웰 영역 내로 확장되는 상기 제1 도전형의 커넥터 영역;  
 상기 커넥터 영역 위의 제1 오믹 콘택;  
 상기 에미터 영역 위에 있고 상기 제1 오믹 콘택과 상이한 물질을 포함하는 제2 오믹 콘택; 및  
 상기 제1 오믹 콘택과 상기 제2 오믹 콘택을 전기적으로 연결하는 금속 덮개층(metal overlayer)을 포함하고,  
 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형이고,  
 상기 에미터 영역의 바닥으로부터 상기 웰 영역의 바닥까지의 거리는 0.45 $\mu\text{m}$  또는 그 이상인 절연 게이트 바이폴라 트랜지스터.

**청구항 2**

제1항에 있어서,  
 상기 드리프트층은 상기 웰 영역에 인접한 JFET 영역을 포함하고, 상기 에미터 영역은 상기 JFET 영역으로부터 이격되어 있고 상기 에미터 영역과 상기 JFET 영역 사이의 상기 채널 영역을 한정하는 절연 게이트 바이폴라 트랜지스터.

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

제1항에 있어서,  
 상기 제1 오믹 콘택은 니켈-계 도전 물질을 포함하고, 상기 제2 오믹 콘택은 알루미늄-계 도전 물질을 포함하는 절연 게이트 바이폴라 트랜지스터.

**청구항 6**

제1항에 있어서,

상기 에피택셜 채널 조절층은 0.25 $\mu\text{m}$  또는 그 이상의 두께를 갖는 절연 게이트 바이폴라 트랜지스터.

**청구항 7**

삭제

**청구항 8**

제1항에 있어서,

상기 채널 조절층은 0.1 $\mu\text{m}$  내지 0.5 $\mu\text{m}$ 의 두께 및  $1 \times 10^{16} \text{ cm}^{-3}$  내지  $5 \times 10^{18} \text{ cm}^{-3}$ 의 순 도핑 농도(net doping concentration)를 갖는 절연 게이트 바이폴라 트랜지스터.

**청구항 9**

제1항에 있어서,

상기 기판은 실리콘 카바이드 기판을 포함하고, 상기 드리프트층은 상기 기판 위의 실리콘 카바이드 에피택셜층을 포함하는 절연 게이트 바이폴라 트랜지스터.

**청구항 10**

n형 기판;

p형 드리프트층;

상기 드리프트층 내의 n형 웰;

상기 드리프트층 위의 p형 채널 조절층;

상기 채널 조절층을 통해 상기 n형 웰 내로 확장되는 p형 에미터 영역 - 상기 p형 에미터 영역은 상기 p형 에미터 영역에 인접한 상기 n형 웰 내의 채널 영역을 적어도 부분적으로 한정함 -;

상기 채널 조절층을 통해 상기 n형 웰 내로 확장되는 n형 커넥터 영역;

상기 p형 에미터 영역 위의 알루미늄을 포함하는 제1 오믹 콘택;

상기 n형 커넥터 영역 위의, 상기 제1 오믹 콘택과 상이한 금속을 포함하는 제2 오믹 콘택 - 상기 제2 오믹 콘택은 니켈을 포함함 -;

상기 채널 영역 위의 게이트 산화막층;

상기 게이트 산화막층 위의 게이트;

상기 게이트 위의 층간 유전막 - 상기 층간 유전막은 상기 제1 오믹 콘택을 노출시키는 제1 개구부 및 상기 제2 오믹 콘택을 노출시키는 제2 개구부를 포함함 -; 및

상기 층간 유전막 위에 있고, 상기 제1 오믹 콘택 및 상기 제2 오믹 콘택을 전기적으로 연결하는 금속 덮개층을 포함하고,

상기 p형 에미터 영역의 바닥으로부터 상기 n형 웰의 바닥까지의 거리는 0.45 $\mu\text{m}$  또는 그 이상인 트랜지스터.

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

**발명의 설명**

**기술분야**

[0001] 본 출원은 "High Power Insulated Gate Bipolar Transistors" 라는 제목으로 2006년 8월 17일에 출원된 미국 가특허 출원 60/838,249 에 대한 이익과 우선권을 주장하며, 그 출원의 내용은 그 전부가 개시되는 것처럼 참조에 의하여 여기에 통합된다.

[0002] 이 발명은 ONR/DARPA 에 의하여 수여된 계약 N00014-05-C-0202 아래 정부의 지원으로 만들어졌다. 정부는 본 발명에 대하여 일정한 권리를 갖는다.

**배경기술**

[0003] 본 발명은 전자 소자에 관련된다. 더욱 특정하게는 본 발명은 고전력 절연 게이트 바이폴라 트랜지스터에 관련된다.

[0004] 실리콘 카바이드(SiC)로 만들어진 전력 소자들은 SiC 의 높은 임계장(critical field)과 넓은 밴드갭에 기인하여 고속, 고전력 및/또는 고온 응용에 대하여 실리콘 위의 전력 소자와 비교하여 상당한 장점을 보여줄 것으로 기대된다. 5kV 를 초과하는 전압과 같은 고전압을 차단하는 능력을 갖는 소자들에 대하여, 주입된 소수 운반자(minority carriers)로부터 기인하는 전도성 변동(conductivity modulation)을 통하여 드리프트 층의 저항을 감소시키기 위한 바이폴라 동작을 갖는 것이 바람직할 수 있다. 그러나 실리콘 카바이드 안의 바이폴라 소자들에 대한 하나의 기술적인 난제는 실리콘 카바이드 단결정 안의 basal 평면 전위(Basal Plane Dislocation; BPD)의 존재에 기인할 수 있는 시간의 경과에 따른 순방향 전압 하강(forward voltage degradation)이다. 그러므로 SiC 쇼트키 다이오드 및 MOSFET 과 같은 유니폴라(unipolar) 소자들이 통상 고전력 응용에 사용된다.

[0005] 10kV 차단 능력을 갖는 SiC DMOSFET 소자들이 약  $100 \text{ m}\Omega \times \text{cm}^2$  의 비 온-저항(specific on-resistance) 을 갖도록 제조되어 왔다. DMOSFET 소자들은 소수 운반자의 성질에 기인하여 예를 들면 100ns 보다 작은 매우 빠른 스위칭 속도를 나타낼 수 있다. 그러나 예를 들면, 15kV 또는 그 이상까지 소자들의 원하는 차단 전압(blocking voltage)이 증가함에 따라 이에 대응하는 드리프트 층의 두께의 증가에 기인하여 MOSFET 소자들의 온-저항은 상당히 증가할 수 있다. 이 문제는 벌크 이동도 감소에 기인하여 고온에서 악화될 수 있으며, 이것은 과도한 전력 손실을 일으킬 수 있다.

[0006] SiC 결정 물질의 성장 과정에서, BPD 관련 문제들을 경감시키기 위하여 몇가지 접근들이 개발되어 왔다. 이를테면, B. Hull, M. Das, J. Sumakeris, J. Richmond, and S. Krishinaswami, "Drift-Free 10-kV, 20-A 4H-SiC PiN Diodes", Journal of Electrical Materials, Vol. 34, No. 4, 2005 를 참조하라. 이 개발들은 싸이리스터(thyristor), GTO 등과 같은 SiC 바이폴라 소자들의 개발 및/또는 잠재적인 응용을 향상시킬 수 있다. 싸이리스터 및/또는 GTO 가 낮은 순방향 전압 강하를 제공할 수 있더라도, 게이트 드라이브 및 보호를 위한 큰 전류(轉流) 회로(commutating circuit)를 필요로 할 수 있다. 따라서, SiC 바이폴라 소자들은 게이트 턴-오프 능력을 갖는 것이 바람직할 수 있다. 이들의 뛰어난 온-상태 특성, 합리적인 스위칭 속도 및/또는 탁월한 안정-작동-영역(safe-operation-area: SOA)에 기인하여 4H-SiC 절연 게이트 바이폴라 트랜지스터(IGBTs)가 전력 스위칭 응용에 대하여 더욱 적합해지고 있다.

**발명의 상세한 설명**

[0007] 일부 실시예들에 따른 실리콘 카바이드계 절연 게이트 바이폴라 트랜지스터(IGBT)는 제1 도전형을 갖는 실리콘 카바이드 기판, 상기 제1 도전형에 반대되는 제2 도전형을 갖는 실리콘 카바이드 드리프트층 및 상기 드리프트층 안에 있고 상기 제1 도전형을 갖는 웰 영역을 갖는다. 실리콘 카바이드 에피택셜 채널 조절층이 상기 드리프트층 위에 있고 상기 제2 도전형을 갖는다. 에미터(emitter) 영역이 상기 에피택셜 채널 조절층의 표면으로부터 상기 에피택셜 채널 조절층을 관통하여 상기 웰 영역으로 확장된다. 상기 에미터 영역은 상기 제2 도전형을 갖고 상기 에미터 영역에 인접한 상기 웰 영역 내에서 적어도 부분적으로 채널 영역을 한정한다. 게이트 산화막층이 상기 채널 영역 위에 있고, 게이트가 상기 게이트 산화막층 위에 있다.

[0008] 상기 실리콘 카바이드 드리프트층은 상기 웰 영역에 인접한 JFET 영역을 포함할 수 있다. 상기 에미터 영역은 상기 JFET 영역으로부터 떨어져 있을 수 있고, 상기 에미터 영역과 상기 JFET 영역 사이의 상기 채널 영역을 한정할 수 있다.

[0009] 일부 실시예들에서, 상기 제1 도전형은 n형일 수 있고, 상기 제2 도전형은 p형일 수 있다.

[0010] 상기 트랜지스터는 상기 채널 조절층의 표면으로부터 상기 웰 영역으로 확장되는 상기 제1 도전형의 커넥터 영역, 상기 커넥터 영역 위의 제1 오믹 콘택, 상기 에미터 영역 위에 있고 상기 제1 오믹 콘택과 다른 물질을 포함하는 제2 오믹 콘택 및 상기 제1 오믹 콘택과 상기 제2 오믹 콘택을 전기적으로 연결하는 금속 덮개층을 포함할 수 있다.

[0011] 상기 제1 오믹 콘택은 니켈-계 도전 물질을 포함하고, 상기 제2 오믹 콘택은 알루미늄-계 도전 물질을 포함할 수 있다.

[0012] 상기 채널 조절층은 약  $0.25 \mu\text{m}$  또는 그 이상의 두께를 가질 수 있다. 더욱이, 상기 에미터 영역의 바닥으로부터 상기 웰 영역의 바닥까지의 거리는 약  $0.45 \mu\text{m}$  또는 그 이상일 수 있다. 상기 채널 조절층은 약  $0.1 \mu\text{m}$  내지 약  $0.5 \mu\text{m}$ 의 두께 및 약  $1 \times 10^{16} \text{ cm}^{-3}$  내지 약  $5 \times 10^{18} \text{ cm}^{-3}$  의 순 도핑 농도를 가질 수 있다.

[0013] 본 발명의 일부 실시예들은 실리콘 카바이드에서 절연 게이트 바이폴라 트랜지스터(IGBT: insulated gate bipolar transistor)를 형성하는 방법을 제공한다. 상기 방법은 n형 실리콘 카바이드 기판 위에 p형 실리콘 카

바이드 드리프트층을 형성하는 단계, 상기 p형 실리콘 카바이드 드리프트층 안에 n형 웰을 형성하는 단계 및 상기 p형 실리콘 카바이드 드리프트층 위 및 상기 n형 웰 위에 p형 채널 조절층을 에피택셜하게 성장시키는 단계를 포함한다. 상기 실리콘 카바이드층의 표면에서 상기 채널층을 관통하여 상기 n형 웰로 확장되는 p형 에미터 영역을 형성하기 위하여 p형 도펀트가 주입될 수 있다. 상기 p형 에미터 영역은 상기 p형 에미터 영역에 인접한 상기 n형 웰 내에서 채널 영역을 적어도 부분적으로 한정한다. 상기 방법은 상기 실리콘 카바이드층의 표면에서 상기 채널층을 통하여 상기 n형 웰로 확장되는 n형 커넥터 영역을 형성하기 위하여 n형 도펀트 이온을 주입하는 단계를 더 포함한다. 상기 주입된 이온은 어닐된다. 상기 채널영역 위에 게이트 산화막층이 형성되고, 상기 게이트 산화막층 위에 게이트가 형성된다.

[0014] 상기 방법은 주입 활성화를 위하여 그래파이트 코팅을 형성하고 상기 주입된 이온을 어닐링한 후에 상기 그래파이트 코팅을 제거하는 단계를 포함할 수 있다. 주입된 이온을 어닐링하는 것은 실리콘 카바이드층 및 그래파이트 코팅을 어닐링하는 것을 포함할 수 있다. 상기 방법은 상기 주입된 이온을 어닐링하기 전에 상기 그래파이트 코팅을 결정화하는 단계를 더 포함할 수 있다.

[0015] 상기 주입된 이온을 어닐링하는 것은 1700°C 보다 큰 온도에서 그리고 일부 실시예들에서는 1800°C 보다 큰 온도에서 상기 주입된 이온을 어닐링하는 것을 포함할 수 있다. 상기 게이트 산화막층을 형성하는 것은 건성 O<sub>2</sub>에서 상기 게이트 산화막층을 형성하는 것을 포함할 수 있고, 상기 방법은 더 나아가 습성 O<sub>2</sub>에서 상기 게이트 산화막층을 어닐링하는 것을 포함할 수 있다. 특히, 상기 게이트 산화막층을 형성하는 것은 약 1200°C 보다 작거나 같은 온도에서 건성 O<sub>2</sub>에서 상기 게이트 산화막층을 형성하는 것을 포함할 수 있다.

[0016] 상기 방법은 상기 게이트 산화막층의 형성 후와 습성 O<sub>2</sub>에서 상기 게이트 산화막층을 어닐링하기 전에 약 1200°C 보다 작거나 같은 온도에서 불활성 분위기에서 상기 게이트 산화막층을 어닐링하는 것을 더 포함할 수 있다.

[0017] 습성 O<sub>2</sub>에서 상기 게이트 산화막층을 어닐링하는 것은 적어도 한 시간 동안 약 950°C 보다 작거나 같은 온도에서 상기 게이트 산화막층을 어닐링하는 것을 포함할 수 있다.

[0018] 습성 O<sub>2</sub>에서 상기 게이트 산화막층을 어닐링하는 것은 열발생 챔버에서 열발생 스팀을 생성하고, 상기 열발생 스팀을 어닐 챔버에 공급하고, 상기 어닐 챔버에서 상기 산화막을 어닐링하는 것을 포함할 수 있다. 열발생 스팀을 생성하는 단계는 상기 열발생 챔버를 가열하고, 상기 열발생 챔버에 수소 및 산소 가스를 공급하고, 상기 열발생 스팀을 형성하기 위하여 상기 수소 가스 및 상기 산소 가스를 연소시키는 것을 포함할 수 있되, 상기 수소 가스 및 상기 산소 가스는 약 1.8 또는 그 이상의 수소 대 산소의 분자 비율로 상기 열발생 챔버로 공급된다.

[0019] 상기 방법은 상기 n형 웰에 인접한 JFET 영역을 형성하도록 상기 드리프트층으로 p형 도펀트 이온을 주입하는 것을 더 포함할 수 있다. 상기 p형 에미터 영역은 상기 JFET 영역으로부터 떨어져 있을 수 있고, 상기 p형 에미터 영역과 상기 JFET 영역 사이에 채널 영역을 한정할 수 있다.

[0020] 상기 채널 조절층은 약 0.1 $\mu$ m 내지 약 0.5 $\mu$ m의 두께를 가질 수 있고, 약 1 $\times$ 10<sup>16</sup> cm<sup>-3</sup> 내지 약 5 $\times$ 10<sup>18</sup> cm<sup>-3</sup>의 순액셉터 농도를 가질 수 있다.

### 실시예

[0029] 이하에서는 본 발명의 실시예들이 보여지는 첨부 도면을 참조하여 본 발명의 실시예들이 더욱 구체적으로 기술될 것이다. 그러나 본 발명은 많은 다른 형태들로 구체화될 수 있으며, 여기에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니된다. 이들 실시예들은, 오히려, 본 발명의 개시가 더욱 철저하고 완전하도록 하고, 또한 당업자들에게 본 발명의 범위를 완전히 전달하기 위해 제공되는 것이다. 동일한 번호는 전체를 통하여 동일한 요소들을 지칭한다.

[0030] 비록 제1, 제2, 기타의 용어들이 여기에서 여러가지 요소들을 기술하는데 사용되더라도 이 요소들은 이 용어들에 의하여 제한되어서는 안된다. 이 용어들은 단지 하나의 요소를 다른 요소와 구별하기 위하여 사용된다. 예를 들면, 본 발명의 가르침으로부터 벗어나지 않으면서, 제1 요소는 제2 요소로 지칭될 수 있고, 유사하게 제2 요소는 제1 요소로 지칭될 수 있다. 여기에서 사용될 때, "및/또는"이라는 용어는 관련되어 열거된 항목들의 하나 또는 그 이상의 임의의 그리고 모든 조합들을 포함한다.

[0031] 여기에서 사용된 용어는 특정 실시예들만을 기술하기 위한 목적을 위한 것이고 본 발명을 제한하는 것으로 의도

된 것이 아니다. 여기에서 사용된 바와 같은 단수 형태는 문맥이 명백히 다르게 지시하지 않는 한 또한 복수의 형태를 포함하도록 의도되었다. 더 나아가 "포함한다" 및/또는 "포함하는"의 용어가 본 상세한 설명에서 사용되는 경우에는 기재된 형태, 복합체, 단계, 작용, 요소, 및/또는 부품의 존재를 특정하지만, 하나 또는 그 이상의 다른 형태, 복합체, 단계, 작용, 요소, 부품 및/또는 이들의 그룹의 존재 또는 부가를 제외하지 않는 것으로 이해될 것이다.

[0032] 다르게 정의되지 않으면, (기술적이고 과학적인 용어들을 포함한) 여기에 사용된 모든 용어들은 본 발명이 속하는 기술분야에서 일반적인 기술을 가진 이들에게 일반적으로 이해되는 것과 같은 의미를 갖는다. 여기에서 사용된 용어들은 본 상세한 설명의 문맥 및 관련 기술에서의 의미와 일관된 의미를 갖는 것으로 해석되어야 하고, 여기에서 명백히 그렇게 한정되지 않으면 이상화되거나 과도하게 형식적인 의미로 해석되지 않을 것임이 또한 이해될 것이다.

[0033] 층, 영역 또는 기관과 같은 요소가 다른 요소 "위(on)"에 존재하는 것으로 또는 "위로(onto)" 확장되는 것으로 기술되는 경우, 그 요소는 다른 요소의 직접 위에 있거나 직접 위로 확장될 수 있고, 또는 층간의 개입 요소가 존재할 수도 있다. 반면에, 하나의 요소가 다른 요소 "바로 위(directly on)"에 있거나 "바로 위로(directly onto)" 확장된다고 언급되는 경우, 다른 중간 요소들은 존재하지 않는다. 또한, 하나의 요소가 다른 요소에 "연결(connected)"되거나 "결합(coupled)"된다고 기술되는 경우, 그 요소는 다른 요소에 직접 연결되거나 직접 결합될 수 있고, 또는 층간의 개입 요소가 존재할 수도 있다. 반면에, 하나의 요소가 다른 요소에 "직접 연결(directly connected)"되거나 "직접 결합(directly coupled)"된다고 기술되는 경우에는 다른 중간 요소가 존재하지 않는다.

[0034] "아래의(below)" 또는 "위의(above)" 또는 "상부의(upper)" 또는 "하부의(lower)" 또는 "수평의(horizontal)" 또는 "측면의(lateral)" 또는 "수직의(vertical)"와 같은 상대적인 용어들은 여기에서 도면에 도시된 바와 같이 하나의 요소, 층 또는 영역의 다른 요소, 층 또는 영역에 대한 관계를 기술하는데 사용될 수 있다. 이들 용어들은 도면에 묘사된 방향(orientation)에 부가하여 장치의 다른 방향을 포괄하기 위한 의도를 갖는 것으로 이해될 것이다.

[0035] 본 발명의 실시예에는 본 발명의 이상적인 실시예를 개념적으로 도시한 단면도를 참조하여 여기에 설명된다. 도면에서 층들 및 영역들의 두께는 명확성을 위하여 과장될 수 있다. 덧붙여, 예를 들면 제조 기술 및/또는 허용 범위의 결과로서 도면의 형태로부터 변형들이 예상될 수 있다. 그러므로 본 발명의 실시예들은 여기에 도시된 영역의 특정한 형태로 한정되는 것으로 해석되서는 안되고, 예를 들면 제조 과정으로부터 기인하는 형태의 변형들을 포함하는 것으로 해석되어야 한다. 예를 들면, 직사각형으로 도시된 주입 영역은 통상 주입된 영역으로부터 주입되지 않은 영역으로 불연속적인 변화보다는 그 에지에서 둥글거나 곡면의 형태 및/또는 주입 농도의 경사를 가질 것이다. 마찬가지로, 주입에 의하여 형성된 매몰 영역은 매몰 영역과 그를 통하여 주입이 일어나는 표면의 사이의 영역 내에 일부 주입을 낳을 것이다. 그러므로 도면에 도시된 영역들은 성질상 개념적이고 소자의 영역의 실제 형태를 도시할 것을 의도한 것이 아니며 본 발명의 범위를 제한하도록 의도되지 않는다.

[0036] 본 발명의 일부 실시예들은 층 또는 영역에서 다수 운반자 농도를 지칭하는 n형 또는 p형과 같은 도전형을 갖는 것으로 특징지어진 반도체 층 및/또는 영역과 관련하여 기술된다. 그러므로 n형 물질은 음으로 하전된 전자의 다수 평형 농도를 가지는 반면, p형 물질은 양으로 하전된 정공의 다수 평형 농도를 갖는다. 다른 층 또는 영역과 비교하여 다수 운반자의 상대적으로 더 큰 ("+") 또는 더 작은 ("-") 농도를 지시하기 위하여 일부 물질들은 (n+, n-, p+, p-, n++, n--, p++, p-- 등과 같이) "+" 또는 "-"로 표시될 수 있다. 그러나 그러한 표시가 층 또는 영역에서 다수 또는 소수 운반자의 특정 농도의 존재를 암시하지 않는다.

[0037] 본 발명의 일부 실시예들은 고전력 및/또는 고온 응용에 적합한 절연 게이트 바이폴라 트랜지스터(IGBT)를 제공한다. 본 발명의 일부 실시예들은 고압 평면형 IGBT를 제공한다. 여기에 기술된 본 발명의 실시예들이 실리콘 카바이드 기관 및 에피택셜 층을 포함하더라도, 여기에서 기술된 원리 및 구조들은 실리콘, 저마늄, 갈륨 비소, 갈륨 질화물 및 이들의 합금과 같은 다른 물질을 사용하여 형성되는 소자들에 이롭게 채용될 수 있다.

[0038] 최초로 보고된 평면형 게이트 SiC 5.8kV IGBT 는 2005년에 n형 기관 위에 세워졌다. Q. Zhang, C. Jonas, S. Ryu, A. Agarwal and J. Palmour "Design and Fabrications of High Voltage IGBTs on 4H-SiC", ISPSD Proceeding, 2006 을 참조하라. n-채널 IGBT를 위하여 요구되는 고품질, 저저항률의 p-SiC 기관이 없어서 p-채널 IGBT 가 선택되었다. 소자는 25°C에서 -30V의 게이트 바이어스에서 약 570 mΩ×cm<sup>2</sup> 의 차동 온-저항(differential on-resistance) (Rdiff, on) 및 200°C에서 약 118 mΩ×cm<sup>2</sup> 으로의 감소를 각각 보여준다. 높은 온-저항은 낮은 벌크 운반자 수명 및 낮은 정공 채널 이동도에 주로 기인한다.

- [0039] 본 발명의 일부 실시예들에 의한 IGBT 구조가 도 1에 도시되어 있다. 도 1에 도시된 소자(10)의 구조와 같은 평평한 소자 구조는 공정 단순화 및/또는 소자의 신뢰성 향상을 제공할 수 있다. 그러나 다른 소자 구조들이 유리하게 채용될 수 있다.
- [0040] 도 1의 소자(10)은 n형 기판(12) 위의 p형 버퍼층(14) 및 p- 드리프트 에피택셜층(16)을 포함할 수 있다. 기판(12)은 n+형의 8° 오프-축 4H-SiC 기판을 포함할 수 있다. P- 드리프트층(16)은 약 110 $\mu\text{m}$ 의 두께를 가질 수 있고, 원하는 차단 전압(blocking voltage)을 제공하기 위하여 선택된 도핑 농도로 p형 도펀트로 도핑될 수 있다. 예를 들면, P- 드리프트층(16)은 10kV 차단 능력을 위하여 약  $2 \times 10^{14} \text{ cm}^{-3}$ 에서 약  $6 \times 10^{14} \text{ cm}^{-3}$ 의 도핑 농도로 p형 도펀트로 도핑될 수 있다. P형 버퍼층(14)은 약 1 $\mu\text{m}$ 에서 2 $\mu\text{m}$ 의 두께를 가질 수 있고, 약  $1 \times 10^{17} \text{ cm}^{-3}$  도핑 농도로 p형 도펀트로 도핑될 수 있다. p형 버퍼층(14)은 펀치 쓰루(punch-through)를 저지하기 위한 채널 정지층(channel stop layer)으로서 제공된다.
- [0041] N+ 웰 영역(18)이 p형 드리프트층(16)의 표면에 형성되어 있다. N+ 웰 영역(18)은 이온 주입에 의하여 형성될 수 있는데, 드리프트층(16)으로 약 0.5 $\mu\text{m}$ 의 거리를 확장할 수 있다.
- [0042] 에피택셜 p형 채널 조절층(40)이 드리프트층(16) 위에 있다. 채널 조절층(40)은 약 0.1 $\mu\text{m}$ 에서 0.5 $\mu\text{m}$ 의 두께를 가질 수 있고, 약  $1 \times 10^{16} \text{ cm}^{-3}$ 에서 약  $5 \times 10^{18} \text{ cm}^{-3}$ 의 순 액셉터 농도를 갖도록 p형 도펀트로 도핑될 수 있다. 특히, 에피택셜 p형 채널 조절층(40)은 약 0.25 $\mu\text{m}$ 의 두께를 가질 수 있고 약  $1 \times 10^{17} \text{ cm}^{-3}$ 의 도핑 농도로 알루미늄 이온과 같은 액셉터 이온들로 도핑될 수 있다. p형 채널 조절층(40)의 존재는 문턱 전압(threshold voltage)을 변경하고/하거나 소자(10)의 반전 채널 이동도를 향상시킬 수 있다.
- [0043] 소자(10)는 예를 들면, 각각 질소 및 알루미늄의 선택적인 주입에 의하여 형성될 수 있는 n+ 커넥터 영역(24) 및 p+ 에미터 영역(22)을 더 포함한다. n+ 커넥터 영역(24) 및 p+ 에미터 영역(22)은 p형 채널 조절층(40)을 통과하여 n+ 웰 영역(18)으로 확장된다. 일부 실시예들에서, p+ 에미터 영역(22)의 바닥과 n+ 웰 영역(18)의 바닥 사이의 거리 d는 약 0.45 $\mu\text{m}$  또는 그 이상이 될 수 있다. 증가된 거리 d는 n+ 웰 영역(18)의 더 낮은 저항을 제공할 수 있고, 이것은 향상된 소자(10)의 온-상태 저항을 낮출 수 있다.
- [0044] 가드-링에 기초한 에지 종결(미도시)이 소자 주변으로 제공될 수 있다. 다른 유형의 에지 종결이 사용될 수 있다.
- [0045] 소자(10)은 인접한 n+ 웰 영역들(18) 사이에서 드리프트층(16) 안의 JFET 영역(20)을 포함한다. JFET 영역(20)은 인접한 n+ 웰 영역(18)으로부터의 JFET 저항을 감소시키기 위하여 p형 도펀트로 주입될 수 있다. 일부 실시예들에서, JFET 영역(20)은 에피택셜 성장 공정에 의하여 형성될 수 있다.
- [0046] 소자(10)은 게이트 절연층(26)을 더 포함하며, 이것은 약 400-1000Å의 두께를 갖는 실리콘 이산화물을 포함할 수 있다.
- [0047] 예를 들면 폴리실리콘의 게이트(28)가 게이트 절연층(26) 위에 형성된다. 층간 유전막(33)이 소자(10)의 표면 위에 있고, 게이트(28)를 전기적으로 절연한다.
- [0048] N형 오믹 콘택(35)이 n+ 커넥터 영역(24)으로 형성되고, p형 오믹 콘택(37)이 p+ 에미터 영역(22)으로 형성된다. N형 오믹 콘택(35)은 Ni 및/또는 NiSi와 같은 니켈-계 도전층을 포함할 수 있다. p형 오믹 콘택(37)은 Al 및/또는 AlSi와 같은 알루미늄-계 도전층을 포함할 수 있다. 금속 덮개층(39)이 층간 유전막(33) 위에 형성되고 오믹 콘택(35, 37)을 통하여 n형 커넥터 영역(24) 및 p형 에미터 영역(22)에 전기적으로 연결된다. N형 오믹 금속 컬렉터(collector) 콘택(32)이 기판(12) 위에 형성된다.
- [0049] 도 2a 내지 도 2d는 수행될 수 있는 일부 작동 및 소자(10)의 형성 중에 형성될 수 있는 중간 구조(10A 내지 10D)를 도시한다. 도 2a를 참조하면, p형 SiC 버퍼층(14) 및 p- SiC 드리프트층(16)이 n+형의 8° 오프-축 4H-SiC 기판(12) 위에 에피택셜 성장에 의하여 형성된다. p형 버퍼층(14)은 약 1 $\mu\text{m}$ 에서 약 2 $\mu\text{m}$ 의 두께를 가질 수 있고, 약  $1 \times 10^{17} \text{ cm}^{-3}$  도핑 농도로 p형 도펀트로 도핑될 수 있다. p형 드리프트층(16)의 형성 후에 드리프트층(16)으로 예를 들면 질소와 같은 도너 이온의 주입에 의하여 n+ 웰 영역(18)이 형성된다. n+ 웰 영역(18)을 가능한 깊게 주입하는 것이 바람직할 수 있다. n+ 웰 영역(18)의 깊이는 가능한 주입 에너지에 의하여 한정될 수 있다.
- [0050] 그리고 나서 구조는 주입된 이온을 활성화시키기 위하여 약 1600°C 또는 그 이상의 온도에서 어닐될 수 있다.

특히, 구조는 n형 도펀트를 활성화하기 위하여 당업계에 알려진 표준 SiC 활성화 어닐링 조건 아래에 어닐될 수 있다.

[0051] JFET 영역(20)은 인접한 n+ 웰 영역들(18) 사이의 드리프트층(16) 안에 예를 들면, 알루미늄의 주입에 의하여 형성될 수 있다. JFET 영역(20)은 인접한 n+ 웰 영역(18)으로부터의 JFET 저항을 감소시키기 위하여 p형 도펀트로 주입될 수 있다. 특히, 주입 손상을 수용가능한 정도로 유지하면서 JFET 저항을 감소시키도록 JFET 주입 도즈(dose)가 선택될 수 있다. 일부 실시예들에서, JFET 영역(20) 내에 약  $1 \times 10^{16} \text{ cm}^{-3}$ 의 도펀트 농도를 제공하기에 충분한 도즈에서 JFET 주입이 수행될 수 있다. JFET 영역은 일부 실시예들에서 에피택셜 성장 공정에 의하여 수행될 수 있다.

[0052] 도 2b를 참조하면, 에피택셜 채널 조절층(40)이 드리프트층(16) 위에 예를 들면 잘 알려진 SiC 에피택셜 재성장 기술을 사용하여 형성된다. 채널 조절층(40)은 약  $1 \times 10^{17} \text{ cm}^{-3}$ 의 도핑 농도에서 액셉터 이온으로 도핑될 수 있다.

[0053] 에피택셜 채널 조절층(40)은 문턱 전압을 조절하고/하거나 소자의 반전 채널 이동도를 향상시킬 수 있다. 더욱더 에피택셜 채널 조절층(40)은 n형 웰 영역(18)에 비하여 더 얇은 p형 소스 영역(22)의 형성을 또한 허용할 수 있다. 재성장된 에피택셜 채널 조절층(40)의 표면으로 p형 에미터 주입(22)을 들어올림에 의하여 더 깊은 n형 웰 영역(18)을 제공하는 것은 소자에서 래치-업을 감소시키거나 예방할 수 있다. p형 에미터 영역(22)의 바닥과 n+ 웰(18)의 바닥 사이의 증가된 간격 d에 기인하여 깊은 n+ 웰(18)은 더 낮은 N 웰 저항을 낳을 수 있다. 더 낮은 n 웰 저항은 소자 래치-업 전류를 증가시킬 수 있고/있거나 더 나은 온-상태 저항을 제공할 수 있다.

[0054] 도 2c를 참조하면, n형 커넥터 영역(24) 및 p형 에미터 영역(22)이 예를 들면 에피택셜 채널 조절층(40)으로/을 통과하여 각각 도너 및 액셉터 이온을 선택적으로 주입하여 형성된다.

[0055] 도 2c에 보이는 거리 d는 n형 웰 영역(18)의 수직 확장과 p형 에미터 영역(22)의 수직 확장의 함수임이 이해될 것이다. 일반적으로 p형 에미터 영역(22)의 바닥과 n+ 웰 영역(18)의 바닥 사이의 간격 d를 가능한 크게 만드는 것이 바람직할 수 있다. 더욱더, 위에서 기술된 바와 같이, p형 에미터 영역(22)은 p형 에피택셜 채널 조절층(40)의 형성 후에 형성될 수 있다. 그러므로 웰 영역(18)의 두께(깊이)는 소자를 제조하는데 사용된 시스템의 최대한의 주입 에너지에 의하여 결정된다. 그러나 n형 웰 영역(18)으로의 p+ 에미터 영역(22)의 침투 깊이는 에피택셜 채널 조절층(40)의 두께에 의하여 감소될 수 있는데, 이는 약  $0.25 \mu\text{m}$ 일 수 있다.

[0056] 계속하여 도 2c를 참조하면, 그래파이트 필름과 같은 보호층에 의하여 커버되고/되거나 실리콘 과압력을 갖는 약  $1600^\circ\text{C}$  또는 그 이상의 온도에서 어닐링하는 것에 의하여 주입된 도펀트들이 활성화될 수 있다. 일부 실시예들에서, 그래파이트 보호층을 사용하여 약  $1700^\circ\text{C}$  보다 더 큰 온도에서 어닐링함에 의하여 주입이 활성화될 수 있다.

[0057] (예를 들면,  $1700^\circ\text{C}$  또는 그 이상의) 고온 활성화 어닐은 채널 영역(40)에서 결합의 어닐 뿐만 아니라 문턱 조절 이온의 활성화도 향상시킬 수 있다. 그러나 그러한 고온 어닐은 실리콘 카바이드 드리프트층(16)의 표면을 손상시킬 수 있다.

[0058] 도 2c를 참조하면, 고온 어닐로부터 야기될 수 있는 손상을 감소시키기 위하여, 게이트 산화막(26), 게이트 콘택(28) 및 에미터 콘택(30)의 형성 전에 구조(10C)의 표면 위에 그래파이트 코팅(50)이 형성될 수 있다. 즉, 주입된 이온의 활성화를 위한 구조 10C의 어닐링 전에 어닐 동안 구조의 표면을 보호하기 위하여 구조 10C의 상면/전면에 대하여 적용될 수 있다. 그래파이트 코팅(50)은 일반적인 레지스트 코팅 방법에 의하여 적용될 수 있고, 고온 어닐 동안 하부의 SiC 층들을 보호하기에 충분한 두께를 가질 수 있다. 예를 들면, 그래파이트 코팅(50)은 약  $1 \mu\text{m}$ 의 두께를 가질 수 있다. 그래파이트 코팅(50)은 채널 조절층(40) 위에 결정 코팅을 형성하기 위하여 가열될 수 있다. 주입된 이온은 예를 들면, 불활성 가스에서 약  $1700^\circ\text{C}$  또는 그 이상의 온도에서 수행될 수 있는 열적 어닐에 의하여 활성화될 수 있다. 특히, 열적 어닐은 약  $1850^\circ\text{C}$ 의 온도에서 아르곤에서 5분동안 수행될 수 있다. 그래파이트 코팅(50)은 고온 어닐 동안 에피택셜 채널 조절층(40) 및/또는 드리프트층(16)의 표면을 보호하는 것을 도울 수 있다.

[0059] 그래파이트 코팅(50)은 예를 들면, 애싱(ashing)과 열산화에 의하여 그 후 제거될 수 있다.

[0060] 주입 어닐링(implant annealing) 후에, 예를 들면, 약  $1 \mu\text{m}$ 의 두께를 갖는 실리콘 이산화물의 필드 산화막(미도시)이 증착되고 소자의 활성 영역을 노출시키기 위하여 패터닝될 수 있다.

- [0061] 도 2d를 참조하면, 게이트 절연층(26)이 400-600Å의 최종 게이트 산화막 두께를 갖도록 게이트 산화 공정에 의하여 형성될 수 있다.
- [0062] 게이트 절연층(26)은 그래파이트 코팅(50)의 제거 후에 드리프트층(16)의 노출된 표면 위에 성장될 수 있다. 예를 들면, 그 기재 내용이 참조에 의하여 전부 여기에 통합된 미국 특허 5,972,801에 기재된 바와 같이 게이트 절연층(26)은 건성(dry) O<sub>2</sub> 에서 벌크 산화막의 성장 및 후속의 습성(wet) O<sub>2</sub> 에서 벌크 산화막의 어닐을 포함하는 건성-습성(dry-wet) 산화 공정에 의하여 성장된 산화막을 포함할 수 있다. 여기에서 사용된 바와 같이, 습성 O<sub>2</sub> 에서의 산화막의 어닐은 O<sub>2</sub> 및 기화된 H<sub>2</sub>O 를 모두 포함하는 분위기에서 산화막의 어닐을 말한다. 어닐은 건성 산화막 성장 및 습성 산화막 성장 사이에서 수행될 수 있다. 건성 O<sub>2</sub> 산화막 성장은 예를 들면, 약 1200℃에 이르는 온도의 수정(quartz) 퍼니스에서 건성 O<sub>2</sub> 에서 적어도 약 2.5 시간 동안 수행될 수 있다. 건성 산화막 성장은 원하는 두께로 벌크 산화막층을 성장하도록 수행될 수 있다. 건성 산화막 성장의 온도는 산화막 성장 속도에 영향을 줄 수 있다. 예를 들면, 더 높은 공정 온도는 더 높은 산화막 성장 속도를 낳을 수 있다. 최대 성장 속도는 사용된 시스템에 의존할 수 있다. 예를 들면, 수정보다 실리콘 카바이드 퍼니스를 사용함에 의하여 건성 O<sub>2</sub> 성장을 위한 더 높은 온도가 얻어질 수 있다. 그러나 더 높은 온도가 산화막의 질을 향상시키지 않을 수 있다.
- [0063] 일부 실시예들에서, 건성 O<sub>2</sub> 산화막 성장은 약 1175℃의 온도에서 건성 O<sub>2</sub> 에서 3.5 시간동안 수행될 수 있다. 결과로 생성되는 산화막층은 약 1200℃ 에 이르는 온도에서 불활성 분위기에서 어닐될 수 있다. 특히, 결과로 생성되는 산화막층은 약 1175℃의 온도에서 Ar 에서 1 시간 동안 어닐될 수 있다.
- [0064] 습성 O<sub>2</sub> 산화막 어닐은 약 950℃ 또는 그 이하의 온도에서 적어도 약 1시간 동안 수행될 수 있다. 습성 O<sub>2</sub> 어닐의 온도는 SiC/SiO<sub>2</sub> 계면에 부가적인 계면 상태를 도입할 수 있는 더 이상의 열산화막 성장을 저하시키도록 제한될 수 있다. 특히, 습성 O<sub>2</sub> 어닐은 약 950℃ 의 온도에서 약 3시간 동안 수행될 수 있다. 결과적인 게이트 절연층(26)은 약 500Å의 두께를 가질 수 있다.
- [0065] 일부 실시예들에서, 습성 O<sub>2</sub> 어닐 공정에 사용된 스팀은 발열 공정을 사용하여 생성될 수 있고, 결과적인 습성 O<sub>2</sub> 어닐은 "발열 산화"라고 지칭될 수 있다. 도 3을 참조하면, 발열 산화에서, 산소(O<sub>2</sub>) 및 수소(H<sub>2</sub>) 가스가 발열 챔버(210)로 흘러지는데, 발열 챔버(210)는 어닐 챔버(220)로부터 분리되어 있고 약 800℃와 같은 고온으로 가열된다. 수소 및 산소 가스는 발열 챔버(210)에서 연소하고 어닐 챔버(220)로 공급되는 스팀(H<sub>2</sub>O) 및 산소(O<sub>2</sub>)의 혼합물을 형성한다.
- [0066] 일부의 경우에, 수소 대 산소의 분자비가 2:1 비율에 접근하지만 초과하지 않도록 발열 챔버(210)로의 수소 및 산소의 흐름 속도를 조절하는 것이 바람직할 수 있다. 즉, 합리적인 안정 한계 내에서, 어닐 챔버(220)로 공급되는 혼합물이 가능한 습성인 것이 바람직할 수 있다. 일부 경우에, 수소/산소 비 1.8:1 또는 1.9:1 이 사용될 수 있다.
- [0067] 도 2d를 재차 참조하면, 게이트 절연층(26)의 형성 후에, 폴리실리콘 게이트(28)이 증착되고 예를 들면, 보론으로 도핑되고 게이트 저항을 줄이기 위하여 금속화 공정을 거칠 수 있다. 예를 들면, 실리콘 이산화물의 층간 유전막(33)이 구조(10D) 위에 형성되고 게이트 (28) 및 구조(10D)의 노출된 부분을 커버한다. 비아 홀이 층간 유전막(33) 안에 열리고, 오믹 콘택이 p형 에미터 영역(22) 및 n형 커넥터 영역(24)으로 형성된다. Al 및/또는 Al/Si 와 같은 Al-계 도전성 물질이 p형 오믹 금속 에미터 콘택(37)으로서 증착될 수 있고, Ni 및/또는 Ni/Si 와 같은 Ni-계 도전성 층이 n형 오믹 금속 콘택(35)으로서 증착될 수 있다. 모든 콘택들은 금속 열적 어닐기(RTP: rapid thermal annealer)에서 소결될 수 있다. 도 1에 보이는 바와 같이, 두꺼운 Ti/Au 층과 같은 금속 커버층(39)이 p형 에미터 영역(22) 과 n형 커넥터 영역(24)을 전기적으로 연결시키기 위하여 층간 유전막(33) 상에 증착될 수 있다. N형 컬렉터 콘택(32)이 소자(10) 위에 후면 콘택으로서 형성된다.
- [0068] 위에서 기술된 바와 같고 0.4mm<sup>2</sup>의 활성 영역을 갖는 평면 IGBT가 제조되었고 게이트 및 컬렉터에 음전위를 갖는 온-상태와 차단 특성에 대하여 특징지어졌다. 약 -20V의 최대 게이트 바이어스를 갖는 0.4mm<sup>2</sup> IGBT의 실온에서의 온-상태 특성이 도 4에 도시되었다. 무릎 전압(knee voltage)이 약 -3V 이고, 이것은 에미터와 컬렉터에서 양호한 오믹 콘택을 나타낸다. 차동 온-저항이 고압 IGBT에 대하여 최저값인 88 mΩ×cm<sup>2</sup> 이다. 이러한 소자에 대하여 전력 손실을 300 W/cm<sup>2</sup> 로 세팅하면, 컬렉터 전류 밀도는 약 50 A/cm<sup>2</sup> 이다. 이 전류 밀도

레벨에서, 컬렉터 전압 강하는 약 -8.65 V 이고, 이것은 약  $173 \text{ m}\Omega \times \text{cm}^2$  의 비 온-저항에 대응된다.

[0069] 온-상태에서, 본 발명의 실시예들에 따른 IGBT 는 양의 온도 계수를 보일 수 있다. 도 5는 동일한 소자에 대하여  $200^\circ\text{C}$ 에서 I-V 특성을 보여준다. 무류 전압은 -3V에 비교적 일정하게 머무른다. 차동 온-저항은 -20V의 게이트 바이어스에서 약  $25 \text{ m}\Omega \times \text{cm}^2$  으로 더 감소한다.  $50 \text{ A/cm}^2$  의 컬렉터 전류 밀도에서, 컬렉터 전압 강하는 약 -5.30V로 감소하며, 이것은 약  $106 \text{ m}\Omega \times \text{cm}^2$  의 비 온-저항에 대응된다. 고온에서 온-저항의 감소는 현재 사용되는 SiC 물질에서 운반자 수명이 IGBT 온-상태 전류 전도 능력에 관하여 지배적인 요인임을 지시할 수 있다. 10kV-급의 SiC DMOSFET과 비교하여, 본 발명의 일부 실시예들에 따른 IGBT 는 실온에서 여전히 높은 전압 강하를 보여주는데, 이것은 불충분한 저항률 변동(resistivity modulation)에 기인할 수 있다. 그러나 전압 강하는 고온에서 DMOSFET 에 대한 값보다 작아진다.

[0070] 도 6은 실온에서 동일한 소자의 전압 차단 특성을 보여준다. 특히, 위에서 기술한 바와 같은 IGBT 소자가, 에미터와 접지되고 공기에서 아크를 방지하기 위하여 플루오리너트(Fluorinert)에 잠긴 게이트 전극으로 테스트되었다. 약  $0.1 \text{ mA/cm}^2$  보다 작은 누설 전류 밀도를 갖는 9kV 차단 전압이 0V의 게이트 바이어스에서 얻어졌다. 항복(breakdown)이 소자 종결 주위에서 일어나는데, 이것은 더 나은 에지 종결 디자인과 드리프트층 두께에 의하여 결정되는 차단 전압에 접근하는 여유가 있을 수 있다는 것을 지시할 수 있다.

[0071] IGBT 와 결합되어 제조된 측면 4H-SiC p-MOSFET 에 대한 정공 이동도와 MOS 문턱 전압 측정은 MOSFET 소자가 실온에서 약  $6.5 \text{ cm}^2/\text{V}\cdot\text{s}$  의 피크 채널 이동도 및 약 -7.5V의 문턱 전압을 갖는 것을 보여준다. 채널 이동도는  $100^\circ\text{C}$  에서 약  $8.2 \text{ cm}^2/\text{V}\cdot\text{s}$  의 최대값에 도달하는 반면, 문턱 전압은 온도와 함께 감소한다.

[0072] 본 발명의 실시예들에 따라서 IGBT 소자에 대하여 스위칭 테스트가 수행되었다. 도 7에 보이는 바와 같은 클램프된 유도성 스위칭 테스트 회로 토폴로지가 스위칭 테스트에 사용되었다. 스위칭 테스트에서 테스트된 IGBT 소자(10)는 높은 전도 전류를 얻기 위하여  $4 \text{ mm}^2$  의 활성 영역을 가졌으나, 그 이외에 테스트 소자는 위에서 기술된 것과 유사한 디자인을 가졌다. 이 테스트 회로에서 IGBT(10)은 환류(環流) 다이오드(freewheeling diode) D1로 클램프된 1.1 mH 유도성 부하 L1에 커플된다. 다이오드 D1은 제로 역방향 회복(reverse recovery)을 갖는 직렬인 두 개의 크리 CSD1 0120 SiC 쇼트키 다이오드를 포함한다. 하나의 CSD1 0120 SiC 다이오드는 1200V 및 10A 에 대하여 정격이어서, 직렬인 두 개는 2400V의 차단 능력을 제공할 수 있다. 커패시터 C1은  $2\mu\text{F}$ 의 정전 용량을 갖고 4kV까지 전압을 핸들링할 수 있다. 전압 소스  $V_{in}$  으로부터 0 에서 -20V까지의 음 펄스가 IGBT 를 켜는데 사용되었다. 공급 전압  $V_{ss}$ 는 -500V 이다.

[0073] 도 8은 -500V 의 컬렉터 전압을 갖는  $25^\circ\text{C}$  에서의 스위칭 파형을 보여준다. 도 8에서, 수평방향의 축은 500ns/칸에서 시간을 측정하며, 수직 방향의 축은 200V/칸에서 전압 및 1A/칸에서 전류를 특정한다. 하강 시간  $t_{fall}$  은 턴-오프에서 컬렉터 전류가 2A 피크의 90% 로부터 5%로 떨어지는데 걸리는 시간으로 정의된다. 상승 시간  $t_{rise}$  는 턴-온에서 컬렉터 전류가 2A 전류 피크의 5% 로부터 90%로 올라가는데 걸리는 시간이다. 턴-온 지연 시간은 -20 게이트 바이어스가 인가되는 것과 컬렉터 전류가 2A 피크로 상승하는 사이의 시간이다. 턴-오프 지연 시간은 게이트 바이어스의 제거와 컬렉터 전류가 0으로 향하는 것 사이의 시간이다.

[0074] 표 1은 여러 온도에 대한 스위칭 시간을 보여준다. 전체 스위칭 시간은 실온에서 약 350ns 이고,  $200^\circ\text{C}$ 에서 약 460ns 로 증가한다. IGBT 는 빠른 스위칭 능력이 특징이며, 이것은 넓은 온도 범위에 대하여 높은 주파수에서 작동될 수 있다. 턴-오프 지연 시간은 총 스위칭 시간의 주요 부분일 수 있으며, 이것은 주로 입력 커패시터에 의하여 결정된다.

[0075]

| Temp ( $^\circ\text{C}$ ) | $t_{fall}$ (ns) | $t_{rise}$ (ns) | $t_{delay(on)}$ (ns) | $t_{delay(off)}$ (ns) | $t_{total}$ (ns) |
|---------------------------|-----------------|-----------------|----------------------|-----------------------|------------------|
| 25                        | 64              | 14              | 40                   | 220                   | 338              |
| 50                        | 81              | 16              | 20                   | 220                   | 337              |
| 100                       | 51              | 10              | 18                   | 220                   | 299              |
| 150                       | 75              | 14              | 18                   | 320                   | 427              |
| 200                       | 77              | 7               | 36                   | 340                   | 460              |

[0076] 본 발명의 일부 실시예들에 따른 SiC IGBT 는 고저력 및/또는 고온 응용에 적절할 수 있다. 본 발명의 일부 실

시예들은 n형 4H-SiC 기판 위의 고압 평면형 IGBT 를 제공한다. 일부 실시예들에서, 약 -20V의 게이트 바이어스에서 약  $88 \text{ m}\Omega \times \text{cm}^2$  의 차동 온-저항이 25°C에서 얻어지고, 200°C에서 약  $24.8 \text{ m}\Omega \times \text{cm}^2$ 으로 감소한다. 본 발명의 실시예들에 의한 소자는 약  $0.1 \text{ mA/cm}^2$  또는 그보다 작은 누설 전류 밀도를 가지면서 약 9kV의 차단 전압을 보여줄 수 있다. 약  $6.5 \text{ cm}^2/\text{V-s}$  의 정공 채널 이동도가 -6.5V의 문턱 전압과 함께 실온에서 얻어지고, 이것은 향상된 도전성 능력을 낳는다. 유도성 스위칭 테스트는 본 발명의 일부 실시예들에 따른 IGBT 가 실온과 고온 모두에서 빠른 스위칭 능력을 나타낼 수 있는 것을 보여준다.

[0077] 본 발명의 일부 실시예들에 따른 IGBT 소자들은 낮은 온-상태 저항을 보여준다. 특히, 높은 채널 이동도가 하나 또는 그 이상의 매립 채널 주입/재성장, 열적 산화, 고온 주입 활성화 및/또는 주입 활성화 동안 그래파이트 피막 보호의 하나 또는 그 이상을 사용함에 의하여 얻어질 수 있다. 본 발명의 일부 실시예들은 높은 채널 밀도와 낮은 JFET 저항 사이의 더 나은 균형과 함께 최적화된 셀 디자인을 제공할 수 있다. 더욱 더 본 발명의 일부 실시예들은 원하는 차단 능력을 유지하면서 운반자 주입 효율을 향상시키도록 구성된 필드 정지막을 제공할 수 있다. 높은 채널 이동도는 에피택셜 채널 재성장 및/또는 고온 어닐 및/또는 그래파이트 피막 보호를 사용한 문턱 조절/매립 채널 주입의 활성화를 통하여 얻어질 수 있다. 높은 정공 운반자 농도를 얻기 위하여 P형 에미터로부터 높은 다수 운반자 주입이 P형 에피택셜 성장을 통하여 얻어질 수 있다. 더욱이, 본 발명의 일부 실시예들은 n형 및 p형 물질에서 감소된 오믹 콘택 저항을 제공할 수 있다.

[0078] 도면들과 발명의 상세한 설명에서 본 발명의 전형적인 실시예들이 기술되었다. 비록 특정한 용어들이 사용되었더라도 그것들은 일반적인 기술적인 의미로만 사용된 것이고 제한의 목적으로 사용된 것이 아니다. 본 발명의 범위는 다음의 청구항들에 의하여 보여진다.

**도면의 간단한 설명**

[0021] 본 발명의 더 깊은 이해를 제공하기 위하여 포함되어 본 출원에 통합되고 본 출원의 일부를 구성하는 첨부된 도면들은 본 발명의 특정 실시예들을 도시한다.

[0022] 도 1은 본 발명의 일부 실시예에 따른 실리콘 카바이드 절연 게이트 바이폴라 트랜지스터(IGBT) 소자의 단면도이다.

[0023] 도 2a 내지 도 2d는 본 발명의 일부 실시예에 따른 IGBT 소자의 형성에서 중간 구조들을 보여주는 단면도들이다.

[0024] 도 3은 본 발명의 일부 실시예에 따라 사용될 수 있는 열발생 챔버 및 어닐 챔버를 도시하는 개념적인 다이어그램이다.

[0025] 도 4-5는 본 발명의 일부 실시예에 따른 IGBT 소자에 대한 온-상태 I-V 특성의 도면들이다.

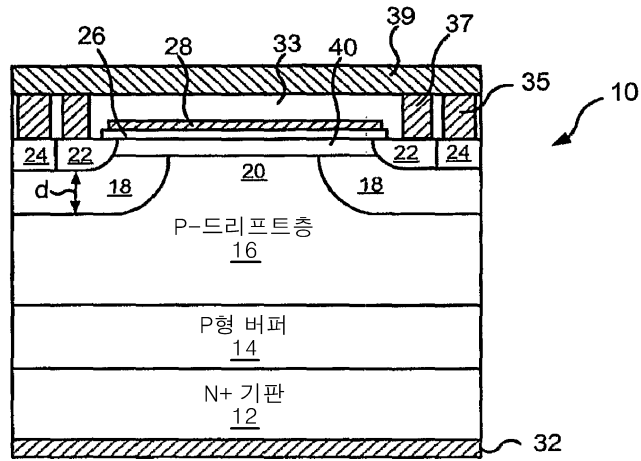
[0026] 도 6은 본 발명의 일부 실시예에 따른 IGBT 소자에 대한 누설 전류 밀도 대 차단 전압의 그래프이다.

[0027] 도 7은 본 발명의 일부 실시예에 따른 소자의 스위치 특성을 테스트하기 위하여 사용된 클램프된 유도 스위칭 테스트 회로 토폴로지의 다이어그램이다.

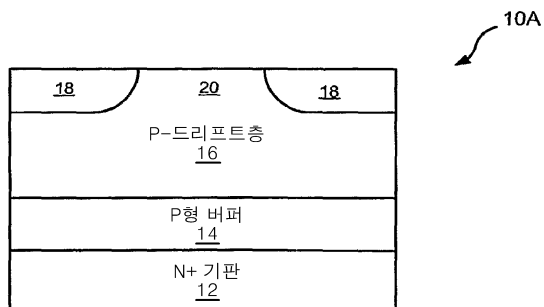
[0028] 도 8은 본 발명의 일부 실시예에 따른 소자의 유도 스위칭 파형의 그래프이다.

도면

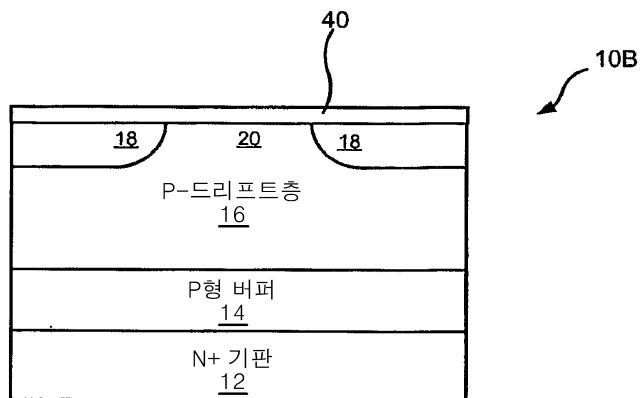
도면1



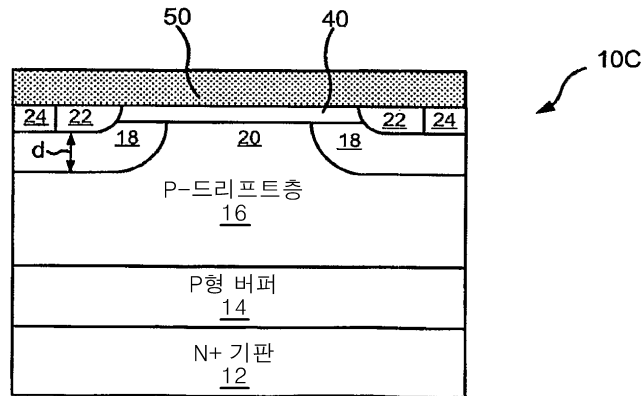
도면2a



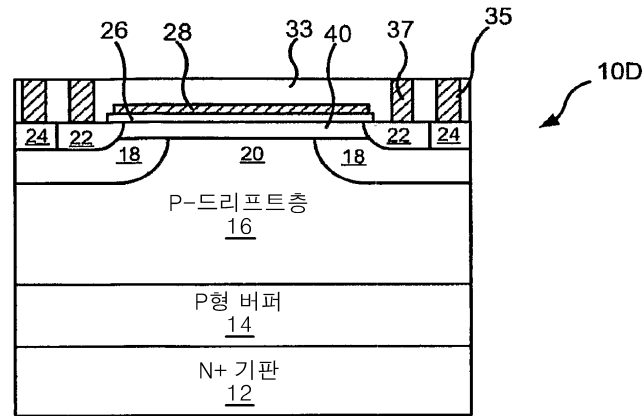
도면2b



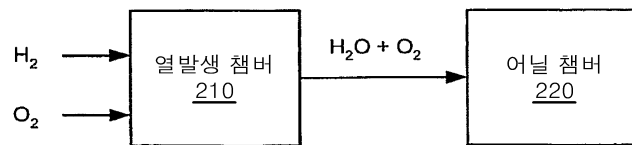
도면2c



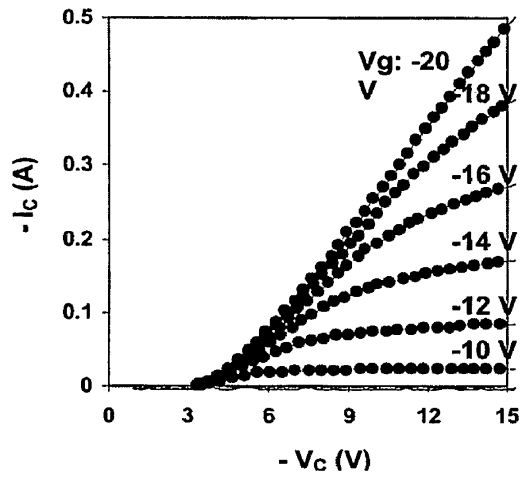
도면2d



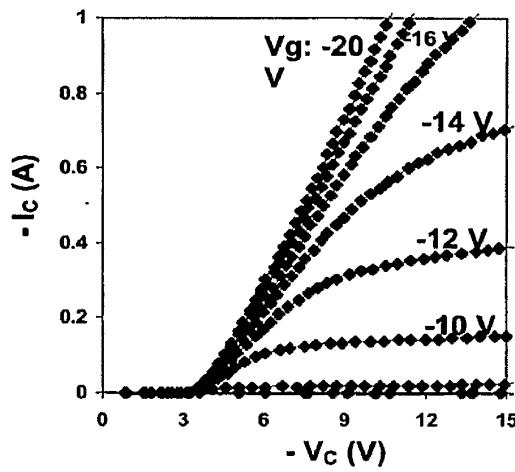
도면3



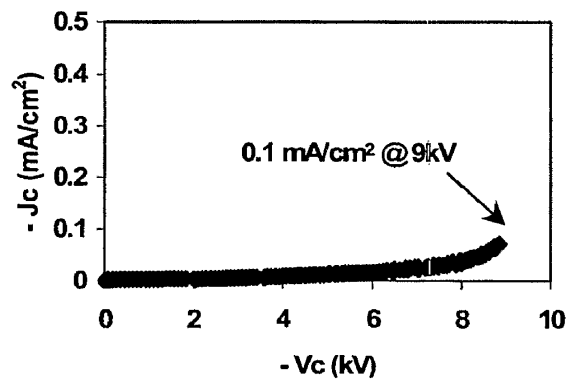
도면4



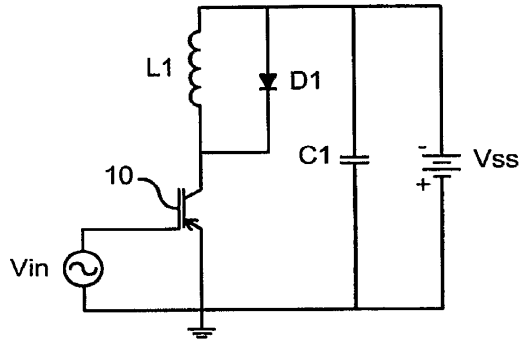
도면5



도면6



도면7



도면8

