

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4139893号

(P4139893)

(45) 発行日 平成20年8月27日 (2008. 8. 27)

(24) 登録日 平成20年6月20日 (2008. 6. 20)

(51) Int. Cl.

F I

H02M 7/5387 (2007. 01)

H02M 7/5387

Z

H02M 1/08 (2006. 01)

H02M 1/08

A

H03K 17/04 (2006. 01)

H03K 17/04

E

H03K 17/08 (2006. 01)

H03K 17/08

C

H03K 17/687 (2006. 01)

H03K 17/687

F

請求項の数 10 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2003-190298 (P2003-190298)

(22) 出願日 平成15年7月2日 (2003. 7. 2)

(65) 公開番号 特開2005-27429 (P2005-27429A)

(43) 公開日 平成17年1月27日 (2005. 1. 27)

審査請求日 平成17年6月16日 (2005. 6. 16)

(73) 特許権者 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(74) 代理人 110000062

特許業務法人第一国際特許事務所

(72) 発明者 稲葉 政光

茨城県日立市大みか町七丁目1番1号 株
式会社 日立製作所 日立研究所内

(72) 発明者 坂野 順一

茨城県日立市大みか町七丁目1番1号 株
式会社 日立製作所 日立研究所内

(72) 発明者 岩村 将弘

茨城県日立市大みか町七丁目1番1号 株
式会社 日立製作所 日立研究所内

最終頁に続く

(54) 【発明の名称】 インバータ装置および多相インバータ装置

(57) 【特許請求の範囲】

【請求項1】

主電源用高電位端子と、主電源用低電位端子と、外部負荷が接続された出力端子と、ドレインが主電源用高電位端子に接続されソースが出力端子に接続された上アーム電力用スイッチング素子と、ドレインが出力端子に接続されソースが主電源用低電位端子に接続された下アーム電力用スイッチング素子と、上アーム電力用スイッチング素子の制御端子に接続された上アーム駆動手段と、下アーム電力用スイッチング素子の制御端子に接続された下アーム駆動手段と、上アーム動作状態を検出する上アーム状態検出手段と、下アーム動作状態を検出する下アーム状態検出手段と、装置全体の制御を行う制御手段と、上アームの各手段を動作させ低電位側が出力端子に接続された上アーム電源と、下アームの各手段を動作させ低電位側が主電源用低電位端子に接続された下アーム電源と、上アーム電源の高電位側と下アーム電源の低電位側の間に接続され制御手段の制御信号を上アーム駆動手段に伝達するレベルシフトアップ手段と、上アーム電源の高電位側と下アーム電源の低電位側の間に接続され上アーム状態検出手段の検出信号を制御手段に伝達するレベルシフトダウン手段と、上アーム電源の高電位と下アーム電源の低電位の間電位を発生させる中点電位電源と、中点電位電源の出力端子である中点電位端子からなり、

前記レベルシフトアップ手段は、一方の端子が上アーム電源の高電位側に接続された第1の抵抗と、ドレインが第1の抵抗の他方の端子に接続されゲートが中点電位端子に接続された第1のnMOSトランジスタと、ドレインが第1のnMOSトランジスタのソースに接続されソースが主電源低電位端子に接続されゲートに制御手段の制御信号が入力された

第2のnMOSトランジスタと、一方の端子が第1のnMOSトランジスタのゲートに接続され他方の端子が第1のnMOSトランジスタのソースに接続された第1の高速化手段からなり、前記レベルシフトダウン手段は、ソースが上アーム電源の高電位側に接続されゲートに上アーム状態検出手段の検出信号が入力された第1のpMOSトランジスタと、ソースが第1のpMOSトランジスタのドレインに接続されゲートが中点電位端子に接続された第2のpMOSトランジスタと、一方の端子が第2のpMOSトランジスタのドレインに接続され他方の端子が主電源用低電位端子に接続された第2の抵抗と、一方の端子が第2のpMOSトランジスタのゲートに接続され他方の端子が第2のpMOSトランジスタのソースに接続された第2の高速化手段からなることを特徴とするインバータ装置。

【請求項2】

10

請求項1記載のインバータ装置において、前記第1の高速化手段及び第2の高速化手段が容量と抵抗からなる直列回路であることを特徴とするインバータ装置。

【請求項3】

請求項1記載のインバータ装置において、前記第1の高速化手段及び第2の高速化手段が容量であることを特徴とするインバータ装置。

【請求項4】

請求項1記載のインバータ装置において、前記第1の高速化手段及び第2の高速化手段がツェナーダイオードであることを特徴とするインバータ装置。

【請求項5】

請求項1記載のインバータ装置において、前記第1の高速化手段及び第2の高速化手段がダイオードであることを特徴とするインバータ装置。

20

【請求項6】

請求項1記載のインバータ装置において、前記中点電位電源が一方の端子が上アーム電源の高電位側に接続され他方の端子が中点電位端子に接続された第3の抵抗と、一方の端子が中点電位端子に接続され他方の端子が下アーム電源の低電位側に接続された第4の抵抗と、一方の端子が上アーム電源の高電位側に接続された第1の容量と、一方の端子が第1の容量の他方の端子に接続され他方の端子が中点電位端子に接続された第5の抵抗と、一方の端子が中点電位端子に接続された第2の容量と、一方の端子が第2の容量の他方の端子に接続され他方の端子が下アーム電源の低電位側に接続された第6の抵抗からなることを特徴とするインバータ装置。

30

【請求項7】

複数のインバータ装置を主電源高電位端子と主電源低電位端子で並列に接続された多相インバータ装置において、前記複数のインバータ装置がそれぞれ請求項1に記載のインバータ装置であることを特徴とする多相インバータ装置。

【請求項8】

複数のインバータ装置を主電源高電位端子と主電源低電位端子で並列に接続された多相インバータ装置において、前記複数のインバータ装置がそれぞれ請求項6に記載のインバータ装置であることを特徴とする多相インバータ装置。

【請求項9】

請求項1に記載のインバータ装置において、前記上アーム駆動手段、下アーム駆動手段、上アーム状態検出手段、下アーム状態検出手段、レベルシフトアップ手段、レベルシフトダウン手段、中点電位電源を一つの半導体基板内に集積回路化されたことを特徴とするインバータ装置。

40

【請求項10】

請求項7に記載の多相インバータ装置において、前記各相の上アーム駆動手段、下アーム駆動手段、上アーム状態検出手段、下アーム状態検出手段、レベルシフトアップ手段、レベルシフトダウン手段、中点電位電源を一つの半導体基板内に集積回路化されたことを特徴とする多相インバータ装置。

【発明の詳細な説明】

【0001】

50

【発明の属する技術分野】

本発明は、主電源端子間に接続された電力用スイッチング素子からなるインバータ装置に関し、特に低圧側回路から高圧側回路に制御信号を高速に伝達する高耐圧レベルシフトアップ回路及び高圧側回路から低圧側回路に状態検出信号を高速に伝達する高耐圧レベルシフトダウン回路を備えたインバータ装置に関する。本発明は、例えば自動車用または家電用もしくは産業用のインバータ装置などに使用される。

【従来の技術】

従来、主電源端子間に直列接続された第1の電力用スイッチング素子（上アームスイッチング素子）と第2の電力用スイッチング素子（下アームスイッチング素子）からなるインバータ装置において、上アームスイッチング素子を制御する制御信号を伝達するレベルシフト回路にはMOSトランジスタなどが用いられていた。このレベルシフト回路には、主電源電圧に加えてスイッチング時のサージ電圧が印加されるため高耐圧MOSトランジスタが用いられるが、高耐圧MOSトランジスタは高速な回路動作には向かない。このため耐圧の低いMOSトランジスタを何個か直列にカスケード接続して、回路に印加される電圧を分担する方式がある（例えば、特許文献1の「レベルシフト回路」を参照）。

【0002】

図10にその一例を示す。正電圧側電源端子121と負電圧側電源端子123との間にMOSトランジスタM2、M9及びM4が直列に接続され、MOSトランジスタM9のゲート端子には端子112から電源電圧V_{dd}の半分の電圧が印加されている。同様にMOSトランジスタM1、M8及びM3も上記電源電圧端子間に直列に接続され、MOSトランジスタM8のゲート端子には端子112から電源電圧V_{dd}の半分の電圧が印加されている。また、MOSトランジスタM5は、このレベルシフト回路の出力用MOSトランジスタである。MOSトランジスタM2がオンするとMOSトランジスタM9もオンし、MOSトランジスタM3のゲート端子はGNDレベルになる。この結果、MOSトランジスタM3がオンしMOSトランジスタM5のゲート端子がV_{dd}レベルとなり、MOSトランジスタM5はオフする。一方、MOSトランジスタM2がオフするとMOSトランジスタM2、M9には電流が流れず、両素子のソース端子とドレイン端子にはV_{dd}/2の電圧が均等に印加される。同時にMOSトランジスタM1、M8はオンしているためMOSトランジスタM5のゲート端子はGNDレベルとなり、MOSトランジスタM5はオンする。この回路の場合、MOSトランジスタM9が電源電圧V_{dd}の半分の電圧にクランプするため、MOSトランジスタM2の耐圧はMOSトランジスタM9が無い場合に比べV_{dd}の半分でよい。

【0003】**【特許文献1】**

特開平11-205123号公報

【0004】**【発明が解決しようとする課題】**

上記従来技術では、電力用スイッチング素子（この例ではIGBT）がスイッチングすると、インバータの出力端子には0Vから主電源電圧V_{BB}まで変化するようなパルス電圧が印加される。このため上アーム電源電圧をV_cとすると、本レベルシフト回路の電源V_{dd}はV_cからV_{BB}+V_cまで電圧変化する。MOSトランジスタM2がオフしている場合、本電源V_{dd}の電位が立ち下がると、MOSトランジスタM9のゲートとソース間電圧が負バイアスになりゲート破壊することが考えられる。なぜなら、MOSトランジスタM2がオフのとき、MOSトランジスタM9ソースのインピータンスが高くなり、MOSトランジスタM9ゲートの立ち下がり時間よりMOSトランジスタM9のソースの立ち下がり時間が遅くなるためである。

【0005】

本発明の目的は、前記問題点をなくすことであって、電圧クランプ用MOSトランジスタのスイッチング動作の高速化と高耐圧特性を有するレベルシフト回路を備えたインバータ装置を提供することである。

【0006】

【課題を解決するための手段】

上記目的を達成するために、電圧クランプ用MOSトランジスタのゲートとソース間に高速化手段を設ける。この高速化手段の具体例としては容量又は容量と抵抗の直列回路が考えられる。また、別の高速化手段としてMOSトランジスタのゲートにカソードを接続し、ソースにアノードを接続したダイオード又はツェナーダイオードが考えられる。

【0007】

上記の手段によれば、MOSトランジスタのゲートとソース間インピーダンスが下がるため電圧クランプ用MOSトランジスタのゲートの電圧変動に対してソース電位が追随する。この結果、スイッチングが高速化するとともに、ゲートとソース間電圧の負バイアスがなくなりゲート破壊を防げるためインバータ装置の信頼性が向上する。また、このレベルシフト回路は電圧クランプ用MOSトランジスタの耐圧の2倍の電源電圧まで動作させることができる。

10

【0008】

また、上記の別の高速化手段によれば、MOSトランジスタのゲート電位がソース電位より下がっても、0.7V程度（ダイオードのVF）でダイオードがオンし、MOSトランジスタのゲートとソースは低インピーダンスになる。この結果、スイッチングが高速化するとともに、ゲートとソース間電圧の負バイアスがなくなりゲート破壊を防げるためインバータ装置の信頼性が向上する。また、このレベルシフト回路は、電圧クランプ用MOSトランジスタの耐圧の2倍の電源電圧まで動作させることができる。

20

【0009】**【発明の実施の形態】**

図1は本発明の第1の実施例にかかるインバータ装置の構成を示すブロック図である。図1において、インバータ装置は、上アーム電力用スイッチング素子101、下アーム電力用スイッチング素子102、上アーム駆動装置103、下アーム駆動装置104、上アーム状態検出装置105、下アーム状態検出装置106、第1の抵抗107および第1のn型MOSトランジスタ108および第1の高速化手段109ならびに第2のn型MOSトランジスタ110からなるレベルシフトアップ装置125、第2の抵抗111および中点電位端子112ならびに第3の抵抗113からなる中点電位電源（ $V_{dd}/2$ ）126、第1のp型MOSトランジスタ114および第2のp型MOSトランジスタ116および第2の高速化手段115ならびに第4の抵抗117からなるレベルシフトダウン装置127、上アーム電源118、下アーム電源119、制御装置120、主電源の正電位端子121、インバータ出力端子122、GND端子123、 V_{dd} 端子124を、図示のように接続して構成される。

30

【0010】

上アーム駆動装置103は上アーム電力用スイッチング素子101を駆動する手段である。下アーム駆動装置104は下アーム電力用スイッチング素子102を駆動する手段である。上アーム状態検出装置105は上アーム電力用スイッチング素子101の動作状態などを監視する手段である。下アーム状態検出装置106は下アーム電力用スイッチング素子102の動作状態などを監視する手段である。第1の高速化手段109は第1のn型MOSトランジスタ108のゲートとソース間に接続され、ゲートの電位変動に追随するようにソース電位が変動するデバイスで構成される。第2の高速化手段115は第2のp型MOSトランジスタ116のゲートとソース間に接続され、ゲートの電位変動に追随するようにソース電位が変動するデバイスで構成される。GND端子123は主電源の負電位端子に接続される。 V_{dd} 端子124は上アーム電源118の正電位端子に接続される。

40

【0011】

図1では、上アーム電力用スイッチング素子101及び下アーム電力用スイッチング素子102をn型MOSトランジスタとしたが、その他の素子、例えば絶縁ゲート型バイポーラトランジスタでもよい。主電源の正電位端子121は、主電源の正電位VBに接続され、主電源の負電位端子123は主電源の負電位GNDに接続されている。尚、説明の都合上、GND端子123を接地（0V）とする。上アーム電源118の電位差をVUとし、

50

インバータ出力端子122を基準とする。下アーム電源119の電位差を V_L とし、主電源の負電位端子123を基準とする。第2の抵抗111と第3の抵抗113は V_{dd} 端子124とGND端子123との間に直列に接続され、各抵抗値は同じとすると中点電位端子112の電位は $V_{dd}/2$ となる。

【0012】

制御装置120は、上アーム電力用スイッチング素子101と下アーム電力用スイッチング素子102を同時にオンしないよう制御する。上アーム電力用スイッチング素子101がオンし、下アーム電力用スイッチング素子102がオフしているときはインバータ出力端子122の電位は V_B となるので、 V_{dd} 端子124の電位は $V_B + V_U$ となる。また、上アーム電力用スイッチング素子101がオフし、下アーム電力用スイッチング素子102がオンしているときはインバータ出力端子122の電位は0Vとなるので、 V_{dd} 端子124の電位は V_U となる。よって、 V_{dd} 端子124の電位は V_U から $V_B + V_U$ まで変化する。

【0013】

まず、上アームの各装置に関する動作を説明する。本発明のレベルシフトアップ装置125は、第1のn型MOSトランジスタ108、第2のn型MOSトランジスタ110、第1の抵抗107及び第1の高速化手段109で構成される。このインバータ装置では、制御装置120から上アーム電力用スイッチング素子101のオン、オフを制御する制御信号を上アームへ電圧変換する。この変換後の制御信号は、上アーム駆動装置103に入り、インバータ出力端子122を基準とする電位差 V_U のパルス信号に電圧増幅して上アーム電力用スイッチング素子101のゲート端子に印加される。

【0014】

また、本発明のレベルシフトダウン装置127は、第1のp型MOSトランジスタ114、第2のp型MOSトランジスタ116、第4の抵抗117及び第2の高速化手段115で構成される。このインバータ本装置では、上アーム状態検出装置105からの検出信号を下アーム側へ電圧変換し、制御装置120へ伝達する。尚、上アーム状態検出装置105は、上アーム電力用スイッチング素子101の過電流及び過温度、あるいは上アーム電源の過電圧及び不足電圧などの上アーム各装置状態を検出する。また、この検出出力は上アーム駆動装置103にも入り、過電流、過温度などの異常時には上アーム電力用スイッチング素子101を停止させる。

【0015】

次に、下アームの各装置に関する動作を説明する。制御装置120から下アーム電力用スイッチング素子102のオン、オフを制御する信号が下アーム駆動装置104に入り、GND端子123を基準とする電位差 V_L のパルス信号に電圧増幅して下アーム電力用スイッチング素子102のゲート端子に印加される。下アーム状態検出装置106は、下アーム電力用スイッチング素子102の過電流及び過温度、あるいは下アーム電源の過電圧及び不足電圧などの下アーム各装置状態を検出し、制御装置120へ伝達する。また、この検出出力は、下アーム駆動装置104にも入り、過電流、過温度などの異常時には下アーム電力用スイッチング素子102を停止させる。

【0016】

次に、レベルシフトアップ装置125の詳細な回路動作を説明する。説明の都合上、図1のレベルシフトアップ装置125を抜き出した図2を用いて説明する。

【0017】

図2は、本発明の第1の実施例にかかるレベルシフトアップ装置125の構成を説明する図である。この実施例では、図1の第1の高速化手段109を容量201と抵抗202の直列回路に置き換えている。図2において、端子204は信号入力端子、端子205は信号出力端子である。その他の構成要素は、図1のレベルシフトアップ装置と同じである。動作の説明上、パルス電圧源203を V_{dd} 端子124とGND端子123の間に接続する。尚、本パルス電圧のローレベルは V_U とし、第1のn型MOSトランジスタ108、第2のn型MOSトランジスタ110が動作する電圧以上である。また、このパルス電圧

のハイレベルは $V_U + V_B$ とし、各MOSトランジスタの耐圧を超えない電圧とする。また、中点電位端子112の電位 $V_{dd}/2$ を発生させるため、 V_{dd} 端子124と中点電位端子112との間に抵抗206を接続し、更に中点電位端子124とGND端子123との間に抵抗207を接続する。

【0018】

まず、パルス電圧源203が一定電圧（ローレベル時 V_U 又はハイレベル時 $V_U + V_B$ ）のときの動作を説明する。信号入力端子204に第2のn型MOSトランジスタ110の閾値電圧を入力すると第2のn型MOSトランジスタ110がオンし、第1のn型MOSトランジスタ108のソース電位がグランドレベル付近まで下がる。すると、第1のn型MOSトランジスタ108がオンし、第1の抵抗107に電流が流れ、信号出力端子205と V_{dd} 端子124に電位差が発生する。一方、信号入力端子204に第2のn型MOSトランジスタ110の閾値電圧より小さい電圧を入力すると第2のn型MOSトランジスタ110がオフする。第1のn型MOSトランジスタ108と第2のn型MOSトランジスタ110が同一の電気特性だとすると、各MOSトランジスタのソース・ドレイン間にはパルス電源電圧 V_{dd} が均等に配分されるため、第1のn型MOSトランジスタ108のソース電位は約 $V_{dd}/2$ （ $V_U/2$ 又は $V_U/2 + V_B/2$ ）となる。よって、第1のn型MOSトランジスタ108がオフし、第1の抵抗107には電流が流れず、信号出力端子205と V_{dd} 端子124に電位差が発生しない。これにより、信号入力端子204に入力された電圧パルス信号がレベルシフトされ信号出力端子205から電圧パルス信号が出力される。

【0019】

次に、パルス電圧源203の電圧が立ち上がり時（ローレベルからハイレベル）及び立ち下がり時（ハイレベルからローレベル）の場合の過渡的動作を説明する。第2のn型MOSトランジスタ110がオンしている場合、第1のn型MOSトランジスタ108のソース電位はほぼグランドレベル付近である。よって、第1のn型MOSトランジスタ108はオンし、第1の抵抗107の両端に電位差が発生する。一方、第2のn型MOSトランジスタ110がオフしている場合、第1のn型MOSトランジスタ108のソースのインピーダンスは第2のn型MOSトランジスタ110のソース・ドレイン間の寄生容量程度しかなく、かなり高い。

【0020】

本発明の第1の高速化手段（本図では容量201と抵抗202）がない場合、本パルス電圧が立ち上がりるとき第1のn型MOSトランジスタ108のゲート電位はほぼ同時に立ち上がるが、第1のn型MOSトランジスタ108のソース電位は高インピーダンスのため遅れて立ち上がる。この結果、第1のn型MOSトランジスタ108のソースとゲート電位差は広がる傾向にある。

【0021】

また、本パルス電圧が立ち下がりるとき第1のn型MOSトランジスタ108のゲート電位はほぼ同時に立ち下がるが、第1のn型MOSトランジスタ108のソース電位は遅れて立ち下がる。この結果、第1のn型MOSトランジスタ108のゲート電位がソース電位より低くなる領域が発生し（ゲート負バイアス）、第1のn型MOSトランジスタ108がゲート破壊する。

【0022】

これに対し、第1の高速化手段（容量201と抵抗202）がある場合、第1のn型MOSトランジスタ108のゲートとソース間インピーダンスが低くなる。（ゲートとソースはほぼ同電位）よって、本パルス電圧が立ち上がりるとき第1のn型MOSトランジスタ108のゲート電位とソース電位はほぼ同時に立ち上がる。また、本パルス電圧が立ち下がりるとき第1のn型MOSトランジスタ108のゲート電位とソース電位はほぼ同時に立ち下がる。この結果、第1のn型MOSトランジスタ108のソース電位はゲート電位とほぼ同じ $V_{dd}/2$ となり、前述のゲート破壊は起こらない。

【0023】

尚、この高速化手段は、容量 201 の容量値が大きいほど効果はあり、抵抗 202 の抵抗値が小さいほど効果はある。また、抵抗値がゼロオームの場合、つまり容量 201 のみの場合も同様の動作であり、同じ効果が得られる。

【0024】

以上の高速化手段によって、本発明のレベルシフトアップ装置 125 は、第 1 の n 型 MOS トランジスタ 108 のスイッチングが高速化するとともに、ゲート破壊を防止できるためインバータ装置の信頼性が向上する。また、第 1 の n 型 MOS トランジスタ 108 の耐圧の 2 倍の電源電圧で動作させることができる。

【0025】

次に、レベルシフトダウン装置の詳細な回路動作を説明する。説明の都合上、図 1 のレベルシフトダウン装置 127 を抜き出した図 3 を用いて説明する。

10

【0026】

図 3 は、本発明の第 1 の実施例にかかるレベルシフトダウン装置 127 の構成を説明するブロック図である。本実施例では、図 1 の第 2 の高速化手段 115 を容量 301 と抵抗 302 の直列回路に置き換えている。図 3 において、端子 304 は信号入力端子、端子 305 は信号出力端子である。その他の構成要素は、図 1 のレベルシフトダウン装置 127 と同じである。動作の説明上、パルス電圧源 203 を V_{dd} 端子 124 と GND 端子 123 の間に接続する。尚、本パルス電圧のローレベルは V_U とし、第 1 の p 型 MOS トランジスタ 114、第 2 の p 型 MOS トランジスタ 116 が動作する電圧以上である。また、本パルス電圧のハイレベルは $V_U + V_B$ とし、各 MOS トランジスタの耐圧を超えない電圧とする。また、中点電位端子 112 の電位 $V_{dd}/2$ を発生させるため、 V_{dd} 端子 124 と中点電位端子 112 との間に抵抗 306 を接続し、更に中点電位端子 124 と GND 端子 123 との間に抵抗 307 を接続する。

20

【0027】

まず、パルス電圧源 203 が一定電圧（ローレベル時 V_U 又はハイレベル時 $V_U + V_B$ ）のときの動作を説明する。信号入力端子 304 に第 1 の p 型 MOS トランジスタ 114 の閾値電圧を入力すると、第 1 の p 型 MOS トランジスタ 114 がオンし、第 2 の p 型 MOS トランジスタ 116 のソース電位が V_{dd} 付近まで上がる。すると、第 2 の p 型 MOS トランジスタ 116 がオンし、第 4 の抵抗 117 に電流が流れ、信号出力端子 305 と GND 端子 123 に電位差が発生する。

30

【0028】

一方、信号入力端子 304 に第 1 の p 型 MOS トランジスタ 114 の閾値電圧より小さい電圧を入力すると、第 1 の p 型 MOS トランジスタ 114 がオフする。第 1 の p 型 MOS トランジスタ 114 と第 2 の p 型 MOS トランジスタ 116 が同一の電気特性だとすると、各 MOS トランジスタのソース・ドレイン間にはパルス電源電圧 V_{dd} が均等に配分されるため、第 2 の p 型 MOS トランジスタ 116 のソース電位は約 $V_{dd}/2$ ($V_U/2$ 又は $V_U/2 + V_B/2$) となる。

【0029】

よって、第 2 の p 型 MOS トランジスタ 116 がオフし、第 4 の抵抗 117 には電流が流れず、信号出力端子 305 と GND 端子 123 に電位差が発生しない。これにより、信号入力端子 304 に入力された電圧パルス信号がレベルシフトされ信号出力端子 305 から電圧パルス信号が出力される。

40

【0030】

次に、パルス電圧源 203 の電圧が立ち上がり時（ローレベルからハイレベル）及び立ち下がり時（ハイレベルからローレベル）の場合の過渡的動作を説明する。第 1 の p 型 MOS トランジスタ 114 がオンしている場合、第 2 の p 型 MOS トランジスタ 116 のソース電位はほぼ V_{dd} 付近である。よって、第 2 の p 型 MOS トランジスタ 116 はオンし、第 4 の抵抗 117 の両端に電位差が発生する。一方、第 1 の p 型 MOS トランジスタ 114 がオフしている場合、第 2 の p 型 MOS トランジスタ 116 のソースのインピーダンスは、第 1 の p 型 MOS トランジスタ 114 のソース・ドレイン間の寄生容量程度しか

50

く、かなり高い。本発明の第2の高速化手段（本図では容量301と抵抗302）がない場合、本パルス電圧が立ち上がりるとき第2のp型MOSトランジスタ116のゲート電位はほぼ同時に立ち上がるが、第2のp型MOSトランジスタ116のソース電位は高インピーダンスのため遅れて立ち上がる。この結果、第2のp型MOSトランジスタ116のゲート電位がソース電位より高くなる領域が発生し（ゲート正バイアス）、第2のp型MOSトランジスタ116がゲート破壊する。

【0031】

また、本パルス電圧が立ち下がりるとき第2のp型MOSトランジスタ116のゲート電位はほぼ同時に立ち下がるが、第2のp型MOSトランジスタ116のソース電位は遅れて立ち下がる。この結果、第2のp型MOSトランジスタ116のソースとゲート電位差は広がる傾向にある。これに対し、第2の高速化手段（容量301と抵抗302）がある場合、第2のp型MOSトランジスタ116のゲートとソース間インピーダンスが低くなる。（ゲートとソースはほぼ同電位）よって、本パルス電圧が立ち上がりとき第2のp型MOSトランジスタ116のゲート電位とソース電位はほぼ同時に立ち上がる。また、本パルス電圧が立ち下がりとき第2のp型MOSトランジスタ116のゲート電位とソース電位はほぼ同時に立ち下がる。

10

【0032】

この結果、第2のp型MOSトランジスタ116のソース電位は、ゲート電位とほぼ同じ $V_{dd}/2$ となり、前述のゲート破壊は起こらない。尚、この高速化手段は容量301の容量値が大きいほど効果はあり、抵抗302の抵抗値が小さいほど効果はある。また、抵抗値がゼロオームの場合、つまり容量301のみの場合も同様の動作であり、同じ効果が得られる。

20

【0033】

以上の高速化手段によって、本発明のレベルシフトダウン装置127は、第2のp型MOSトランジスタ116のスイッチングが高速化するとともに、ゲート破壊を防止できるためインバータ装置の信頼性が向上する。また、第2のp型MOSトランジスタ116の耐圧の2倍の電源電圧で動作させることができる。

【0034】

このように、図1に示すインバータ装置を適用すれば、レベルシフトアップ回路及びレベルシフトダウン回路の高速化が可能となり、回路内の電圧クランプ用MOSトランジスタのゲート破壊は起こらない。また、電圧クランプ用MOSトランジスタの耐圧は $(V_B + V_U)/2$ で良い。

30

【0035】

図4は、本発明の第2の実施例にかかるレベルシフトアップ装置125のブロック図である。この実施例では、図1の第1の高速化手段109をツェナーダイオード401に置き換えている。本図において、端子402は信号入力端子、端子403は信号出力端子である。その他の構成要素は、図1のレベルシフトアップ装置と同じである。動作の説明上、パルス電圧源203を V_{dd} 端子124とGND端子123の間に接続する。尚、本パルス電圧のローレベルは V_U とし、第1のn型MOSトランジスタ108、第2のn型MOSトランジスタ110が動作する電圧以上である。また、本パルス電圧のハイレベルは $V_U + V_B$ とし、各MOSトランジスタの耐圧を超えない電圧とする。また、中点電位端子112の電位 $V_{dd}/2$ を発生させるため、 V_{dd} 端子124と中点電位端子112との間に抵抗404を接続し、更に中点電位端子124とGND端子123との間に抵抗405を接続する。

40

【0036】

まず、パルス電圧源203が一定電圧（ローレベル時 V_U 又はハイレベル時 $V_U + V_B$ ）のときの動作は、図1と同じである。

【0037】

次に、パルス電圧源203の電圧が立ち上がり時（ローレベルからハイレベル）及び立ち下がり時（ハイレベルからローレベル）の場合の過渡的動作を説明する。第2のn型MO

50

Sトランジスタ110がオンしている場合、第1のn型MOSトランジスタ108のソース電位はほぼグランドレベル付近である。よって、第1のn型MOSトランジスタ108はオンし、第1の抵抗107の両端に電位差が発生する。一方、第2のn型MOSトランジスタ110がオフしている場合、第1のn型MOSトランジスタ108のソースのインピーダンスは第2のn型MOSトランジスタ110のソース・ドレイン間の寄生容量程度しかなく、かなり高い。本発明の第1の高速化手段（本図ではツェナーダイオード401）がない場合、本パルス電圧が立ち上がりるとき第1のn型MOSトランジスタ108のゲート電位はほぼ同時に立ち上がるが、第1のn型MOSトランジスタ108のソース電位は高インピーダンスのため遅れて立ち上がる。この結果、第1のn型MOSトランジスタ108のソースとゲート電位差は広がる傾向にある。

10

【0038】

また、本パルス電圧が立ち下がりるとき第1のn型MOSトランジスタ108のゲート電位はほぼ同時に立ち下がるが、第1のn型MOSトランジスタ108のソース電位は遅れて立ち下がる。この結果、第1のn型MOSトランジスタ108のゲート電位がソース電位より低くなる領域が発生し（ゲート負バイアス）、第1のn型MOSトランジスタ108がゲート破壊する。これに対し、第1の高速化手段（ツェナーダイオード401）がある場合、本パルス電圧が立ち上がりるとき第1のn型MOSトランジスタ108のゲート電位はほぼ同時に立ち上がり、第1のn型MOSトランジスタ108のソース電位は一瞬遅れて立ち上がる。この結果、第1のn型MOSトランジスタ108のソースとゲート電位差は広がる傾向にあるが、ツェナー電圧VZでクランプされる。

20

【0039】

また、このパルス電圧が立ち下がりるとき第1のn型MOSトランジスタ108のゲート電位はほぼ同時に立ち下がり、第1のn型MOSトランジスタ108のソース電位は一瞬遅れて立ち下がる。しかし、第1のn型MOSトランジスタ108のゲート電位がソース電位より0.7V程度（ツェナーダイオードのVF程度）下がると、本ツェナーダイオード401がオンして、第1のn型MOSトランジスタ108のゲート電位とソース電位間のインピーダンスが下がる。この結果、第1のn型MOSトランジスタ108のソース電位は、ゲート電位とほぼ同じ $V_{dd}/2$ （若干0.7V程度の差分はある）となり、前述のゲート破壊は起こらない。尚、本手段の場合、ダイオードでも同じゲート破壊防止の効果が得られる。

30

【0040】

以上の高速化手段によって、本発明のレベルシフトアップ装置は第1のn型MOSトランジスタ108のスイッチングが高速化するとともに、ゲート破壊を防止できるためインバータ装置の信頼性が向上する。また、第1のn型MOSトランジスタ108の耐圧の2倍の電源電圧で動作させることができる。また、本実施例を集積回路化（IC化）した場合、高速化手段がツェナーダイオードであるため、図2のような容量の場合に比べてIC面積を低減できる。

【0041】

図5は、本発明の第2の実施例にかかるレベルシフトダウン装置のブロック図である。この実施例では、図1の第2の高速化手段115をツェナーダイオード501に置き換えている。図5において、端子502は信号入力端子、端子503は信号出力端子である。その他の構成要素は、図1のレベルシフトアップ装置127と同じである。動作の説明上、パルス電圧源203を V_{dd} 端子124とGND端子123の間に接続する。尚、本パルス電圧のローレベルはVUとし、第1のp型MOSトランジスタ114、第2のp型MOSトランジスタ116が動作する電圧以上である。また、本パルス電圧のハイレベルは $V_U + V_B$ とし、各MOSトランジスタの耐圧の2倍の電圧を超えない電圧とする。また、中点電位端子112の電位 $V_{dd}/2$ を発生させるため、 V_{dd} 端子124と中点電位端子112との間に抵抗504を接続し、更に中点電位端子112とGND端子123との間に抵抗505を接続する。

40

【0042】

50

まず、パルス電圧源 203 が一定電圧（ローレベル時 V_U 又はハイレベル時 $V_U + V_B$ ）のときの動作は図 1 と同じである。

【0043】

次に、パルス電圧源 203 の電圧が立ち上がり時（ローレベルからハイレベル）及び立ち下がり時（ハイレベルからローレベル）の場合の過渡的動作を説明する。第 1 の p 型 MOS トランジスタ 114 がオンしている場合、第 2 の p 型 MOS トランジスタ 116 のソース電位はほぼ V_{dd} 付近である。よって、第 2 の p 型 MOS トランジスタ 116 はオンし、第 4 の抵抗 117 の両端に電位差が発生する。一方、第 1 の p 型 MOS トランジスタ 114 がオフしている場合、第 2 の p 型 MOS トランジスタ 116 のソースのインピーダンスは第 1 の p 型 MOS トランジスタ 114 のソース・ドレイン間の寄生容量程度しかなく、かなり高い。

10

【0044】

本発明の第 2 の高速化手段（本図ではツェナーダイオード 501）がない場合、本パルス電圧が立ち上がりるとき第 2 の p 型 MOS トランジスタ 116 のゲート電位はほぼ同時に立ち上がるが、第 1 の n 型 MOS トランジスタ 108 のソース電位は高インピーダンスのため遅れて立ち上がる。この結果、第 2 の p 型 MOS トランジスタ 116 のゲート電位がソース電位より高くなる領域が発生し（ゲート正バイアス）、第 2 の p 型 MOS トランジスタ 116 がゲート破壊する。また、本パルス電圧が立ち下がりるとき第 2 の p 型 MOS トランジスタ 116 のゲート電位はほぼ同時に立ち下がるが、第 2 の p 型 MOS トランジスタ 116 のソース電位は遅れて立ち下がる。この結果、第 1 の n 型 MOS トランジスタ 108 のソースとゲート電位差は広がる傾向にある。

20

【0045】

これに対し、第 2 の高速化手段（ツェナーダイオード 501）がある場合、本パルス電圧が立ち上がりるとき第 2 の p 型 MOS トランジスタ 116 のゲート電位はほぼ同時に立ち上がり、第 2 の p 型 MOS トランジスタ 116 のソース電位は一瞬遅れて立ち上がる。しかし、第 2 の p 型 MOS トランジスタ 116 のゲート電位がソース電位より 0.7 V 程度（ツェナーダイオードの V_F 程度）上がると、本ツェナーダイオード 501 がオンして、第 2 の p 型 MOS トランジスタ 116 のゲート電位とソース電位間のインピーダンスが下がる。この結果、第 2 の p 型 MOS トランジスタ 116 のソース電位はゲート電位とほぼ同じ $V_{dd}/2$ （若干 0.7 V 程度の差分はある）となり、前述のゲート破壊は起こらない。また、本パルス電圧が立ち下がりるとき第 2 の p 型 MOS トランジスタ 116 のゲート電位はほぼ同時に立ち下がり、第 2 の p 型 MOS トランジスタ 116 のソース電位は一瞬遅れて立ち下がる。この結果、第 2 の p 型 MOS トランジスタ 116 のソースとゲート電位差は広がる傾向にあるが、ツェナー電圧 V_Z でクランプされる。尚、この高速化手段の場合、ダイオードでも同じゲート破壊防止の効果が得られる。

30

【0046】

以上の高速化手段によって、本発明のレベルシフトアップ装置は第 2 の p 型 MOS トランジスタ 116 のスイッチングが高速化するとともに、ゲート破壊を防止できるためインバータ装置の信頼性が向上する。また、第 2 の p 型 MOS トランジスタ 116 の耐圧の 2 倍の電源電圧で動作させることができる。また、本実施例を集積回路化（IC 化）した場合、高速化手段がツェナーダイオードであるため、図 3 のような容量の場合に比べて IC 面積を低減できる。

40

【0047】

図 6 は本発明の第 2 の実施例にかかる手段を用いたインバータ装置のブロック図である。図 6 のインバータ装置の基本構成は図 1 とほぼ同じであるが、図 1 との違いは中点電位が発生させる中点電位電源 126 の構成である。図 6 では、第 2 の抵抗 111 の両端子に第 1 の容量 601 と第 5 の抵抗 602 の直列回路を接続し、第 3 の抵抗 113 の両端子に第 2 の容量 603 と第 6 の抵抗 604 の直列回路を接続した。この実施例は、低消費電力化のために第 2 の抵抗 111 と第 3 の抵抗 113 の抵抗値を大きくした場合に中点電位端子 112 の電位変化応答性を高速にすることが目的である。このインバータ装置を電源電圧

50

V_B が高い製品分野に適用する場合、低消費電力化のために第2の抵抗111と第3の抵抗113の抵抗値を大きくせざるを得ない。しかし、 V_{dd} 端子124がスイッチングすると、第2の抵抗111と第3の抵抗113のインピーダンスが高いため、中点電位端子112の電位変化が遅くなる。この結果、レベルシフトアップ装置125の第1のn型MOSトランジスタのゲート電位変化とレベルシフトダウン装置127の第2のp型MOSトランジスタのゲート電位変化が遅くなり、図2、図3、図4、図5で説明したようなゲート破壊が起こる。

【0048】

このため高速化手段として、第1の容量601、第5の抵抗602、第2の容量603と第6の抵抗604を追加した。尚、これら容量の容量値及び抵抗の抵抗値は第2の抵抗111及び第3の抵抗113のインピーダンスより低くなるよう決める。

10

【0049】

図6では、上アーム電力用スイッチング素子101及び下アーム電力用スイッチング素子102をn型MOSトランジスタとしたが、その他の素子、例えば絶縁ゲート型バイポーラトランジスタでもよい。主電源の正電位端子121は主電源の正電位 V_B に接続され、主電源の負電位端子123は主電源の負電位GNDに接続されている。尚、説明の都合上、GND端子123を接地(0V)とする。上アーム電源118の電位差を V_U とし、インバータ出力端子122を基準とする。下アーム電源119の電位差を V_L とし、主電源の負電位端子123を基準とする。制御装置120は上アーム電力用スイッチング素子101と下アーム電力用スイッチング素子102を同時にオンしないよう制御する。

20

【0050】

上アーム電力用スイッチング素子101がオンし、下アーム電力用スイッチング素子102がオフしているときはインバータ出力端子122の電位は V_B となるので、 V_{dd} 端子124の電位は $V_B + V_U$ となる。また、上アーム電力用スイッチング素子101がオフし、下アーム電力用スイッチング素子102がオンしているときはインバータ出力端子122の電位は0Vとなるので、 V_{dd} 端子124の電位は V_U となる。よって、 V_{dd} 端子124の電位は V_U から $V_B + V_U$ まで変化する。

【0051】

図6において、レベルシフトアップ装置125、レベルシフトダウン装置127、上アーム駆動装置103、下アーム駆動装置104、上アーム状態検出装置105及び下アーム状態検出装置106の動作は図1と同じであるが、中点電位電源126の動作が異なるので本電源の動作を説明する。

30

【0052】

まず、 V_{dd} 端子124が一定電圧(ローレベル時 V_U 又はハイレベル時 $V_U + V_B$)のとき、第2の抵抗111と第3の抵抗113の各抵抗値が同じとすると中点電位端子112の電位は $V_{dd} / 2$ となる。(V_{dd} 端子の電位が V_U のときは中点電位端子の電位は $V_U / 2$ 、 V_{dd} 端子の電位が $V_B + V_U$ のときは中点電位端子の電位は $V_B / 2 + V_U / 2$ となる。)尚、このときの動作は図1と同じである。

【0053】

次に、 V_{dd} 端子124の電位が立ち上がり時(ローレベルからハイレベル)及び立ち下がり時(ハイレベルからローレベル)の場合の過渡的動作を説明する。第1の容量601と第5の抵抗602の直列回路のインピーダンスが第2の抵抗111のインピーダンスより低く、且つ第2の容量603と第6の抵抗604のインピーダンスが第3の抵抗113のインピーダンスより低いため、 V_{dd} 端子124の電位が立ち上がると同時に中点電位端子112電位も立ち上がり、 V_{dd} 端子124の電位が立ち下がると同時に中点電位端子112の電位も立ち下がる。よって、本容量及び抵抗がない場合に比べて中点電位端子112の電位変化の応答性が高速になる。

40

【0054】

このように、図6に示すインバータ装置を適用すれば、低消費電力化のため第2の抵抗111及び第3の抵抗113の抵抗値を大きくした場合でも、中点電位電源の高速化とレベ

50

ルシフトアップ回路及びレベルシフトダウン回路の高速化が可能となり回路内の電圧クランプ用MOSトランジスタのゲート破壊は起こらない。また、電圧クランプ用MOSトランジスタの耐圧は $(V_B + V_U) / 2$ で良い。

【0055】

図7は、本発明の第3の実施例にかかるインバータ装置のブロック図である。図7は、図1の単相インバータ装置を用いた三相インバータ装置の例である。

【0056】

三相インバータ装置は、第1の上アーム電力用スイッチング素子704、第1の上アーム還流用ダイオード705、第2の上アーム電力用スイッチング素子706、第2の上アーム還流用ダイオード707、第3の上アーム電力用スイッチング素子708、第3の上アーム還流用ダイオード709、第1の下アーム電力用スイッチング素子710、第1の下アーム還流用ダイオード711、第2の下アーム電力用スイッチング素子712、第2の下アーム還流用ダイオード713、第3の下アーム電力用スイッチング素子714、第3の下アーム還流用ダイオード715、第1の上アーム駆動装置716、第2の上アーム駆動装置717、第3の上アーム駆動装置718、第1の下アーム駆動装置719、第2の下アーム駆動装置720、第3の下アーム駆動装置721、第1の上アーム状態検出装置722、第2の上アーム状態検出装置723、第3の上アーム状態検出装置724、第1の下アーム状態検出装置725、第2の下アーム状態検出装置726、第3の下アーム状態検出装置727、第1の上アーム電源728、第2の上アーム電源729、第3の上アーム電源730、下アーム電源731、第1のレベルシフトアップ装置732、第2のレベルシフトアップ装置733、第3のレベルシフトアップ装置734、第1の抵抗735、第2の抵抗736、第3の抵抗737、第4の抵抗738、第5の抵抗739、第6の抵抗740、第1のレベルシフトダウン装置741、第2のレベルシフトダウン装置742、第3のレベルシフトダウン装置743、制御装置120を備えて構成される。

【0057】

端子701は第1のインバータ出力端子、端子702は第2のインバータ出力端子、端子703は第3のインバータ出力端子、端子121は主電源の正電位端子、端子123は主電源の負電位端子に接続されたGND端子、端子744は第1のVdd端子、端子745は第2のVdd端子、端子746は第3のVdd端子である。

【0058】

図7において、第1の上アーム電力用スイッチング素子704、第2の上アーム電力用スイッチング素子706、第3の上アーム電力用スイッチング素子708、第1の下アーム電力用スイッチング素子710、第2の下アーム電力用スイッチング素子712、第3の下アーム電力用スイッチング素子714をn型MOSトランジスタとしたが、その他の素子、例えば絶縁ゲート型バイポーラトランジスタでもよい。主電源の正電位端子121は、主電源の正電位VBに接続され、主電源の負電位端子123は主電源の負電位GNDに接続されている。尚、説明の都合上、GND端子123を接地(0V)とする。

【0059】

第1の抵抗735と第2の抵抗736は、第1のVdd端子744とGND端子123との間に直列に接続され、第1のレベルシフトアップ装置732と第1のレベルシフトダウン装置741に必要な電位 $V_{dd1} / 2$ を発生させる。尚、第1のVdd端子744の電位をVdd1とする。

【0060】

第3の抵抗737と第4の抵抗738は、第2のVdd端子745とGND端子123との間に直列に接続され、第2のレベルシフトアップ装置733と第2のレベルシフトダウン装置742に必要な電位 $V_{dd2} / 2$ を発生させる。尚、第2のVdd端子745の電位をVdd2とする。

【0061】

第5の抵抗739と第6の抵抗740は、第3のVdd端子746とGND端子123との間に直列に接続され、第3のレベルシフトアップ装置734と第3のレベルシフトダウ

ン装置 743 に必要な電位 $V_{dd3}/2$ を発生させる。尚、第 3 の V_{dd} 端子 746 の電位を V_{dd3} とする。

【0062】

本実施例は、図 1 の单相インバータを 3 個並列に接続した構成であり、各单相インバータ装置の動作は図 1 と同じである。制御装置 120 は、各单相インバータに制御信号を送り、各相の上アーム電力用スイッチング素子及び下アーム電力用スイッチング素子のオン、オフを制御する。また、制御装置 120 は各单相インバータ装置から上アーム状態検出装置及び下アーム状態検出装置の検出値を受け取り、各单相インバータ装置の制御パターンを設定する。

【0063】

図 8 は、本発明を用いたインバータ装置の第 4 の実施例である。図 8 は、図 7 の三相インバータ装置において、各相の駆動装置、状態検出装置、レベルシフトアップ装置、レベルシフトダウン装置、中点電位電源を集積回路化（モノリシック IC 化）した例である。

【0064】

この実施例では、第 1 の上アーム駆動回路 802、第 1 の上アーム状態検出回路 803、第 2 の上アーム駆動回路 804、第 2 の上アーム状態検出回路 805、第 3 の上アーム駆動回路 806、第 3 の上アーム状態検出回路 807、第 1 の下アーム駆動回路 808、第 1 の下アーム状態検出回路 809、第 2 の下アーム駆動回路 810、第 2 の下アーム状態検出回路 811、第 3 の下アーム駆動回路 812、第 3 の下アーム状態検出回路 813、第 1 のレベルシフトアップ回路 814、第 1 のレベルシフトダウン回路 815、第 2 のレベルシフトアップ回路 816、第 2 のレベルシフトダウン回路 817、第 3 のレベルシフトアップ回路 818、第 3 のレベルシフトダウン回路 819、第 1 の中点電位電源 820、第 2 の中点電位電源 821、第 3 の中点電位電源 822 をモノリシック IC 801 に搭載している。

【0065】

モノリシック IC 801 には、第 1 の上アーム電源 823、第 2 の上アーム電源 824、第 3 の上アーム電源 825、下アーム電源 826 が接続される。

【0066】

図 8 の動作は図 7 と同じである。本実施例の場合、IC 化により部品点数が大幅に低減し低コスト化できる。

【0067】

図 9 のブロック図を用いて、本発明にかかるインバータ装置をモータへの適用した例を説明する。

【0068】

この実施例のインバータ装置 901 は、図 7 または図 8 のインバータ装置がこれに相当する。制御装置 120 によって制御されるインバータ装置 901 の第 1 のインバータ出力端子 701、第 2 のインバータ出力端子 702、第 3 のインバータ出力端子 703 に、三相モータ 902 が接続される。第 1 の電流検出装置 903、第 2 の電流検出装置 904、第 3 の電流検出装置 905 検出信号が制御装置 120 へ入力される。さらに、インバータ装置 901 の主電源の正電位端子 121、主電源の負電位端子に接続された GND 端子 123 に、主電源 906 が接続される。

【0069】

インバータ装置 901 の第 1 のインバータ出力端子 701 を流れる出力電流は第 1 の電流検出装置 903 で検出され、制御装置 120 へ送られる。制御装置 120 はその検出値に応じた制御信号を本発明のインバータ装置 901 へ送る。その他の電流検出装置の動作も同様である。また、制御装置 120 は本発明のインバータ装置 901 から上アーム状態検出装置及び下アーム状態検出装置の検出値を受け取り、各单相インバータ装置の制御パターンを設定する。

【0070】

本適用例の場合、モータシステム全体の信頼性が向上するとともに、図 8 のような IC 化

10

20

30

40

50

により部品点数が大幅に低減し低コスト化できる。

【0071】

【発明の効果】

本発明によれば、インバータ装置のレベルシフトアップ回路及びレベルシフトダウン回路の高速化が可能となり、回路内の電圧クランプ用MOSトランジスタのゲート破壊を防止できるためインバータ装置の信頼性が向上する。また、レベルシフトアップ回路及びレベルシフトダウン回路は電圧クランプ用MOSトランジスタの耐圧の2倍の電源電圧まで動作させることができるためインバータ装置の高耐圧化が可能である。

【図面の簡単な説明】

【図1】本発明を用いたインバータ装置の第1の実施例。

10

【図2】本発明のレベルシフトアップ装置の第1の実施例。

【図3】本発明のレベルシフトダウン装置の第1の実施例。

【図4】本発明のレベルシフトアップ装置の第2の実施例。

【図5】本発明のレベルシフトダウン装置の第2の実施例。

【図6】本発明を用いたインバータ装置の第2の実施例。

【図7】本発明を用いたインバータ装置の第3の実施例。

【図8】本発明を用いたインバータ装置の第4の実施例。

【図9】本発明インバータ装置のモータへの適用例。

【図10】従来のインバータ装置に用いられているレベルシフト回路の一例。

【符号の説明】

20

101 上アーム電力用スイッチング素子

102 下アーム電力用スイッチング素子

103 上アーム駆動装置

104 下アーム駆動装置

105 上アーム状態検出装置

106 下アーム状態検出装置

107 第1の抵抗

108 第1のn型MOSトランジスタ

109 第1の高速化手段（ゲートの電位変動に追随するようにソース電位が変動するデバイス）

30

110 第2のn型MOSトランジスタ

111 第2の抵抗

112 中点電位端子

113 第3の抵抗

114 第1のp型MOSトランジスタ

116 第2のp型MOSトランジスタ

115 第2の高速化手段（ゲートの電位変動 dV/dt に追随するようにソース電位が変動するデバイス）

117 第4の抵抗

118 上アーム電源

40

119 下アーム電源

120 制御装置

121 主電源の正電位端子

122 インバータ出力端子

123 GND端子

124 V_{dd}端

125 レベルシフトアップ装置

126 中点電位電源（ $V_{dd}/2$ ）

127 レベルシフトダウン装置

201 容量

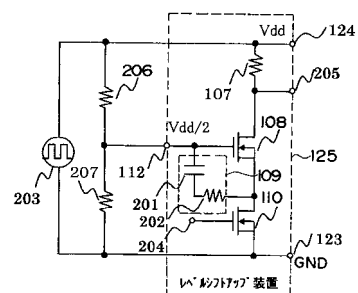
50

2 0 2	抵抗	
2 0 3	パルス電圧源	
2 0 4	信号入力端子	
2 0 5	信号出力端子	
2 0 6	抵抗	
2 0 7	抵抗	
3 0 1	容量	
3 0 2	抵抗	
3 0 4	信号入力端子	
3 0 5	信号出力端子	10
3 0 6	抵抗	
3 0 7	抵抗	
4 0 1	ツエナーダイオード	
4 0 2	信号入力端子	
4 0 3	信号出力端子	
4 0 4	抵抗	
4 0 5	抵抗	
5 0 1	ツエナーダイオード	
5 0 2	信号入力端子	
5 0 3	信号出力端子	20
5 0 4	抵抗	
5 0 5	抵抗	
6 0 1	第 1 の容量	
6 0 2	第 5 の抵抗	
6 0 3	第 2 の容量	
6 0 4	第 6 の抵抗	
7 0 1	第 1 のインバータ出力端子	
7 0 2	第 2 のインバータ出力端子	
7 0 3	第 3 のインバータ出力端子	
7 0 4	第 1 の上アーム電力用スイッチング素子	30
7 0 5	第 1 の上アーム還流用ダイオード	
7 0 6	第 2 の上アーム電力用スイッチング素子	
7 0 7	第 2 の上アーム還流用ダイオード	
7 0 8	第 3 の上アーム電力用スイッチング素子	
7 0 9	第 3 の上アーム還流用ダイオード	
7 1 0	第 1 の下アーム電力用スイッチング素子	
7 1 1	第 1 の下アーム還流用ダイオード	
7 1 2	第 2 の下アーム電力用スイッチング素子	
7 1 3	第 2 の下アーム還流用ダイオード	
7 1 4	第 3 の下アーム電力用スイッチング素子	40
7 1 5	第 3 の下アーム還流用ダイオード	
7 1 6	第 1 の上アーム駆動装置	
7 1 7	第 2 の上アーム駆動装置	
7 1 8	第 3 の上アーム駆動装置	
7 1 9	第 1 の下アーム駆動装置	
7 2 0	第 2 の下アーム駆動装置	
7 2 1	第 3 の下アーム駆動装置	
7 2 2	第 1 の上アーム状態検出装置	
7 2 3	第 2 の上アーム状態検出装置	
7 2 4	第 3 の上アーム状態検出装置	50

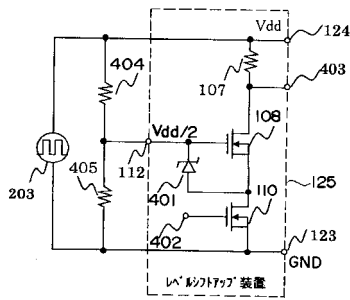
7 2 5	第 1 の下アーム状態検出装置	
7 2 6	第 2 の下アーム状態検出装置	
7 2 7	第 3 の下アーム状態検出装置	
7 2 8	第 1 の上アーム電源	
7 2 9	第 2 の上アーム電源	
7 3 0	第 3 の上アーム電源	
7 3 1	下アーム電源	
7 3 2	第 1 のレベルシフトアップ装置	
7 3 3	第 2 のレベルシフトアップ装置	
7 3 4	第 3 のレベルシフトアップ装置	10
7 3 5	第 1 の抵抗	
7 3 6	第 2 の抵抗	
7 3 7	第 3 の抵抗	
7 3 8	第 4 の抵抗	
7 3 9	第 5 の抵抗	
7 4 0	第 6 の抵抗	
7 4 1	第 1 のレベルシフトダウン装置	
7 4 2	第 2 のレベルシフトダウン装置	
7 4 3	第 3 のレベルシフトダウン装置	
7 4 4	第 1 の V d d 端子	20
7 4 5	第 2 の V d d 端子	
7 4 6	第 3 の V d d 端子	
8 0 1	モノリシック I C	
8 0 2	第 1 の上アーム駆動回路	
8 0 3	第 1 の上アーム状態検出回路	
8 0 4	第 2 の上アーム駆動回路	
8 0 5	第 2 の上アーム状態検出回路	
8 0 6	第 3 の上アーム駆動回路	
8 0 7	第 3 の上アーム状態検出回路	
8 0 8	第 1 の下アーム駆動回路	30
8 0 9	第 1 の下アーム状態検出回路	
8 1 0	第 2 の下アーム駆動回路	
8 1 1	第 2 の下アーム状態検出回路	
8 1 2	第 3 の下アーム駆動回路	
8 1 3	第 3 の下アーム状態検出回路	
8 1 4	第 1 のレベルシフトアップ回	
8 1 5	第 1 のレベルシフトダウン回路	
8 1 6	第 2 のレベルシフトアップ回路	
8 1 7	第 2 のレベルシフトダウン回路	
8 1 8	第 3 のレベルシフトアップ回路	40
8 1 9	第 3 のレベルシフトダウン回路	
8 2 0	第 1 の中点電位電源	
8 2 1	第 2 の中点電位電源	
8 2 2	第 3 の中点電位電源	
8 2 3	第 1 の上アーム電源	
8 2 4	第 2 の上アーム電源	
8 2 5	第 3 の上アーム電源	
8 2 6	下アーム電源	
9 0 1	本発明のインバータ装置で図 7 または図 8 がこれに相当する	
9 0 2	三相モータ	50

- | | |
|-------|-------------|
| 9 0 3 | 第 1 の電流検出装置 |
| 9 0 4 | 第 2 の電流検出装置 |
| 9 0 5 | 第 3 の電流検出装置 |
| 9 0 6 | 主電源 |

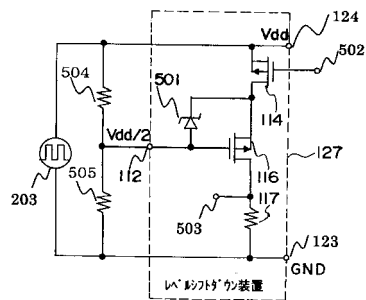
【图 2】



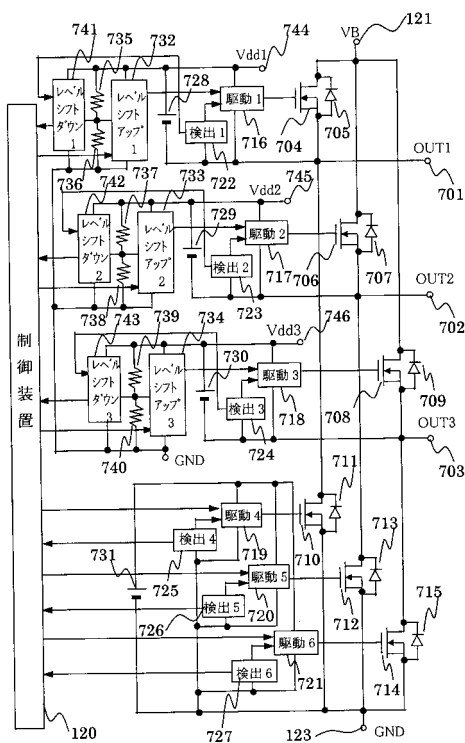
【図 4】



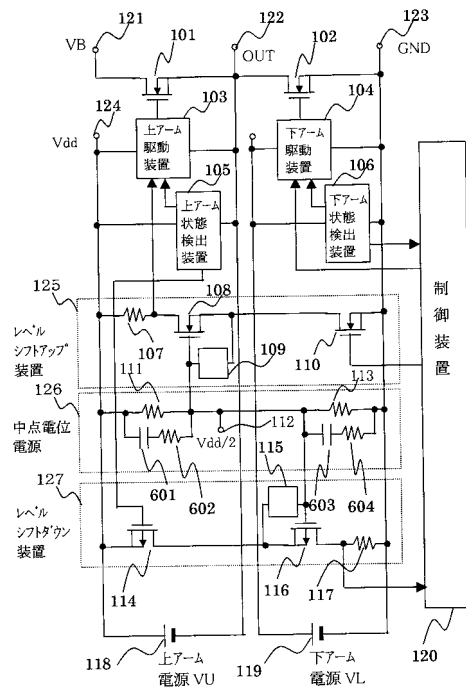
【図 5】



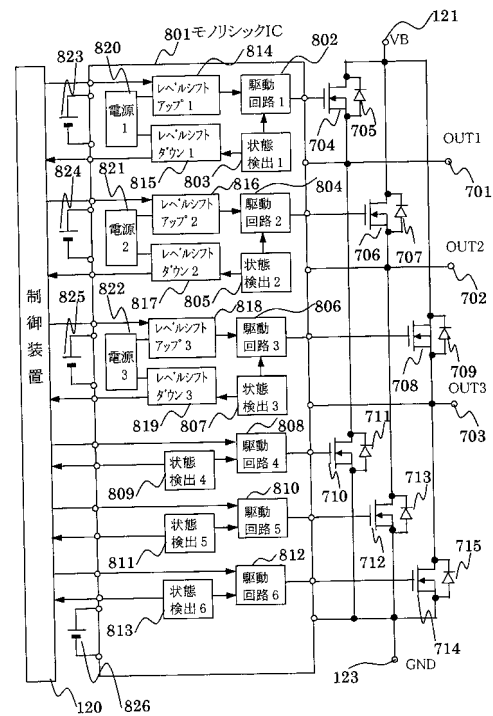
【図 7】



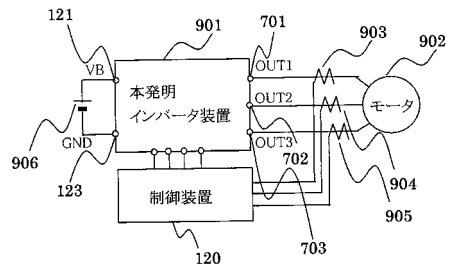
【図 6】



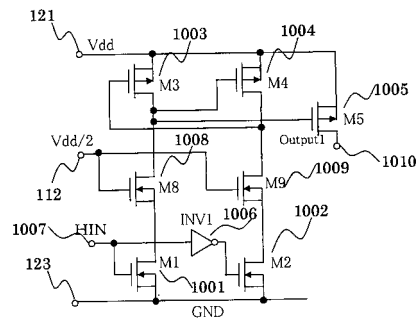
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. F I
H 0 3 K 19/0185 (2006.01) H 0 3 K 19/00 1 0 1 D

(72)発明者 森 睦宏
茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内

審査官 服部 俊樹

(56)参考文献 特開平03-169273 (JP, A)
特開平05-316755 (JP, A)
特開昭57-050109 (JP, A)
特開2001-177388 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/5387

H02M 1/08

H03K 17/04

H03K 17/08

H03K 17/687

H03K 19/0185