

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2014-0021790 (43) 공개일자 2014년02월20일
(51) 국제특허분류(Int. Cl.) H01L 29/786 (2006.01) H01L 51/50 (2006.01) (21) 출원번호 10-2012-0087914 (22) 출원일자 2012년08월10일 심사청구일자 2012년08월10일	(71) 출원인 경희대학교 산학협력단 경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스 내 (서천동, 경희대학교) (72) 발명자 장진 서울 동대문구 경희대로 26, (회기동, 경희대학교) 말로티 마티브웬가 서울 동대문구 경희대로 26, (회기동, 경희대학교) 강동한 서울특별시 동대문구 이문동 현대하이츠 312 (74) 대리인 최관락, 송인호, 민영준	

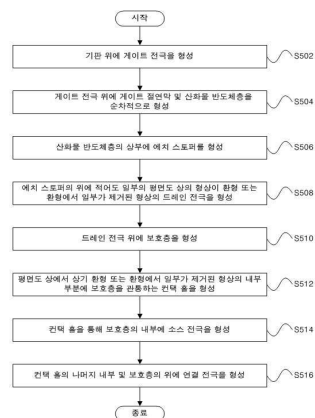
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 디스플레이 소자 구동회로, 상기 디스플레이 소자 구동회로에 포함되는 박막 트랜지스터 및 그의 제조 방법

(57) 요약

디스플레이 소자의 구동회로에 사용되는 인버터 및 이에 포함되는 로드 트랜지스터가 개시된다. 개시된 기판; 상기 기판 위에 위치하는 게이트 전극; 상기 게이트 전극 위에 위치하는 소스 전극/드레인 전극; 및 상기 소스 전극/드레인 전극 위에 위치하는 플로팅 전극;을 포함하되, 상기 게이트 전극과 상기 플로팅 전극은 동일 축 상에 위치한다.

대표도 - 도5



이 발명을 지원한 국가연구개발사업

과제고유번호	10035225
부처명	지식경제부
연구사업명	전자정보디바이스 산업원천기술개발사업(반도체)
연구과제명	고품위 plastic AMOLED 원천 기술 개발
기 여 율	1/1
주관기관	서울대학교 산학협력단
연구기간	2010.03.01 ~ 2015.02.28

특허청구의 범위

청구항 1

디스플레이 소자의 구동회로에 사용되는 박막 트랜지스터에 있어서,
기판;

상기 기판 위에 위치하는 게이트 전극; 및

상기 게이트 전극 위에 위치하는 소스 전극/드레인 전극;을 포함하되,

상기 드레인 전극의 평면도 상의 형상은 환형상 또는 환형상에서 일부가 제거된 형상이고,

상기 소스 전극은 평면도 상에서 상기 환형상 또는 환형상에서 일부가 제거된 형상의 내부에 위치하는 것을 특징으로 하는 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 소스 전극은 상기 디스플레이 소자의 입력단과 전기적으로 연결되고,

상기 드레인 전극은 상기 디스플레이 소자를 구동하기 위한 전원단과 전기적으로 연결되는 것을 특징으로 하는 박막 트랜지스터.

청구항 3

제2항에 있어서,

상기 박막 트랜지스터는

상기 게이트 전극과 상기 소스 전극/드레인 전극 사이에 위치하는 게이트 절연막;

상기 게이트 절연막과 상기 소스 전극/드레인 전극 사이에 위치하는 산화물 반도체층;

상기 산화물 반도체층과 상기 소스 전극/드레인 전극 사이에 위치하는 에치 스톱퍼;

상기 소스 전극/드레인 전극의 위에 위치하는 보호층; 및

상기 보호층 위에 형성되는 수평 전극부 및 상기 보호층을 관통하여 상기 수평 전극부와 상기 소스 전극을 전기적으로 연결하는 수직 전극부로 구성된 연결 전극;을 더 포함하되,

상기 소스 전극은 상기 연결 전극을 통해 상기 디스플레이 소자의 입력단과 전기적으로 연결되는 것을 특징으로 하는 박막 트랜지스터.

청구항 4

제3항에 있어서,

상기 게이트 전극의 적어도 일부의 평면도 상의 형상 및 상기 산화물 반도체층의 평면도 상의 형상은 각각 원형상이고,

상기 에치 스톱퍼의 형상은 환형상이고, 단면도 상에서 상기 에치 스톱퍼의 일부는 상기 소스 전극과 상기 드레인 전극 사이에 위치하는 것을 특징으로 하는 박막 트랜지스터.

청구항 5

제3항에 있어서,

상기 산화물 반도체층을 구성하는 물질은 인듐(In), 갈륨(Ga), 아연(Zn), 주석(Sn), 알루미늄(Al) 중 적어도 하나의 원소로 구성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 6

제3항에 있어서,

상기 연결 전극은 금속 또는 투명 전도성 물질인 것을 특징으로 하는 박막 트랜지스터.

청구항 7

제1항 내지 제6항 중 어느 한 항의 박막 트랜지스터를 포함하는 디스플레이 소자 구동회로.

청구항 8

디스플레이 소자의 구동회로에 사용되는 박막 트랜지스터의 제조 방법에 있어서,

기판 위에 게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에 산화물 반도체층을 형성하는 단계;

상기 산화물 반도체층 위에 평면도 상의 형상이 환형상 또는 환형상에서 일부가 제거된 형상을 가지는 드레인 전극을 형성하는 단계;

상기 드레인 전극 위에 보호층을 형성하는 단계;

평면도 상에서 상기 환형상 또는 환형상에서 일부가 제거된 형상의 내부 부분에 상기 보호층을 관통하는 컨택 홀을 형성하는 단계; 및

상기 컨택 홀을 통해 소스 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 9

제8항에 있어서,

상기 컨택 홀의 내부 및 상기 보호층의 위에 연결 전극을 형성하는 단계;를 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

명세서

기술 분야

[0001] 본 발명의 실시예들은 디스플레이 소자 구동회로, 상기 디스플레이 소자의 구동회로에 사용되는 박막 트랜지스터 및 이의 제조 방법에 관한 것으로서, 더욱 상세하게는 크기를 증가시키지 않으면서도 낮은 구동 전압에서 충분한 도통전류를 보장할 수 있고, 균일성 및 안정성을 향상시킬 수 있는 박막 트랜지스터 및 이의 제조 방법과 상기한 박막 트랜지스터를 하나 이상 포함하는 디스플레이 소자 구동 장치에 관한 것이다.

배경 기술

[0002] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 유기 발광 다이오드(OLED: Organic Light Emitting Diode)는 빛을 발산하는 층이 유기 화합물로 되어 있는 디스플레이 소자로서, 해상도와 컬러표시 및 화질 등에서 우수하여 스마트폰, 태블릿 PC 등과 같은 휴대 단말에 많이 활용되고 있다.

[0003] 도 1은 유기 발광 다이오드를 구동하기 위한 구동회로에 사용되는 종래의 박막 트랜지스터의 단면도를 도시한 도면이고, 도 2는 도 1의 종래의 박막 트랜지스터의 평면도를 도시한 도면이다.

[0004] 도 1 및 도 2를 참조하면, 종래의 박막 트랜지스터(100)는 기판(110), 게이트 전극(120), 게이트 절연막(130), 산화물 반도체층(140), 에치 스톱퍼(150), 소스 전극(160), 드레인 전극(170), 보호층(180) 및 픽셀 전극(190)을 포함한다.

- [0005] 그런데, 상기와 같이 구성되는 종래의 박막 트랜지스터(100)의 경우, 충분한 도통전류를 보장하기 위해서는 채널의 너비와 길이의 비율을 증가, 즉 박막 트랜지스터(100)의 크기를 증가시켜야 하는 단점이 있고, 구동 전압이 높아 구동 마진(Driving Margin)이 낮은 단점이 있었다.
- [0006] 또한, 종래의 박막 트랜지스터(100)는 소스 전극(160)/드레인 전극(170)에 존재하는 모서리에 의해 소자의 안정성이 보장되지 않는 문제점 또한 존재하였다.

발명의 내용

해결하려는 과제

- [0007] 상기한 바와 같은 종래기술의 문제점을 해결하기 위해, 본 발명에서는 크기를 증가시키지 않으면서도 낮은 구동 전압에서 충분한 도통전류를 보장할 수 있고, 균일성 및 안정성을 향상시킬 수 있는 박막 트랜지스터 및 이의 제조 방법과 상기한 박막 트랜지스터를 하나 이상 포함하는 디스플레이 소자 구동 장치를 제안하고자 한다.
- [0008] 본 발명의 다른 목적들은 하기의 실시예를 통해 당업자에 의해 도출될 수 있을 것이다.

과제의 해결 수단

- [0009] 상기한 목적을 달성하기 위해 본 발명의 바람직한 일 실시예에 따르면, 디스플레이 소자의 구동회로에 사용되는 박막 트랜지스터에 있어서, 기판; 상기 기판 위에 위치하는 게이트 전극; 및 상기 게이트 전극 위에 위치하는 소스 전극/드레인 전극;을 포함하되, 상기 드레인 전극의 적어도 일부의 평면도 상의 형상은 환형상 또는 환형상에서 일부가 제거된 형상이고, 상기 소스 전극은 평면도 상에서 상기 환형상 또는 환형상에서 일부가 제거된 형상의 내부에 위치하는 것을 특징으로 하는 박막 트랜지스터가 제공된다.
- [0010] 상기 소스 전극은 상기 디스플레이 소자의 입력단과 전기적으로 연결되고, 상기 드레인 전극은 상기 디스플레이 소자를 구동하기 위한 전원단과 전기적으로 연결될 수 있다.
- [0011] 상기 박막 트랜지스터는 상기 게이트 전극과 상기 소스 전극/드레인 전극 사이에 위치하는 게이트 절연막; 상기 게이트 절연막과 상기 소스 전극/드레인 전극 사이에 위치하는 산화물 반도체층; 상기 산화물 반도체층과 상기 소스 전극/드레인 전극 사이에 위치하는 에치 스톱퍼; 상기 소스 전극/드레인 전극의 위에 위치하는 보호층; 및 상기 보호층 위에 형성되는 수평 전극부 및 상기 보호층을 관통하여 상기 수평 전극부와 상기 소스 전극을 전기적으로 연결하는 수직 전극부로 구성된 연결 전극;을 더 포함하되, 상기 소스 전극은 상기 연결 전극을 통해 상기 디스플레이 소자의 입력단과 전기적으로 연결될 수 있다.
- [0012] 상기 게이트 전극의 적어도 일부의 평면도 상의 형상 및 상기 산화물 반도체층의 평면도 상의 형상은 각각 원형상이고, 상기 에치 스톱퍼의 형상은 환형상이고, 단면도 상에서 상기 에치 스톱퍼의 일부는 상기 소스 전극과 상기 드레인 전극 사이에 위치할 수 있다.
- [0013] 상기 산화물 반도체층을 구성하는 물질은 인듐(In), 갈륨(Ga), 아연(Zn), 주석(Sn), 알루미늄(Al) 중 적어도 하나의 원소로 구성될 수 있다.
- [0014] 상기 연결 전극은 금속 또는 투명 전도성 물질일 수 있다.
- [0015] 또한, 본 발명의 다른 실시예에 따르면, 디스플레이 소자의 구동회로에 사용되는 박막 트랜지스터의 제조 방법에 있어서, 기판 위에 게이트 전극을 형성하는 단계; 상기 게이트 전극 위에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 위에 산화물 반도체층을 형성하는 단계; 상기 산화물 반도체층 위에 평면도 상의 적어도 일부의 형상이 환형상 또는 환형상에서 일부가 제거된 형상을 가지는 드레인 전극을 형성하는 단계; 상기 드레인 전극 위에 보호층을 형성하는 단계; 평면도 상에서 상기 환형상 또는 환형상에서 일부가 제거된 형상의 내부 부분에 상기 보호층을 관통하는 컨택 홀을 형성하는 단계; 및 상기 컨택 홀을 통해 소스 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법이 제공된다.

발명의 효과

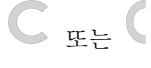
- [0016] 본 발명에 따른 박막 트랜지스터는 크기를 증가시키지 않으면서도 낮은 구동 전압에서 충분한 도통전류를 보장할 수 있고, 균일성 및 안정성을 향상시킬 수 있는 장점이 있다.

도면의 간단한 설명

- [0017] 도 1은 유기 발광 다이오드를 구동하기 위한 구동회로에 사용되는 종래의 박막 트랜지스터의 단면도를 도시한 도면이다.
- 도 2는 도 1의 종래의 박막 트랜지스터의 평면도를 도시한 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 디스플레이 소자의 구동회로에 포함되는 박막 트랜지스터의 단면도를 도시한 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 디스플레이 소자의 구동회로에 포함되는 박막 트랜지스터의 평면도를 도시한 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 디스플레이 소자의 구동회로에 포함되는 박막 트랜지스터의 제조 방법의 전체적인 흐름을 도시한 순서도이다.
- 도 6은 본 발명의 일 실시예에 따른 디스플레이 소자 구동회로의 회로 구성을 도시한 도면이다.
- 도 7은 도 6에 도시된 디스플레이 소자 구동회로 내에 박막 트랜지스터가 포함되는 경우에 있어, 드레인 전극의 전압의 변화에 따른 도통전류의 크기 변화를 도시한 그래프이다.
- 도 8은 박막 트랜지스터의 게이트 전압의 크기 변화에 따른 도통전류의 크기 변화 및 드레인 전압의 크기 변화에 따른 도통전류의 크기 변화를 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [0019] 이하에서, 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다.
- [0020] 도 3은 본 발명의 일 실시예에 따른 디스플레이 소자의 구동회로에 포함되는 박막 트랜지스터의 단면도를 도시한 도면이고, 도 4는 본 발명의 일 실시예에 따른 디스플레이 소자의 구동회로에 포함되는 박막 트랜지스터의 평면도를 도시한 도면이다.
- [0021] 도 3 및 도 4를 참조하면, 본 발명의 일 실시예에 따른 박막 트랜지스터(300)는 기판(310), 게이트 전극(320), 게이트 절연막(330), 산화물 반도체층(340), 에치 스톱퍼(350), 드레인 전극(360), 소스 전극(370), 보호층(380), 및 연결 전극(390)을 포함한다.
- [0022] 그리고, 도 5는 본 발명의 일 실시예에 따른 디스플레이 소자의 구동회로에 포함되는 박막 트랜지스터의 제조 방법의 전체적인 흐름을 도시한 순서도이다.
- [0023] 이하, 도 3 내지 도 5를 참조하여 각 구성 요소별 기능 및 각 단계별로 수행되는 과정을 상세하게 설명하기로 한다.
- [0024] 단계(S502)에서는 기판(310) 위에 게이트 전극(320)을 형성한다.
- [0025] 여기서, 기판(310)은 유리(glass), 플라스틱 또는 석영 재질일 수 있다. 그리고, 게이트 전극(320)은 금속 재질일 수 있으며, 일례로, 몰리브덴(Mo)이 사용될 수 있다.
- [0026] 보다 상세하게, 단계(S502)에서는 기판(310) 위에 게이트 도전막을 증착하고, 게이트 도전막 상에 포토 레지스트 패턴을 형성한 후, 포토레지스트 패턴을 마스크로 하여 게이트 도전막을 선택적으로 식각, 즉, 패터닝함으로써 게이트 전극(320)을 형성할 수 있다.
- [0027] 이와 같은 게이트 전극(320)의 적어도 일부의 평면도 상의 형상은 원형상일 수 있다. 일례로서, 도 4에 도시된 바와 같이, 게이트 전극(320)의 일부의 형상은 원형상이고, 나머지 일부의 형상을 원형상과 연결된 막대 형상을 가질 수 있다.
- [0028] 다음으로, 단계(S504)에서는 게이트 전극(320) 위에 게이트 절연막(330) 및 산화물 반도체층(340)을 순차적으로 형성(증착 및 패터닝)한다.
- [0029] 일례로서, 산화물 반도체층(340)의 평면도 상의 형상은 도 4에 도시된 바와 같이 원형상일 수 있다.

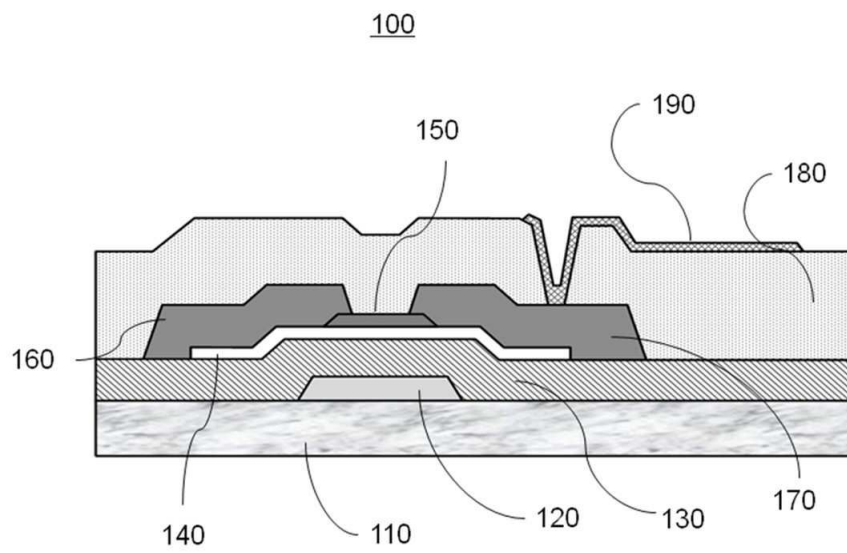
- [0030] 그리고, 게이트 절연막(Gate Insulator)(330)은 실리콘 산화물(일례로, SiO_2) 또는 실리콘 질화물일 수 있다. 또한, 본 발명의 일 실시예에 따르면, 산화물 반도체층(340)을 구성하는 물질은 인듐(In), 갈륨(Ga), 아연(Zn), 주석(Sn), 알루미늄(Al) 중 적어도 하나의 원소로 구성될 수 있다. 일례로, 산화물 반도체층(340)은 a-IGZO(amorphous Indium Gallium Zinc Oxide)로 구성될 수 있다. 이러한 산화물 반도체층(340)은 게이트 전극(422)과 동일 측 상에 형성될 수 있다.
- [0031] 계속하여, 단계(S506)에서는 산화물 반도체층(340)의 상부에 에치 스톱퍼(Etch Stopper)(350)를 형성한다.
- [0032] 일례로서, 에치 스톱퍼(350)의 평면도 상의 형상은 도 4에 도시된 바와 같이 환형()일 수 있으며, 이에 따라 단면도 상에서는 2개의 에치 스톱퍼(350)가 수평 방향으로 나란히 형성된 형상을 가질 수 있다.
- [0033] 또한, 에치 스톱퍼(350)를 구성하는 물질은 실리콘 산화물(일례로, SiO_2)일 수 있다.
- [0034] 이 후, 단계(S508)에서는 에치 스톱퍼(350)의 위에 드레인 전극(360)을 형성한다. 드레인 전극(360)은 금속 재질일 수 있으며, 일례로, 몰리브덴(Mo)이 사용될 수 있다.
- [0035] 여기서, 드레인 전극(360)의 적어도 일부는 평면도 상의 형상이 환형(일례로, ) 또는 환형에서 일부가 제거된 형상(일례로, )을 가진다. 또한, 드레인 전극(360)은 평면도 상에서 막대 형태의 전극 부분을 더 포함할 수 있다. 따라서, 드레인 전극(360)의 일부가 평면도 상에서 환형 형상을 가지고, 나머지 일부가 평면도 상에서 막대 형상을 가지는 경우, 드레인 전극(360)은 도 4에 도시된 바와 같이 ""의 형상을 가지게 된다.
- [0036] 다음으로, 단계(S510)에서는 드레인 전극(360) 위에 보호층(Passivation Layer)(380)을 형성한다. 일례로서, 보호층(380)을 구성하는 물질은 실리콘 산화물(일례로, SiO_2)일 수 있다.
- [0037] 계속하여, 단계(S512)에서는 평면도 상에서 상기 환형 또는 환형에서 일부가 제거된 형상의 내부 부분에 보호층(380)을 관통하는 콘택 홀을 형성하고, 단계(S514)에서는 콘택 홀을 통해 보호층(380)의 내부에 소스 전극(370)을 형성한다. 소스 전극(370) 역시 금속 재질일 수 있으며, 일례로, 몰리브덴(Mo)이 사용될 수 있다.
- [0038] 이에 따라, 소스 전극(370)은 평면도 상에서 상기 환형 또는 환형에서 일부가 제거된 형상의 내부에 위치하게 된다. 일례로, 드레인 전극(360)이 ""의 형상을 가지는 경우, 드레인 전극(360) 및 소스 전극(370)의 평면도 상의 형상은 도 4에 도시된 바와 같이 ""의 형상을 가지게 된다.
- [0039] 한편, 드레인 전극(360)의 환형상의 내부 반지름 및 외부 반지름은 에치 스톱퍼(350)의 환형상의 내부 반지름 및 외부 반지름보다 클 수 있다. 따라서, 에치 스톱퍼(350)의 일부는 도 4에 도시된 바와 같이 단면도 상에서 드레인 전극(360)과 소스 전극(370) 사이, 즉, 즉, 채널 부분에 위치하게 된다.
- [0040] 마지막으로, 단계(S516)에서는 콘택 홀의 나머지 내부 및 보호층(380)의 위에 연결 전극(390)을 형성한다. 일례로서, 연결 전극(390)은 금속 재질(일례로, 몰리브덴(Mo))일 수도 있고, 투명 전도성 물질(일례로, ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide))일 수도 있다.
- [0041] 보다 상세하게, 연결 전극(390)은 보호층(380) 위에 형성되는 수평 전극부(381) 및 보호층(380)을 관통하여 수평 전극부(381)와 소스 전극(370)을 전기적으로 연결하는 수직 전극부(382)로 구성될 수 있다. 이러한 연결 전극(390)은 소스 전극(370)을 박막 트랜지스터(300)의 외부의 다른 구성 요소와 전기적으로 연결하는 역할을 수행한다.
- [0042] 상기과 같이 구성되는 박막 트랜지스터(300)은 전원단 및 디스플레이 소자의 입력단과 연결되어 디스플레이 소자로 전원을 공급하는 역할을 수행할 수 있다.
- [0043] 일례로서, 디스플레이 소자 및 이의 구동회로(디스플레이 소자 구동회로)는 도 6에 도시된 바와 같은 회로 구성을 가질 수 있다. 이 경우, 박막 트랜지스터(300)의 드레인 전극(360)은 디스플레이 소자를 구동하기 위한 전원단과 전기적으로 연결되고, 박막 트랜지스터(300)의 소스 전극(370)은 디스플레이 소자의 입력단과 전기적으로

로 연결될 수 있다. 예를 들어, 소스 전극(370)은 연결 전극(390)을 통해 디스플레이 소자의 입력단과 전기적으로 연결될 수 있다.

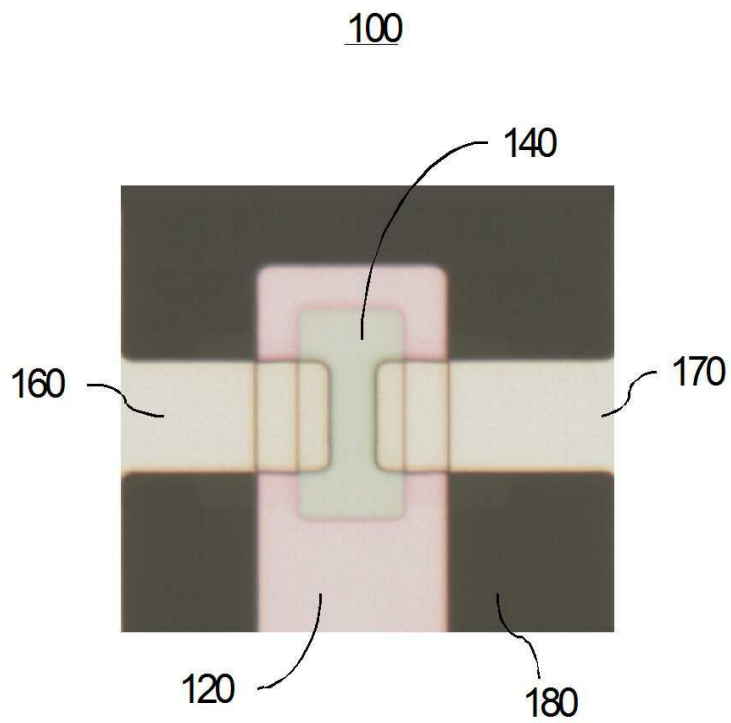
- [0044] 상기와 같이 구성되는 본 발명에 따른 박막 트랜지스터(300)는 도 1 및 도 2에 도시된 종래의 박막 트랜지스터(100)와 달리 드레인 전극(360) 및 소스 전극(370)이 평면도 상에서 환형상 내지 원형상을 가지므로, 모서리에 의한 소자의 안정성 문제를 해결할 수 있게 된다.
- [0045] 또한, 본 발명에 따른 박막 트랜지스터(300)는 드레인 전극(360)과 소스 전극(370)이 환형상 내지 원형상을 가지므로, 드레인 전극(360)과 소스 전극(370) 사이에 넓은 공간을 확보할 수 있으므로, 박막 트랜지스터(300)의 크기를 크게 하지 않고도 충분한 채널 너비를 확보할 수 있게 되어 충분한 도통전류를 보장할 수 있게 된다.
- [0046] 이하에서는 도 7 및 도 8을 참조하여 본 발명의 일 실시예에 따른 박막 트랜지스터(300)의 전기적 특성을 보다 상세하게 설명하기로 한다.
- [0047] 먼저, 도 7은 도 6에 도시된 디스플레이 소자 구동회로 내에 박막 트랜지스터(300)가 포함되는 경우에 있어, 드레인 전극(360)의 전압(즉, 전원단의 전압(V_{DD}))의 변화에 따른 도통전류의 크기 변화를 도시한 그래프이다.
- [0048] 도 7을 참조하면, 도통전류가 포화(saturation)되는 전압이 4V로서 비교적 낮으므로, 본 발명에 따른 박막 트랜지스터(300)가 포함된 디스플레이 소자 구동회로는 낮은 구동 전압에서도 디스플레이 소자로 안정적인 전류의 공급이 가능하게 된다.
- [0049] 다음으로, 도 8은 박막 트랜지스터(300)의 게이트 전압의 크기 변화에 따른 도통전류(드레인 전류)의 크기 변화(도 8의 (a)) 및 드레인 전압의 크기 변화에 따른 도통전류의 크기 변화를 도시한 그래프이다.
- [0050] 도 8의 (a)를 참조하면, 게이트 전압의 크기가 0V 이하인 영역에서 흐르는 전류인 누설 전류가 전반적으로 적은 것을 확인할 수 있으며, 특히 드레인 전극(360)의 폭(W, 즉 환형상의 드레인 전극(360)의 둘레의 길이)이 작을수록 누설 전류를 더욱 감소시킬 수 있음을 확인할 수 있다.
- [0051] 또한, 도 8의 (b)를 참조하면, 약 4V의 낮은 구동 전압에서도 도통전류가 포화됨을 확인할 수 있으며, 특히, 드레인 전극(360)의 폭이 짧을수록 드레인 전극(360)과 소스 전극(370)이 오버랩되는 영역이 감소되어 보다 큰 도통전류를 보장할 수 있음을 확인할 수 있다.
- [0052] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

도면

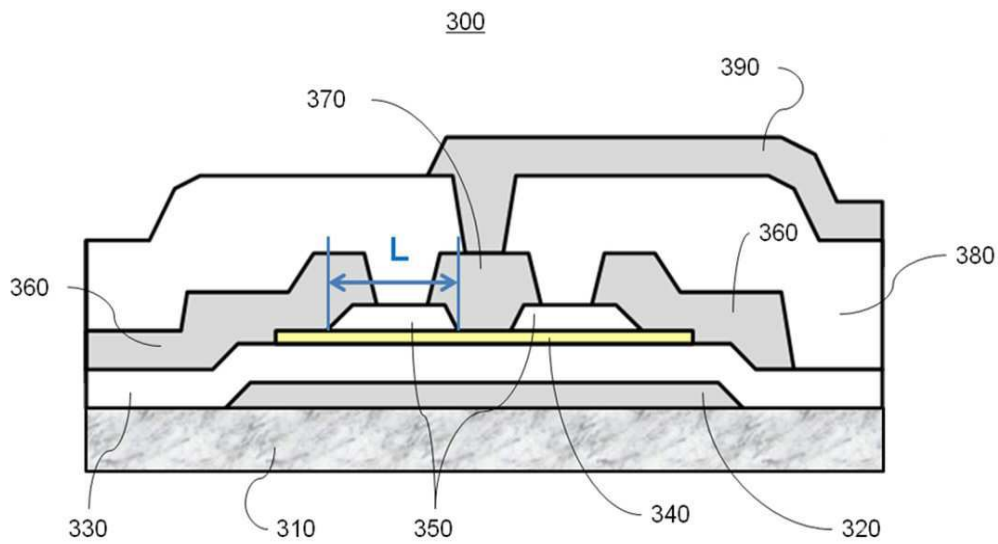
도면1



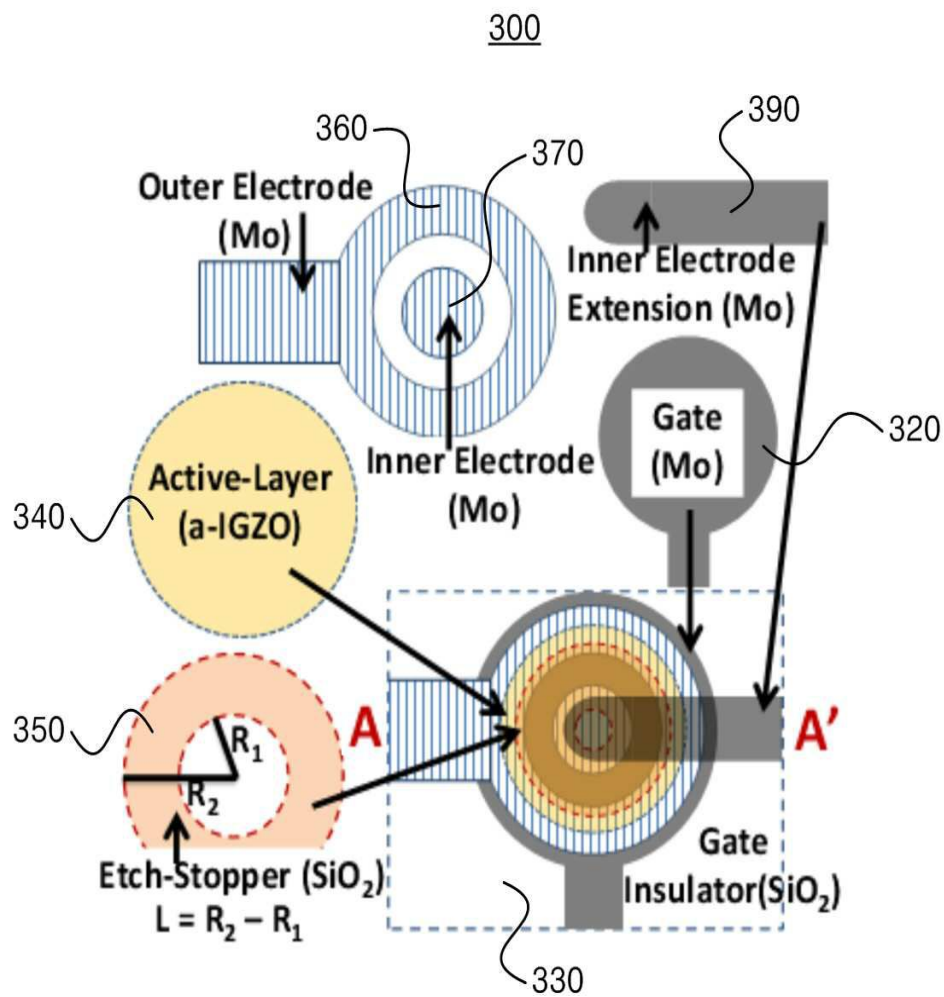
도면2



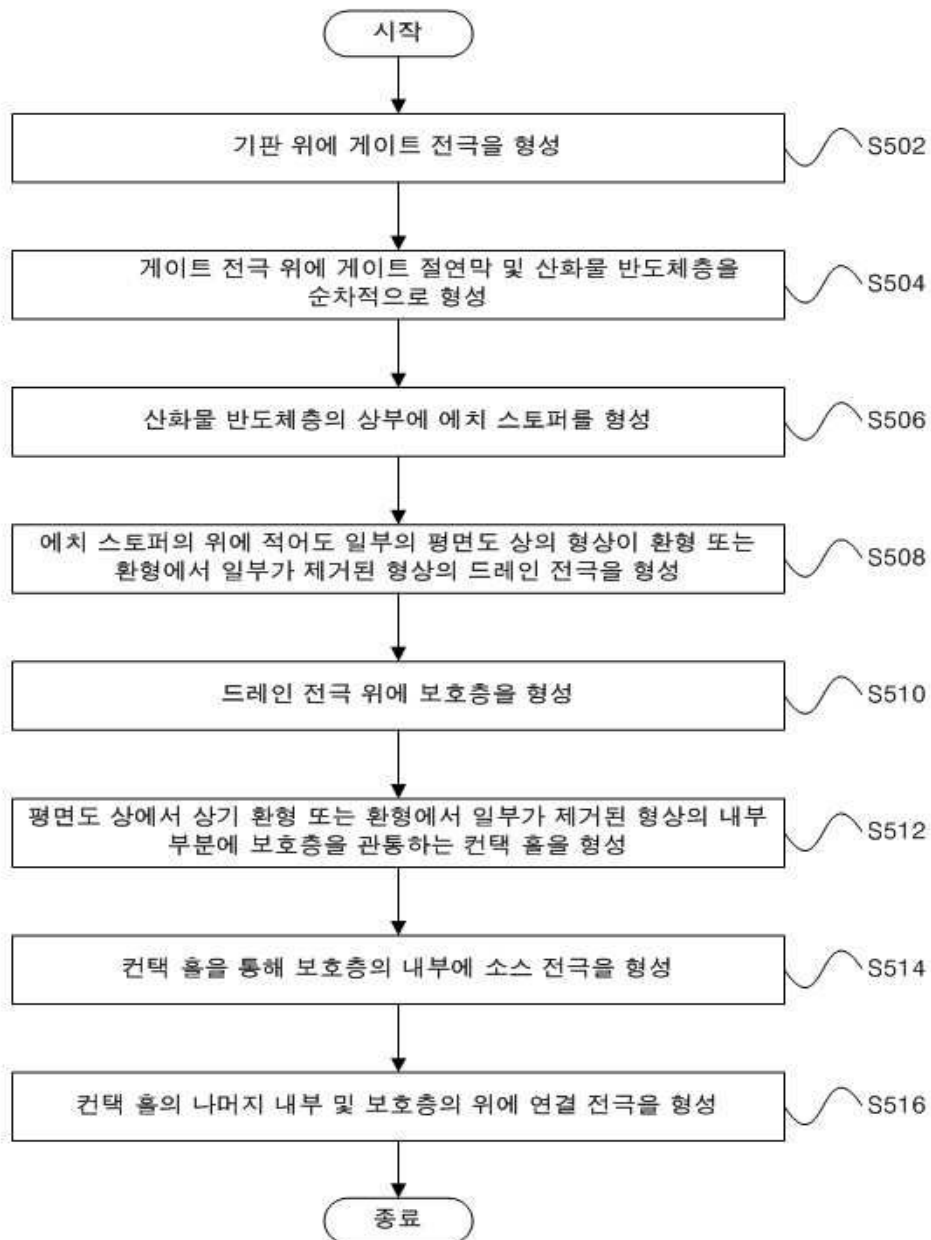
도면3



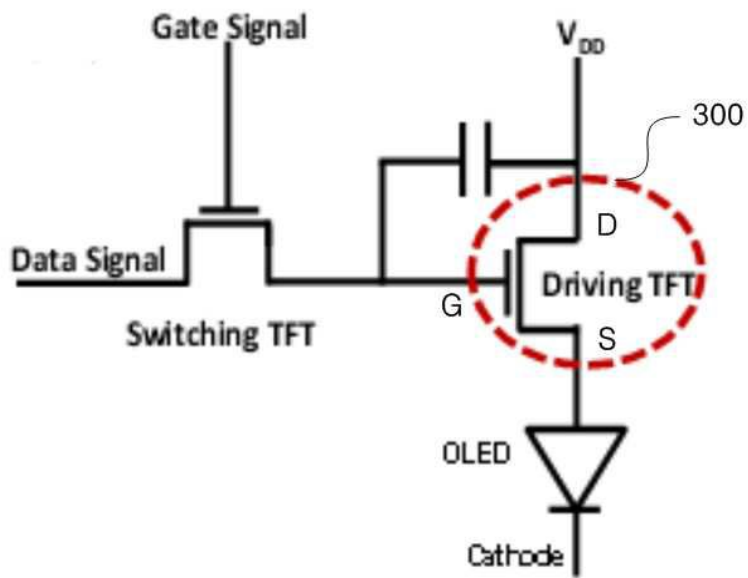
도면4



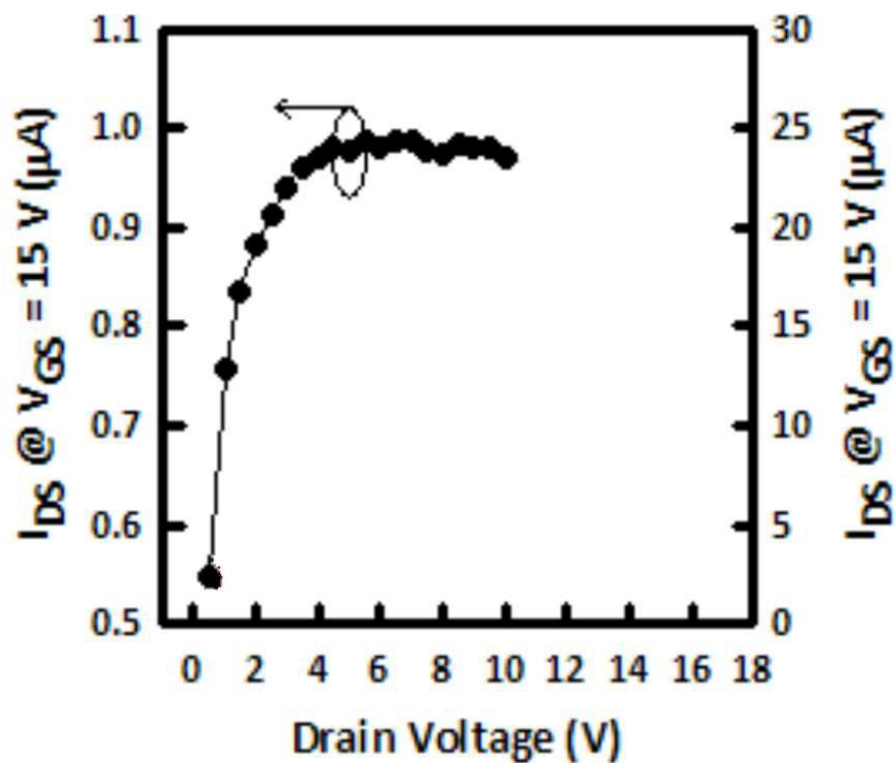
도면5



도면6



도면7



도면8

