



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0092034  
(43) 공개일자 2011년08월17일

(51) Int. Cl.

H01L 21/8247 (2006.01) H01L 27/115 (2006.01)

(21) 출원번호 10-2010-0011457

(22) 출원일자 2010년02월08일

심사청구일자 2010년02월08일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김태근

경기도 성남시 분당구 이매동 122 금강아파트  
103-1301

안호명

서울특별시 송파구 풍납동 277-5번지 202호

(74) 대리인

특허법인주원

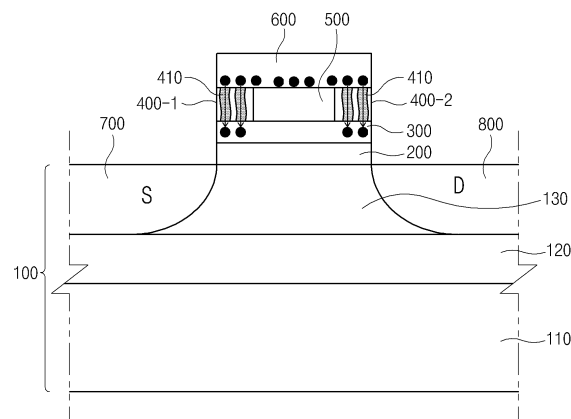
전체 청구항 수 : 총 15 항

## (54) 멀티 비트 비휘발성 메모리 소자 및 그 제조 방법

### (57) 요약

본 발명은 비휘발성 메모리 소자 및 그 제조 방법을 개시한다. 본 발명은 전하를 절연층에 의해서 서로 분리된 저항 변화층을 통해서 각각 국소적으로 전하를 주입함으로써, 하나의 셀에 멀티 비트를 프로그램할 수 있을 뿐만 아니라, 멀티 비트로 프로그램된 전하들이 서로 확산되어 cross talk가 발생하는 것을 차단할 수 있는 효과가 있다. 또한, 본 발명은 전하를 주입하는 경로로써 전계에 따라서 저항이 변화하는 binary oxide 계( $\text{Nb}_2\text{O}_5$ ,  $\text{TiO}_2$ ,  $\text{NiO}$ ,  $\text{Al}_2\text{O}_3$  등을 포함함), metal doped PCMO계 ( $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$  등을 포함함), chalcogenide 계( $\text{GeSeTe}$  등을 포함함), PMC(programmable metallization cell)계( $\text{AgGeSe}$  등을 포함함), metal doped perovskite 계( $\text{SrTiO}_3$ ,  $\text{SrZrO}_3$  등에 Cr 혹은 Nb 도핑) 물질 등을 이용함으로써, 전하를 프로그램하거나 프로그램된 전하를 소거할 때, 저항 변화층에서 거의 동일한 위치에 형성되는 Conduction Filaments를 통해서 전자를 주입하거나 정공을 주입하므로, 거의 동일한 영역에 전자와 정공을 주입할 수 있고, 따라서 종래 기술에서 발생하는 전자와 정공이 주입되는 영역의 불일치를 해소하여 신뢰성을 향상시킬 수 있는 효과가 있다.

### 대표도 - 도1



## 특허청구의 범위

### 청구항 1

반도체 기판;

상기 반도체 기판위에 형성된 절연막;

상기 절연막 위에 형성된 전하 포획층;

상기 전하 포획층 위에 형성되고, 인가된 전계에 의해서 저항이 변화되어 전하가 이동할 수 있는 제 1 저항 변화층 및 제 2 저항 변화층;

상기 전하 포획층 위에 형성되고, 상기 제 1 저항 변화층 및 상기 제 2 저항 변화층 사이에 위치하는 절연층;

상기 제 1 저항 변화층, 상기 제 2 저항 변화층 및 상기 절연층 위에 형성되어 상기 제 1 저항 변화층 또는 상기 제 2 저항 변화층을 통해서 상기 전하 포획층으로 전하를 주입하는 전극층; 및

상기 절연막의 양 측면의, 상기 반도체 기판에 형성된 소오스 영역 및 드레인 영역을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 2

제 1 항에 있어서,

상기 반도체 기판은 매립절연막을 포함하고, 상기 매립 절연막 위에 단결정 실리콘층이 형성된 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 3

제 2 항에 있어서,

상기 소오스 영역 및 상기 드레인 영역은 상기 단결정 실리콘층에 불순물을 도핑하여 형성된 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 4

제 1 항에 있어서,

상기 제 1 저항 변화층은 상기 제 2 저항 변화층보다 소오스 영역에 인접하게 배치되어 상기 전극층과 상기 소오스 영역 사이에 전계가 형성되면 전하가 유동할 수 있는 conduction filaments가 형성되는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 5

제 1 항에 있어서,

상기 제 2 저항 변화층은 상기 제 1 저항 변화층보다 드레인 영역에 인접하게 배치되어 상기 전극층과 드레인 영역 사이에 전계가 형성되면 전하가 유동할 수 있는 conduction filaments가 형성되는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 1 저항 변화층 및 상기 제 2 저항 변화층은, binary oxide 계 물질( $\text{Nb}_2\text{O}_5$ ,  $\text{TiO}_2$ ,  $\text{NiO}$ ,  $\text{Al}_2\text{O}_3$  를 포함함), chalcogenide 계 물질( $\text{GeSeTe}$  을 포함함), PMC(programmable metallization cell)계 물질( $\text{AgGeSe}$  을 포함함), metal doped perovskite계 물질( $\text{SrTiO}_3$ ,  $\text{SrZrO}_3$  등에 Cr 혹은 Nb 도핑한 물질을 포함함) 중 어느 하나의 물질로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자.

#### 청구항 7

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 전하 포획층은 폴리실리콘, 실리콘질화막( $\text{Si}_3\text{N}_4$ ) 또는 나노크리스탈 중 어느 하나의 물질로 형성된 것을 특징으로 하는 비휘발성 메모리 소자.

#### 청구항 8

(a) 반도체 기판에 절연막을 형성하는 단계;

(b) 상기 절연막에 전하를 포획하는 전하 포획층을 형성하는 단계;

(c) 상기 전하 포획층 위에, 인가된 전계에 의해서 저항이 변화되어 전하가 이동할 수 있는 제 1 저항 변화층 및 제 2 저항 변화층과, 상기 제 1 저항 변화층 및 상기 제 2 저항 변화층 사이에 위치하는 절연층을 형성하는 단계;

(d) 상기 제 1 저항 변화층, 상기 제 2 저항 변화층 및 상기 절연층 위에, 상기 제 1 저항 변화층 또는 상기 제 2 저항 변화층을 통해서 상기 전하 포획층으로 전하를 주입하는 전극층을 형성하는 단계; 및

(e) 상기 절연막의 양 측면의, 상기 반도체 기판에 소오스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

#### 청구항 9

제 8 항에 있어서,

상기 반도체 기판은 매립절연막을 포함하고, 상기 매립절연막 위에 단결정 실리콘층이 형성된 기판인 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

#### 청구항 10

제 9 항에 있어서, 상기 (e) 단계에서

상기 소오스 영역 및 드레인 영역은 상기 단결정 실리콘층에 불순물을 도핑하여 형성된 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

#### 청구항 11

제 8 항에 있어서,

상기 제 1 저항 변화층은 상기 제 2 저항 변화층보다 소오스 영역에 인접하게 배치되어 상기 전극층과 소오스 영역 사이에 전계가 형성되면 전하가 유동할 수 있는 conduction filaments가 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

#### 청구항 12

제 8 항에 있어서,

상기 제 2 저항 변화층은 상기 제 1 저항 변화층보다 드레인 영역에 인접하게 배치되어 상기 전극층과 드레인 영역 사이에 전계가 형성되면 전하가 유동할 수 있는 conduction filaments가 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

#### 청구항 13

제 8 항에 있어서, 상기 (c) 단계는

상기 전하 포획층 위에 저항 변화층을 형성하는 단계;

상기 전하 포획층이 드러나도록 상기 전하 변화층의 중심 영역을 식각하여 상기 저항 변화층을 상기 제 1 저항 변화층과 상기 제 2 저항 변화층으로 분리하는 단계; 및

상기 제 1 저항 변화층과 상기 제 2 저항 변화층 사이에 상기 절연층을 형성하는 단계를 포함하는 것을 특징으로

로 하는 비휘발성 메모리 소자 제조 방법.

#### 청구항 14

제 8 항 내지 제 13 항 중 어느 한 항에 있어서,

상기 제 1 저항 변화층 및 상기 제 2 저항 변화층은 binary oxide 계 물질( $\text{Nb}_2\text{O}_5$ ,  $\text{TiO}_2$ ,  $\text{NiO}$ ,  $\text{Al}_2\text{O}_3$  를 포함함), chalcogenide 계 물질( $\text{GeSeTe}$  을 포함함), PMC(programmable metallization cell)계 물질( $\text{AgGeSe}$  을 포함함), metal doped perovskite계 물질( $\text{SrTiO}_3$ ,  $\text{SrZrO}_3$  등에 Cr 혹은 Nb 도핑한 물질을 포함함) 중 어느 하나로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

#### 청구항 15

제 8 항 내지 제 13 항 중 어느 한 항에 있어서,

상기 전하 포획층은 폴리실리콘, 실리콘질화막( $\text{Si}_3\text{N}_4$ ) 또는 나노크리스탈 중 어느 하나로 형성된 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

### 명세서

#### 기술분야

[0001] 본 발명은 비휘발성 메모리 소자 및 그 제조 방법에 관한 것으로서, 보다 구체적으로는 멀티 비트 프로그램이 가능한 멀티 비트 비휘발성 메모리 소자 및 그 제조 방법에 관한 것이다.

#### 배경기술

[0002] 최근 비휘발성 메모리 소자들에 있어서, 미세 공정 기술의 한계로 인하여, 메모리 집적도 증가는 한계에 직면하고 있다. 이에 따라, 보다 좁은 폭의 미세 공정 기술을 이용하는 것 외에, 메모리 용량 및 메모리 속도를 증가시키는 방법들이 연구되고 있다. 대표적으로 2000, 2, 28일에 출원된 쇼이치 카와무라(Shoichi Kawamura) 등에 의한 미국특허 제 6,670,669호, "MULTIPLE-BIT NON-VOLATILE MEMORY UTILIZING NON-CONDUCTIVE CHARGE TRAPPING GATE"에는 절연성 트랩핑 게이트를 이용한 멀티-비트 동작형 비휘발성 메모리가 개시되어 있다.

[0003] 개시된 멀티비트 비휘발성 메모리는, 기존 평면형(planar-type) polysilicon-oxide-nitride-oxide-silicon(SONOS) 구조를 유지 하면서, 소스와 드레인 접합 근처의 질화막 층에 국소적으로 주입된 전하를 역방향 읽기(reverse read)와 순방향 읽기(forward read)로 구분한다. 이때, 국소적으로 전하를 주입하기 위하여 프로그램은 고온 전하 주입(hot carrier injection) 방법을, 소거는 고온 정공 주입(hot hole injection) 방법을 사용한다.

[0004] 하지만, 통상적인 멀티비트 소자는 국소적으로 주입된 전하가 측면 확산으로 인한 비트 1(소스)과 비트 2(드레인)의 저장 공간이 혼재되면서 잡음(Cross talk)으로 인한 읽기 동작의 오류가 발생하는 문제점을 가지고 있다.

[0005] 또한, 프로그램 방법은 소스 혹은 드레인 접합 공핍 영역에서 발생된 고온 전하 주입을 사용하므로 채널 길이가 짧은 소자에서는 공핍 영역이 무시할수 없는 크기로, 전하를 국소적인 면적에 주입하기가 쉽지 않고, 고온 전자와 고온 정공 주입 공간이 일치하지 않아(mismatch) 신뢰성에 문제점이 있다.

#### 발명의 내용

#### 해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는, 하나의 셀에 멀티 비트를 프로그램할 수 있는 비휘발성 메모리 소자 및 그 제조 방법을 제공하는 것이다.

[0007] 또한, 본 발명이 해결하고자 하는 과제는, 멀티 비트로 프로그램된 전하들이 서로 확산되어 cross talk가 발생하는 것을 차단할 수 있는 비휘발성 메모리 소자 및 그 제조 방법을 제공하는 것이다.

[0008] 또한, 본 발명이 해결하고자 하는 과제는, 전하를 국소적으로 주입함으로써, 전자와 정공이 서로 주입되는 공간을 일치시킴으로써, 전자와 정공이 주입되는 공간의 불일치로 인해서 낮은 신뢰도를 나타내는 종래의 비휘발성

메모리 소자보다 높은 신뢰도를 나타내는 비휘발성 메모리 소자 및 그 제조 방법을 제공하는 것이다.

### 과제의 해결 수단

- [0009] 상술한 과제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자는, 반도체 기판; 상기 반도체 기판위에 형성된 절연막; 상기 절연막 위에 형성된 전하 포획층; 상기 전하 포획층 위에 형성되고, 인가된 전계에 의해서 저항이 변화되어 전하가 이동할 수 있는 제 1 저항 변화층 및 제 2 저항 변화층; 상기 전하 포획층 위에 형성되고, 상기 제 1 저항 변화층 및 상기 제 2 저항 변화층 사이에 위치하는 절연층; 상기 제 1 저항 변화층, 상기 제 2 저항 변화층 및 상기 절연층 위에 형성되어 상기 제 1 저항 변화층 또는 상기 제 2 저항 변화층을 통해서 상기 전하 포획층으로 전하를 주입하는 전극층; 및 상기 절연막의 양 측면의, 상기 반도체 기판에 형성된 소오스 영역 및 드레인 영역을 포함한다.
- [0010] 또한, 상기 반도체 기판은 매립절연막을 포함하고, 상기 매립 절연막 위에 단결정 실리콘층이 형성될 수 있다.
- [0011] 또한, 상기 소오스 영역 및 상기 드레인 영역은 상기 단결정 실리콘층에 불순물을 도핑하여 형성될 수 있다.
- [0012] 또한, 상기 제 1 저항 변화층은 상기 제 2 저항 변화층보다 소오스 영역에 인접하게 배치되어 상기 전극층과 상기 소오스 영역 사이에 전계가 형성되면 전하가 유동할 수 있는 conduction filaments가 형성될 수 있다.
- [0013] 또한, 상기 제 2 저항 변화층은 상기 제 1 저항 변화층보다 드레인 영역에 인접하게 배치되어 상기 전극층과 드레인 영역 사이에 전계가 형성되면 전하가 유동할 수 있는 conduction filaments가 형성될 수 있다.
- [0014] 또한, 상기 제 1 저항 변화층 및 상기 제 2 저항 변화층은, binary oxide 계 물질( $\text{Nb}_2\text{O}_5$ ,  $\text{TiO}_2$ ,  $\text{NiO}$ ,  $\text{Al}_2\text{O}_3$  를 포함함), chalcogenide 계 물질( $\text{GeSeTe}$  을 포함함), PMC(programmable metallization cell)계 물질( $\text{AgGeSe}$  을 포함함), metal doped perovskite계 물질( $\text{SrTiO}_3$ ,  $\text{SrZrO}_3$  등에 Cr 혹은 Nb 도핑한 물질을 포함함) 중 어느 하나의 물질로 형성될 수 있다.
- [0015] 또한, 상기 전하 포획층은 폴리실리콘, 실리콘질화막( $\text{Si}_3\text{N}_4$ ) 또는 나노크리스탈 중 어느 하나의 물질로 형성될 수 있다.
- [0016] 한편, 상술한 과제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조 방법은 (a) 반도체 기판에 절연막을 형성하는 단계; (b) 상기 절연막에 전하를 포획하는 전하 포획층을 형성하는 단계; (c) 상기 전하 포획층 위에, 인가된 전계에 의해서 저항이 변화되어 전하가 이동할 수 있는 제 1 저항 변화층 및 제 2 저항 변화층과, 상기 제 1 저항 변화층 및 상기 제 2 저항 변화층 사이에 위치하는 절연층을 형성하는 단계; (d) 상기 제 1 저항 변화층, 상기 제 2 저항 변화층 및 상기 절연층 위에, 상기 제 1 저항 변화층 또는 상기 제 2 저항 변화층을 통해서 상기 전하 포획층으로 전하를 주입하는 전극층을 형성하는 단계; 및 (e) 상기 절연막의 양 측면의, 상기 반도체 기판에 소오스 영역 및 드레인 영역을 형성하는 단계를 포함할 수 있다.
- [0017] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조 방법에 이용되는 반도체 기판은 매립절연막을 포함하고, 상기 매립절연막 위에 단결정 실리콘층이 형성된 기판일 수 있다.
- [0018] 또한, 상기 (e) 단계에서, 상기 소오스 영역 및 드레인 영역은 상기 단결정 실리콘층에 불순물을 도핑하여 형성될 수 있다.
- [0019] 또한, 상기 제 1 저항 변화층은 상기 제 2 저항 변화층보다 소오스 영역에 인접하게 배치되어 상기 전극층과 소오스 영역 사이에 전계가 형성되면 전하가 유동할 수 있는 conduction filaments가 형성될 수 있다.
- [0020] 또한, 상기 제 2 저항 변화층은 상기 제 1 저항 변화층보다 드레인 영역에 인접하게 배치되어 상기 전극층과 드레인 영역 사이에 전계가 형성되면 전하가 유동할 수 있는 conduction filaments가 형성될 수 있다.
- [0021] 또한, 상기 (c) 단계는, 상기 전하 포획층 위에 저항 변화층을 형성하는 단계; 상기 전하 포획층이 드러나도록 상기 전하 변화층의 중심 영역을 식각하여 상기 저항 변화층을 상기 제 1 저항 변화층과 상기 제 2 저항 변화층으로 분리하는 단계; 및 상기 제 1 저항 변화층과 상기 제 2 저항 변화층 사이에 상기 절연층을 형성하는 단계를 포함할 수 있다.
- [0022] 또한, 상기 제 1 저항 변화층 및 상기 제 2 저항 변화층은 binary oxide 계 물질( $\text{Nb}_2\text{O}_5$ ,  $\text{TiO}_2$ ,  $\text{NiO}$ ,  $\text{Al}_2\text{O}_3$  를 포함함), chalcogenide 계 물질( $\text{GeSeTe}$  을 포함함), PMC(programmable metallization cell)계 물질( $\text{AgGeSe}$  을 포함함), metal doped perovskite계 물질( $\text{SrTiO}_3$ ,  $\text{SrZrO}_3$  등에 Cr 혹은 Nb 도핑한 물질을 포함함) 중 어느 하나

형성될 수 있다.

[0023] 또한, 상기 전하 포획층은 폴리실리콘, 실리콘질화막( $\text{Si}_3\text{N}_4$ ) 또는 나노크리스탈 중 어느 하나로 형성될 수 있다.

### 발명의 효과

[0024] 본 발명은 전하를 절연층에 의해서 서로 분리된 저항 변화층을 통해서 각각 국소적으로 전하를 주입함으로써, 하나의 셀에 멀티 비트를 프로그램할 수 있을 뿐만 아니라, 멀티 비트로 프로그램된 전하들이 서로 확산되어 cross talk가 발생하는 것을 차단할 수 있는 효과가 있다.

[0025] 또한, 본 발명은 전하를 주입하는 경로로써 전계에 따라서 저항이 변화하는 binary oxide 계( $\text{Nb}_2\text{O}_5$ ,  $\text{TiO}_2$ ,  $\text{NiO}$ ,  $\text{Al}_2\text{O}_3$  등을 포함함), metal doped PCMO계 ( $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$  등을 포함함), chalcogenide 계( $\text{GeSeTe}$  등을 포함함), PMC(programmable metallization cell)계( $\text{AgGeSe}$  등을 포함함), metal doped perovskite 계( $\text{SrTiO}_3$ ,  $\text{SrZrO}_3$  등에 Cr 혹은 Nb 도핑) 물질 등을 이용함으로써, 전하를 프로그램하거나 프로그램된 전하를 소거할 때, 저항 변화층에서 거의 동일한 위치에 형성되는 Conduction Filaments를 통해서 전자를 주입하거나 정공을 주입하므로, 거의 동일한 영역에 전자와 정공을 주입할 수 있고, 따라서 종래 기술에서 발생하는 전자와 정공이 주입되는 영역의 불일치를 해소하여 신뢰성을 향상시킬 수 있는 효과가 있다.

### 도면의 간단한 설명

[0026] 도 1은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 구조를 도시하는 도면이다.

도 2a 내지 도 2d는 도 1에 도시된 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자에 전하를 프로그램하는 방법 및 프로그램된 전하를 소거하는 방법을 도시하는 도면이다.

도 3a 내지 도 3f는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 설명하는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

[0028] 도 1은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 구조를 도시하는 도면이다.

[0029] 도 1을 참조하면, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리소자는 반도체 기판(100)위에 절연막(200)이 형성되고, 절연막(200) 위에 전하 포획층(300)이 형성되며, 전하 포획층(300) 위에 제 1 저항 변화층(400-1), 제 2 저항 변화층(400-2), 및 절연층(500)이 형성되어 있다. 이 때, 절연층(500)은 제 1 저항 변화층(400-1)과 제 2 저항 변화층(400-2) 사이에 형성되어 제 1 저항 변화층(400-1)과 제 2 저항 변화층(400-2)을 분리시킨다.

[0030] 또한, 제 1 저항 변화층(400-1), 제 2 저항 변화층(400-2) 및 절연층(500) 위에는 게이트 전극층(600)(이하 "전극층"이라 약칭함)이 형성되어 있으며, 절연막(200)의 좌우측, 반도체 기판(100)의 표면에는 소오스 영역(700) 및 드레인 영역(800)이 각각 형성되어 있다.

[0031] 본 발명에서 이용되는 반도체 기판(100)은 기판(110)과 전극층(600)간에 임의의 전계가 형성되는 것을 차단하기 위해서 내부에 매립 절연막(120)이 형성되고, 그 위에 단결정 실리콘층(130)이 형성된 SOI 기판이 이용되는 것이 바람직하고, 본 발명의 비휘발성 메모리 소자는 매립 절연막(120) 위에 형성되는 것이 바람직하다.

[0032] 또한, 본 발명의 바람직한 실시예에서 절연막(200) 및 절연층(500)은  $\text{SiO}_2$ 와 같은 산화막으로 형성될 수 있고, 전하 포획층(300)은 폴리실리콘, 실리콘질화막( $\text{Si}_3\text{N}_4$ ) 또는 나노크리스탈과 같이 전하를 포획하여 유지할 수 있는 물질로 형성된다.

[0033] 한편, 저항 변화층(400)은 ReRAM 소자의 제조에 이용되는 binary oxide 계( $\text{Nb}_2\text{O}_5$ ,  $\text{TiO}_2$ ,  $\text{NiO}$ ,  $\text{Al}_2\text{O}_3$  등을 포함함), chalcogenide 계( $\text{GeSeTe}$  등을 포함함), PMC(programmable metallization cell)계( $\text{AgGeSe}$  등을 포함함), metal doped perovskite 계( $\text{SrTiO}_3$ ,  $\text{SrZrO}_3$  등에 Cr 혹은 Nb 도핑) 물질 등으로 형성될 수 있다.

[0034] 이들 물질은 충분히 높은 전압을 가하면 전류가 흐르는 통로가 생성되어 저항이 낮아지는 물질로서, 일단 통로

가 생성되면 적당한 전압을 가하여 쉽게 없애거나 다시 생성할 수 있다.

- [0035] 도 2a 내지 도 2d는 도 1에 도시된 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자에 전하를 프로그램 하는 방법 및 프로그램된 전하를 소거하는 방법을 도시하는 도면이다.
- [0036] 먼저, 도 2a는 전하 포획층(300)에서 소오스 영역(700)에 인접한 제 1 비트 영역에 프로그램을 수행하는 방법을 설명하는 도면으로서, 도 2a를 참조하면, 제 1 비트 영역에 전하(전자)를 프로그램하기 위해서는 드레인 영역(800)을 플로팅(floating)시키고, 소오스 영역(700)을 접지(GND)한 상태에서, 전극층(600)에 음의 프로그램 전압(-V<sub>p</sub>)을 인가한다.
- [0037] 그러면, 전극층(600)과 소오스 영역(700) 사이에만 전계가 형성되고, 제 1 저항 변화층(400-1)에 conduction filaments(410)가 형성되어 전극층(600)으로부터 전하 포획층(300)으로 전하(전자)가 이동할 수 있는 통로가 형성되고, 전극층(600)의 전하(전자)가 conduction filaments(410)를 통해서 전하 포획층(300)으로 주입되어 포획됨으로써 프로그램 상태가 된다.
- [0038] 한편, 도 2b는 도 2a에 도시된 프로그램된 전하를 소거하는 방법을 도시하는 도면이다. 도 2b를 참조하면, 전하 포획층(300)의 제 1 비트 영역에 포획된 전하를 소거하기 위해서는 드레인 영역(800)을 플로팅(floating)시키고, 소오스 영역(700)을 접지(GND)한 상태에서, 전극층(600)에 양의 소거 전압(+V<sub>e</sub>)을 인가한다.
- [0039] 그러면, 전극층(600)과 소오스 영역(700) 사이에만 전계가 형성되고, 제 1 저항 변화층(400-1)에 conduction filaments(410)가 형성되어, 전하 포획층(300)으로부터 전극층(600)으로 전하(전자)가 이동할 수 있는(또는, 전극층(600)으로부터 전하 포획층(300)으로 전하(정공)이 이동할 수 있는) 통로가 형성되고, 전하 포획층(300)의 전하(전자)(또는, 전극층(600)의 전하(정공))가 conduction filaments(410)를 통해서 전극층(600)으로 이동함으로써(전극층(600)의 전하(정공)이 전하 포획층(300)으로 이동함으로써), 프로그램 상태가 소거된다.
- [0040] 본 발명의 바람직한 실시예에서, 프로그램 전압(-V<sub>p</sub>)으로는 약 -0.5V 내지 -10V를 인가하였고, 프로그램 소거 전압(+V<sub>e</sub>)으로는 약 +0.5V 내지 +10V 전압을 인가하였다.
- [0041] 도 2c 및 도 2d는 각각 전하 포획층(300)의 드레인 영역(800)에 근접한 제 2 비트 영역에 프로그램을 수행하는 과정 및 제 2 비트 영역에 프로그램된 데이터를 소거하는 과정을 도시하는 도면이다. 도 2c 및 도 2d에 도시된 과정은 소오스 영역(700)을 플로팅시키고 드레인 영역(800)을 접지한다는 점에서만 도 2a 및 도 2b에 도시된 예와 각각 차이가 있으므로 구체적인 설명은 생략한다.
- [0042] 도 3a 내지 도 3f는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 설명하는 도면이다.
- [0043] 먼저, 도 3a를 참조하면, 본 발명의 비휘발성 메모리 소자를 제조하기 위해서, 반도체 기판(100)을 마련한다. 반도체 기판(100)은 기판(110)과 전극층(600)간에 임의의 전계가 형성되는 것을 차단하기 위해서 내부에 매립 절연막(120)이 형성되고, 그 위에 단결정 실리콘층(130)이 형성된 SOI 기판이 이용되는 것이 바람직하고, 본 발명의 비휘발성 메모리 소자는 매립 절연막(120) 위에 형성되는 것이 바람직하다.
- [0044] 그 후, 도 3b에 도시된 바와 같이, 반도체 기판(100)에 형성된 단결정 실리콘층(130) 위에 절연막(200)과 전하 포획층(300)을 각각 3nm ~ 100nm 및 4nm ~ 100nm 두께로 순차적으로 증착 형성한다. 본 발명의 바람직한 실시예에서, 절연막(200)은 SiO<sub>2</sub>와 같은 산화막으로 형성될 수 있고, 전하 포획층(300)은 폴리실리콘, 실리콘질화막(Si<sub>3</sub>N<sub>4</sub>) 또는 나노크리스탈과 같이 전하를 포획하여 유지할 수 있는 물질로 형성된다.
- [0045] 절연막(200)과 전하 포획층(300)이 형성된 후, 도 3c에 도시된 바와 같이, binary oxide 계(Nb<sub>2</sub>O<sub>5</sub>, TiO<sub>2</sub>, NiO, Al<sub>2</sub>O<sub>3</sub> 등을 포함함), chalcogenide 계(GeSeTe 등을 포함함), PMC(programmable metallization cell)계(AgGeSe 등을 포함함), metal doped perovskite 계(SrTiO<sub>3</sub>, SrZrO<sub>3</sub> 등에 Cr 혹은 Nb 도핑) 물질 중 어느 하나의 물질로 저항 변화층(400)(후에 제 1 저항 변화층(400-1)과 제 2 저항 변화층(400-2)으로 분리됨)을 1nm 내지 100nm의 두께로 전하 포획층(300) 위에 증착하여 형성한다.
- [0046] 그 후, 도 3d에 도시된 바와 같이, 포토 리소그래피 공정을 이용하여 저항 변화층(400)의 중심 영역을 전하 포획층(300)이 드러날때까지 식각하여, 저항 변화층(400)을 제 1 저항 변화층(400-1)과 제 2 저항 변화층(400-2)으로 분리한다.

[0047] 저항 변화층(400)이 분리되면, 도 3e에 도시된 바와 같이, 제 1 저항 변화층(400-1)과 제 2 저항 변화층(400-2) 사이에 절연층(500)을 형성한다. 절연층(500)은 절연막(200)과 동일한 물질로 형성할 수 있다. 절연층(500)을 형성하는 방법은 다양하게 적용 가능하다. 예컨대, 전하 포획층(300)이 드러난 상태에서 절연층(500) 형성 물질을 충분한 두께로 증착한 후 제 1 저항 변화층(400-1) 및 제 2 저항 변화층(400-2) 위에 형성된 절연층(500) 물질을 CMP 등의 방식으로 제거함으로써 절연층(500)을 형성할 수 있으며, 제 1 저항 변화층(400-1) 및 제 2 저항 변화층(400-2) 위에 포토 마스크를 형성하여 절연층(500) 형성 대상 영역에만 절연층(500) 물질을 증착하는 방식으로도 형성할 수 있다.

[0048] 절연층(500)이 형성되어 제 1 저항 변화층(400-1) 및 제 2 저항 변화층(400-2)이 서로 분리되면, 도 3f 에 도시된 바와 같이, 제 1 저항 변화층(400-1), 절연층(500) 및 제 2 저항 변화층(400-2) 위에 1nm 내지 100nm 두께로 전극층(600)을 형성하고, 절연막(200)의 좌우측 반도체 기판(100)의 단결정 실리콘층(130)에 불순물을 주입하여 소오스 영역(700) 및 드레인 영역(800)을 형성한다.

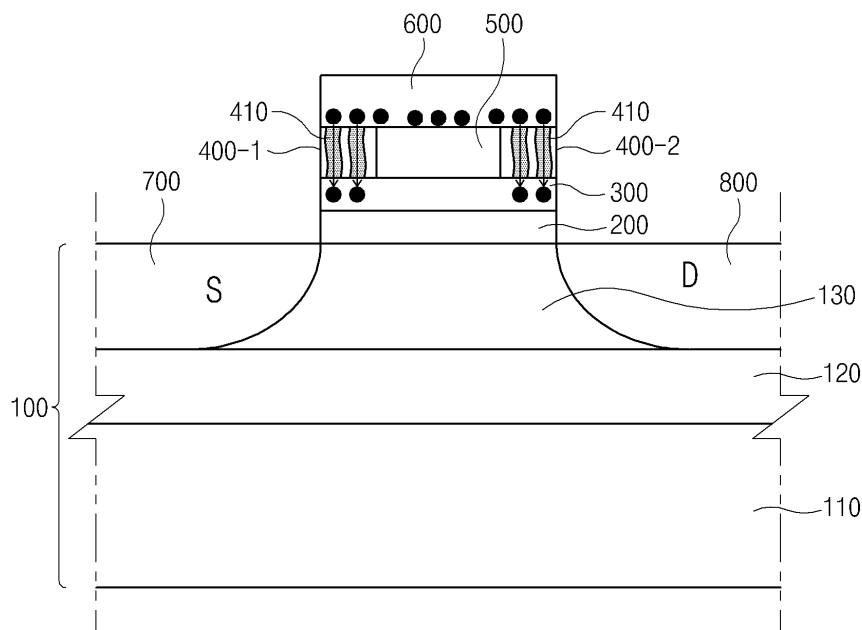
[0049] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

### 부호의 설명

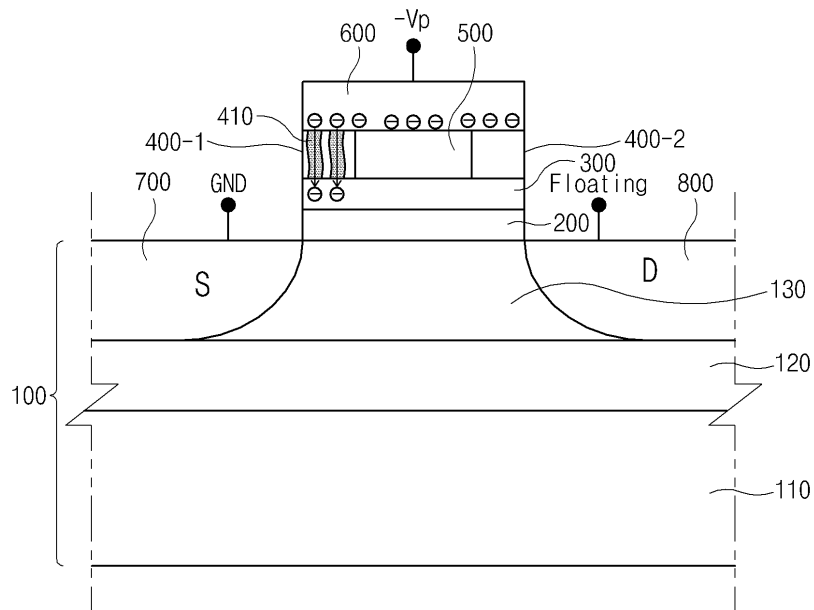
|        |       |            |       |                      |
|--------|-------|------------|-------|----------------------|
| [0050] | 100   | 반도체 기판     | 110   | 기판                   |
|        | 120   | 매립 절연막     | 130   | 단결정 실리콘층             |
|        | 200   | 절연막        | 300   | 전하 포획층               |
|        | 400   | 저항 변화층     | 410   | conduction filaments |
|        | 400-1 | 제 1 저항 변화층 | 400-2 | 제 2 저항 변화층           |
|        | 500   | 절연층        | 600   | 전극층                  |
|        | 700   | 소오스 영역     | 800   | 드레인 영역               |

### 도면

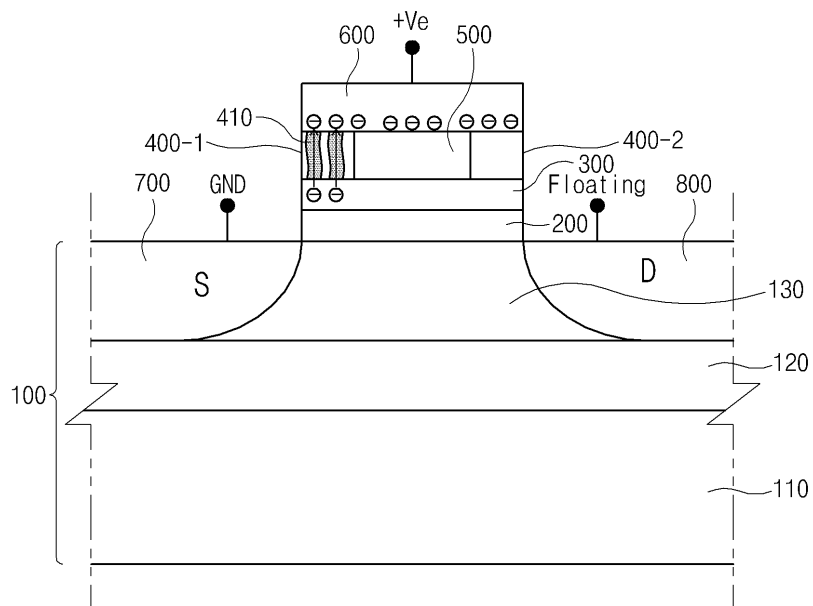
#### 도면1



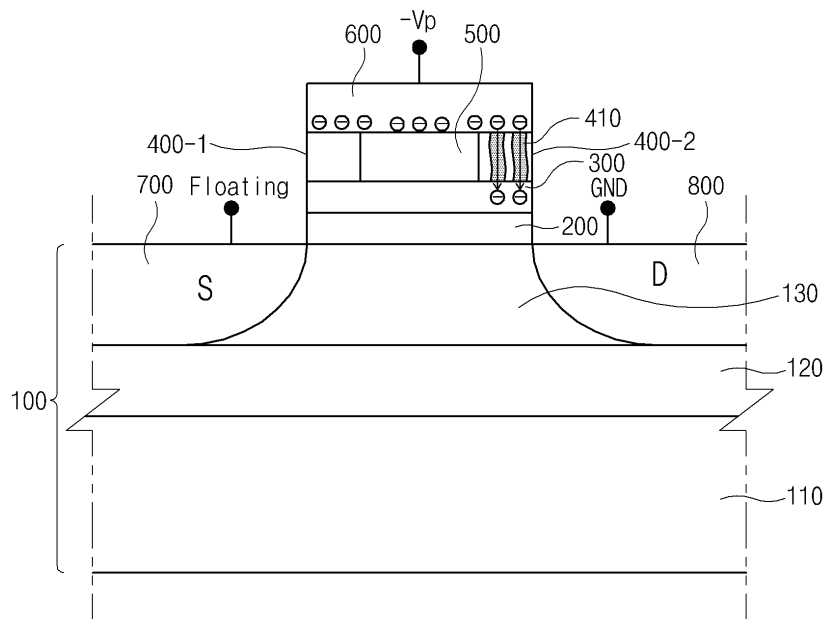
도면2a



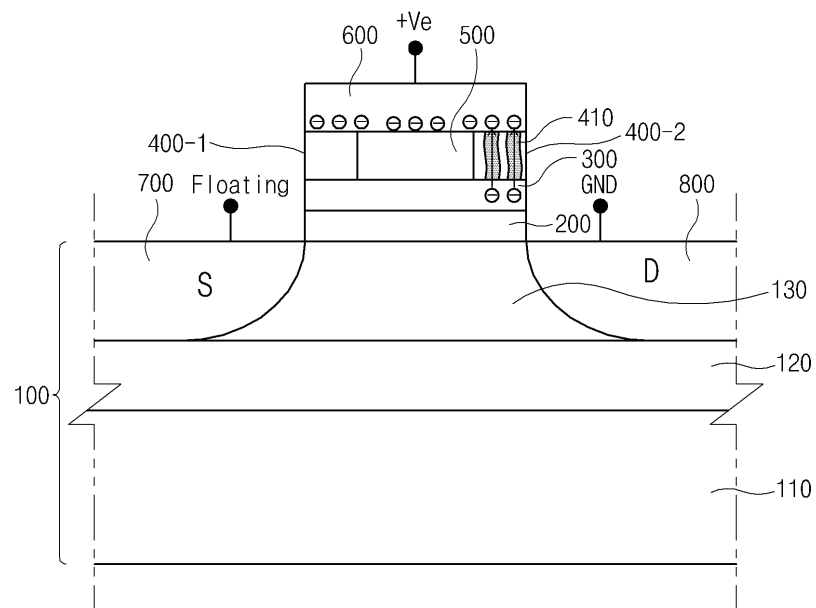
도면2b



도면2c



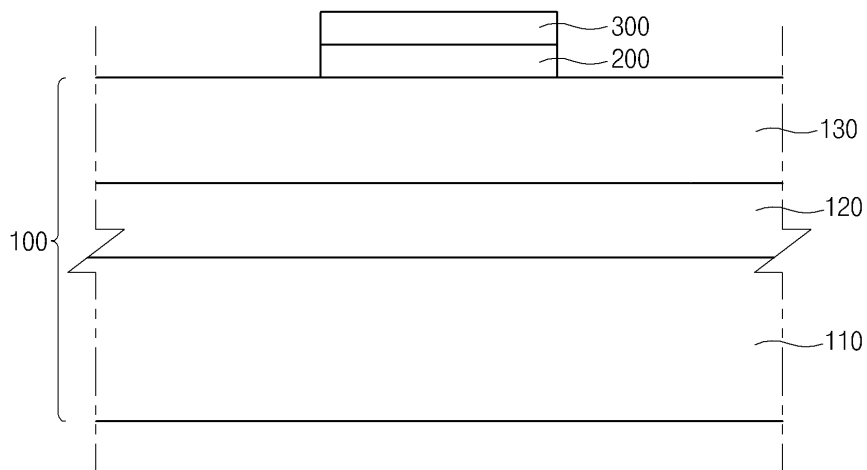
도면2d



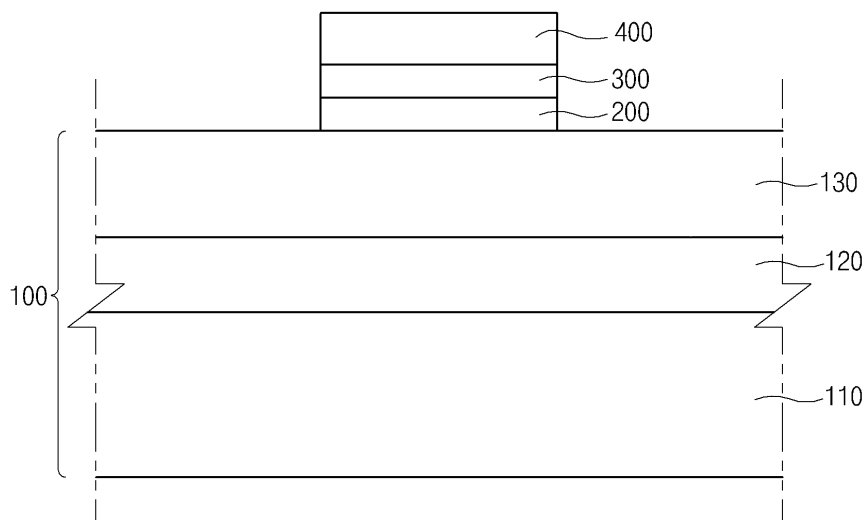
도면3a



도면3b



도면3c





도면3f

