

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5007725号
(P5007725)

(45) 発行日 平成24年8月22日(2012.8.22)

(24) 登録日 平成24年6月8日(2012.6.8)

| | |
|-------------------------|--------------------|
| (51) Int.Cl. | F I |
| HO 1 L 27/105 (2006.01) | HO 1 L 27/10 4 4 8 |
| HO 1 L 45/00 (2006.01) | HO 1 L 45/00 Z |
| HO 1 L 49/00 (2006.01) | HO 1 L 49/00 Z |

請求項の数 4 (全 11 頁)

| | | | |
|---------------|------------------------------|-----------|---------------------------------|
| (21) 出願番号 | 特願2008-550008 (P2008-550008) | (73) 特許権者 | 000005223 |
| (86) (22) 出願日 | 平成18年12月19日(2006.12.19) | | 富士通株式会社 |
| (86) 国際出願番号 | PCT/JP2006/325300 | | 神奈川県川崎市中原区上小田中4丁目1番1号 |
| (87) 国際公開番号 | W02008/075414 | (74) 代理人 | 100091672 |
| (87) 国際公開日 | 平成20年6月26日(2008.6.26) | | 弁理士 岡本 啓三 |
| 審査請求日 | 平成21年2月4日(2009.2.4) | (72) 発明者 | 能代 英之 |
| | | | 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 |
| | | (72) 発明者 | 木下 健太郎 |
| | | | 鳥取県湖山町北2丁目801番地 ローズカラー ビー 203号室 |
| | | 審査官 | 須原 宏光 |

最終頁に続く

(54) 【発明の名称】 抵抗変化素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の上方に貴金属又は貴金属酸化物からなる第1の貴金属膜を形成する工程と、

前記第1の貴金属膜の上に遷移金属膜を形成する工程と、

前記遷移金属膜の表面を酸化させて遷移金属酸化膜を形成する工程と、

前記遷移金属酸化膜の上に貴金属又は貴金属酸化物からなる第2の貴金属膜を形成する工程と

を有することを特徴とする抵抗変化素子の製造方法。

【請求項2】

前記遷移金属膜の表面の酸化は、電気炉を用いて行うことを特徴とする請求項1に記載の抵抗変化素子の製造方法。

【請求項3】

前記遷移金属膜の表面の酸化は、急速ランプ加熱法により行うことを特徴とする請求項1に記載の抵抗変化素子の製造方法。

【請求項4】

前記遷移金属酸化膜形成後における前記遷移金属膜の厚さを5nm以上、20nm以下とし、かつ前記遷移金属酸化膜の厚さを5nm以上、65nm以下とすることを特徴とする請求項1に記載の抵抗変化素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、抵抗値の変化を利用してデータを記憶する抵抗変化素子の製造方法に関する。

【背景技術】

【0002】

近年、コンピュータに代表される情報機器には、より一層の小型化、省電力化及び高機能化が要求されている。これに伴い、高集積化が可能であり、動作速度が速く、かつ電力を供給しなくてもデータが消失しない不揮発性半導体メモリが要求されている。この種の要求に答えることができる次世代の不揮発性半導体メモリの一つとして、抵抗変化素子を備えた抵抗変化メモリ (Resistive Random Access Memory: 以下、「ReRAM」という) が開発されている (例えば、非特許文献1, 2)。

10

【0003】

ReRAMでは、抵抗変化素子の抵抗値の変化を利用してデータを記憶する。抵抗変化素子は、図1に示すように、Pt (白金) からなる一対の電極11a, 11b間にNiO膜 (ニッケル酸化膜) 12又はその他の遷移金属酸化膜を挟んで構成されている。このように構成された抵抗変化素子に所定の電圧を印加する処理 (electroforming: 以下、「フォーミング」という) を実施すると、電流及び電圧を制御することによって抵抗値を変化させることができるようになる。

【0004】

図2は、横軸に電圧をとり、縦軸に電流をとって、抵抗変化素子の状態変化を示す図である。この図2に示すように、抵抗変化素子は、その内部を流れる電流と印加される電圧とに応じて、高抵抗状態と低抵抗状態との間を遷移する。高抵抗状態のときは、図中aで示すように、印加電圧が高くなるのに伴って内部を流れる電流が増加するが、電圧と電流との関係を示す曲線の傾きは比較的小さい。しかし、印加電圧が特定の電圧 (図2中にbで示す) 以上になると、抵抗値が急激に減少する (図中cで示す)。これにより、電流が急激に増加するが、ReRAMでは電流の急激な増加を防止するリミッタ回路を設けて、抵抗変化素子に大電流が流れることを防止している。

20

【0005】

低抵抗状態では、図中dに示すように、電圧と電流との関係を示す曲線の傾きは大きくなる。そして、抵抗変化素子を流れる電流がある特定の値 (図中eで示す) になると、抵抗変化素子は高抵抗状態に遷移し (図中fに示す)、電流は急激に減少する。

30

【0006】

このように、抵抗変化素子は、高抵抗状態のときにある特定の電圧以上の電圧を印加すると低抵抗状態に遷移し、低抵抗状態のときにある特定の電流以上の電流を流すと高抵抗状態に遷移する。低抵抗状態のときの抵抗値は数k程度、高抵抗状態のときの抵抗値は数10k ~ 1M程度である。なお、一般的に、高抵抗状態から低抵抗状態への変化をセットといい、低抵抗状態から高抵抗状態の変化をリセットという。

【0007】

抵抗変化素子を構成するNiO膜は酸化物であるので、その両端を挟む電極は酸化されやすい状態にある。このため、抵抗変化素子の電極には酸化されにくい金属、具体的にはPt又はIr (イリジウム) 等の貴金属が使用されている。特許文献1には、一対の電極間に、NiO、TiO₂、HfO、ZrO、ZnO、WO₃、CoO又はNb₂O₅のいずれかの遷移金属酸化物からなる膜を挟んだ構造の抵抗変化素子を有する不揮発性メモリが記載されている。

40

【0008】

本願発明者等は、従来のReRAMには以下に示す問題点があると考える。すなわち、従来の抵抗変化素子では、図2に示すように、低抵抗状態から高抵抗状態に遷移させるために数mA ~ 10mA以上の電流を流す必要がある。要求されるメモリの容量にもよるが、1セル当りに流れる電流を1mA以下にしないと半導体記憶装置 (IC) の消費電力が

50

大きくなりすぎて、実用化が困難であるといわれている。

【特許文献1】特開2006-140489号公報

【非特許文献1】K. Kinoshita et al. "Bias polarity dependent data retention of resistive random access memory consisting of binary transition metal oxide" APPLIED PHYSICS LETTER 89, 103509(2006)

【非特許文献2】S. Seo et al. "Reproducible resistance switching in polycrystalline NiO films" APPLIED PHYSICS LETTER Vol. 85, No, 23, 6 December 2004

【発明の開示】

【0009】

本発明の目的は、1セル当りに流れる電流量を従来よりも低減できる抵抗変化素子の製造方法を提供することにある。

【0010】

本発明の一観点によれば、半導体基板の上方に貴金属又は貴金属酸化物からなる第1の貴金属膜を形成する工程と、前記第1の貴金属膜の上に遷移金属膜を形成する工程と、前記遷移金属膜の表面を酸化させて遷移金属酸化膜を形成する工程と、前記遷移金属酸化膜の上に貴金属又は貴金属酸化物からなる第2の貴金属膜を形成する工程とを有する抵抗変化素子の製造方法が提供される。

【0011】

本願発明者等は、ReRAMの駆動電流を削減すべく種々実験研究を行った。その結果、抵抗変化素子の接地側(負極側)電極の上にNi(ニッケル)膜を形成し、その表面を酸化処理して遷移金属酸化膜(NiO_x膜)を形成すると、抵抗変化素子の駆動電流を低減できることが判明した。抵抗変化素子の接地側電極と遷移金属酸化膜との間にNi膜を配置すると駆動電流が減少する理由は明らかではないが、Ni膜がない場合は貴金属電極から遷移金属酸化膜への元素の拡散や遷移金属酸化膜から貴金属電極への酸素の拡散が発生して駆動電圧が高くかつ駆動電流が大きくなり、接地側電極と遷移金属酸化膜との間にNi膜を形成した場合はそのような現象が発生しないためと考えられる。

【0012】

接地側電極の上に形成する膜をNi以外の遷移金属、例えばTi(チタン)、Co(コバルト)又はTa(タンタル)により形成してもよい。本発明においては、遷移金属酸化膜は遷移金属の表面を酸化させることにより形成するので、遷移金属膜がTiからなる場合は遷移金属酸化膜はTiO₂により構成され、遷移金属膜がCoからなる場合は遷移金属酸化膜はCoOにより構成され、遷移金属膜がTaからなる場合は遷移金属酸化膜はTa₂O₅により構成されることになる。

【図面の簡単な説明】

【0013】

【図1】図1は、従来の抵抗変化素子を示す断面図である。

【図2】図2は、抵抗変化素子の状態変化の例を示す図である。

【図3】図3は、本発明の実施形態に係る抵抗変化素子を示す断面図である。

【図4】図4は酸化処理前及び酸化処理後のサンプルのX線回折(X-ray diffraction: XRD)測定の結果を示す図である。

【図5】図5は、酸化処理後のサンプルの深さ方向の元素分析をXPSにより行った結果を示す図である。

【図6】図6は、遷移金属膜(Ni膜)及び遷移金属酸化膜(NiO_x膜)の厚さと特性との関係を調べた結果を示す図である。

【図7】図7は、酸化処理後のNi膜の厚さを5nm又は10nmとする場合の条件を調べた結果を示す図である。

【図8】図8は、実施例の抵抗変化素子の特性を示す図である。

【図9】図9は、比較例の抵抗変化素子の特性を示す図である。

【図10】図10は、本発明の実施形態に係るReRAMの製造方法を示す断面図(その1)である。

10

20

30

40

50

【図 1 1】図 1 1 は、本発明の実施形態に係る R e R A M の製造方法を示す断面図（その 2）である。

【図 1 2】図 1 2 は、本発明の実施形態に係る R e R A M の製造方法を示す断面図（その 3）である。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施形態について、添付の図面を参照して説明する。

【0015】

図 3 は、本発明の実施形態に係る抵抗変化素子を示す断面図である。この図 3 に示すように、本実施形態の抵抗変化素子は、Pt（白金）からなる下部電極（接地側電極）21a と、Ni（ニッケル）からなる遷移金属膜 22 と、NiO_x（ニッケル酸化膜）からなる遷移金属酸化膜 23 と、Pt からなる上部電極（正極側電極）21b とを下からこの順に積層して構成されている。なお、NiO_x 中の x は任意の正数であるが、良好な特性を得るために、 $0 < x < 2$ とすることが好ましい。

10

【0016】

下部電極 21a 及び上部電極 21b は Pt 以外の貴金属、例えば Pd（パラジウム）、Ru（ルテニウム）若しくは Ir（イリジウム）等、又はそれらの酸化物により形成してもよい。本実施形態においては、Pt により下部電極 21a を形成した後、その上に Ni をスパッタして遷移金属膜 22 を形成し、酸化性雰囲気中で遷移金属膜 22 の表面を酸化して NiO_x からなる遷移金属酸化膜 23 を形成する。この場合、遷移金属膜 22 全体を酸化してしまうと駆動電流を低減する効果を得ることができなくなるので、酸化処理時の温度と時間とを調整して、残存させる遷移金属膜 22 の厚さを制御することが必要である。そのため、予め酸化処理時の温度及び時間と残存する遷移金属膜の厚さとの関係を調べておくことが重要である。酸化処理後の遷移金属膜及び遷移金属酸化膜の厚さは、断面 SEM（Scanning Electron Microscope）観察、膜結晶性測定、又は XPS（X-ray Photoelectron Spectroscopy）を用いた深さ方向の元素分析等により行う。

20

【0017】

図 4 は、横軸に角度（ 2θ ）をとり、縦軸に強度（count）をとって、酸化処理前及び酸化処理後のサンプルの X 線回折（X-ray diffraction: XRD）測定の結果を示す図である。なお、測定に使用したサンプルは、シリコン基板上に Pt からなる金属膜（下部電極）を形成し、その上にスパッタ法により Ni 膜を 60 nm の厚さに形成したものである。また、酸化処理は、酸化性雰囲気中で 400 の温度で 30 分間加熱することにより行った。

30

【0018】

図 4 からわかるように、酸化処理前のサンプルでは、Si（200）、Pt（111）及び Ni（111）のピークしか観察されていないが、酸化処理後には Si（200）、Pt（111）及び Ni（111）のピークに加えて、NiO（200）のピークも観察されている。このことから、400 の温度で 30 分間加熱する酸化処理では、酸化処理後に NiO_x 膜が形成され、かつ Ni 膜も残存していることがわかる。

【0019】

図 5 は、横軸にエッチング時間ととり、縦軸にアトミックレシオをとって、酸化処理後のサンプルの深さ方向の元素分析を XPS により行った結果を示す図である。なお、エッチングには Ar ガスを用いた。

40

【0020】

この図 5 から、エッチング時間が 0 ~ 900 sec のときは酸素のアトミックレシオが高く、エッチング時間が 900 sec を超えると酸素のアトミックレシオが減少し、かつ Ni のアトミックレシオが増加していることがわかる。これは、下部電極の近傍に、酸化されていない Ni が残っていることを意味している。SEM により酸化処理後のサンプルの断面を観察した結果、未酸化の Ni 膜の厚さは 10 nm であった。

【0021】

50

次に、本願発明者等は、図3に示す構造において、遷移金属膜(Ni膜)22及び遷移金属酸化膜(NiOx膜)23の厚さがそれぞれ異なる多数の抵抗変化素子を形成し、それらの特性を調べた。その結果を図6に示す。この図6に示すように、遷移金属膜(Ni膜)の厚さが5~20nmであり、かつ遷移金属酸化膜(NiOx膜)の厚さが5~65nm(図中破線で囲んだ範囲)のときのみ良好な抵抗変化特性を示し、それ以外のときは良好な抵抗変化特性を示さない。すなわち、遷移金属酸化膜の厚さが5nm未満の場合は抵抗値が低くなりすぎて、高抵抗状態のときに必要な抵抗値が得られない。また、遷移金属酸化膜の厚さが65nmを超えると抵抗値が高くなりすぎて、低抵抗状態のときに必要な抵抗値が得られない。更に、遷移金属膜の厚さが5nm未満の場合は、リセット電流を削減する効果を十分に得ることができない。

10

【0022】

遷移金属膜(Ni膜)の厚さが20nmを超えると十分な特性が得られない理由は明確ではないものの、PtとNiとの反応が進み、その結果NiOx膜の表面の凹凸が大きくなるためと考えられる。

【0023】

図7は、横軸に酸化処理時の温度をとり、縦軸に酸化処理時間をとって、酸化処理後のNi膜の厚さを5nm又は10nmとする場合の条件を調べた結果を示す図である。なお、図7中には、Ni膜が消失するときの条件を調べた結果も併せて示している。

【0024】

図8は、横軸に電圧をとり、縦軸に電流をとって、本発明の方法により形成した抵抗変化素子(以下、実施例という)の特性を示す図である。また、図9は、図1に示す構造の抵抗変化素子(以下、比較例という)の特性を示す図である。

20

【0025】

図8からわかるように、本発明の方法により形成した実施例の抵抗変化素子では、セット電圧が1.2V程度であり、リセット電流が0.8mA程度と少ない。一方、図9からわかるように、比較例の抵抗変化素子では、セット電圧が2V程度であり、リセット電流が約20mAと大きい。

【0026】

なお、図3において、遷移金属膜22はNi以外の遷移金属、例えばTi(チタン)、Co(コバルト)又はTa(タンタル)により形成してもよい。本発明においては遷移金属膜22の表面を酸化させて遷移金属酸化膜23を形成するので、遷移金属膜22をTiにより形成した場合は遷移金属酸化膜23はTiO₂により構成され、遷移金属膜22をCoにより形成した場合は遷移金属酸化膜23はCoOにより構成され、遷移金属膜22をTaにより形成した場合は遷移金属酸化膜23はTa₂O₅膜により構成されることになる。

30

【0027】

(ReRAMの製造方法)

図10~図12は、本発明の実施形態に係るReRAMの製造方法を工程順に示す断面図である。通常、半導体基板にはメモリセルと同時に駆動回路(書き込み回路及び読み出し回路等)を構成するn型トランジスタ及びp型トランジスタを形成しているが、こ

40

【0028】

まず、図10(a)に示す構造を形成するまでの工程を説明する。図10(a)に示すように、半導体基板(シリコン基板)50の所定の領域に、公知のSTI(Shallow Trench Isolation)法又はLOCOS(Local Oxidation of Silicon)法により素子分離膜51を形成し、これらの素子分離膜51により半導体基板50の表面を複数の素子領域に分離する。

【0029】

次に、半導体基板50のn型トランジスタ形成領域(メモリセル領域及び駆動回路のn型トランジスタ形成領域;以下、同じ)にホウ素(B)等のp型不純物を導入して、pウ

50

エル52を形成する。また、半導体基板50のp型トランジスタ形成領域（駆動回路のp型トランジスタ形成領域：以下、同じ）にリン（P）等のn型不純物を導入して、nウェル（図示せず）を形成する。

【0030】

次に、pウェル52及びnウェル（図示せず）の表面を熱酸化させて、ゲート絶縁膜53を形成する。その後、CVD（Chemical Vapor Deposition）法により、半導体基板50の上側全面にポリシリコン膜を形成し、このポリシリコン膜をフォトリソグラフィ法及びエッチング法によりパターンニングして、ゲート電極54を形成する。このとき、図10（a）に示すように、メモリセル領域では、1つのpウェル52の上にワードラインとなる2本のゲート電極54が相互に平行に配置される。

10

【0031】

次に、ゲート電極54をマスクとし、n型トランジスタ形成領域のpウェル52にリン（P）等のn型不純物を低濃度にイオン注入して、n型低濃度不純物領域56を形成する。これと同様に、ゲート電極54をマスクとし、p型トランジスタ形成領域のnウェル（図示せず）にホウ素（B）等のp型不純物を低濃度にイオン注入して、p型低濃度不純物領域（図示せず）を形成する。

【0032】

次に、ゲート電極54の両側にサイドウォール57を形成する。このサイドウォール57は、CVD法により半導体基板50の上側全面にSiO₂又はSiN等からなる絶縁膜を形成した後、その絶縁膜をエッチバックしてゲート電極54の両側のみに残すことにより形成される。

20

【0033】

その後、ゲート電極54及びサイドウォール57をマスクとしてn型トランジスタ形成領域のpウェル52にn型不純物を高濃度にイオン注入し、n型高濃度不純物領域58a、58bを形成する。ここで、高濃度不純物領域58aはゲート電極54と素子分離膜51との間に配置された不純物領域（ドレイン）であり、高濃度不純物領域58bは2つのゲート電極54の間に配置された不純物領域（ソース）である。

【0034】

これと同様に、p型トランジスタ形成領域のゲート電極及びサイドウォールをマスクとしてnウェル（図示せず）にp型不純物を高濃度にイオン注入して、p型高濃度不純物領域（図示せず）を形成する。このようにして、各トランジスタ形成領域に、LDD（Lightly Doped Drain）構造のソース/ドレインを有するトランジスタTが形成される。

30

【0035】

次に、図10（b）に示す構造を形成するまでの工程について説明する。上述の工程によりトランジスタTを形成した後、CVD法により、半導体基板50の上側全面に、第1の層間絶縁膜61として例えばSiO₂膜を形成し、この層間絶縁膜61によりトランジスタTを覆う。その後、第1の層間絶縁膜61の表面をCMP（Chemical Mechanical Polishing：化学的機械研磨）法により研磨して平坦化する。

【0036】

次に、フォトリソグラフィ法及びエッチング法を使用して、第1の層間絶縁膜61の上面からn型トランジスタ形成領域のn型高濃度不純物領域58a、58bに到達するコンタクトホールを形成する。そして、スパッタ法により、半導体基板50の上側全面にバリアメタルとしてTiN膜（図示せず）を形成した後、スパッタ法又はCVD法によりTiN膜の上にW膜を形成するとともに、コンタクトホール内にWを充填する。その後、第1の層間絶縁膜61が露出するまでW膜及びTiN膜をCMP法により研磨する。このようにして、コンタクトホール内にWが充填されてなるWプラグ62a、62bが形成される。ここで、Wプラグ62aは高濃度不純物領域58aに接続したプラグであり、Wプラグ62bは高濃度不純物領域58bに接続したプラグである。

40

【0037】

次に、図10（c）に示す構造を形成するまでの工程について説明する。上述の工程に

50

よりWプラグ62a, 62bを形成した後、スパッタ法により第1の層間絶縁膜61及びWプラグ62a, 62bの上にアルミニウム又は銅等の金属により構成される導電膜を形成する。そして、この導電膜をフォトリソグラフィ法及びエッチング法によりパターニングして、パッド63a及び配線63bを形成する。パッド63aはWプラグ62aの上に形成され、Wプラグ62aと電氣的に接続される。また、配線63bはWプラグ63bの上を通り、Wプラグ63bと電氣的に接続される。

【0038】

次に、図10(d)に示す構造を形成するまでの工程について説明する。上述の工程によりパッド63a及び配線63bを形成した後、CVD法により半導体基板50の上側全面にSiO₂からなる第2の層間絶縁膜65を形成する。そして、この第2の層間絶縁膜65をCMP法により研磨して表面を平坦化した後、フォトリソグラフィ法及びエッチング法を使用して、第2の層間絶縁膜65の上面からパッド63aに到達するコンタクトホールを形成する。その後、スパッタ法により、半導体基板50の上側全面にバリアメタルとしてTiN膜(図示せず)を形成した後、スパッタ法又はCVD法によりTiN膜の上にW膜を形成するとともに、コンタクトホール内にWを充填する。次いで、第2の層間絶縁膜65が露出するまでW膜及びTiN膜をCMP法により研磨する。このようにして、コンタクトホール内にWが充填されてなるWプラグ66が形成される。

【0039】

次に、図11(a)~図11(c)に示す構造を形成するまでの工程について説明する。上述の工程によりWプラグ66を形成した後、第2の層間絶縁膜65及びWプラグ66の上に、スパッタ法によりTi又はTiN膜(図示せず)を例えば20nmの厚さに形成する。このTi又はTiN膜は必須ではないが、層間絶縁膜65と下部電極67aとの密着性、及びWプラグ66と下部電極67aとの間の電氣的接続性を向上させるのに役立つ。

【0040】

次に、スパッタ法により、図11(a)に示すように第2の層間絶縁膜65及びWプラグ66の上(Ti又はTiN膜の上)に下部電極となるPt膜67を例えば50~100nmの厚さに形成する。その後、スパッタ法により、Pt膜67の上にNi膜68を例えば60nmの厚さに形成する。そして、この半導体基板50を電気炉(furnace)内に入れて、酸化性雰囲気中で400の温度で30分間熱処理する。これによりNi膜68の表面が酸化されて、図11(b)に示すように、NiO_xからなる遷移金属酸化膜69が形成される。この酸化処理により、Ni膜68の厚さは10nm程度になる。なお、Ni膜68(遷移金属膜)の酸化は、急速ランプ加熱(Rapid Thermal Anneal: RTA)法により行ってもよい。

【0041】

その後、スパッタ法により、図11(c)に示すように、NiO_x膜69の上に上部電極となるPt膜70を例えば50nmの厚さ形成する。また、Pt膜70の上に、TiNからなる反射防止膜(図示せず)を例えば50nmの厚さに形成する。なお、反射防止膜は次のフォトリソグラフィ工程で光の反射を防止するために形成するものである。この反射防止膜は必要に応じて形成すればよく、本発明において必須ではない。

【0042】

次に、図12(a)~図12(c)に示す構造を形成するまでの工程について説明する。上述の工程でPt膜70を形成した後、Pt膜70の上に所定の形状のレジスト膜(図示せず)を形成し、このレジスト膜をマスクとしてPt膜70、NiO_x膜69、Ni膜68及びPt膜67をエッチングする。これにより、図12(a)に示すように、Ptからなる下部電極67a、Niからなる遷移金属膜68a、NiO_xからなる遷移金属酸化膜69a及びPtからなる上部電極70aが積層した構造の抵抗変化素子71が形成される。

【0043】

次に、CVD法により、図12(b)に示すように、半導体基板50の上側全面にSi

10

20

30

40

50

O₂からなる第3の層間絶縁膜72を形成する。そして、フォトリソグラフィ法及びエッチング法を使用して第3の層間絶縁膜72の上面から抵抗変化素子71の上部電極70aに到達するコンタクトホールを形成する。その後、半導体基板50の上側全面にバリアメタルとしてTiN膜(図示せず)を形成した後、スパッタ法又はCVD法によりバリアメタルの上にW膜を形成するとともに、コンタクトホール内にWを充填する。その後、第3の層間絶縁膜72が露出するまでW膜及びTiN膜をCMP法により研磨する。このようにして、抵抗変化素子71の上部電極70aに電氣的に接続したWプラグ73が形成される。

【0044】

次に、スパッタ法により、第3の層間絶縁膜72及びWプラグ73の上に例えばTiN/Al/TiN/Tiの積層構造の導電膜(図示せず)を形成する。そして、フォトリソグラフィ法及びエッチング法を使用して導電膜をパターニングして、図12(c)に示すように、配線(ビットライン)74を形成する。このようにして、ReRAMが完成する。

10

【0045】

このように構成されたReRAMにおいて、配線74はビットライン、各トランジスタTのゲート電極54はワードライン、配線63bは接地ラインとなる。そして、抵抗変化素子71をセットするときにはトランジスタTをオン状態にして下部電極67aを接地電位とし、配線74(ビットライン)を介して抵抗変化素子71に所定の電圧を印加する。また、抵抗変化素子71をリセットするときには、トランジスタTをオン状態にして下部電極67aを接地電位とし、配線(ビットライン)74を介して抵抗変化素子71に所定の電流を流す。更に、抵抗変化素子71の状態を検出するときには、トランジスタTをオン状態にして配線(ビットライン)74と配線63b(接地ライン)との間の抵抗を調べる。

20

【0046】

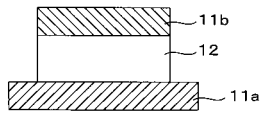
本実施形態のReRAMは、抵抗変化素子71がPtからなる下部電極67aと、Niからなる遷移金属膜68aと、NiOxからなる遷移金属酸化膜69aと、Ptからなる上部電極70aとにより構成されているので、駆動電圧が低く、駆動電流が小さいという効果を奏する。これにより、ReRAMの高集積化が可能になり、情報機器のより一層の小型化、省電力化及び高機能化の要求に対応することができる。

30

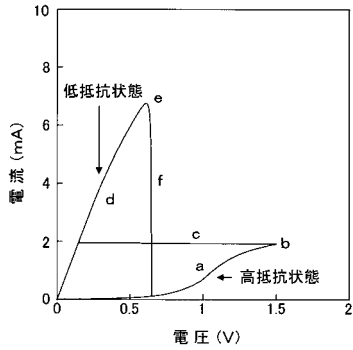
【0047】

なお、上記の実施形態では本発明をスタック型ReRAMに適用した例について説明したが、本発明をプレーナ型ReRAMに適用してもよい。

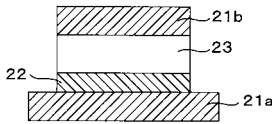
【図1】



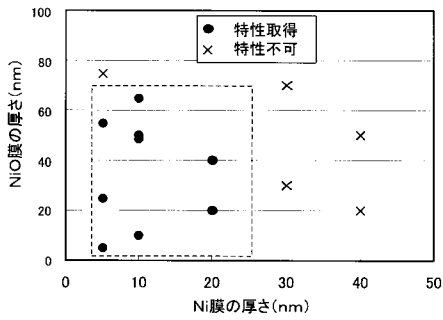
【図2】



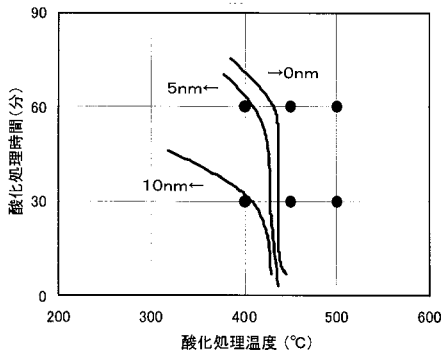
【図3】



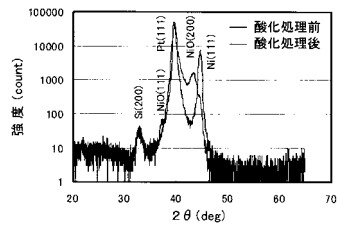
【図6】



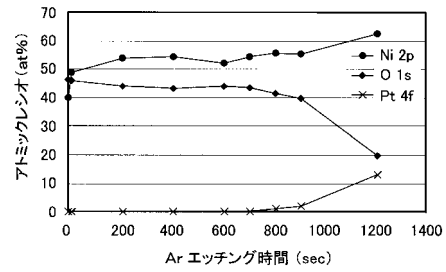
【図7】



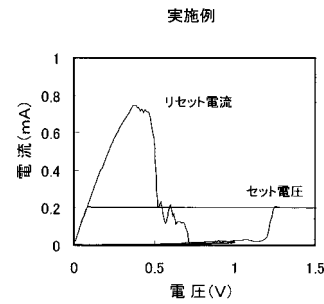
【図4】



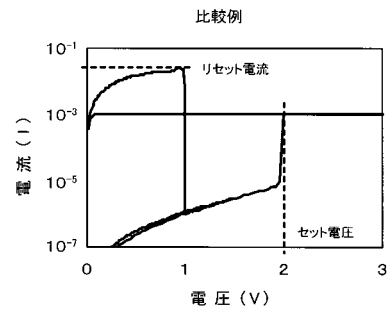
【図5】



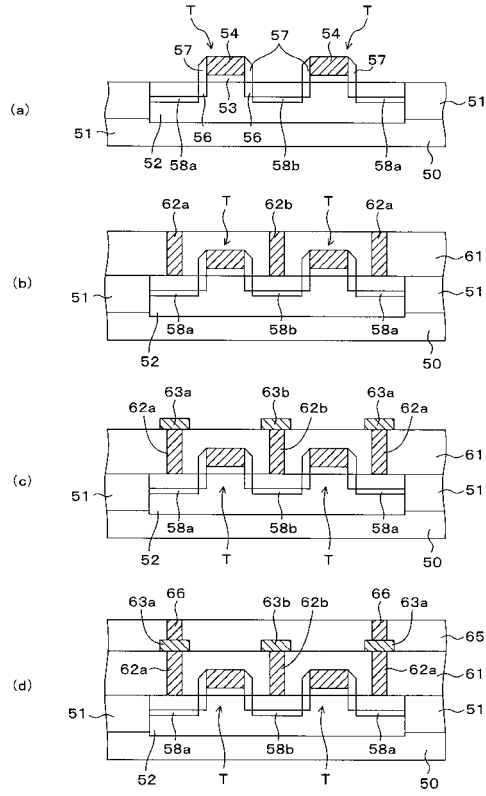
【図8】



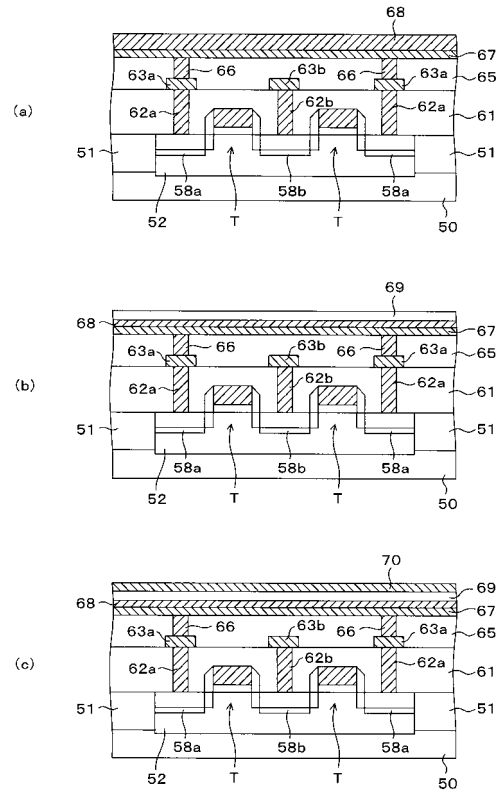
【図9】



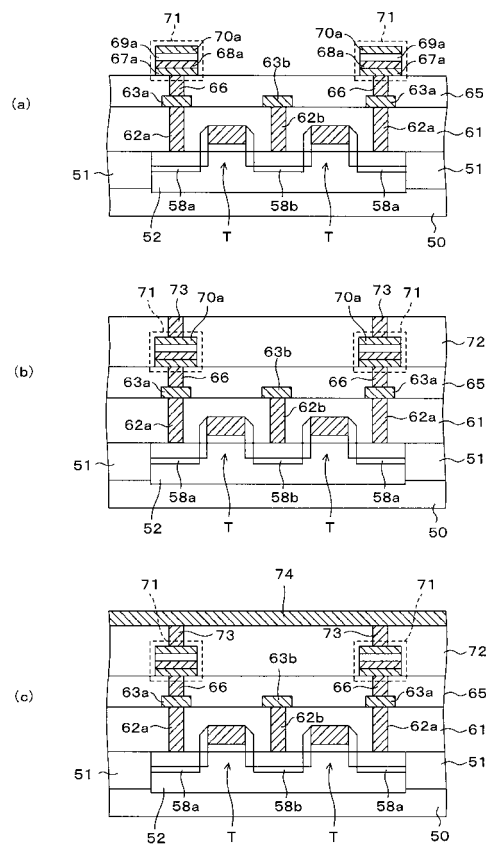
【図10】



【図11】



【図12】



フロントページの続き

(56)参考文献 特開2005 - 203389 (JP, A)
特開2005 - 175457 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/105

H01L 45/00

H01L 49/00