(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 535 546**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **82 18090**

(51) Int Cl³ : H 03 F 3/16.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 28 octobre 1982.

(30) Priorité

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 18 du 4 mai 1984.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *Société dite : TEXAS INSTRUMENTS FRANCE.* — FR.

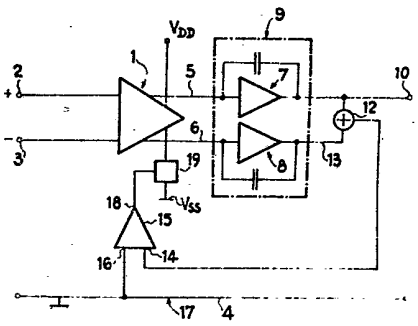
(72) Inventeur(s) : Jean Ciroux, Pierre Schubert et Yves Leduc.

(73) Titulaire(s) :

(74) Mandataire(s) : Lavoix.

(54) Amplificateur en technique CMOS à entrée différentielle et à sortie asymétrique.

(57) Amplificateur opérationnel en technique CMOS à entrée symétrique et sortie asymétrique, caractérisé en ce qu'il comprend une chaîne d'amplification symétrique 1, 9 ayant deux entrées et deux sorties différentielles, l'une des sorties 10 formant la sortie en mode commun du montage, un circuit de sommation 12 raccordé aux sorties 10, 13 de la chaîne d'amplification 1, 9, une source de courant 19 montée de manière à alimenter au moins une partie de ladite chaîne d'amplification 1, 9 et une boucle de réaction 14 à 18 reliée entre le circuit de sommation 12 et ladite source de courant 19 pour réguler celle-ci en opposition de phase par rapport à la somme des fluctuations apparaissant sur les sorties de la chaîne d'amplification 1, 9.



FR 2 535 546 - A1

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15

La présente invention concerne les amplificateurs opérationnels réalisés en technique CMOS et destinés à être utilisés notamment dans divers composants des circuits téléphoniques tels que les codeurs-décodeurs (CODEC) et les circuits d'interface de boucle d'abonné (SLIC).

Dans de tels circuits qui sont en principe très sensibles aux variations de la source d'alimentation (surtout s'il n'y a pas de boucle de réaction ou une boucle n'introduisant qu'une faible réaction), on peut avoir recours à la technique de l'amplification différentielle qui annule totalement les effets des variations de l'alimentation sur le signal utile puisque ce signal est pris comme une différence entre deux signaux transitant sur des lignes qui sont indépendantes de la masse. Toutefois, cette technique ne peut être appliquée jusqu'à la sortie finale de la plupart des circuits mentionnés ci-dessus, car le signal doit le plus souvent sortir asymétriquement. Il en est ainsi par exemple pour le poste d'abonné (circuit SLIC).

Dans le domaine des télécommunications, on utilise jusqu'ici des circuits de filtrage pour éliminer l'influence des variations de l'alimentation sur les étages de sortie différentiels/asymétrique, mais cette solution est de plus en plus coûteuse à mesure que la technique avance et que les fréquences utilisées augmentent en raison de la complexité de ces filtres.

L'invention a pour but de fournir un amplificateur opérationnel en technique CMOS à entrée différentielle et à sortie en mode commun, dans lequel l'influence des variations de l'alimentation soit sinon totalement éliminée du moins réduite à une valeur parfaitement

acceptable.

Elle a donc pour objet un amplificateur opérationnel en technique CMOS à entrée symétrique et sortie en asymétrique, caractérisé en ce qu'il comprend une chaîne d'amplification symétrique ayant deux entrées et deux sorties différentielles, l'une des sorties formant la sortie asymétrique du montage, un circuit de sommation raccordé aux sorties de la chaîne d'amplification, une source de courant montée de manière à alimenter au moins une partie de ladite chaîne d'amplification et une boucle de réaction reliée entre le circuit de sommation et ladite source de courant pour réguler celle-ci en opposition de phase par rapport à la somme des fluctuations apparaissant sur les sorties de la chaîne d'amplification.

Grâce à ces caractéristiques, le montage se trouve muni d'une boucle de réaction qui est capable de reboucler sur l'entrée de la chaîne d'amplification les variations dans le signal de sortie en mode commun dues à la source d'alimentation, tout en n'influençant nullement le signal différentiel utile qui passe sans réaction à la borne de sortie. La boucle de réaction pouvant être réalisée à l'aide de simples transistors faisant partie du circuit CMOS, cette solution est peu onéreuse et contribue néanmoins à un taux très favorable de réjection des parasites introduits par l'alimentation.

D'autres caractéristiques et avantages de l'invention apparaitront au cours de la description qui va suivre, faite en se référant aux dessins annexés donnés uniquement à titre d'exemple et dans lesquels :

- la Fig. 1 est un schéma simplifié d'un exemple d'amplificateur opérationnel suivant l'invention;
- la Fig. 2 est un schéma détaillé de cet amplificateur;
- la Fig. 3 représente une variante de réalisation de l'étage d'entrée de l'amplificateur représenté

sur la Fig. 2.

La Fig. 1 représente un schéma simplifié de l'amplificateur suivant l'invention. Il comporte un premier étage d'amplificateur 1 à entrée symétrique formée par les bornes 2 et 3 recevant un signal différentiel d'entrée.

L'étage amplificateur 1 comprend une sortie symétrique formée par des bornes 5 et 6 qui constituent respectivement les bornes d'entrée de deux unités amplificatrices 7 et 8 formant un second étage amplificateur 9 du montage. L'une 7 de ces unités amplificatrices est destinée à former le signal de sortie utile sur une borne 10 par rapport à une borne de référence 17.

La borne 10 est également connectée à un point de sommation 12 auquel est reliée la borne de sortie 13 de la seconde unité amplificatrice 8. La sortie du point de sommation 12 est reliée à l'une des entrées 14 d'un amplificateur d'erreur 15 de gain unité dont l'autre entrée 16 est connectée à une source 17 de potentiel de référence qui en l'occurence est la masse.

La sortie 18 de l'amplificateur 15 est reliée à une source de courant réglable 19 qui alimente le premier étage amplificateur 1 par l'intermédiaire d'une tension d'alimentation régnant entre des bornes V_{dd} et V_{ss}.

On sait qu'un montage différentiel n'est en principe pas influencé par les variations de la tension d'alimentation puisque ces variations se retrouvent avec une phase et des amplitudes égales sur les deux lignes différentielles du montage. En l'occurence jusqu'au point de sommation 12, ces variations ne peuvent nuire à la bonne transmission du signal différentiel à travers le circuit. Il n'en n'est pas de même à la borne 10 qui constitue avec la borne 17, la sortie asymétrique du circuit. En

effet, les variations de l'alimentation se font ici sentir par rapport à la masse et seront donc superposées au signal utile sans filtrage ou autre précaution particulière.

Suivant l'invention, les signaux apparaissant sur les sorties 10 et 13 sont additionnés dans le point de sommation 12 et appliqués à l'amplificateur 15 qui inverse la phase des fluctuations et qui amplifie celles-ci avec un gain unité. Le signal représentant les fluctuations est comparé à la référence de la borne 16 et la sortie d'erreur est appliquée en tant que signal de régulation à la source de courant 19 pour que les variations introduites par les tensions V_{dd} et V_{ss} soient compensées en sortie en mode commun.

La Fig. 2 représente un mode de réalisation préféré de l'amplificateur suivant l'invention. Il est réalisé en technologie CMOS et comporte tous les circuits élémentaires de la Fig. 1 désignés par les mêmes références.

Le premier étage amplificateur 1 comporte deux transistors différentiels 20 et 21 servant d'amplificateur dont les grilles sont reliées respectivement aux bornes d'entrée symétriques 2 et 3. Les trajets source-drain sont reliés en série avec ceux de deux autres transistors 22 et 23 qui fonctionnent comme source de courant et forment des résistances de charge des deux transistors amplificateurs 20 et 21. Les sorties 5 et 6 de cet étage amplificateur 1 apparaissent respectivement sur les jonctions entre les transistors 20 et 22 d'une part et les transistors 21 et 23 d'autre part.

Les unités amplificatrices 7 et 8 comprennent des transistors amplificateurs 24 et 25 dont les grilles sont reliées aux sorties 5 et 6, leurs trajets source-drain étant reliés respectivement en série avec ceux de

deux transistors 26 et 27 formant résistance de charge et fonctionnant comme source de courant. La sortie 10 du montage est constituée par la jonction entre les transistors 25 et 27, tandis que la connexion 13 avec le circuit de sommation 12 est la jonction entre les transistors 24 et 26. Des réseaux 28 et 29 de compensation de fréquence sont associés aux transistors amplificateurs 24 et 25.

Le circuit de sommation 12 comporte deux résistances sommatrices 30 et 31 connectées respectivement aux bornes 13 et 10 et shuntées par des condensateurs 32 et 33 servant à la compensation de la boucle de réaction de l'amplificateur opérationnel. La sortie du circuit de sommation est reliée à la première entrée 14 de l'amplificateur 15 de gain unité, c'est-à-dire à la grille d'un transistor 34 qui est associé à un autre transistor 35 dont la grille (entrée 16) est reliée à la source de référence 17 (ici la masse). Les sourcesdes transistors 34 et 35 sont reliées en commun à un transistor 36 qui forme source de courant pour l'amplificateur 15. Les trajets source-drain de chacun des transistors 34 et 35 sont respectivement reliés à des transistors 37, 38 formant résistances de charge.

Le signal de sortie de l'amplificateur 15 apparaissant sur la grille du transistor 37 est appliqué à la source de courant 19 qui est constituée par un transistor 39 dont le trajet source-drain est relié au premier étage amplificateur 1 pour alimenter les transistors de celui-ci.

Des transistors de polarisation 40 à 43 assurent la polarisation des grilles de toutes les sources de courant.

La Fig. 3 montre une variante du premier étage amplificateur 1. Celui-ci comporte, afin de réduire les influences dues aux dispersions capacitives aux entrées

2, 3 de cet étage amplificateur deux transistors de cascode 44 et 45 montés respectivement en série avec les transistors amplificateurs et de charge 20, 22 et 21, 23 et polarisés par un groupe de trois transistors 46 à 48 tous montés en série entre la source de courant régulée 19 et la ligne V_{ss}.

L'invention fournit ainsi un amplificateur opérationnel symétrique/asymétrique dans lequel les variations parasites dues à la source d'alimentation sont quasiment éliminées à la sortie. Cet amplificateur présente d'excellentes propriétés se traduisant par un taux de réjection en mode commun et un taux de réjection de source d'alimentation très élevés (dénominations anglo-saxones respectivement CMRR - Common Mode Rejection Ratio et PSRR Power Supply Rejection Ratio).

Un amplificateur suivant l'invention réalisé par la Demanderesse présente les propriétés suivantes, les valeurs étant données uniquement à titre d'exemple :

Source d'alimentation		+5, -5 V
Charge		20pF
Température		27°C
Gain	10Hz	78dB
	200kHz	20dB
Largeur de bande à gain unité		2,5MHz
Excursion signal de sortie		-4,9 à 3,3 V
Plage en mode commun		-3,2 à 2,9 V
CMRR	10Hz	118dB
	200kHz	41dB
PSSR à V_{dd}	10Hz	113dB
	200kHz	54dB
PSRR à V_{ss}	10Hz	114dB
	200kHz	42dB
Temps d'établissement 0,1% à échelon de 1V		1,8 µs
Taux de pente échelon de 1V		3,2 V/µs

Distorsion harmonique totale (sin 3kHz-6V crête à crête)	0,008%
Consommation	1,5mW.

REVENDICATIONS

1 - Amplificateur opérationnel en technique CMOS à entrée symétrique et sortie asymétrique, caractérisé en ce qu'il comprend une chaîne d'amplification symétrique (1, 9) ayant deux entrées et deux sorties différentielles, l'une des sorties (10) formant la sortie asymétrique du montage, un circuit de sommation (12) raccordé aux sorties (10, 13) de la chaîne d'amplification (1, 9), une source de courant (19) montée de manière à alimenter au moins une partie de ladite chaîne d'amplification (1, 9) et une boucle de réaction (14 à 18) reliée entre le circuit de sommation (12) et ladite source de courant (19) pour réguler celle-ci en opposition de phase par rapport à la somme des fluctuations apparaissant sur les sorties de la chaîne d'amplification (1, 9).

2 - Amplificateur suivant la revendication 1, caractérisé en ce que ladite boucle de réaction comporte un amplificateur d'erreur (15) à deux entrées (14, 16) connectées respectivement à la sortie du circuit de sommation (12) et à une source de potentiel de référence, la sortie de cet amplificateur d'erreur étant reliée à ladite source de courant (19).

3 - Amplificateur suivant l'une quelconque des revendications 1 et 2, caractérisé en ce que ladite chaîne d'amplification (1, 9) comporte un premier étage différentiel alimenté par ladite source de courant (19) et un second étage, également différentiel et formé par deux unités amplificatrices distinctes (7, 8) dont l'une présente une sortie reliée à la borne de sortie (10) du montage et audit circuit de sommation (12) et dont l'autre présente une sortie (13) reliée directement à ce circuit.

4 - Amplificateur suivant la revendication 3, caractérisé en ce que le premier étage amplificateur (1) comporte deux transistors différentiels d'amplifi-

cation (20, 21) connectés respectivement en série par leurs trajets source-drain avec les trajets source-drain de transistors (22, 23) formant résistance de charge et fonctionnant en source de courant, les deux montages en série de transistors (20, 22 et 21, 23) étant connectés ensemble à ladite source de courant régulée (19).

5 - Amplificateur suivant la revendication 4, caractérisé en ce que ledit premier étage amplificateur comporte en outre pour chaque branche différentielle un transistor de cascode (44, 45) polarisé par une chaîne de transistors (46 à 48) reliée également à ladite source de courant (19).

6 - Amplificateur suivant l'une quelconque des revendications 1 à 5, caractérisé en ce que ledit amplificateur d'erreur (15) comporte deux transistors différentiels (34, 35) montés en série avec deux transistors (37, 38) formant résistance de charge, le tout étant alimenté en commun par une autre source de courant.

7 - Amplificateur suivant l'une quelconque des revendications 1 à 6, caractérisé en ce que ledit circuit de sommation (12) est composé de deux résistances (30, 31) branchées d'une part respectivement aux sorties (10, 13) de ladite chaîne d'amplification (1, 9) et d'autre part en commun à l'entrée correspondante de l'amplificateur d'erreur (15).

FIG.1

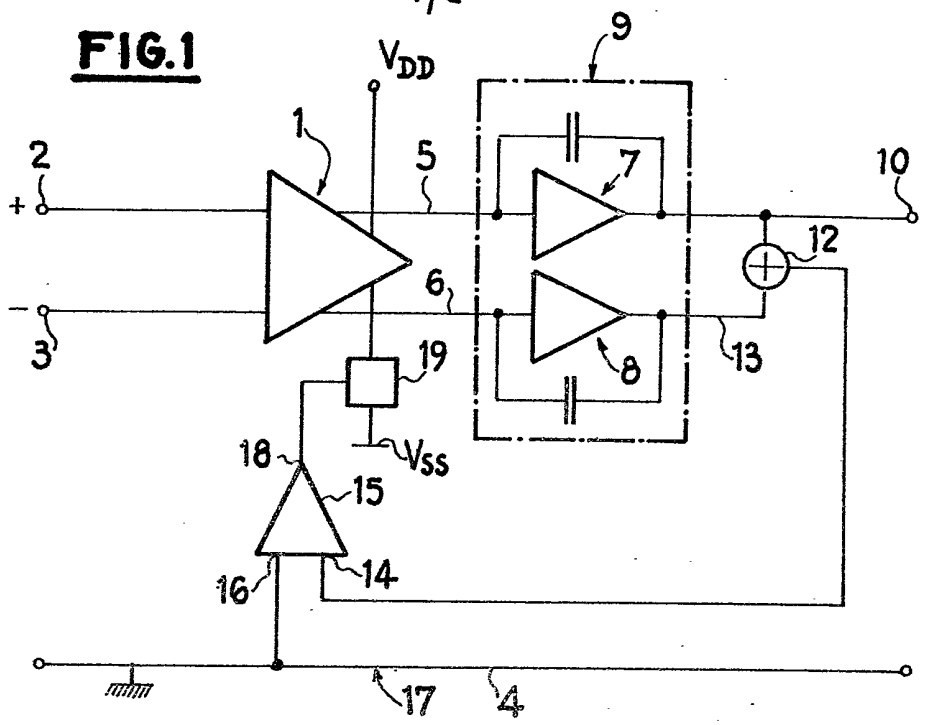
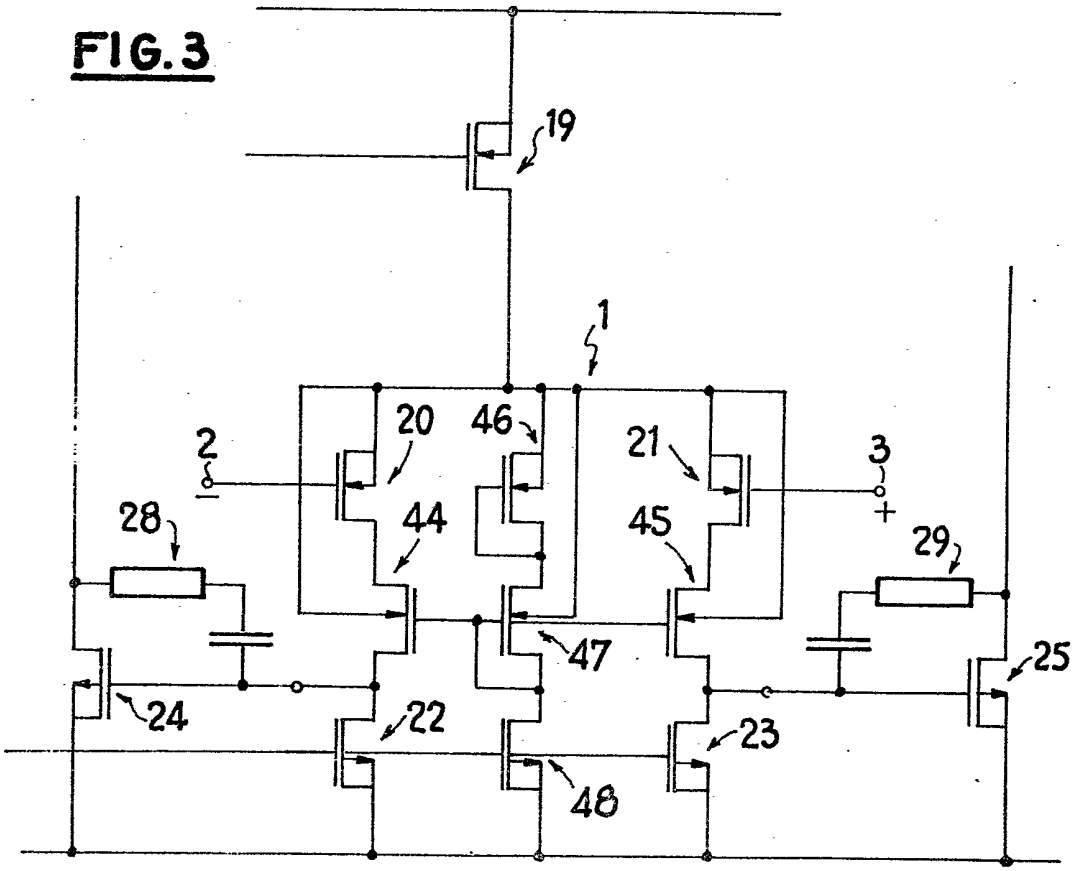

V_{DD}
9
1
2
5
7
10
+
12
6
−
3
19
8
13
V_{SS}
18
15
14
16
17
4

FIG.3


19
1
20
46
21
2
3
−
+
28
44
45
29
47
25
24
22
23
48

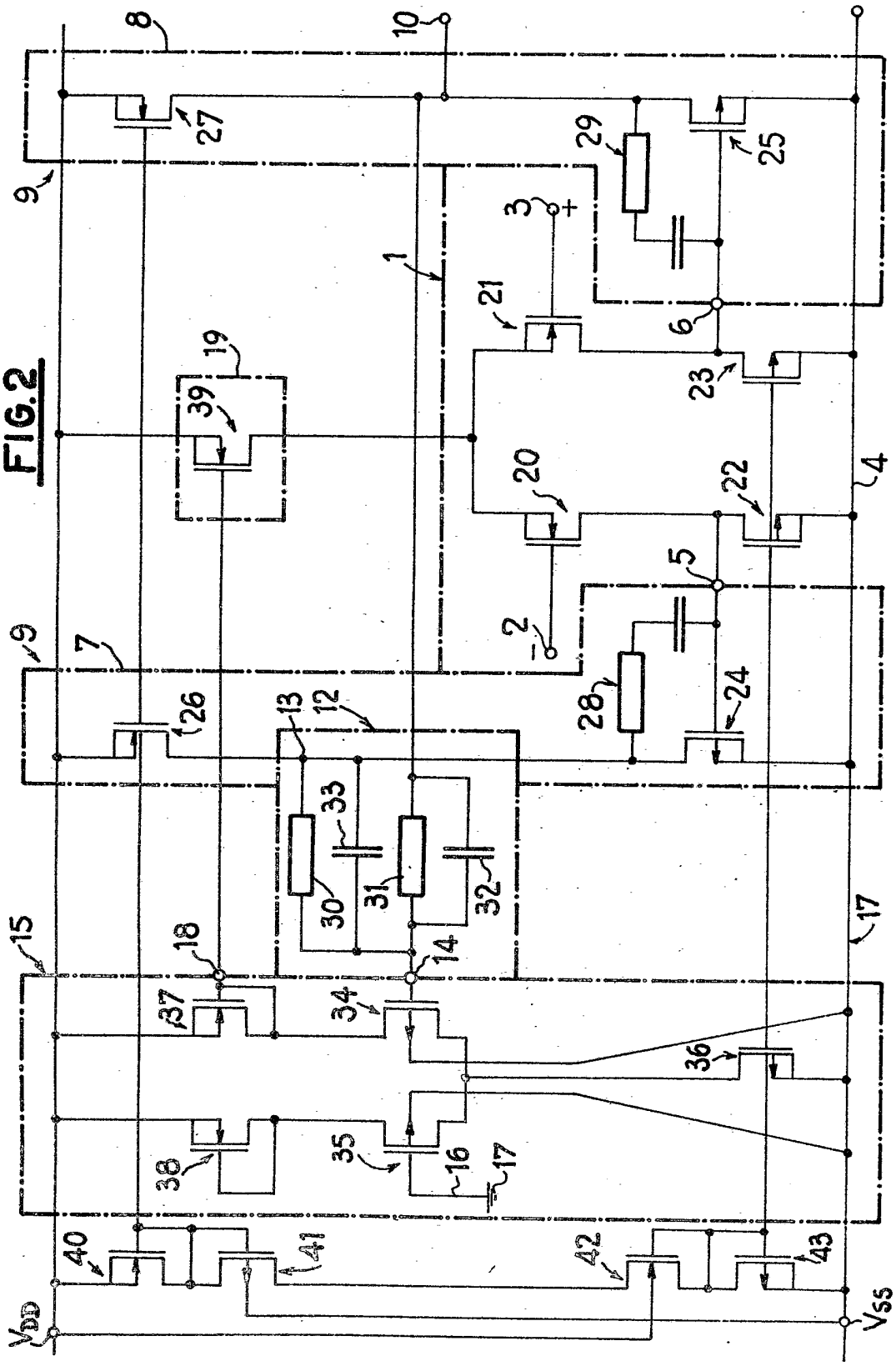

8
10
27
29
25
9
3
+
1
21
6
19
39
23
20
22
4
5
2
−
9
7
26
13
12
28
24
33
30
31
32
15
18
14
17
37
34
36
38
35
16
17
40
41
42
43
VDD
VSS

FIG.2